

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-330498

(P2006-330498A)

(43) 公開日 平成18年12月7日(2006.12.7)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
HO1L 29/786 (2006.01)	HO1L 29/78 614	5F110

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号	特願2005-156088 (P2005-156088)	(71) 出願人	000005049
(22) 出願日	平成17年5月27日 (2005.5.27)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100070150
			弁理士 伊東 忠彦
		(72) 発明者	金子 淑也
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通ディスプレイテクノロジーズ
			株式会社内
		(72) 発明者	大橋 範之
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通ディスプレイテクノロジーズ
			株式会社内
		Fターム(参考)	2H092 GA11 JA24 JB22 JB31 NA25
			PA02 PA06 QA13
			最終頁に続く

(54) 【発明の名称】 液晶表示パネル

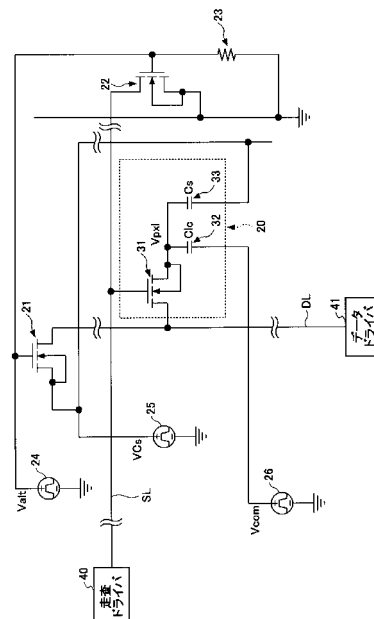
(57) 【要約】

【課題】 本発明は、初期配向処理のための電圧を各画素に印加することができるノーマリーオフ特性TFTの強誘電液晶表示パネルを提供することを目的とする。

【解決手段】 液晶表示パネルは、走査ラインにドレイン端が結合される第1の薄膜トランジスタと、データラインにドレイン端が結合される第2の薄膜トランジスタと、走査ラインにゲート端が結合されデータラインにドレイン端が結合される第3の薄膜トランジスタと、第3の薄膜トランジスタのソース端に結合される画素電極と、液晶を挟んで画素電極に対向するコモン電極と、第1の薄膜トランジスタのソース端、第2の薄膜トランジスタのソース端、第1の薄膜トランジスタのゲート端及び第2の薄膜トランジスタのゲート端、及びコモン電極にそれぞれ結合され外部から電圧印加可能な外部端子を含むことを特徴とする。

【選択図】 図2

本発明による液晶表示パネルにおいて
初期配向処理に関連する部分の構成を示す図



【特許請求の範囲】

【請求項 1】

データラインにドレイン端が結合される第 1 の薄膜トランジスタと、
走査ラインにドレイン端が結合される第 2 の薄膜トランジスタと、
該走査ラインにゲート端が結合され該データラインにドレイン端が結合される第 3 の薄膜トランジスタと、
該第 3 の薄膜トランジスタのソース端に結合される画素電極と、
液晶を挟んで該画素電極に対向するコモン電極と、
該第 1 の薄膜トランジスタのソース端に結合され外部から電圧印加可能な外部端子と、
該第 2 の薄膜トランジスタのソース端に結合され外部から電圧印加可能な外部端子と、 10
該第 1 の薄膜トランジスタのゲート端及び該第 2 の薄膜トランジスタのゲート端に結合され外部から電圧印加可能な外部端子と、
該コモン電極に結合され外部から電圧印加可能な外部端子を含むことを特徴とする液晶表示パネル。

【請求項 2】

該第 3 の薄膜トランジスタのソース端に一端が結合される保持容量を更に含み、該保持容量の他端は該第 2 の薄膜トランジスタのソース端に結合されることを特徴とする請求項 1 記載の液晶表示パネル。

【請求項 3】

該液晶は強誘電性液晶であることを特徴とする請求項 1 又は 2 記載の液晶表示パネル。 20

【請求項 4】

該走査ラインを駆動する走査ドライバと、
該データラインを駆動するデータドライバ
を更に含むことを特徴とする請求項 1 乃至 3 いずれか一項記載の液晶表示パネル。

【請求項 5】

該第 1 の薄膜トランジスタは該データドライバが接続される該データラインの一端とは反対側の一端において該データラインに接続され、該第 2 の薄膜トランジスタは該走査ドライバが接続される該走査ラインの一端とは反対側の一端において該走査ラインに接続されることを特徴とする請求項 4 記載の液晶表示パネル。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示パネルに関し、詳しくは強誘電液晶を用いたアクティブマトリクスタイプの液晶表示パネルに関する。

【背景技術】

【0002】

液晶表示パネルは、従来、アモルファスシリコン薄膜トランジスタ（a-SiTFT）を用いたものが主流であったが、最近はポリシリコン薄膜トランジスタ（p-SiTFT）を用いたものが実用化されつつある。ポリシリコンは、アモルファスシリコンと比較して、約 100 倍の電子移動度がある。アモルファスシリコンを用いた構成では、電子移動度が小さいことを補うために TFT サイズを大きくする必要があり、高精細化する場合に開口率（液晶の 1 画素領域全体に対する表示に有効な領域の面積比率）が低下してしまうという問題がある。ポリシリコンを用いた構成では、アモルファスシリコンの約 100 倍の電子移動度があるために、TFT サイズを小さくして開口率を高くすることができる。またデータドライバや走査ドライバ等の駆動用 IC も、ガラス基板上に内蔵することができるという利点がある。

40

【0003】

a-Si アクティブマトリクス液晶表示パネルでは、駆動用 IC を TAB（Tape Automated Bonding）方式により実装して、液晶表示パネルの周囲に別部品として接続している 50

。この駆動用 I C と液晶表示パネルとの接続線のピッチに制限があるために、画素ピッチを小さくすることに限界が生じ、高精細化の妨げになっている。それに対して p - S i アクティブマトリクス液晶表示パネルでは、走査ドライバ I C とデータドライバ I C の一部とを、液晶表示パネルのガラス基板上に内蔵することができる。これにより、画素ピッチを細かくして高精細な画像表示をすることが可能となる。

【0004】

また最近では、強誘電性液晶を利用した液晶ディスプレイの開発が進められている。強誘電性液晶は、電圧印加がない状態において自発的に分極しているという特性を有し、電圧印加によりトルクが働いたときの液晶分子の変位量がネマティック液晶よりも小さく、極めて高速な応答が可能となる。

10

【0005】

このような強誘電性液晶を用いた液晶表示パネルの場合、液晶分子群を一定方向に配列させるために初期配向処理を行う必要がある。初期配向処理を行うためには、相転移点以上の高い温度に液晶表示パネルを維持しておいて、所定の電圧を所定時間印加する必要がある。a - S i アクティブマトリクス液晶表示パネルの場合には、ドライバが内蔵されていないことと、画素 T F T がノーマリーオフ特性でないために初期配向処理を容易に実行することができる。

【0006】

図 1 は、a - S i アクティブマトリクス液晶表示パネルにおいて初期配向処理を実行する際の電源接続を示す図である。図 1 に示すように、液晶表示パネル 10 の走査側電極 11 とデータ側電極 12 とを一本の線に束ねて、その線とコモン電極 13 の間に配向電源 14 を配置する。この構成により、全ての走査側電極 11 及びデータ側電極 12 とコモン電極 13 との間に所定の電圧を印加することで、所望の配向電圧を全ての画素に印加することが可能である。

20

【0007】

しかしながら p - S i アクティブマトリクス液晶表示パネルの場合は、画素 T F T がノーマリーオフ特性であり、また更には上述のようにデータドライバ及び走査ドライバが内蔵されている構成である。従って、液晶表示パネルの入力端子から直接に各画素に電圧を印加することができず、初期配向処理を実行できないという問題がある。

【特許文献 1】特開 2000-330092 号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0008】

以上を鑑みて本発明は、初期配向処理のための電圧を各画素に印加することができるノーマリーオフ特性 T F T の強誘電液晶表示パネルを提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明による液晶表示パネルは、データラインにドレイン端が結合される第 1 の薄膜トランジスタと、走査ラインにドレイン端が結合される第 2 の薄膜トランジスタと、該走査ラインにゲート端が結合され該データラインにドレイン端が結合される第 3 の薄膜トランジスタと、該第 3 の薄膜トランジスタのソース端に結合される画素電極と、液晶を挟んで該画素電極に対向するコモン電極と、該第 1 の薄膜トランジスタのソース端に結合され外部から電圧印加可能な外部端子と、該第 2 の薄膜トランジスタのソース端に結合され外部から電圧印加可能な外部端子と、該第 1 の薄膜トランジスタのゲート端及び該第 2 の薄膜トランジスタのゲート端に結合され外部から電圧印加可能な外部端子と、該コモン電極に結合され外部から電圧印加可能な外部端子を含むことを特徴とする。

40

【発明の効果】

【0010】

本発明の少なくとも 1 つの実施例によれば、第 1 の薄膜トランジスタのゲート端子及び

50

第2の薄膜トランジスタのゲート端子に、配向制御電圧として正の電圧を外部から印加することで、第1の薄膜トランジスタ及び第2の薄膜トランジスタを導通させる。第1の薄膜トランジスタ及び第2の薄膜トランジスタを導通させることで、データラインと走査ラインとを所定の電圧に設定することができる。これにより、画素トランジスタである第3の薄膜トランジスタを介して電流を流す経路を提供すると共に、コモン電極に所望の電圧を外部から供給することで、液晶素子に十分な配向電圧を印加することができる。

【発明を実施するための最良の形態】

【0011】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0012】

図2は、本発明による液晶表示パネルにおいて初期配向処理に関連する部分の構成を示す図である。図2の回路構成には、画素20、TFT21、TFT22、抵抗23、配向制御電圧源24、Cs電圧源25、コモン電圧源26、走査ドライバ40、及びデータドライバ41が示される。画素20は、TFT31、容量C1cの液晶素子32、及び容量Csの保持容量33を含む。なお配向制御電圧源24及びコモン電圧源26は、液晶表示パネルの外部から電圧供給する電圧源を示すものであり、液晶表示パネルの一部を構成するものではない。

【0013】

画像を表示する通常動作時において、走査ドライバ40は、走査ラインSLを駆動することにより、走査ラインSLに接続される各画素のTFT31を導通状態にする。データドライバ41は、データラインDLを駆動することにより、データラインDLに接続される各画素のTFT31を介して、液晶素子32及び保持容量33に画素データを書き込む。液晶素子32及び保持容量33に画素データに応じた電圧が保持されることにより、画素データに応じた輝度の画素表示をすることができる。図2では、便宜上、一本のデータラインDL、一本の走査ラインSL、及び1つの画素20を示してあるが、実際には液晶表示パネル内に複数のデータラインDLと複数の走査ラインSLとを縦横に配置し、ラインの各交点部分に画素を配置することで、マトリクス状の画素配置を実現している。

【0014】

図2に示されるように、本発明においては、データラインDLにおいて、データドライバ41が接続される側とは反対側の端にTFT21が接続されている。また走査ラインSLにおいて、走査ドライバ40が接続される側とは反対側の端にTFT22が接続されている。TFT21のゲート端子及びTFT22のゲート端子は、双方共に配向制御電圧源24に結合され、配向制御電圧V_{alt}を受け取る。通常状態でTFT21及びTFT22が非導通状態にあることを確実にするために、TFT21のゲート端子及びTFT22のゲート端子は、抵抗23を介してグラウンドに接地される。

【0015】

なお図2には、便宜上1つのTFT21及び1つのTFT22が示されるが、実際には液晶表示パネル内において複数のデータラインDLに一对一に対応して複数のTFT21が設けられ、複数の走査ラインSLに一对一に対応して複数のTFT22が設けられる。

【0016】

TFT21のソース端子はCs電圧源25に接続され、電圧V_{Cs}に設定される。この電圧V_{Cs}は通常動作時には0Vであり、初期配向処理時には好ましくは負の電圧（V_{Cs}<0）に設定される。またTFT22のソース端子はグラウンドに接地される。

【0017】

また液晶素子32の一端（コモン電極）はコモン電圧源26に接続され、コモン電圧V_{com}に設定される。通常動作時にはV_{com}は0Vであり、初期配向処理時には所定の高電圧（例えば20V）に設定される。

【0018】

初期配向処理時には配向制御電圧源24により配向制御電圧V_{alt}を所定の電圧、例えば0.5Vに設定する。また更にCs電圧源25により電圧V_{Cs}を所定の負の電圧、

10

20

30

40

50

例えば -0.5 V に設定する。これらの電圧設定状態では、 TFT21 及び TFT22 が導通し、更に画素 20 の TFT31 が導通する。従って、コモン電圧源 26 によりコモン電圧 V_{com} を例えば 20 V に設定すると、液晶素子 32 の両端子間には略 20 V の電圧が印加されることになる。

【0019】

このようにして所定の電圧を液晶素子 32 に所定時間印加し、その間、相転移点以上の高い温度に液晶表示パネルを維持しておけば、初期配向処理を実行することができる。このように本発明においては、データライン DL と走査ライン SL とにスイッチ素子として TFT を設け、初期配向処理時にはこのスイッチ素子を導通させてデータライン DL と走査ライン SL との電圧を制御することにより、画素 TFT を導通状態とする。この状態において、コモン電極に所定の電圧を印加することで、通常の画像表示電圧とは異なる電圧を液晶素子に印加することが可能となる。

10

【0020】

図3は、図2の回路の動作を示す電圧波形図である。図3の電圧波形は、 C_s 電圧源 25 が生成する V_{Cs} を 0 V に維持した状態で、配向制御電圧源 24 が生成する配向制御電圧 V_{alt} を変化させた場合の様子を示す。図3において、横軸は時間(秒)であり縦軸は電圧(V)である。

【0021】

図3(a)乃至(c)の全ての場合において、時間 0.003 秒から時間 0.009 秒までの間、コモン電圧 V_{com} を印加し、時間 0.004 秒から時間 0.008 秒までの約 0.004 秒の間、コモン電圧 V_{com} を 20 V に維持している。図3(a)は配向制御電圧 V_{alt} が 0 V の場合を示す。この場合には、 TFT21 及び TFT22 は非導通状態であり、画素トランジスタである TFT31 も非導通状態である。従って、図2から分かるように、 $V_{\text{com}} = 20\text{ V}$ と $V_{Cs} = 0\text{ V}$ との間に、液晶容量 C_{lc} 及び保持容量 C_s が直列に接続されることになり、 20 V の電圧が $1/C_{lc}$ と $1/C_s$ との比率に応じて案分されて、液晶素子 32 の電圧及び保持容量 33 の電圧に分配される。

20

【0022】

この場合、図3(a)に示すように、コモン電圧 V_{com} が 20 V の状態において、液晶素子 32 と保持容量 33 との間のノードの電圧 V_{pxl} が、約 6.6 V 程度に設定される。従って、液晶素子 32 に印加される電圧は約 13.4 V 程度となり、初期配向処理に十分な電圧を印加できない。なおこの電圧波形は、液晶容量 C_{lc} を 100 pF 及び保持容量 C_s を 200 pF として計算したものである。

30

【0023】

図3(b)は配向制御電圧 V_{alt} が 0.3 V の場合を示す。この場合、 TFT21 及び TFT22 は完全に導通状態ではなく、若干電流を通すことが可能な状態となっている。また図3(c)は配向制御電圧 V_{alt} が 0.5 V の場合を示す。この場合には、 TFT21 及び TFT22 は、(b)の場合と比較して更に完全な導通状態に近づいている。このように TFT21 及び TFT22 が導通状態に近づくと、データライン DL が TFT21 を介して電圧 V_{Cs} ($=0$)に接続され、走査ライン SL が TFT22 を介してグラウンドに接続される状態に近づく。

40

【0024】

このとき、コモン電圧 V_{com} が印加されて 20 V に設定されると、液晶素子 32 と保持容量 33 との間のノードの電圧 V_{pxl} は、 20 V の電圧を $1/C_{lc}$ と $1/C_s$ との比率に応じて案分した電圧に上昇しようとする。電圧 V_{pxl} が上昇すると、ソース端子及びゲート端子が略 0 V である画素 TFT31 を介してリーク電流が流れる。この結果、例えば図3(b)の場合には、電圧 V_{pxl} は 4 V 程度まで上昇した後に 0 V まで引き下げられる。また図3(c)の場合には、電圧 V_{pxl} は僅かに上昇しただけで 0 V まで引き下げられる。

【0025】

従って、図3(b)又は(c)に示すように、コモン電圧 V_{com} が 20 V の状態にお

50

いて、液晶素子 3 2 と保持容量 3 3 との間のノードの電圧 V_{px1} は略 0 V に抑えられる。従って、液晶素子 3 2 に印加される電圧は約 20 V 程度となり、初期配向処理に十分な電圧を印加することができる。

【0026】

このようにして配向制御電圧 V_{alt} として正の電圧を TFT 2 1 及び TFT 2 2 のゲート端子に印加することで、TFT 2 1 及び TFT 2 2 を導通させる。TFT 2 1 及び TFT 2 2 を導通させることで、データライン DL と走査ライン SL とを所定の電圧（この場合は 0 V）に設定することができる。これにより、画素 TFT 3 1 を介して電流を流す経路を提供して、電圧 V_{px1} を略 0 V に抑え、液晶素子 3 2 に十分な配向電圧を印加することができる。

10

【0027】

上記説明では、データライン DL と走査ライン SL とを 0 V に設定すれば、TFT 3 1 を介した電流経路が形成されるとしたが、TFT 3 1 の条件によっては、十分に電流が流れない可能性がある。従って、TFT 3 1 のバラツキ等に影響されることなく確実に TFT 3 1 を導通状態にするためには、TFT 3 1 に接続されるデータライン DL の電圧を負に設定することが望ましい。

【0028】

図 4 は、Cs 電圧源 2 5 が生成する V_{Cs} を負の電圧に設定した状態での図 2 の回路の動作を示す電圧波形図である。図 3 において、横軸は時間（秒）であり縦軸は電圧（V）である。

20

【0029】

図 4 の全ての場合において、時間 0.003 秒から時間 0.009 秒までの間、コモン電圧 V_{com} を印加し、時間 0.004 秒から時間 0.008 秒までの約 0.004 秒の間、コモン電圧 V_{com} を 20 V に維持している。また配向制御電圧源 2 4 により供給する配向制御電圧 V_{alt} は 1.0 V に設定される。また更に Cs 電圧源 2 5 が供給する電圧 V_{Cs} は -0.5 V に設定される。

【0030】

この場合、TFT 2 1 及び TFT 2 2 のゲート端子には 1.0 V の配向制御電圧 V_{alt} が印加され、TFT 2 1 及び TFT 2 2 は双方共に略完全に導通状態にある。また TFT 2 1 のソース端子は、Cs 電圧源 2 5 により生成される -0.5 V の電圧 V_{Cs} に結合されている。従って、TFT 2 1 のドレイン端子側であるデータライン DL にも略 -0.5 V の電圧が現れる。

30

【0031】

データライン DL が略 -0.5 V に設定されることで、画素 TFT 3 1 のソース端子側（この場合はデータライン DL 側）が略 -0.5 V となる。また画素 TFT 3 1 のゲート端子は、走査ライン SL 及び TFT 2 2 を介してグラウンド（0 V）に接続されている。従って、TFT 3 1 は導通状態となり、液晶素子 3 2 と保持容量 3 3 との間のノードの電圧 V_{px1} は、略 0 V から更に若干マイナス側に引き下げられた電圧に保持される。

【0032】

従って、図 4 に示すように、コモン電圧 V_{com} が 20 V の状態において、液晶素子 3 2 と保持容量 3 3 との間のノードの電圧 V_{px1} は略 0 V に維持される。従って、液晶素子 3 2 に印加される電圧は約 20 V 程度となり、初期配向処理に十分な電圧を印加することができる。

40

【0033】

このようにして配向制御電圧 V_{alt} として正の電圧を TFT 2 1 及び TFT 2 2 のゲート端子に印加することで、TFT 2 1 及び TFT 2 2 を導通させる。TFT 2 1 及び TFT 2 2 を導通させることで、データライン DL と走査ライン SL とを所定の電圧（この場合はそれぞれ -0.5 V と 0 V）に設定することができる。これにより、画素 TFT 3 1 を導通させて十分な電流経路を提供し、電圧 V_{px1} を略 0 V に維持して、液晶素子 3 2 に十分な配向電圧を印加することができる。

50

【0034】

図5は、本発明による液晶表示パネルの全体の構成を示す図である。図5に示す液晶表示パネルは、走査ドライバ40、データドライバ41、液晶表示部50、初期配向電圧選択スイッチ51、走査側初期配向電圧選択スイッチ52、パネル入力端子53、配向制御電圧入力端子54、コモン電圧入力端子55、グラウンド電圧入力端子56、Cs電圧入力端子57を含む。

【0035】

液晶表示部50には、走査ドライバ40から図面横方向に延びる複数の走査ラインとデータドライバ41から図面縦方向に延びる複数のデータラインとが設けられ、ラインの各交点部分に画素を配置することで、マトリクス状の画素配置を実現している。横方向に延びる走査ラインが各画素のトランジスタのゲートに接続され、縦方向に延びるデータラインがトランジスタを介して各画素の画素電極に接続される。画素電極は、液晶層を介してコモン電極（対抗電極）と向き合っており、各画素に対応したコンデンサを形成する。液晶パネルにデータ表示する際には、ゲートドライバによりゲートバスラインを1ラインずつ順次駆動して1ライン分のトランジスタを導通状態にし、導通されたトランジスタを介して、データドライバから各画素に横1ライン分のデータを一齐に書き込む。

【0036】

上記のような構成の液晶表示部50に適正なタイミングで表示データを書き込んで所望の画像を表示するために、液晶表示パネルには所定の表示データ信号とタイミング信号とを供給する。タイミング信号は、クロック信号や表示位置のタイミングを示す表示イネーブル信号等を含む。これら表示データ信号とタイミング信号とを入力する端子がパネル入力端子53である。パネル入力端子53から入力された表示データ信号とタイミング信号とに基づいて、走査ドライバ40が走査ラインを駆動し、データドライバ41がデータラインを駆動する。

【0037】

液晶表示部50をまたいだデータドライバ41の反対側には、初期配向電圧選択スイッチ51が設けられる。初期配向電圧選択スイッチ51は、複数のデータラインに一对一に対応して設けられたTF T 2 1（図2参照）により構成される。また液晶表示部50をまたいだ走査ドライバ40の反対側には、走査側初期配向電圧選択スイッチ52が設けられる。走査側初期配向電圧選択スイッチ52は、複数の走査ラインに一对一に対応して設けられたTF T 2 2（図2参照）により構成される。

【0038】

図5の液晶表示パネルには、配向制御電圧入力端子54、コモン電圧入力端子55、グラウンド電圧入力端子56、Cs電圧入力端子57が設けられている。配向制御電圧入力端子54は、配向制御電圧V a l tを入力するための端子である。コモン電圧入力端子55はコモン電圧V c o mを入力するための端子である。グラウンド電圧入力端子56はグラウンドに接続する。またCs電圧入力端子57はCs電圧V C sを入力するための端子である。初期配向処理時には、これらの端子に対して図2乃至図4を参照して説明したような所定の電圧を印加することで、初期配向処理を実行することができる。

【0039】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【0040】

本発明は強誘電液晶パネルについて説明したが、本発明の実現手段は電源投入のつど配向初期化が必要なOCB或いはホモジニアス液晶パネルに対しても電源投入時のシーケンスの一環として適用できる変形が可能なことはいうまでもない。

【図面の簡単な説明】

【0041】

【図1】 a-S i アクティブマトリクス液晶表示パネルにおいて初期配向処理を実行する際の電源接続を示す図である。

10

20

30

40

50

【図 2】本発明による液晶表示パネルにおいて初期配向処理に関連する部分の構成を示す図である。

【図 3】図 2 の回路の動作を示す電圧波形図である。

【図 4】V C s を負の電圧に設定した状態での図 2 の回路の動作を示す電圧波形図である。

【図 5】本発明による液晶表示パネルの全体の構成を示す図である。

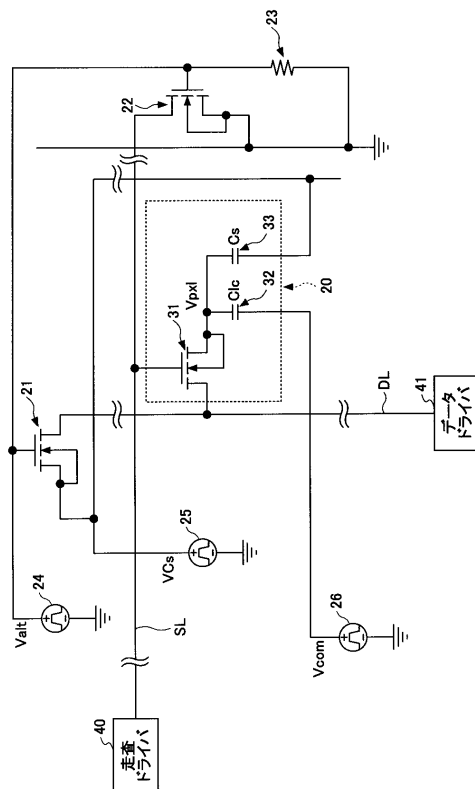
【符号の説明】

【 0 0 4 2 】

2 0	画素	
2 1	T F T	10
2 2	T F T	
2 3	抵抗	
2 4	配向制御電圧源	
2 5	C s 電圧源	
2 6	コモン電圧源	
4 0	走査ドライバ	
4 1	データドライバ	
5 0	液晶表示部	
5 1	初期配向電圧選択スイッチ	
5 2	走査側初期配向電圧選択スイッチ	20
5 3	パネル入力端子	
5 4	配向制御電圧入力端子	
5 5	コモン電圧入力端子	
5 6	グラウンド電圧入力端子	
5 7	C s 電圧入力端子 5 7	

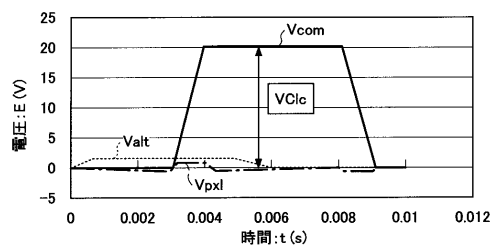
【图 2】

本発明による液晶表示パネルにおいて
初期配向処理に関連する部分の構成を示す図



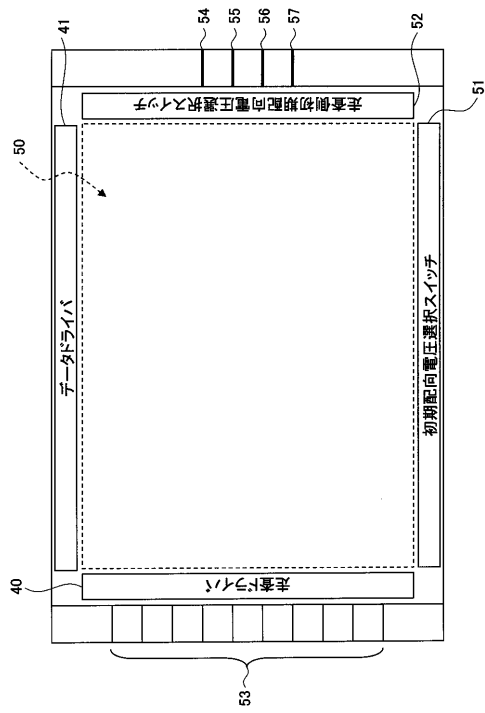
【图 4】

VCsを負の電圧に設定した状態での図2の回路の動作を示す電圧波形図



【図 5】

本発明による液晶表示パネルの全体の構成を示す図



フロントページの続き

Fターム(参考) 5F110 AA30 BB01 GG02 GG13 NN72 NN73

专利名称(译)	液晶显示面板		
公开(公告)号	JP2006330498A	公开(公告)日	2006-12-07
申请号	JP2005156088	申请日	2005-05-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	金子淑也 大橋範之		
发明人	金子 淑也 大橋 範之		
IPC分类号	G02F1/1368 H01L29/786		
FI分类号	G02F1/1368 H01L29/78.614		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JB22 2H092/JB31 2H092/NA25 2H092/PA02 2H092/PA06 2H092/QA13 5F110/AA30 5F110/BB01 5F110/GG02 5F110/GG13 5F110/NN72 5F110/NN73 2H192/AA24 2H192/FB09 2H192/JA23		
代理人(译)	伊藤忠彦		
其他公开文献	JP4722562B2		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种具有常关型TFT的铁电液晶显示板，该TFT可以向每个像素施加用于初始取向处理的电压。液晶显示面板包括：第一薄膜晶体管，其漏极端耦合至扫描线；第二薄膜晶体管，其漏极端耦合至数据线；以及栅极端，其耦合至扫描线和数据线。第三薄膜晶体管，其漏极端耦合至第三薄膜晶体管，像素电极耦合至第三薄膜晶体管的源极端，面对像素电极且其间插入有液晶的面对像素的公共电极，第一薄膜晶体管的源极端，以及第二晶体管。薄膜晶体管的源极端子，第一薄膜晶体管的栅极端子和第二薄膜晶体管的栅极端子以及分别耦接到公共电极并且能够从外部施加电压的外部端子。[选择图]图2

