

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-346086  
(P2005-346086A)

(43) 公開日 平成17年12月15日(2005.12.15)

(51) Int.Cl.<sup>7</sup>

GO2F 1/1368  
GO2F 1/1335

F I

GO2F 1/1368  
GO2F 1/1335 520

テーマコード(参考)

2H091  
2H092

審査請求有 請求項の数 69 O L (全 34 頁)

(21) 出願番号 特願2005-164974 (P2005-164974)  
(22) 出願日 平成17年6月6日(2005.6.6)  
(31) 優先権主張番号 2004-041141  
(32) 優先日 平成16年6月5日(2004.6.5)  
(33) 優先権主張国 韓国(KR)

(71) 出願人 501426046  
エルジー・フィリップス エルシーデー  
カンパニー、リミテッド  
大韓民国 ソウル、ヨンドンポーク、ヨ  
イドードン 20  
(74) 代理人 100064447  
弁理士 岡部 正夫  
(74) 代理人 100085176  
弁理士 加藤 伸晃  
(74) 代理人 100106703  
弁理士 産形 和央  
(74) 代理人 100094112  
弁理士 岡部 譲  
(74) 代理人 100096943  
弁理士 臼井 伸一

最終頁に続く

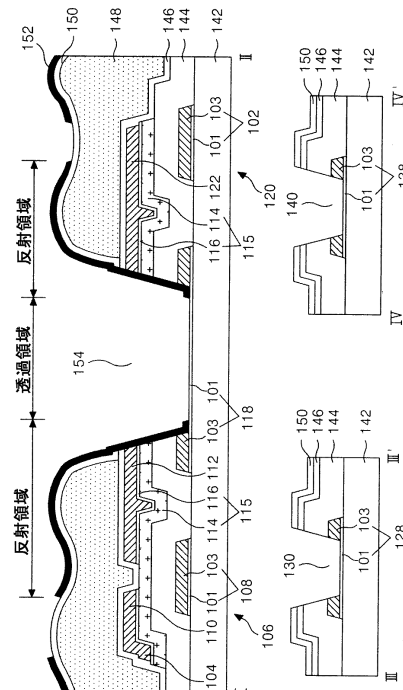
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】本発明の目的は、工程を単純化しながら透過領域の開口率を増大させられる半透過型液晶表示装置及びその製造方法を提供することである。

【解決手段】この半透過型液晶表示装置は、第1透明導電層を含めるゲートラインと；前記ゲートラインの上の第1絶縁膜と；前記ゲートラインと交差して透過領域と反射領域とを有する画素領域を決定するデータラインと；前記ゲートライン及びデータラインと接続された薄膜トランジスターと；第1導電層を含める画素電極と；前記ゲートラインと重畳されたストレージ上部電極を含めるストレージキャパシタと；前記画素電極の第1透明導電層の一部を露出される透過ホールと；前記反射領域に形成され、前記画素電極を前記薄膜トランジスター及びストレージ上部電極と接続させる反射電極とを備えることを特徴とする。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

第 1 透明導電層を含めるゲートラインと；前記ゲートラインの上の第 1 絶縁膜と；前記ゲートラインと交差して透過領域と反射領域とを有する画素領域を決定するデータラインと；前記ゲートライン及びデータラインと接続された薄膜トランジスターと；第 1 透明導電層を含める画素電極と、前記ゲートラインと重畳されたストレージ上部電極を含めるストレージキャパシタと；前記画素電極の第 1 透明導電層の一部を露出させる透過ホールと、前記反射領域に形成されて、前記画素電極を前記薄膜トランジスター及びストレージ上部電極と接続させる反射電極とを備えることを特徴とする液晶表示装置。

## 【請求項 2】

前記ゲートラインの第 1 透明導電層の上に形成された第 2 導電層をさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

10

## 【請求項 3】

前記画素電極の第 1 透明導電層の上の縁に沿って形成された第 1 導電層をさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 4】

前記ゲートラインから延長された二重構造のゲートパッドをさらに備えて、前記ゲートパッドは前記第 1 絶縁膜と前記ゲートパッドの第 2 導電層を貫通する第 2 コンタクトホールを通じて、前記ゲートパッドの第 1 導電層が露出されたことを特徴とする請求項 2 に記載の液晶表示装置。

20

## 【請求項 5】

前記データラインと接続され、二重構造のデータパッドをさらに備えて、前記データパッドは前記第 1 絶縁膜及び前記データパッドの第 2 導電層を貫通する第 2 コンタクトホールとを通じて、前記データパッドの第 1 導電層が露出されたことを特徴とする請求項 4 に記載の液晶表示装置。

## 【請求項 6】

前記薄膜トランジスターの上に形成された第 2 絶縁膜をさらに備えることを特徴とする請求項 5 に記載の液晶表示装置。

## 【請求項 7】

前記第 2 絶縁膜は、前記ゲートパッド及びデータパッドが形成されたパッド領域においては除去されたことを特徴とする請求項 6 に記載の液晶表示装置。

30

## 【請求項 8】

前記薄膜トランジスターと前記第 2 絶縁膜との間に形成された第 3 絶縁膜をさらに備えることを特徴とする請求項 6 に記載の液晶表示装置。

## 【請求項 9】

前記第 3 絶縁膜は、無機絶縁物質に形成されたことを特徴とする請求項 8 に記載の液晶表示装置。

## 【請求項 10】

前記第 2 絶縁膜と前記反射電極との間に形成された第 3 絶縁膜をさらに備えることを特徴とする請求項 6 に記載の液晶表示装置。

40

## 【請求項 11】

前記第 3 絶縁膜は、無機絶縁物質に形成されたことを特徴とする請求項 10 に記載の液晶表示装置。

## 【請求項 12】

前記反射電極は、前記透過ホールを通じて露出された前記画素電極の第 2 導電層とは側面接続されるし、前記画素電極の第 1 導電層とは面接続されたことを特徴とする請求項 3 に記載の液晶表示装置。

## 【請求項 13】

前記データパッドから延長された二重構造のデータリンクと、前記反射電極と同一の金属に形成され、前記データライン及びデータリンクを第 3 及び第 4 コンタクトホ

50

ールを通じて接続させる第1コンタクト電極とをさらに備えることを特徴とする請求項5に記載の液晶表示装置。

【請求項14】

前記データライン及びゲートラインの中、いずれか一つと接続された静電気防止素子をさらに備えることを特徴とする請求項13に記載の液晶表示装置。

【請求項15】

前記静電気防止素子は、前記データライン及びゲートラインの中、いずれか一つと接続された第2薄膜トランジスターと、前記第2薄膜トランジスターのゲート電極及びソース電極の間にダイオード型に接続された第3薄膜トランジスターと、前記第2薄膜トランジスターのゲート電極及びドレイン電極の間にダイオード形に接続された第4薄膜トランジスターと、前記第3薄膜トランジスターのソース電極及びゲート電極の各々を露出させる第5及び第6コンタクトホールを通じて接続させる第2コンタクト電極と、前記第3または第4薄膜トランジスターのドレイン電極と前記第2薄膜トランジスターのゲート電極の各々を露出させる第7及び第8コンタクトホールを通じて接続される第3コンタクト電極と、前記第4薄膜トランジスターのソース電極及びゲート電極の各々を露出させる第9及び第10コンタクトホールを通じて接続させる第4コンタクト電極とを備えることを特徴とする請求項14に記載の液晶表示装置。

10

【請求項16】

前記第2乃至第4コンタクト電極は、前記反射電極と同一の金属層に形成されたことを特徴とする請求項15に記載の液晶表示装置。

20

【請求項17】

前記ゲート電極は、二重構造に形成されたことを特徴とする請求項15に記載の液晶表示装置。

【請求項18】

前記第4、第6、第8、第10コンタクトホールは、前記二重構造の中、第2導電層まで貫通し、その第1導電層を露出させることを特徴とする請求項17に記載の液晶表示装置。

【請求項19】

前記第1乃至第4コンタクト電極は、シーリング材によって密封される領域に形成されたことを特徴とする請求項15に記載の液晶表示装置。

30

【請求項20】

前記反射電極、前記第1乃至第4コンタクト電極は、AlNd/Moの二重構造に形成されたことを特徴とする請求項15に記載の液晶表示装置。

【請求項21】

前記第2絶縁膜は、エンボス表面を有することを特徴とする請求項6に記載の液晶表示装置。

【請求項22】

前記反射電極は、エンボス表面を有することを特徴とする請求項21に記載の液晶表示装置。

【請求項23】

前記第2絶縁膜は、有機絶縁膜に形成されたことを特徴とする請求項6に記載の液晶表示装置。

40

【請求項24】

前記ストレージ上部電極は、前記ゲートラインと前記データラインとの方向に半分以上重畳されたことを特徴とする請求項1に記載の液晶表示装置。

【請求項25】

前記反射電極は、前記透過ホールを通じて前記画素電極を前記薄膜トランジスター及びストレージ上部電極と接続させることを特徴とする請求項1に記載の液晶表示装置。

【請求項26】

第1マスクを利用して、第1透明導電層を含め、ゲートライン及びゲート電極、画素電

50

極を含めるゲートパターンを形成する段階と、前記ゲートパターンを覆う第1絶縁膜を形成する段階と；第2マスクを利用して、前記第1絶縁膜の上に半導体層を形成すると共に、データライン、ソース電極、ドレイン電極、ストレージ上部電極を含めるソース/ドレインパターンを形成する段階と；第3マスクを利用して前記ソース/ドレインパターンを覆う第2絶縁膜を形成する段階と；第4マスクを利用して前記画素電極の第1導電層を露出させる透過ホールを形成する段階と；第5マスクを利用して前記透過ホールを通じて前記画素電極を前記ドレイン電極及びストレージ電極と接続させる反射電極を形成する段階とを含めることを特徴とする液晶表示装置の製造方法。

【請求項27】

前記半導体層は、前記データラインと重畳されたことを特徴とする請求項26に記載の液晶表示装置の製造方法。 10

【請求項28】

前記透過ホールは、前記第1絶縁膜及び前記画素電極の第2導電層を貫通するによって形成されたことを特徴とする請求項26に記載の液晶表示装置の製造方法。

【請求項29】

前記透過ホールは、前記第2絶縁膜の開口部と重畳されたことを特徴とする請求項26に記載の液晶表示装置の製造方法。

【請求項30】

前記ソース/ドレインパターン及び第2絶縁膜及の中、少なくともいずれか一つの上に第3絶縁膜を形成する段階をさらに含めることを特徴とする請求項28に記載の液晶表示装置の製造方法。 20

【請求項31】

前記透過ホールは、前記第3絶縁膜を貫通することを特徴とする請求項30に記載の液晶表示装置の製造方法。

【請求項32】

前記ゲートパターンは、第1及び第2導電層が積層された二重構造に形成されたことを特徴とする請求項26に記載の液晶表示装置の製造方法。

【請求項33】

前記第1マスクを利用して前記ゲートラインと接続された二重構造のゲートパッドを形成する段階と；前記第1マスクを利用して、前記データラインと接続される二重構造のデータパッドを形成する段階と；前記第3マスクを利用して前記ゲートパッド及びデータパッドが形成されたパッド領域の前記2絶縁膜を除去する段階と；前記第4マスクを利用して前記ゲートパッド及びデータパッドの第1導電層を各々露出させる第1及び第2コンタクトホールを形成する段階とをさらに含めることを特徴とする請求項32に記載の液晶表示装置の製造方法。 30

【請求項34】

前記第1マスクを利用して、前記データパッドから延長された二重構造のデータリンクを形成する段階と；前記第3マスクを利用して、第2及び第3開口部を前記第2絶縁膜に形成する段階と；前記第4マスクを利用して、前記データライン及びデータリンクが露出されるように、第3及び第4コンタクトホールを形成する段階と；前記第5マスクを利用して、前記第3及び第4コンタクトホールを通じて、前記データライン及びデータリンクを接続させる第1コンタクト電極を形成する段階とを含めることを特徴とする請求項33に記載の液晶表示装置の製造方法。 40

【請求項35】

前記第2及び第3開口部は、前記データライン及び前記データリンクが重畳されることを特徴とする請求項34に記載の液晶表示装置の製造方法。

【請求項36】

前記データライン及びゲートラインの中、いずれか一つと接続された第2薄膜トランジスタ、前記第2薄膜トランジスタのゲート電極及びソース電極との間にダイオード型で接続された第3薄膜トランジスタ、前記第2薄膜トランジスタのゲート電極及びド 50

レイン電極との間にダイオード型で接続された第4薄膜トランジスターを含める静電気防止素子を形成する段階をさらに含めることを特徴とする請求項34に記載の液晶表示装置の製造方法。

【請求項37】

前記静電気防止素子を形成する段階は、前記第1マスクを利用して、前記第2乃至第4薄膜トランジスターの各々のゲート電極を形成する段階と；前記第2マスクを利用して、前記ゲート絶縁膜の上に前記第2乃至第4薄膜トランジスターの各々の半導体層、ソース電極、ドレイン電極を形成する段階と；前記第3マスクを利用して、第4乃至第9開口部を前記第2絶縁膜に形成する段階と；前記第4マスクを利用して、前記第4乃至第9開口部各々と重畳された電極を露出させる第5乃至第10コンタクトホールを形成する段階と；前記第5マスクを利用して、第2乃至第4コンタクト電極を形成する段階とを含めることを特徴とする請求項36に記載の液晶表示装置の製造方法。

10

【請求項38】

前記第4及び第5開口部は、前記第3薄膜トランジスターのソース電極及びゲート電極と重畳されたことを特徴とする請求項37に記載の液晶表示装置の製造方法。

【請求項39】

前記第6及び第7開口部は、前記第3または第4薄膜トランジスターのドレイン電極と、前記第2薄膜トランジスターのゲート電極と重畳されたことを特徴とする請求項37に記載の液晶表示装置の製造方法。

【請求項40】

前記第8及び第9開口部は、前記第4薄膜トランジスターのソース電極及びゲート電極と重畳されたことを特徴とする請求項37に記載の液晶表示装置の製造方法。

20

【請求項41】

前記第2コンタクト電極は、前記第5及び第6コンタクトホールを通じて、前記第3薄膜トランジスターのソース電極及びゲート電極を接続させることを特徴とする請求項37に記載の液晶表示装置の製造方法。

【請求項42】

前記第3コンタクト電極は、前記第7及び第8コンタクトホールを通じて、前記第3または第4薄膜トランジスターのドレイン電極と、前記第2薄膜トランジスターのゲート電極とを接続させることを特徴とする請求項37に記載の液晶表示装置の製造方法。

30

【請求項43】

前記第4コンタクト電極は、前記第9及び第10コンタクトホールを通じて、前記第4薄膜トランジスターのソース電極及びゲート電極を接続させることを特徴とする請求項37に記載の液晶表示装置の製造方法。

【請求項44】

前記第1乃至第4コンタクト電極は、シーリング材によって密封される領域に形成されたことを特徴とする請求項37に記載の液晶表示装置の製造方法。

【請求項45】

前記反射電極と前記第1乃至第4コンタクト電極は、AINd及びMoで形成されたことを特徴とする請求項37に記載の液晶表示装置の製造方法。

40

【請求項46】

前記第2絶縁膜は、有機絶縁膜で形成されたことを特徴とする請求項26に記載の液晶表示装置の製造方法。

【請求項47】

前記第2絶縁膜は、エンボス表面を有することを特徴とする請求項26に記載の液晶表示装置の製造方法。

【請求項48】

前記反射電極は、エンボス表面を有することを特徴とする請求項26に記載の液晶表示装置の製造方法。

【請求項49】

50

第1マスクを利用して、透明な第1導電層と不透明な第2導電層との二重構造を有するゲートライン及びゲート電極、画素電極を含めるゲートパターンを形成する段階と；第2マスクを利用してゲートパターンを覆う第1絶縁膜と、その上に半導体層を形成すると共に、データライン、ソース電極、ドレイン電極、ストレージ上部電極を含めるソース/ドレインパターンを形成する段階と、第3マスクを利用して前記画素電極の第1導電層を露出させる透過ホールを形成する段階と；第4マスクを利用して前記ソース/ドレインパターンを覆う第2絶縁膜を形成する段階と；第5マスクを利用して前記透過ホールを通じて前記画素電極を前記ドレイン電極及びストレージ電極と接続させる反射電極を形成する段階とを含めることを特徴とする液晶表装置の製造方法。

【請求項50】

10

前記半導体層は、前記データラインと重畳されたことを特徴とする請求項49に記載の液晶表装置の製造方法。

【請求項51】

前記ソース/ドレインパターンを覆う第3絶縁膜を形成する段階をさらに含めることを特徴とする請求項49に記載の液晶表装置の製造方法。

【請求項52】

前記透過ホールは、前記第3絶縁膜から前記画素電極の第2導電層まで貫通するように形成されたことを特徴とする請求項51に記載の液晶表装置の製造方法。

【請求項53】

前記第1マスクを利用して前記ゲートラインと接続された前記二重構造のゲートパッドを形成する段階と；前期第1マスクを利用して前記データラインと接続されるデータパッドを形成する段階と；前記第3マスクを利用して前記ゲートパッド及びデータパッドの第1導電層を各々露出させる第1及び第2コンタクトホールを形成する段階と；前記第4マスクを利用して前記ゲートパッド及びデータパッドが形成されたパッド領域の第2絶縁膜を除去する段階とをさらに含めることを特徴とする請求項49に記載の液晶表装置の製造方法。

20

【請求項54】

前記第1マスクを利用して前記データパッドから延長された二重構造のデータリンクを形成する段階と；前記第3マスクを利用して前記データライン及びデータリンクを各々露出させる第3及び第4コンタクトホールを形成する段階と；前記第4マスクを利用して第3及び第4コンタクトホールを前記第2絶縁膜まで延長する段階と；前記第5マスクを利用して前記第3及び第4コンタクトホールを通じて前記データライン及びデータリンクを接続させる第1コンタクト電極を形成する段階とを含めることを特徴とする請求項49に記載の液晶表装置の製造方法。

30

【請求項55】

前記データライン及びゲートラインの中、いずれか一つと接続された第2薄膜トランジスタ、前記第2薄膜トランジスタのゲート電極及びソース電極の間にダイオード型で接続された第3薄膜トランジスタ、前記第2薄膜トランジスタのゲート電極及びドレイン電極の間にダイオード型に接続された第4薄膜トランジスタを含める静電気防止素子を形成する段階をさらに含めることを特徴とする請求項49に記載の液晶表示装置の製造方法。

40

【請求項56】

前記静電気防止素子を形成する段階は、前記第1マスクを利用して前記第2乃至第4薄膜トランジスタ各々のゲート電極を形成する段階と；前記第2マスクを利用して前記ゲート絶縁膜の上に前記第2乃至第4薄膜トランジスタ各々の半導体パターン、ソース電極、ドレイン電極を形成する段階と；前記第3マスクを利用して第5乃至第10コンタクトホールを形成する段階と；前記第4マスクを利用して前記第5乃至第10コンタクトホールを前記第2絶縁膜まで延長する段階と；前記第5マスクを利用して第2乃至第4コンタクト電極を形成する段階とを含めることを特徴とする請求項55に記載の液晶表示装置の製造方法。

【請求項57】

50

前記第5及び第6コンタクトホールは、前記第3薄膜トランジスターのソース電極及びゲート電極を露出させることを特徴とする請求項56に記載の液晶表示装置の製造方法。

【請求項58】

前記第7及び第8コンタクトホールは、前記第3または第4薄膜トランジスターのドレイン電極と、前記第2薄膜トランジスターのゲート電極とを露出させることを特徴とする請求項56に記載の液晶表示装置の製造方法。

【請求項59】

前記第9及び第10開口部は、前記第4薄膜トランジスターのソース電極及びゲート電極を露出させることを特徴とする請求項56に記載の液晶表示装置の製造方法。

【請求項60】

前記第2コンタクト電極は、前記第5及び第6コンタクトホールを通じて前記第3薄膜トランジスターのソース電極及びゲート電極を接続させることを特徴とする請求項56に記載の液晶表示装置の製造方法。

【請求項61】

前記第3コンタクト電極は、前記第7及び第8コンタクトホールを通じて前記第3または第4薄膜トランジスターのドレイン電極と、前記第2薄膜トランジスターのゲート電極とを接続させることを特徴とする請求項56に記載の液晶表示装置の製造方法。

【請求項62】

前記第4コンタクト電極は、前記第9及び第10コンタクトホールを通じて前記第4薄膜トランジスターのソース電極及びゲート電極を接続させることを特徴とする請求項56に記載の液晶表示装置の製造方法。

【請求項63】

前記第1乃至第4コンタクト電極は、シーリング材によって密封される領域に形成されたことを特徴とする請求項56に記載の液晶表示装置の製造方法。

【請求項64】

前記反射電極と前記第1乃至第4コンタクト電極は、AINd及びMoで形成されたことを特徴とする請求項56に記載の液晶表示装置の製造方法。

【請求項65】

前記第2絶縁膜は、有機絶縁膜に形成されたことを特徴とする請求項49に記載の液晶表示装置の製造方法。

【請求項66】

前記第2絶縁膜は、エンボス表面を有することを特徴とする請求項49に記載の液晶表示装置の製造方法。

【請求項67】

前記反射電極は、エンボス表面を有することを特徴とする請求項49に記載の液晶表示装置の製造方法。

【請求項68】

ゲートラインと；前記ゲートラインの上のゲート絶縁膜と；前記ゲートラインと交差して画素領域を決定するデータラインと；前記ゲートライン及びデータラインと接続されたスイッチング素子と；画素電極と；前記ゲートラインとデータラインとの方向に半分以上重畳されたストレージ上部電極を含めるストレージキャパシタと；前記画素電極とスイッチング素子とを接続させる反射電極とを備えることを特徴とする液晶表示装置。

【請求項69】

第1透明導電層を含めるゲートラインを形成する段階と；前記ゲートラインの上にゲート絶縁膜を形成する段階と；前記ゲートラインと交差して画素領域を決定するデータラインを形成する段階と；前記ゲートライン及びデータラインと接続された薄膜トランジスターを形成する段階と；第2透明導電層を含める画素電極を形成する段階と；前記ゲートラインと重畳されたストレージ上部電極を含めるストレージキャパシタを形成する段階と；前記画素電極の第2透明導電層の少なくとも一部を露出させる透過ホールを形成する段階と；前記画素電極を前記薄膜トランジスター及びストレージ上部電極と接続させる反

10

20

30

40

50

射電極を形成する段階とを含めることを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特に工程を単純化し得る半透過型液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

最近の情報化社会において液晶表示装置はバックライトユニットから入射された光を利用して画像を表示する透過型と、自然光のような外部光を反射させて画像を表示する反射型に大別される。透過型はバックライトユニットの電力消費が多く、反射型は外部光に依存することにより暗い環境では画像を表示し得ない問題点がある。

10

【0003】

このような問題点を解決するために、バックライトユニットを利用する透過モードと外部光を利用する反射モードが選択可能な半透過型液晶表示装置が台頭している。半透過型液晶表示装置は外部光が充分であれば反射モードで、不充分であればバックライトユニットを利用した透過モードで動作するようになるため、透過型より消費電力を減らすことができながら反射型とは異に外部光の制約を受けなくなる。

【0004】

一般的に、半透過型液晶パネルは、図1に図示された通り、液晶層(図示せず)を間に置き接合されたカラーフィルター基板及び薄膜トランジスター基板と、薄膜トランジスター基板の後に配置されたバックライトユニット60を備えている。このような半透過型液晶パネルの各画素は反射電極28が形成された反射領域と、反射電極28が形成されていない透過領域に区分される。

20

【0005】

カラーフィルター基板は上部基板52の上に形成されたブラックマトリックス(図示せず)及びカラーフィルター54、それらの上に積層された共通電極56及び配向膜(図示せず)で構成される。

【0006】

薄膜トランジスター基板は下部基板2上に形成されて各画素領域を定義するゲートライン4及びデータライン(図示せず)、そのゲートライン4及びデータラインと接続された薄膜トランジスター、画素領域に形成されて薄膜トランジスターと接続された画素電極32、各画素の反射領域に形成され画素電極と重なる反射電極を備えている。

30

【0007】

薄膜トランジスターはゲートライン4と接続されたゲート電極6、データラインと接続されたソース電極16、そのソース電極16と対向するドレイン電極18、ゲート電極6とゲート絶縁膜8を間に置き重なるソース及びドレイン電極16,18の間のチャンネルを形成する活性層10、その活性層10とソース及びドレイン電極16,18とのオーミック接続のためのオーミック接触層12を備えている。このような薄膜トランジスターはゲートライン4のスキャン信号にตอบสนองしてデータライン上のビデオ信号が画素電極32に充填されて維持されるようにする。

40

【0008】

反射電極28はカラーフィルター基板を通じて入射された外部光をカラーフィルター基板側へ反射させる。この際、反射電極28の下に形成された有機膜24の表面がエンボス形状を有するようになり、その上の反射電極28もエンボス形状を有するようになることにより散乱効果で反射効率が増大される。

【0009】

画素電極32は薄膜トランジスターを通じて供給された画素信号により共通電極56と電位差を発生させる。この電位差により誘電異方性を有する液晶が回転して反射領域と透過領域夫々の液晶層を経由する光の透過率を調節することにより前記ビデオ信号によって輝度

50

が異なるようになる。

【0010】

この場合、反射領域と透過領域で液晶層を経由する光経路の長さが同一になるように透過領域で相対的に厚い有機膜24に透過ホール36を形成するようになる。その結果、反射領域に入射された周辺光、即ち、反射光RLが液晶層内で液晶層 反射電極28 液晶層を経由する経路と、透過領域に入射されたバックライトユニット60の透過光TLが液晶層を経由する経路の長さが同一であることにより反射モードと透過モードの透過効率が同じになる。

【0011】

そして、薄膜トランジスタ基板は画素電極32に供給されたビデオ信号が安定的に維持されるようにするために画素電極32と接続されたストレージキャパシタを更に備えている。ストレージキャパシタは画素電極32と接続されたストレージ上部電極20がゲートライン4とゲート絶縁膜8を間に置き重なることにより形成される。ストレージ上部電極20の下には工程上オーミック接触層12及び活性層10が更に重なる。

10

【0012】

また、薄膜トランジスタ基板は薄膜トランジスタと有機膜24との間の第1保護膜22、有機膜24と反射電極28との間の第2保護膜26、反射電極28と画素電極32との間の第3保護膜30を更に備えている。これによって、画素電極32は第1乃至第3保護膜22,26,30と有機膜24及び反射電極28を貫通する第1及び第2コンタクトホール34,38夫々を通じてドレイン電極18及びストレージ上部電極20と接続される。

【0013】

このような半透過型液晶パネルにおいて薄膜トランジスタ基板は半導体工程を含めると共に多数のマスク工程を必要とすることにより製造工程が複雑であるため、液晶パネルの製造単価上昇の重要な原因になっている。

20

【0014】

以下、半透過型薄膜トランジスタ基板製造方法を図2A～図2Fを参照して説明する。

図2Aを参照すると、第1マスク工程を利用して下部基板2上にゲートライン2、ゲート電極6を含めるゲートパターンが形成される。

【0015】

下部基板2上にスパッタリング方法などの蒸着方法によりゲート金属層が形成される。次に、第1マスクを利用したフォトリソグラフィ工程と蝕刻工程でゲート金属層がパターンニングされることによりゲートライン4、ゲート電極8を含めるゲートパターンが形成される。ゲート金属層にはAl、Mo、Cr系などの金属の単一層または二重層構造が利用される。

30

【0016】

図2Bを参照すると、ゲートパターンが形成された基板2上にゲート絶縁膜8が形成され、その上に第2マスク工程で活性層10及びオーミック接触層12を含める半導体パターンと；データライン、ソース電極16、ドレイン電極18、ストレージ上部電極20を含めるソース/ドレインパターンが積層される。

【0017】

ゲートパターンが形成された下部基板2上にPECVD、スパッタリングなどの蒸着方法によりゲート絶縁膜8、非晶質シリコン層、不純物がドーピングされた非晶質シリコン層、そしてソース/ドレイン金属層が順次に形成される。ゲート絶縁膜8にはシリコン酸化物SiO<sub>x</sub>またはシリコン窒化物SiN<sub>x</sub>などのような無機絶縁物質が、ソース/ドレイン金属層にはAl、Mo系などの金属の単一層または二重層構造が利用される。

40

【0018】

そして、ソース/ドレイン金属層上に第2マスクを利用したフォトリソグラフィ工程でフォトレジストパターンを形成するようになる。この場合、第2マスクには薄膜トランジスタのチャンネル部に回折露光部を有する回折露光マスクを利用することによりチャンネル部のフォトレジストパターンが他のソース/ドレインパターン部より低い高さを有するようになる。

50

## 【0019】

次に、フォトレジストパターンを利用した湿式蝕刻工程でソース/ドレイン金属層がパターニングされることによりゲートライン、ソース電極16、そのソース電極16と一体化されたドレイン電極18、ストレージ電極20を含めるソース/ドレインパターンが形成される。

## 【0020】

その次に、同一のフォトレジストパターンを利用した乾式蝕刻工程で不純物がドーピングされた非晶質シリコン層と非晶質シリコン層が同時にパターニングされることによりオーミック接触層12と活性層10が形成される。

## 【0021】

そして、アッシング工程でチャンネル部から相対的に低い高さを有するフォトレジストパターンが除去された後、乾式蝕刻工程でチャンネル部のソース/ドレインパターン及びオーミック接触層12が蝕刻される。これによって、チャンネル部の活性層10が露出されソース電極16とドレイン電極18は分離される。

次に、ストリップ工程でソース/ドレインパターン上に残っているフォトレジストパターンが除去される。

## 【0022】

図2Cを参照すると、ソース/ドレインパターンが形成されたゲート絶縁膜8上に第1保護膜22が形成され、その上に第3マスク工程で第1及び第2初期コンタクトホール34,38と透過ホール36を有しエンボス形状の表面を有する有機膜24が形成される。

## 【0023】

ソース/ドレインパターンが形成されたゲート絶縁膜8上に第1保護膜22と有機膜24が順次に形成される。第1保護膜22にはゲート絶縁膜24のような無機絶縁膜が、有機膜24にはアクリルなどのような感光性有機物質が利用される。

## 【0024】

その次に、第3マスクを利用したフォトリソグラフィ工程で有機膜24をパターニングすることにより第3マスクの透過部に対応して有機膜24を貫通する第1及び第2オープンホール35,37と透過ホール36が形成される。この際、第3マスクは透過部を除いた残り部分は遮断部と回折露光部が繰り返られる構造を有し、これに対応して残っている有機膜24は段差を有する遮断領域(突出部)及び回折露光領域(溝部)が繰り返られる構造でパターニングされる。続いて、突出部及び溝部が繰り返られた有機膜24を塑性することにより有機膜24の表面がエンボス形状を有するようになる。

## 【0025】

図2Dを参照すると、エンボス形状を有する有機膜24上に第2保護膜26が形成され、その上に第4マスク工程で反射電極28が形成される。

## 【0026】

エンボス表面を有する有機膜24上に第2保護膜26及び反射金属層がエンボス形状を維持して積層される。第2保護膜26には第1保護膜22のような無機絶縁物質が、反射金属層にはAlNdなどのような反射率が高い金属が利用される。

## 【0027】

次に、第4マスクを利用したフォトリソグラフィ工程及び蝕刻工程で反射金属層がパターニングされることにより各画素毎に独立し有機膜24の第1及び第2オープンホール35,37と透過ホール36でオープンされた反射電極28が形成される。

## 【0028】

図2Eを参照すると、第5マスク工程で反射電極28を覆う第3保護膜30が形成され、第1乃至第3保護膜22,26,30を貫通する第1及び第2コンタクトホール34,38が形成される。

## 【0029】

反射電極28を覆う第3保護膜30が形成され、第5マスクを利用したフォトリソグラフィ工程及び蝕刻工程で有機膜24の第1及び第2オープンホール35,37で第1乃至第3保護膜22,26,30を貫通する第1及び第2コンタクトホール34,38が形成される。第1及び第2コンタクトホ

10

20

30

40

50

ール34,38は夫々ドレイン電極18とストレージ上部電極20を露出させる。第3保護膜30には第2保護膜26の無機絶縁物質が利用される。

【0030】

図2Fを参照すると、第5マスク工程を利用して第3保護膜30上に画素電極32が形成される。

【0031】

第3保護膜30上にスパッタリングなどの蒸着方法で透明導電層が画形成され、第6マスクを利用したフォトリソグラフィ工程と蝕刻工程で透明導電層がパターンングされることにより各画素領域に画素電極32が形成される。画素電極32は第1及び第2コンタクトホール34,38を通じてドレイン電極18及びストレージ上部電極20と接続される。透明導電層には

10

【0032】

このように、従来の半透過型薄膜トランジスタ基板は6マスク工程で形成されるため、製造工程が複雑であるという短点がある。また、従来の半透過型薄膜トランジスタ基板では画素電極32と、ドレイン電極18及びストレージ上部電極20夫々の接続のために第1及び第2コンタクトホール34,38のマージンを十分に確保しなければならない。これに因って、透過領域の開口率が減少する短点がある。

【発明の開示】

【発明が解決しようとする課題】

【0033】

従って、本発明の目的は工程を単純化しながら透過領域の開口率を増大させることができる半透過型液晶表示装置及びその製造方法を提供することにある。

20

【課題を解決するための手段】

【0034】

前記目的を達成するために、本発明による液晶表示装置は、透明な第1導電層と不透明な第2導電層が積層された二重構造のゲートラインと；該ゲートライン上の第1絶縁膜と；前記ゲートラインと交差して画素領域を決定するデータラインと；前記ゲートライン及びデータラインと接続された薄膜トランジスタと；前記第1導電層と、その第1導電層の縁に沿って第2導電層が積層された構造で形成された画素電極と；前記ゲートラインと前記第1絶縁膜を間に置き重なってストレージキャパシタを形成するストレージ上部電極と；前記薄膜トランジスタを覆う第2絶縁膜を貫通して前記画素電極を露出させる透過ホールと；該透過ホールのエッジ部を通じて露出された前記ドレイン電極及びストレージ上部電極を前記画素電極と接続させる反射電極を備える。

30

【0035】

そして、本発明の一特徴による液晶表示装置の製造方法は、第1マスクを利用して透明な第1導電層と不透明な第2導電層の二重構造を有するゲートライン及びゲート電極、画素電極を含めるゲートパターンを形成する段階と；第2マスクを利用してゲートパターンを覆う第1絶縁膜と；その上に半導体層を形成すると共にデータライン、ソース電極、ドレイン電極、ストレージ上部電極を含めるソース/ドレインパターンを形成する段階と；第3マスクを利用して前記ソース/ドレインパターンを覆いながら透過領域で開口部を有する第2絶縁膜を形成する段階と；第4マスクを利用して前記透過領域で前記第1絶縁膜及び前記画素電極の第2導電層まで貫通して前記画素電極の第1導電層を露出させる透過ホールを形成する段階と；第5マスクを利用して前記透過ホールを通じて露出された前記ドレイン電極及びストレージ電極を前記画素電極と接続させる反射電極を形成する段階を含める。

40

【0036】

また、本発明の別の特徴による液晶表示装置の製造方法は、第1マスクを利用して透明な第1導電層と不透明な第2導電層の二重構造を有するゲートラインとゲート電極及び画素電極を含めるゲートパターンを形成する段階と；第2マスクを利用してゲートパターンを覆う第1絶縁膜と、その上に半導体層を形成すると共に、データライン、ソース電極、ド

50

レイン電極、ストレージ上部電極を含めるソース/ドレインパターンを形成する段階と；第3マスクを利用して前記画素電極の第1導電層を露出させる透過ホールを形成する段階と；第4マスクを利用して前記ソース/ドレインパターンを覆いながら前記透過ホールでオープンされた第2絶縁膜を形成する段階と；第5マスクを利用して前記透過ホールを通じて露出された前記ドレイン電極及びストレージ電極を前記画素電極と接続させる反射電極を形成する段階を含める。

【発明の効果】

【0037】

本発明による半透過型液晶表示装置の薄膜トランジスタ基板及びその製造方法は、透過ホールのエッジ部を経由する反射電極にドレイン電極及びストレージ上部電極を画素電極と接続させるようになる。これによって、一つのマスク工程を減らして5マスク工程で工程を単純化し得るだけでなく、ドレイン電極及びストレージ上部電極を画素電極と接続させるための別途のコンタクトホールらが不要になるため、その透過領域の開口率を増大させることができるようになる。

10

【0038】

また、本発明による半透過型液晶表示装置の薄膜トランジスタ基板及びその製造方法は、反射電極と同一の金属のコンタクト電極で互いに異なる層に形成されたデータリンク及びデータラインを接続させ、静電気防止素子の薄膜トランジスタらを相互接続させるようになる。これによって、5マスク工程で工程を単純化し得るようになる。

【0039】

換言すると、本発明による半透過型液晶表示装置の薄膜トランジスタ基板及びその製造方法は、反射電極AINdが画素電極の第2導電層Moを経由して第1導電層ITOと接続するようになるため、反射電極と画素電極とのコンタクト抵抗を減らすことができるようになる。また、反射電極をAINd/Moの二重構造に形成して画素電極の第1導電層ITOとのコンタクト抵抗を一層減少させることができるようになる。

20

【発明を実施するための最良の形態】

【0040】

〔実施例〕

以下、本発明の実施例を添付した図3～図21Eを参照して詳細に説明する。

【0041】

図3は本発明の実施例による半透過型薄膜トランジスタ基板を図示した平面図であり、図4は図3に図示された半透過型薄膜トランジスタ基板をII-II'、III-III'、IV-IV'線に沿って切断して図示した断面図である。

30

【0042】

図3及び図4に図示された半透過型薄膜トランジスタ基板は、下部基板142上にゲート絶縁膜144を間に置き交差して画素領域を定義するゲートライン102及びデータライン104、そのゲートライン102及びデータライン104と接続された薄膜トランジスタ106、各画素の反射領域に形成された反射電極152、各画素領域に形成され反射電極152を通じて薄膜トランジスタ106と接続された画素電極118を備える。そして、半透過型薄膜トランジスタ基板は反射電極152を通じて画素電極118に接続されたストレージ上部電極122と前端ゲートライン102と重なって形成されたストレージキャパシタ120、ゲートライン102と接続されたゲートパッド128、データライン104と接続されたデータパッド138を備える。このような半透過型薄膜トランジスタ基板で各画素領域は反射電極152が形成された反射領域と反射電極152が形成されていない透過領域に区分される。

40

【0043】

薄膜トランジスタ106はゲートライン102と接続されたゲート電極108、データライン104と接続されたソース電極110、該ソース電極110と向かい合っ画素電極118と接続されたドレイン電極112、ゲート絶縁膜144を間に置きゲート電極108と重なってソース電極110とドレイン電極112との間にチャンネルを形成する活性層114、ソース電極110及びドレイン電極112とのオーミック接触のためにチャンネル部を除いた活性層114上に形成された

50

オーミック接触層116を備える。このような薄膜トランジスタ106はゲートライン102のスクラン信号にตอบสนองしてデータライン104上のビデオ信号が画素電極118に充填されて維持されるようにする。

【0044】

ここで、ゲートライン102及びゲート電極108は透明導電層で成る第1導電層101と、その上に金属層で成る第2導電層103が積層された構造を有する。

そして、活性層114及びオーミック接触層116を含める半導体パターン115はデータライン104とも重なるように形成される。

【0045】

反射電極152は各画素の反射領域に形成されて外部光を反射させる。このような反射電極152はその下の有機膜148及び第2保護膜150の形状によってエンボス形状を有するようになることにより散乱効果で反射効率を増大させる。

【0046】

画素電極118は各画素領域に形成され透過ホール154のエッジ部を経由する反射電極152を通じてドレイン電極112と接続される。画素電極118はゲートライン102のように第1及び第2導電層101,103が積層された二重構造を有し、第2導電層103は透過ホール154を通じてオープンされて透明導電層である第1導電層101が透過領域に露出されるようにする。画素電極118は薄膜トランジスタを通じて供給された画素信号によりカラーフィルター基板(図示せず)の共通電極と電位差を発生させる。この電位差により誘電異方性を有する液晶が回転して反射領域と透過領域夫々の液晶層を経由する光の透過率を調節するため、前記ビデオ信号によって輝度が異なるようになる。

【0047】

透過ホール154は透過領域で画素電極118上のゲート絶縁膜144と、薄膜トランジスタ106上の第1保護膜146、有機膜148、第2保護膜150を貫通して形成される。これによって、反射領域と透過領域で液晶層を経由する光経路の長さが同一になるようになるので、反射モードと透過モードの透過効率が同じになる。

【0048】

ストレージキャパシタ120は画素電極118と接続されたストレージ上部電極122がゲート絶縁膜144を間に置き前端ゲートライン102と重なることにより形成される。ストレージ上部電極122は透過ホール154のエッジ部を経由する反射電極152を通じて画素電極118と接続され、ストレージ上部電極122の下には半導体パターン115が更に重なる。

【0049】

ゲートライン102はゲートパッド128を通じてゲートドライバー(図示せず)と接続される。ゲートパッド128はゲートライン102の第1及び第2導電層101,103が延長されて形成され、第1導電層101は第2保護膜150から第2導電層103まで貫通する第1コンタクトホール130を通じて露出される。

【0050】

データライン104はデータパッド138を通じてデータドライバー(図示せず)と接続される。データパッド138はゲートパッド128のように第1及び第2導電層101,103が積層された二重構造を有し、第1導電層101は第2保護膜150から第2導電層103まで貫通する第2コンタクトホール140を通じて露出される。このようなデータパッド138は別途のコンタクト電極(図示せず)を通じてデータライン104と接続される。

【0051】

このように、本発明の実施例による半透過型薄膜トランジスタ基板では透過ホール154のエッジ部を経由する反射電極152を通じて画素電極118がドレイン電極112及びストレージ上部電極122と接続される。これによって、画素電極118とドレイン電極112及びストレージ上部電極122との接続のための別途のコンタクトホールが不要になるので、その位透過領域の開口率を増大させることができるようになる。

【0052】

そして、反射電極152は画素電極118の第1及び第2導電層101,103全てと接続される。こ

れによって、反射電極152にAINdを、画素電極118の第1導電層101にITOを、第2導電層103にMoを利用する場合、AINdとITOがMoを通じて接続されることによりAl<sub>2</sub>O<sub>3</sub>生成に因るAINdとITOとのコンタクト抵抗を減少させることができるようになる。

【0053】

このような構成を有する本発明の実施例による薄膜トランジスタ基板は次の通り5マスク工程で形成される。

【0054】

図5と図5Bは本発明の実施例による半透過型薄膜トランジスタ基板製造方法のうち第1マスク工程を説明するための平面図と断面図である。

【0055】

第1マスク工程で下部基板142上にゲートライン102、そのゲートライン102と接続されたゲート電極108及びゲートパッド128、データパッド138、画素電極118を含めるゲートパターンが形成される。このようなゲートパターンは第1及び第2導電層101,103が積層された二重構造に形成される。

【0056】

具体的に、下部基板142上にスパッタリング方法などの蒸着方法により第1及び第2導電層101,103が積層される。積層された第1及び第2導電層101,103は第1マスクを利用したフォトリソグラフィ工程及び蝕刻工程でパターニングされることによりゲートライン102、ゲート電極108及びゲートパッド128、データパッド138、画素電極118を含めるゲートパターンが形成される。第1導電層101にはITO、TlO、IZOなどのような透明導電層物質が、第2導電層103にはMo、Ti、Cu、Al(Nd)系などのような金属物質が利用される。

【0057】

図6Aと図6Bは本発明の実施例による薄膜トランジスタ基板製造方法のうち第2マスク工程を説明するための平面図と断面図であり、図7A~7Eは第2マスク工程を具体的に説明するための断面図らである。

【0058】

ゲートパターンが形成された下部基板142上にゲート絶縁膜144が形成され、その上に第2マスク工程でデータライン104、ソース電極110、ドレイン電極112、ストレージ上部電極122を含めるソース/ドレインパターンと、ソース/ドレインパターンの背面に沿って重なる活性層114及びオーミック接触層116を含める半導体パターン115が形成される。このような半導体パターン115とソース/ドレインパターンは回折露光マスクを利用した一つのマスク工程で形成される。

【0059】

具体的に、図7Aの通り、ゲートパターンが形成された下部基板142上にゲート絶縁膜144、非晶質シリコン層105、不純物( $n^+$ または $p^+$ )がドーピングされた非晶質シリコン層107、ソース/ドレイン金属層109が順次に形成される。例えば、ゲート絶縁膜144、非晶質シリコン層105、不純物がドーピングされた非晶質シリコン層107はPECVD方法で、ソース/ドレイン金属層109はスパッタリング方法で形成される。ゲート絶縁膜144にはシリコン酸化物SiO<sub>x</sub>、シリコン窒化物SiN<sub>x</sub>などのような無機絶縁物質が、ソース/ドレイン金属層109にはCr、Mo、MoW、Al/Cr、Cu、Al(Nd)、Al/Mo、Al(Nd)/Al、Al(Nd)/Cr、Mo/Al(Nd)/Mo、Cu/Mo、Ti/Al(Nd)/Tiなどが利用され、二重層の例えばAl/Crである場合、Crを先ず形成した後Alを形成することを言う。

【0060】

そして、ソース/ドレイン金属層109上にフォトレジスト219が塗布された後、回折露光マスク210を利用したフォトリソグラフィ工程でフォトレジスト219を露光及び現象することにより、図7Bに図示された通り、段差を有するフォトレジストパターン220が形成される。

【0061】

回折露光マスク210は透明な石英基板212と、その上にCrなどのような金属層で形成された遮断層214及び回折露光用スリット216を備える。遮断層214は半導体パターン及びソー

10

20

30

40

50

ス/ドレインパターンが形成される領域に位置して紫外線を遮断することにより現象後に第1フォトレジストパターン220Aが残るようにする。回折露光用スリット216は薄膜トランジスターのチャンネルが形成される領域に位置して紫外線を回折させることにより現象後に第1フォトレジストパターン220Aより薄い第2フォトレジストパターン220Bが残るようにする。

【0062】

続いて、段差を有するフォトレジストパターン220を利用した蝕刻工程でソース/ドレイン金属層109がパターンニングされることにより、図7Cに図示された通り、ソース/ドレインパターンと、その下の半導体パターン115が形成される。この場合、ソース/ドレインパターンのうちソース電極110とドレイン電極112は一体化された構造を有する。

10

【0063】

その次に、酸素 $O_2$ プラズマを利用したアッシング工程でフォトレジストパターン220をアッシングすることにより、図7Dに図示された通り、第1フォトレジストパターン220Aは薄くなり、第2フォトレジストパターン220Bは除去される。そして、アッシングされた第1フォトレジストパターン220Aを利用した蝕刻工程で第2フォトレジストパターン220Bの除去で露出されたソース/ドレインパターンと、その下のオーミック接触層116が除去されることによりソース電極110とドレイン電極112は分離され活性層114が露出される。これによって、ソース電極110とドレイン電極112との間には活性層114で成るチャンネルが形成される。この際、アッシングされた第1フォトレジストパターン220Aに従ってソース/ドレインパターンの両側部が一度更に蝕刻されることによりソース/ドレインパターンと半導体パターン115は階段形態で一定の段差を有するようになる。

20

【0064】

そして、ストリップ工程でソース/ドレインパターン上に残存していた第1フォトレジストパターン220Aが図7Eの通り除去される。

【0065】

図8Aと図8Bは本発明の実施例による薄膜トランジスター基板製造方法のうち第3マスク工程を説明するための平面図と断面図である。

【0066】

ソース/ドレインパターンが形成されたゲート絶縁膜144上に第1保護膜146が形成され、その上に第3マスク工程で透過領域での開口部155と、反射領域でのエンボス表面を有する有機膜148が形成される。

30

【0067】

具体的に、ソース/ドレインパターンが形成されたゲート絶縁膜144上にPECVDなどの蒸着方法で第1保護膜146が形成され、その上にスピンコーティングなどで有機膜148が形成される。第1保護膜146には、ゲート絶縁膜144のような無機絶縁物質が、有機膜148にはアクリルなどのような感光性有機物質が利用される。

【0068】

その次に、第3マスクを利用したフォトリソグラフィ工程で有機膜148をパターンニングすることにより第3マスクの透過部に対応して透過領域で有機膜148を貫通する開口部155が形成され、ゲートパッド128及びデータパッド138が形成されたパッド領域の有機膜148が除去される。

40

【0069】

また、第3マスクから透過部を除いた残り部分が遮断部と回折露光部(または半透過部)が繰り返られる構造を有するようになり、これに対応して有機膜148は反射領域で段差を有する遮断領域(突出部)及び回折露光領域(溝部)が繰り返られる構造でパターンニングされる。続いて、突出部及び溝部が繰り返えられた有機膜148を塑性することにより反射領域で有機膜148の表面はエンボス形状を有するようになる。一方、有機膜148の開口部155はそのエッジ部がドレイン電極112及びストレージ上部電極122と重なるようにすることによりドレイン電極112及びストレージ上部電極122のエッジ部が開口部155側へ突出することができるようにする。

50

## 【0070】

図9Aと9Bは本発明の実施例による薄膜トランジスタ基板製造方法のうち第4マスク工程を説明するための平面図と断面図である。

## 【0071】

第4マスク工程で有機膜148上にエンボス形状を維持する第2保護膜150が形成され、その第2保護膜150からゲートパターンの第2導電層103まで貫通する第1及び第2コンタクトホール130,140と透過ホール154が形成される。

## 【0072】

具体的に、有機膜148上にPECVDなどの蒸着方法で第2保護膜150が形成される。第2保護膜150には第1保護膜146のような無機絶縁物質が利用される。続いて、第4マスクを利用したフォトリソグラフィ工程及び蝕刻工程で有機膜148の開口部155が形成された各画素の透過領域に透過ホール154が、パッド領域に第1及び第2コンタクトホール130,140が形成される。透過ホール154は有機膜148の開口部155内で第2保護膜150、第1保護膜146、ゲート絶縁膜144、画素電極118の第2導電層103を貫通するように形成される。これによって、透過ホール154を通じて画素電極118の第1導電層101が露出され、露出されなかった第1導電層101の縁には第2導電層103が残存するようになる。また、透過ホール154のエッジ部を通じて有機膜148の開口部155側へ突出したドレイン電極112及びストレージ上部電極122のエッジ部が露出される。第1及び第2コンタクトホール130,140はゲートパッド128及びデータパッド138夫々の上で第2保護膜150からゲートパッド128及びデータパッド138夫々の第2導電層103まで貫通するように形成される。これによって、第1及び第2コンタクトホール130,140夫々を通じてゲートパッド128及びデータパッド138の第1導電層101が露出され、露出されなかった第1導電層101の縁には第2導電層103が残存するようになる。

## 【0073】

図10Aと図10Bは本発明の実施例による薄膜トランジスタ基板製造方法のうち第5マスク工程を説明するための平面図と断面図である。

## 【0074】

第5マスク工程で各画素反射領域の第2保護膜150上に反射電極152が形成される。

具体的に、エンボス表面を有する第2保護膜150上に反射金属層がエンボス形状を維持して形成される。反射金属層にはAINdなどのように反射率が高い金属が利用される。続いて、第5マスクを利用したフォトリソグラフィ工程及び蝕刻工程で反射金属層がパターニングされることにより各画素の反射領域毎に反射電極152が形成される。このような反射電極152は透過ホール154のエッジ部を経由してドレイン電極112と画素電極118を接続させ、ストレージ上部電極122と画素電極118を接続させるようになる。これによって、画素電極118とドレイン電極112及びストレージ上部電極122との接続のための別途のコンタクトホールが不要になるので、透過領域の開口率を増大させることができるようになる。

## 【0075】

また、反射電極152は画素電極118の第1導電層101と接続されながら透過ホール154のエッジ部を通じて露出された第2導電層103(Mo)のエッジ部とも接続されるため、反射電極152(AINd)と第1導電層101(ITO)とのコンタクト抵抗を減少させることができるようになる。

## 【0076】

このように、本発明の実施例による半透過型薄膜トランジスタ基板の製造方法は、反射電極152で画素電極118とドレイン電極112及びストレージ上部電極122を接続させることにより一つのマスク工程を減らすことができるようになる。

## 【0077】

図11は本発明の実施例による半透過型薄膜トランジスタ基板の周辺部を概略的に図示したものである。

図11に図示された半透過型トランジスタ基板100は、ゲートパッド128と同一層に形成されたデータパッド138をデータライン104と接続させるためのコンタクト電極160を備える。再言すると、コンタクト電極160はデータパッド138から伸長されたデータリンク136とデータライン104を接続させる。ここで、コンタクト電極160はアクティブ領

10

20

30

40

50

域182に形成される反射電極152と同一の金属層AlNd、AlNd/Moで形成することにする。このようなコンタクト電極160は外部へ露出される場合には酸化作用により腐蝕される問題があるため、シーリング材180により密封される領域、即ち、シーリング材180とアクティブ領域182との間に位置することにより腐蝕を防止することができる。

#### 【0078】

また、薄膜トランジスタ基板100はアクティブ領域182へ流入する静電気を遮断するための静電気防止素子190を備える。静電気防止素子190はデータライン104またはゲートライン102と接続され、相互接続関係を有する多数個の薄膜トランジスタら300,310,320で構成される。静電気防止素子190は静電気などによる高電圧領域では低いインピーダンスを有するため過電流が放電されるようにすることにより静電気の流入を遮断し、正常的な駆動環境では高いインピーダンスを有するためデータライン104またはゲートライン102を通じて供給される駆動信号には影響を与えないようにする。このような静電気防止素子190は薄膜トランジスタら300,310,320を相互接続させるために多数のコンタクト電極らを必要とする。このような多数のコンタクト電極らも反射電極152と同一の金属層AlNd、AlNd/Moで形成することにする。これによって、静電気防止素子190もシーリング材180により密封される領域、即ち、シーリング材180とアクティブ領域182との間に形成される。

10

#### 【0079】

図12は図11に図示されたデータライン104と接続されたコンタクト電極100及び静電気防止素子190を具体的に図示した平面図であり、図13は図12に図示された薄膜トランジスタ基板をV-V'、VI-VI'線に沿って切断して図示した断面図である。

20

#### 【0080】

図12と図13に図示されたデータライン104は、シーリング材180で密封される領域で第1コンタクト電極160を通じてデータパッド138から伸長されたデータリンク136と接続される。データリンク136はデータパッド138のように第1及び第2導電層101,103が積層された二重構造を有する。第1コンタクト電極160は第2保護膜150からデータライン104及び半導体パターン115まで貫通する第3コンタクトホール162を通じてデータライン104と側面接続される。また、コンタクト電極160は第2保護膜150からデータリンク136の第2導電層103まで貫通する第4コンタクトホール164を通じてデータリンク136と接続される。

30

#### 【0081】

データライン104と接続された静電気防止素子は、第2乃至第4薄膜トランジスタ300,310,320を備える。

#### 【0082】

第2薄膜トランジスタ300は、データライン104と接続された第2ソース電極304と、その第2ソース電極304と対向する第2ドレイン電極306と、第2ソース及びドレイン電極304,306と半導体パターン115及びゲート絶縁膜144を間に置き重なる第2ゲート電極302を備える。ここで、第2ゲート電極302は第1及び第2導電層101,103の二重構造を有する。

#### 【0083】

第3薄膜トランジスタ310は第2薄膜トランジスタの第2ソース電極304と第2ゲート電極302との間にダイオード型で接続される。これのために、第3薄膜トランジスタ310は前記第2ソース電極304と接続された第3ソース電極314と、その第3ソース電極314と対向する第3ドレイン電極316と、その第3ソース及びドレイン電極314,316と半導体パターン115及びゲート絶縁膜144を間に置き重なる第3ゲート電極312を備える。ここで、第3ゲート電極312は第1及び第2導電層101,103の二重構造を有する。そして、第3ゲート電極312は第2コンタクト電極332を通じて第3ソース電極314と接続される。再言すると、第3コンタクト電極332は第2保護膜150から第3ドレイン電極316及び半導体パターン115まで貫通する第5コンタクトホール340と、第2保護膜150から第3ゲート電極312の第2導電層103まで貫通する第6コンタクトホール342に亘って形成されることにより第3ドレイン電極316と第3ゲート電極312を接続させる。

40

50

## 【0084】

第4薄膜トランジスタ320は前記第2薄膜トランジスタの第2ドレイン電極306と第2ゲート電極302との間にダイオード型で接続される。これのために、第4トランジスタ320は前記第2ドレイン電極306と接続された第4ソース電極324と、その第4ソース電極324と対向する第4ドレイン電極326と、その第4ソース及びドレイン電極324,326と半導体パターン115及びゲート絶縁膜144を間に置き重なる第4ゲート電極322を備える。ここで、第4ゲート電極322は第1及び第2導電層101,103の二重構造を有する。そして、第4ドレイン電極326は第3ドレイン電極316と接続され、第7及び第8コンタクトホール344,346に亘って形成された第3コンタクト電極334を通じて第2ゲート電極302と接続される。また、第4ゲート電極332は第9及び第10コンタクトホール348,350に亘って形成された第4コンタクト電極336を通じて第4ソース電極324と接続される。

10

## 【0085】

ここで、第1乃至第4コンタクト電極160,332,334,336は、前述の通り、反射電極152と同一の金属層で形成される。

## 【0086】

このような構造を有する半透過型薄膜トランジスタ基板は、前述の通り、5マスク工程で形成する。これを図14A乃至図18Bを参照して説明することにする。

## 【0087】

図14Aと図14Bを参照すると、第1マスク工程で下部基板142上にデータパッド138と共にデータリンク136、第2乃至第4ゲート電極302,312,322を含めるゲートパターンが形成される。このような第1マスク工程は図5Aと図5Bで前述した通りである。

20

## 【0088】

図15Aと図15Bを参照すると、第2マスク工程でゲート絶縁膜144と、活性層114及びオーミック接触層116を含める半導体パターン115と、データライン104、第2乃至第4ソース電極304,314,324、第2乃至第4ドレイン電極306,316,326を含めるソース/ドレインパターンが形成される。このような第2マスク工程は、図6A乃至図7Eで前述した通りである。

## 【0089】

図16Aと16Bを参照すると、第3マスク工程で第1保護膜146が形成され、その上に第3乃至第10開口部161,163,339,341,343,345,347,349を有する有機膜148が形成される。このような第3マスク工程は図8Aと図8Bで前述した通りである。この場合、有機膜148はパッド領域からは除去され、画素領域のように反射電極152が形成されない部分ではエンボス表面を有しない。

30

## 【0090】

図17Aと図17Bを参照すると、第4マスク工程で第2保護膜150が形成され、有機膜148の第3乃至第10開口部161,163,339,341,343,345,347,349と重なる第3乃至第10コンタクトホール162,164,340,342,344,346,348,350が形成される。このような第4マスク工程は図9Aと図9Bで前述した通りである。

## 【0091】

図18Aと図18Bを参照すると、第5マスク工程で前述した反射電極152と同一の金属で第1乃至第4コンタクト電極160,332,334,336が形成される。このような第5マスク工程は図10Aと図10Bで前述した通りである。

40

## 【0092】

図19は本発明の第2実施例による半透過型薄膜トランジスタ基板でII-II'線に沿った1画素領域と、V-V'線に沿ったデータライン104とデータリンク136のコンタクト領域を図示した断面図である。

## 【0093】

図19に図示された半透過型薄膜トランジスタ基板は、図4と図13に図示された半透過型薄膜トランジスタ基板と対比して反射電極252及び第1コンタクト電極262が第1及び第2導電層254,256の二重構造で形成されたことを除いては同一の構成要素らを備えている。従って、重複する構成要素らについての説明は省略することにする。

50

## 【0094】

図19に図示された反射電極252及び第1コンタクト電極262において第1導電層254はMoなどのように画素電極118及びデータリンク136の透明な第1導電層101とコンタクト抵抗率が低い金属を、第2導電層356はAlNdなどのように反射率が高い金属を利用する。これによって、反射電極252及び第1コンタクト電極262の第2導電層256(AlNd)が画素電極118及びデータリンク136の第1導電層101(ITO)と直接接続してAl2O3層が生成されるのを防止することができるようになる。これによって、反射電極252及び画素電極118のコンタクト抵抗と、第1コンタクト電極160とデータリンク136のコンタクト抵抗を低めることができるようになる。

## 【0095】

図20は本発明の第3実施例による半透過型薄膜トランジスタ基板においてII-II'線に沿った1画素領域と、V-V'線に沿ったデータライン104とデータリンク136のコンタクト領域を図示した断面図である。

## 【0096】

図20に図示された半透過型薄膜トランジスタ基板は、図4と図13に図示された半透過型薄膜トランジスタ基板と対比して有機膜148上の第2保護膜150が除去されたことを除いては同一の構成要素らを備えている。従って、重複する構成要素らについての説明は省略することにする。

## 【0097】

図4と図13に図示された第2保護膜150は、有機膜148と反射電極152の接着力を強化させるためのものであるが、図20のように省略可能である。第2保護膜150を省略する場合、透過ホール154と第1乃至第4コンタクトホール130,140,162,164は有機膜148が形成される以前の第1保護膜146工程で形成されなければならない。このような構造を有する半透過型薄膜トランジスタ基板の製造方法は次の通りである。

## 【0098】

図21A乃至図21Eは図20に図示された半透過型薄膜トランジスタ基板の製造方法を段階的に説明するための断面図である。

## 【0099】

図21Aを参照すると、第1マスク工程で下部基板142上にゲートライン102、ゲート電極108、画素電極118、データリンク136などを含めるゲートパターンが形成される。ゲートパターンは透明な第1導電層101と、第2導電層103が積層された二重構造を有する。このような第1マスク工程は図5Aと図5Bで前述した通りである。

## 【0100】

図21Bを参照すると、第2マスク工程でゲート絶縁膜144と、活性層114及びオーミック接触層116を含める半導体パターン115と、データライン104、ソース電極110、ドレイン電極112、ストレージ上部電極122を含めるソース/ドレインパターンが形成される。このような第2マスク工程は図6A乃至図7Eで前述した通りである。

## 【0101】

図21Cを参照すると、第3マスク工程でソース/ドレインパターンを覆う保護膜146が形成され、透過領域で画素電極118の第1導電層101を露出させる透過ホール154、コンタクト領域でデータライン104及び半導体パターン115まで貫通してデータライン104の側面を露出させる第3コンタクトホール162、データリンク136の第1導電層101を露出させる第4コンタクトホール164が形成される。

## 【0102】

図21Dを参照すると、第4マスク工程で保護膜146上に前記透過ホール154と第3及び第4コンタクトホール162,164でオープンされた有機膜148が形成される。また、有機膜148はパッド領域でもオープンされ、後続工程で反射電極152が形成される反射領域にのみエンボス表面を有する。このような第4マスク工程は図8Aと図8Bで前述した通りである。

## 【0103】

図21Eを参照すると、第5マスク工程で反射電極152とコンタクト電極160が形成される。

10

20

30

40

50

このような第5マスク工程は図10Aと図10Bで前述した通りである。

【0104】

以上で説明した内容により当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることを分かるであろう。従って、本発明の技術的範囲は明細書の詳細な説明に記載された内容に限定されるのではなく特許請求の範囲により定められるべきであろう。

【図面の簡単な説明】

【0105】

【図1】従来の半透過型液晶パネルの一部を図示した断面図である。

【図2A】図1に図示された半透過型薄膜トランジスター基板の製造方法を具体的に説明するための断面図である。 10

【図2B】図1に図示された半透過型薄膜トランジスター基板の製造方法を具体的に説明するための断面図である。

【図2C】図1に図示された半透過型薄膜トランジスター基板の製造方法を具体的に説明するための断面図である。

【図2D】図1に図示された半透過型薄膜トランジスター基板の製造方法を具体的に説明するための断面図である。

【図2E】図1に図示された半透過型薄膜トランジスター基板の製造方法を具体的に説明するための断面図である。

【図2F】図1に図示された半透過型薄膜トランジスター基板の製造方法を具体的に説明するための断面図である。 20

【図3】本発明の実施例による半透過型薄膜トランジスター基板を部分的に図示した平面図である。

【図4】図3に図示された半透過型薄膜トランジスター基板をII-II'、III-III'、IV-IV'線に沿って切断して図示した断面図である。

【図5A】本発明の実施例による半透過型薄膜トランジスター基板の第1マスク工程を説明するための平面図である。

【図5B】本発明の実施例による半透過型薄膜トランジスター基板の第1マスク工程を説明するための断面図である。

【図6A】本発明の実施例による半透過型薄膜トランジスター基板の第2マスク工程を説明するための平面図である。 30

【図6B】本発明の実施例による半透過型薄膜トランジスター基板の第2マスク工程を説明するための断面図である。

【図7A】は本発明の第2マスク工程を具体的に説明するための断面図である。

【図7B】は本発明の第2マスク工程を具体的に説明するための断面図である。

【図7C】は本発明の第2マスク工程を具体的に説明するための断面図である。

【図7D】は本発明の第2マスク工程を具体的に説明するための断面図である。

【図7E】は本発明の第2マスク工程を具体的に説明するための断面図である。

【図8A】本発明の実施例による半透過型薄膜トランジスター基板の第3マスク工程を説明するための平面図である。 40

【図8B】本発明の実施例による半透過型薄膜トランジスター基板の第3マスク工程を説明するための断面図である。

【図9A】本発明の実施例による半透過型薄膜トランジスター基板の第4マスク工程を説明するための平面図である。

【図9B】本発明の実施例による半透過型薄膜トランジスター基板の第4マスク工程を説明するための断面図である。

【図10A】本発明の実施例による半透過型薄膜トランジスター基板の第5マスク工程を説明するための平面図である。

【図10B】本発明の実施例による半透過型薄膜トランジスター基板の第5マスク工程を説明するための断面図である。 50

【図 1 1】本発明の実施例による半透過型薄膜トランジスタ基板の周辺部を主に概略的に図示した平面図である。

【図 1 2】図 1 1 に図示されたデータライン及びデータリンクのコンタクト領域と静電気防止素子領域を具体的に図示した平面図である。

【図 1 3】図 1 2 に図示された半透過型薄膜トランジスタ基板を V - V '、V I - V I ' 線に沿って切断して図示した断面図である。

【図 1 4 A】図 1 3 に図示された半透過型薄膜トランジスタ基板の第 1 マスク工程を説明するための平面図である。

【図 1 4 B】図 1 3 に図示された半透過型薄膜トランジスタ基板の第 1 マスク工程を説明するための断面図である。

【図 1 5 A】図 1 3 に図示された半透過型薄膜トランジスタ基板の第 2 マスク工程を説明するための平面図である。

【図 1 5 B】図 1 3 に図示された半透過型薄膜トランジスタ基板の第 2 マスク工程を説明するための断面図である。

【図 1 6 A】図 1 3 に図示された半透過型薄膜トランジスタ基板の第 3 マスク工程を説明するための平面図である。

【図 1 6 B】図 1 3 に図示された半透過型薄膜トランジスタ基板の第 3 マスク工程を説明するための断面図である。

【図 1 7 A】図 1 3 に図示された半透過型薄膜トランジスタ基板の第 4 マスク工程を説明するための平面図である。

【図 1 7 B】図 1 3 に図示された半透過型薄膜トランジスタ基板の第 4 マスク工程を説明するための断面図である。

【図 1 8 A】図 1 3 に図示された半透過型薄膜トランジスタ基板の第 5 マスク工程を説明するための平面図である。

【図 1 8 B】図 1 3 に図示された半透過型薄膜トランジスタ基板の第 5 マスク工程を説明するための断面図である。

【図 1 9】本発明の第 2 実施例による薄膜トランジスタ基板を図示した断面図である。

【図 2 0】本発明の第 3 実施例による薄膜トランジスタ基板を図示した断面図である。

【図 2 1 A】図 2 0 に図示された半透過型薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図 2 1 B】図 2 0 に図示された半透過型薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図 2 1 C】図 2 0 に図示された半透過型薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図 2 1 D】図 2 0 に図示された半透過型薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図 2 1 E】図 2 0 に図示された半透過型薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【符号の説明】

【0 1 0 6】

2, 142 : 下部基板

4, 102 : ゲートライン

6, 108, 302, 212, 322 : ゲート電極

8, 144 : ゲート絶縁膜

10, 114 : 活性層

12, 116 : オーミック接触層

16, 110, 304, 314, 324 : ソース電極

18, 112, 306, 316, 326 : ドレイン電極

20, 122 : ストレージ上部電極

22, 26, 30, 146, 150 : 保護膜

10

20

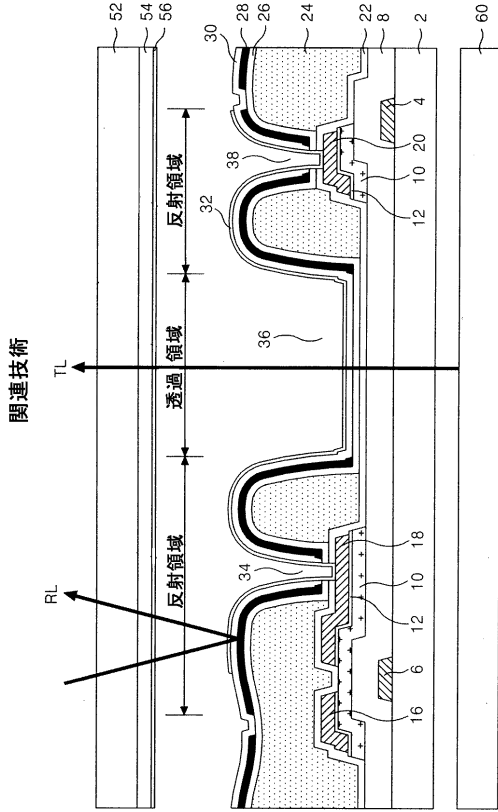
30

40

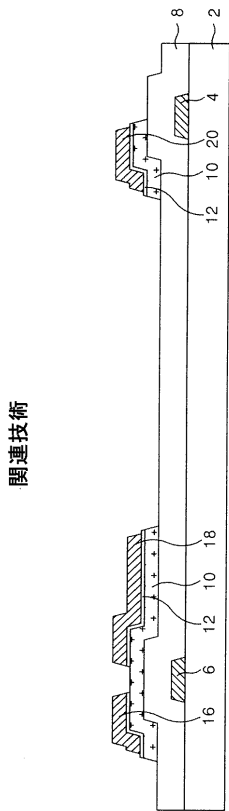
50

24, 148 : 有機膜	
28, 152, 252 : 反射電極	
32, 118 : 画素電極	
34, 38, 130, 140, 162, 164, 340, 342, 344, 346, 348, 350 : コンタクトホール	
35, 37, 155, 161, 163, 339, 341, 343, 345, 347, 349 : 開口部	
36, 154 : 透過ホール	
52 : 上部基板	
54 : カラーフィルター	
56 : 共通電極	
100 : 薄膜トランジスター基板	10
101, 254 : 第1導電層	
103, 256 : 第2導電層	
106, 300, 310, 320 : 薄膜トランジスター	
115 : 半導体パターン	
128 : ゲートパッド	
136 : データーリンク	
138 : データーパッド	
160, 262, 332, 334, 336 : コンタクト電極	
180 : シーリング材	
182 : アクティブ領域	20
190 : 静電気防止素子	
210 : 回折露光マスク	
212 : 石英基板	
214 : 遮断層	
216 : スリット	
219 : フォトレジスト	
105 : 非晶質シリコン層	
107 : 不純物がドーピングされた非晶質シリコン層	
109 : ソース/ドレイン金属層	
220 : フォトレジストパターン	30
220A : 第1フォトレジストパターン	
220B : 第2フォトレジストパターン	

【 図 1 】

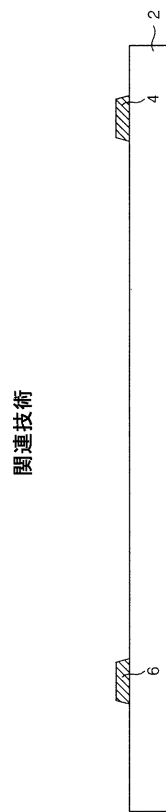


【 図 2 B 】



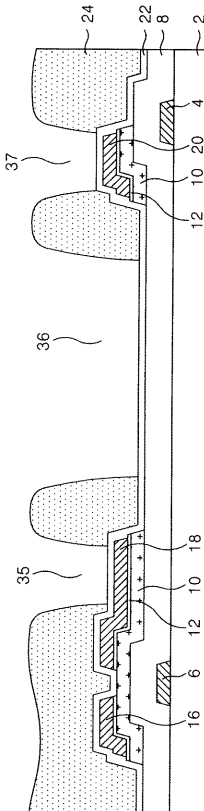
関連技術

【 図 2 A 】



関連技術

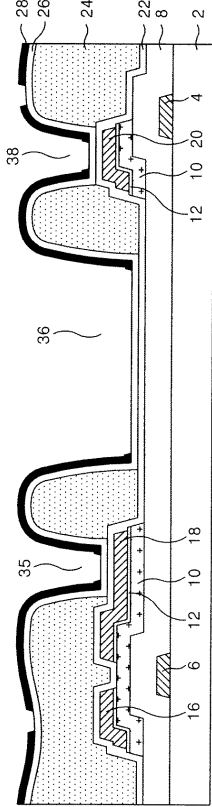
【 図 2 C 】



関連技術

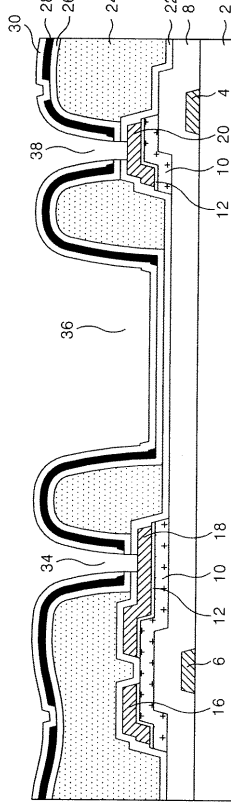
関連技術

【図 2 D】



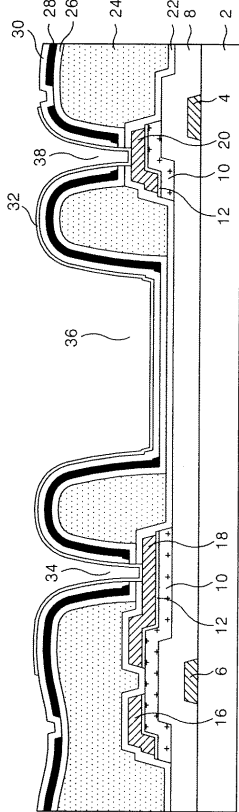
関連技術

【図 2 E】

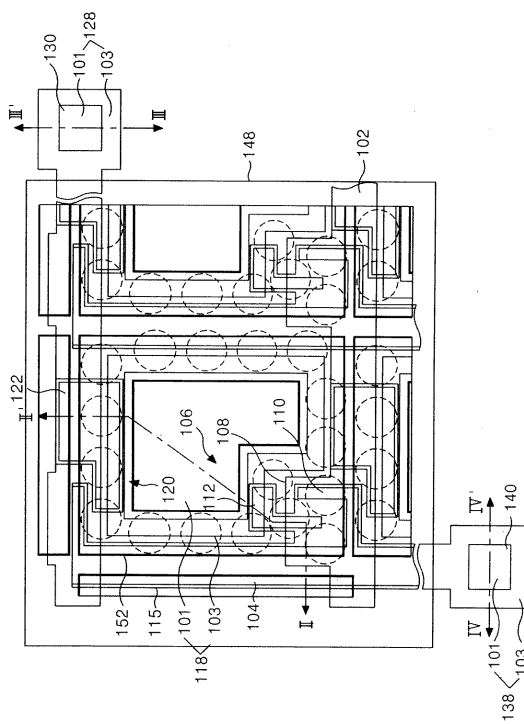


関連技術

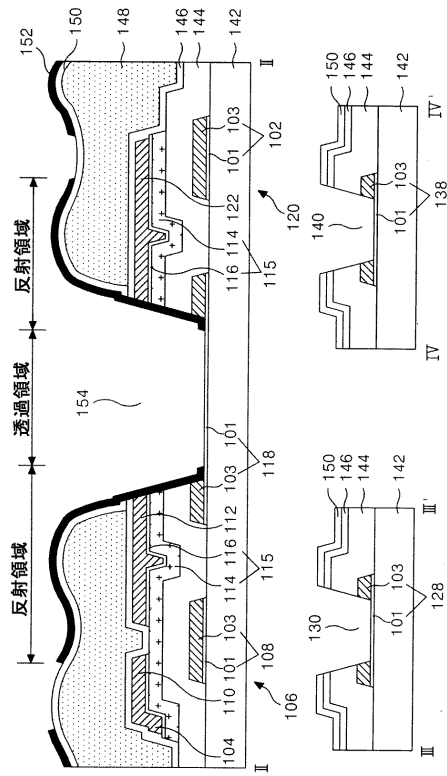
【図 2 F】



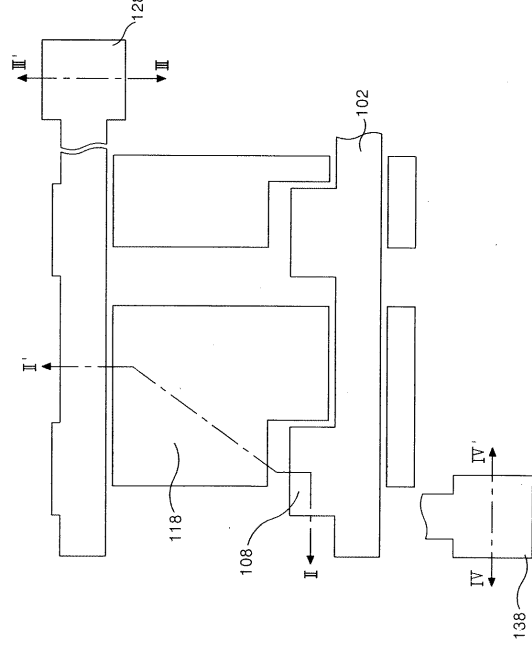
【図 3】



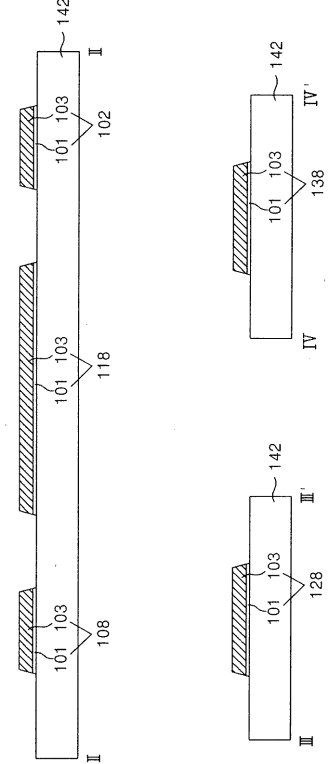
【 図 4 】



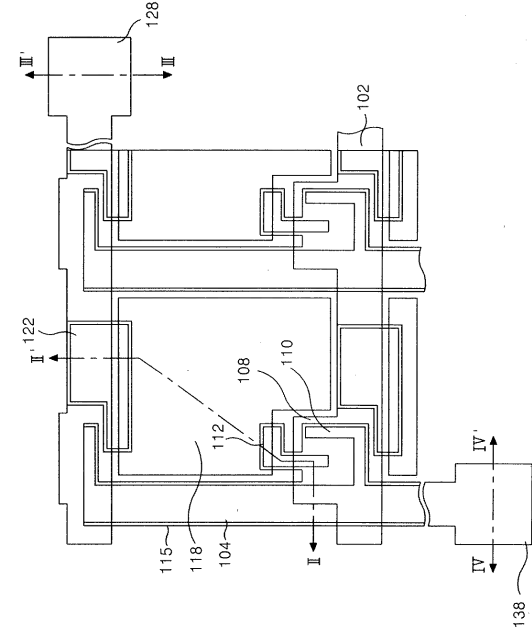
【 図 5 A 】



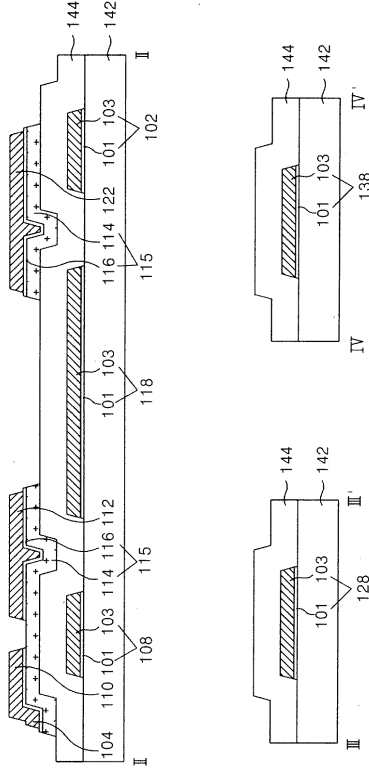
【 図 5 B 】



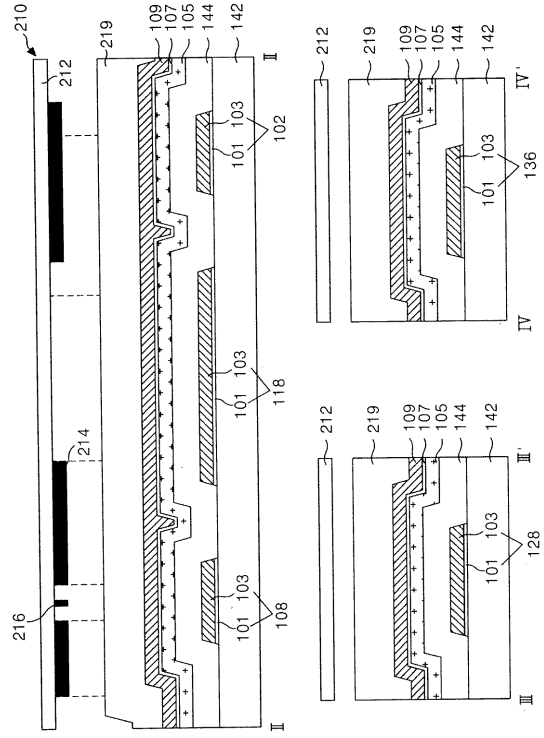
【 図 6 A 】



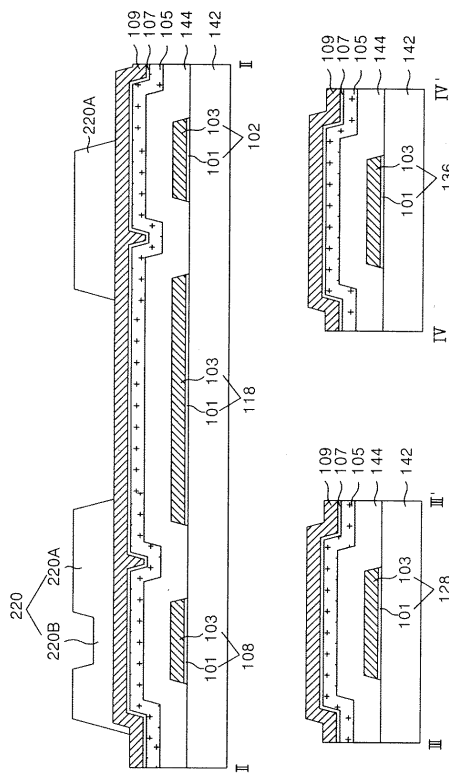
【 図 6 B 】



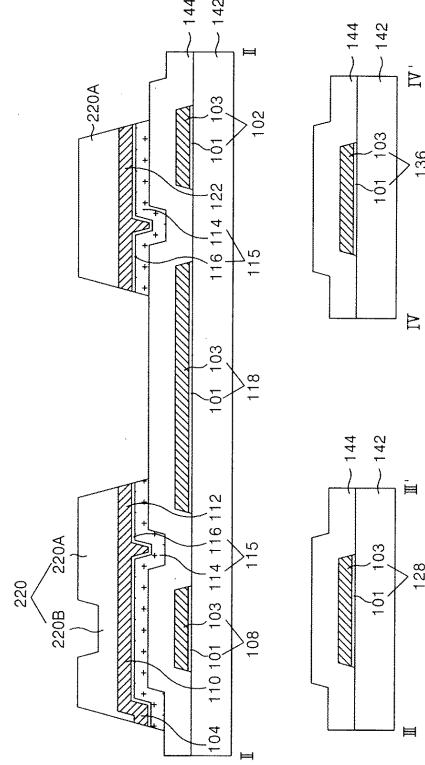
【 図 7 A 】



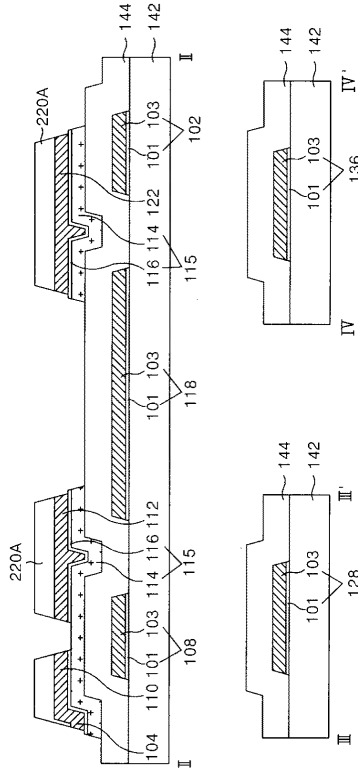
【 図 7 B 】



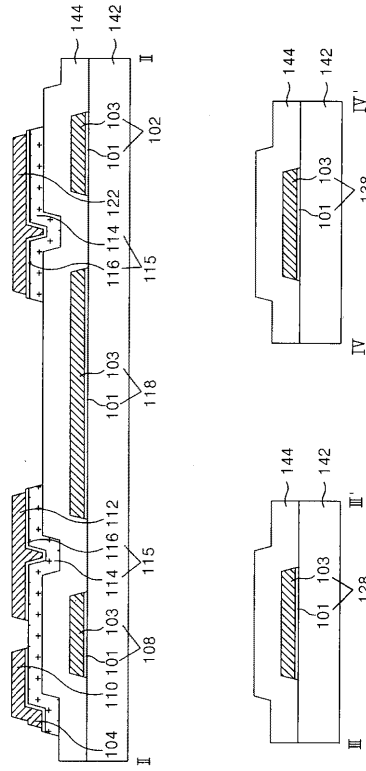
【 図 7 C 】



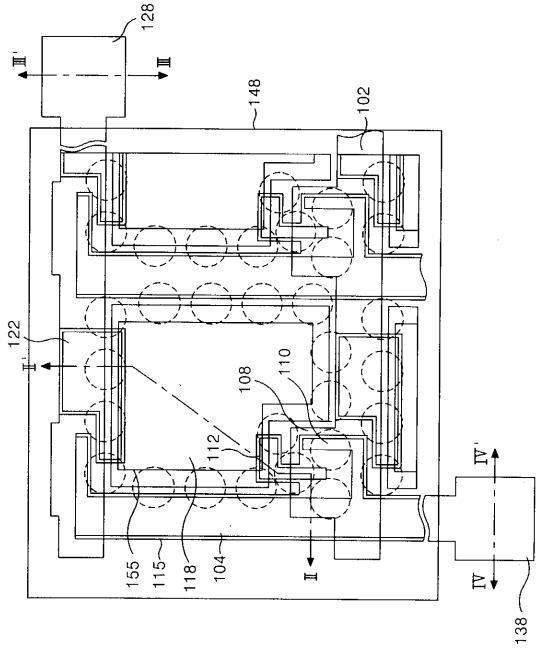
【図 7 D】



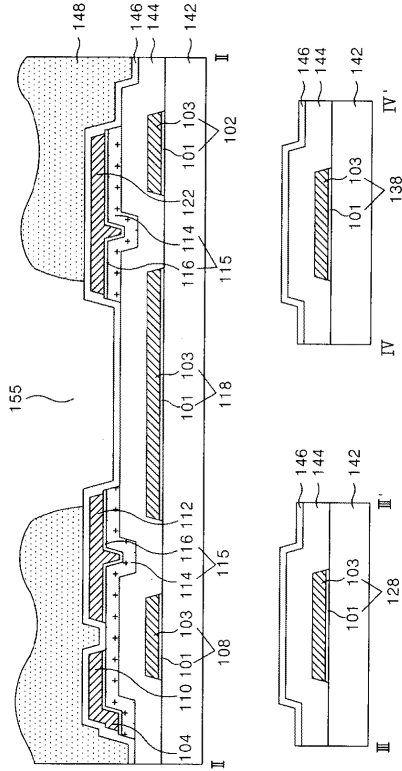
【図 7 E】



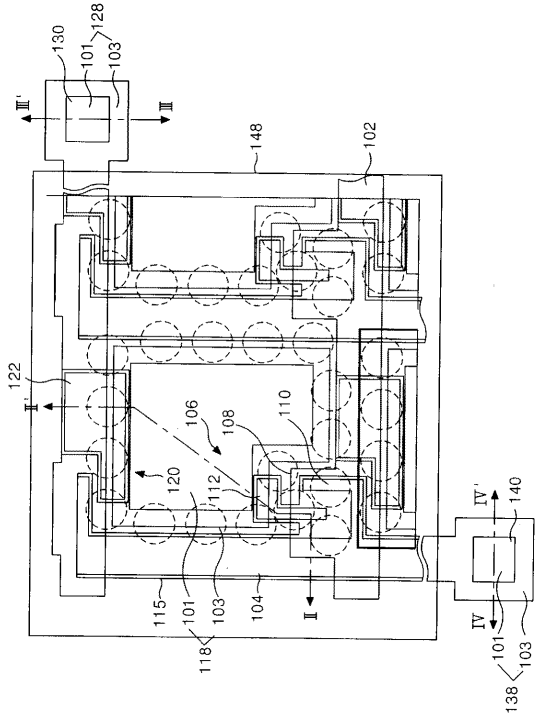
【図 8 A】



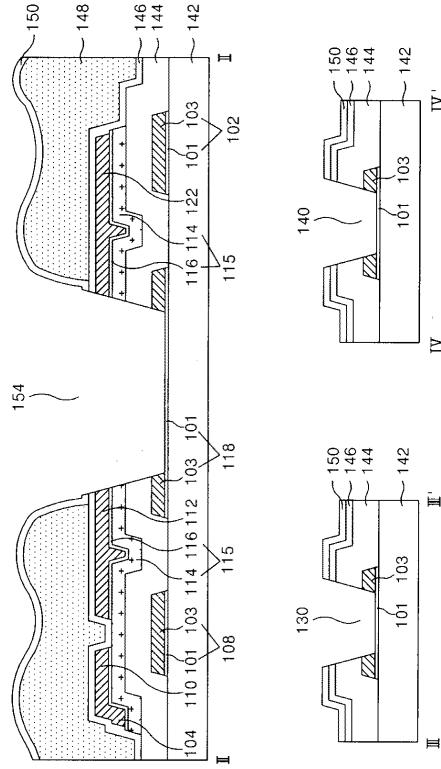
【図 8 B】



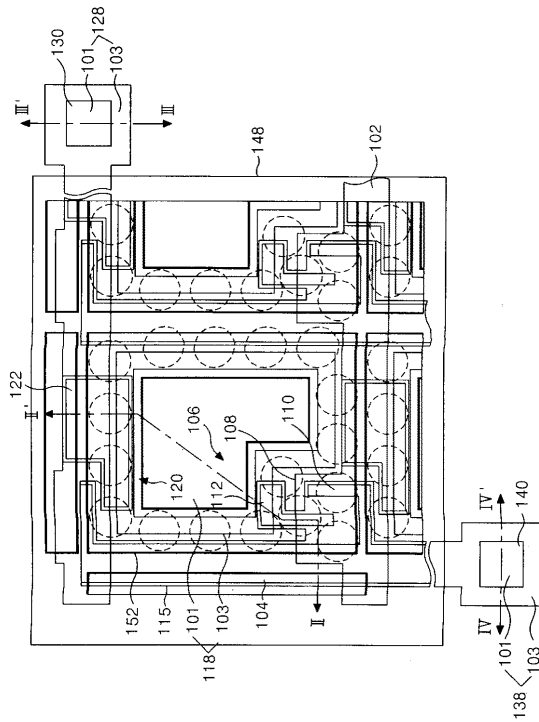
【図 9 A】



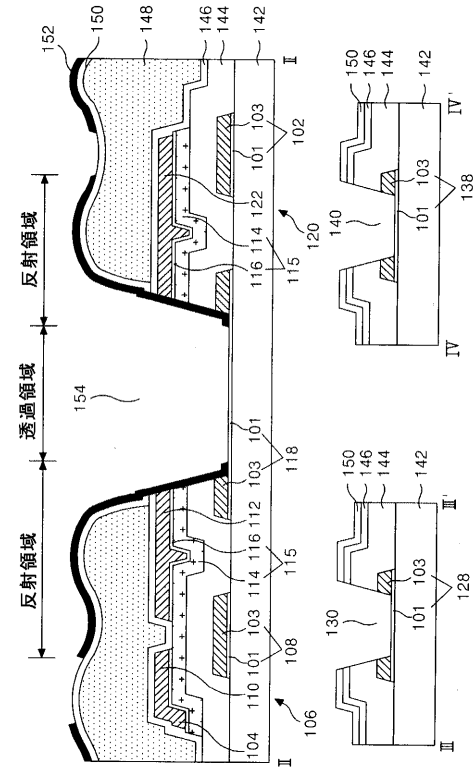
【図 9 B】



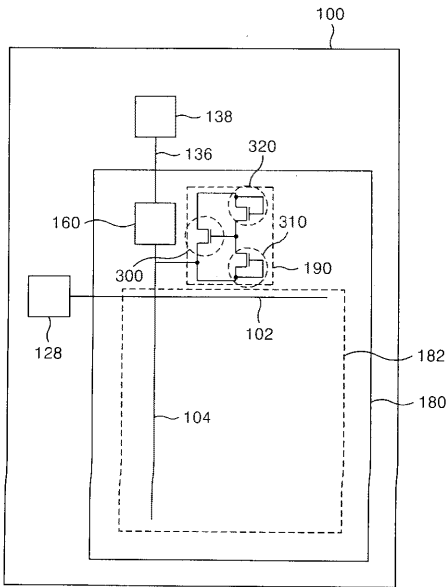
【図 10 A】



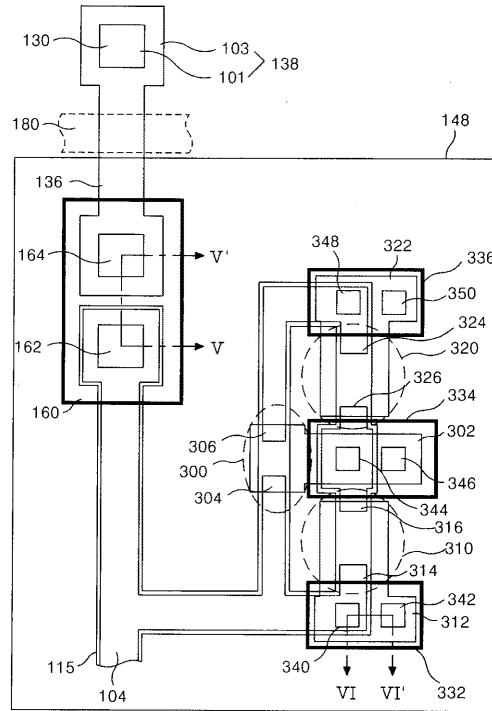
【図 10 B】



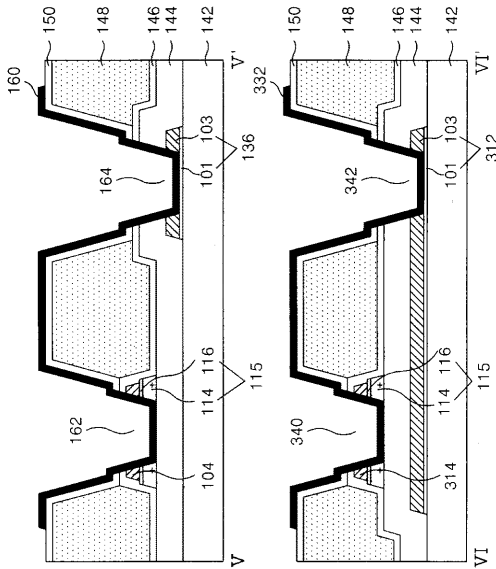
【 図 1 1 】



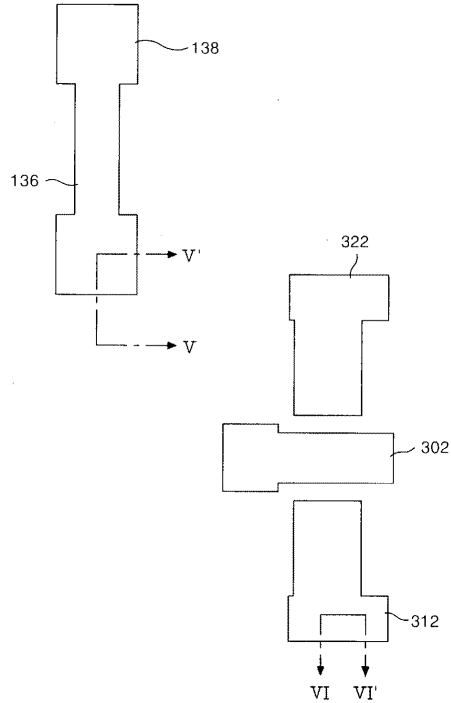
【 図 1 2 】



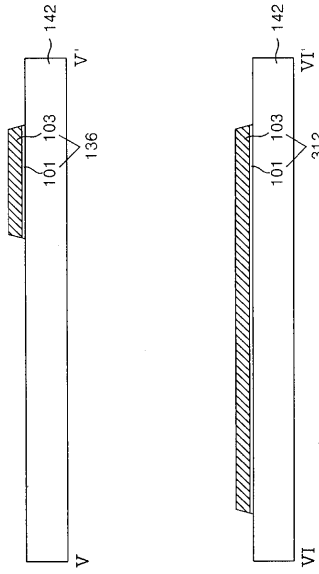
【 図 1 3 】



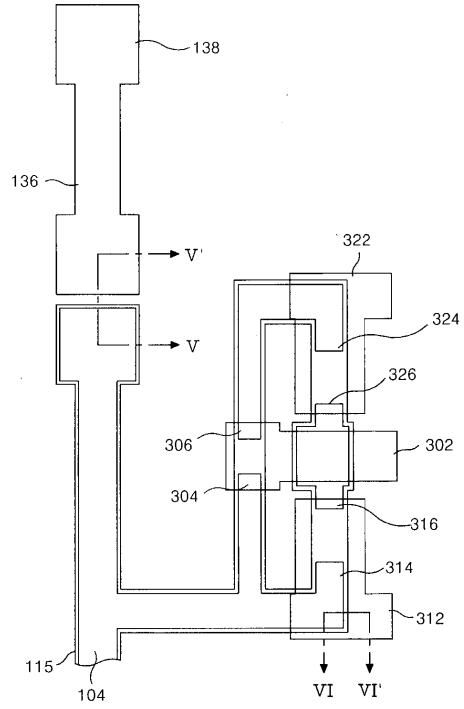
【 図 1 4 A 】



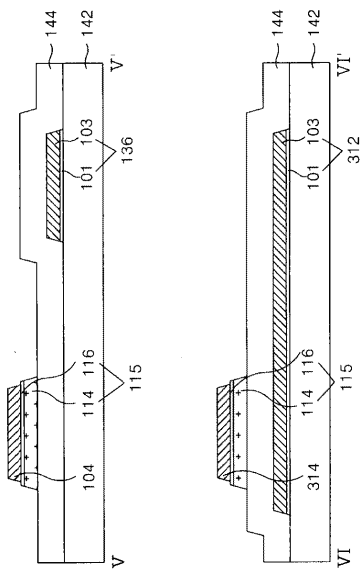
【図 14 B】



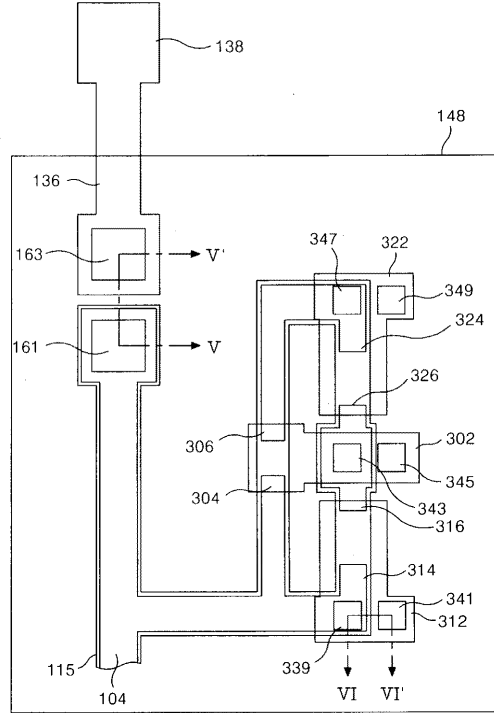
【図 15 A】



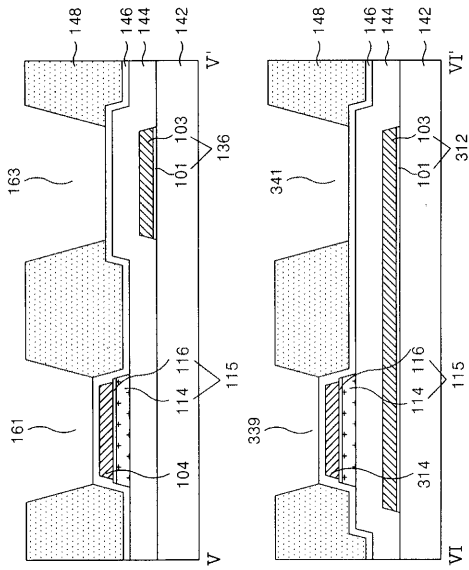
【図 15 B】



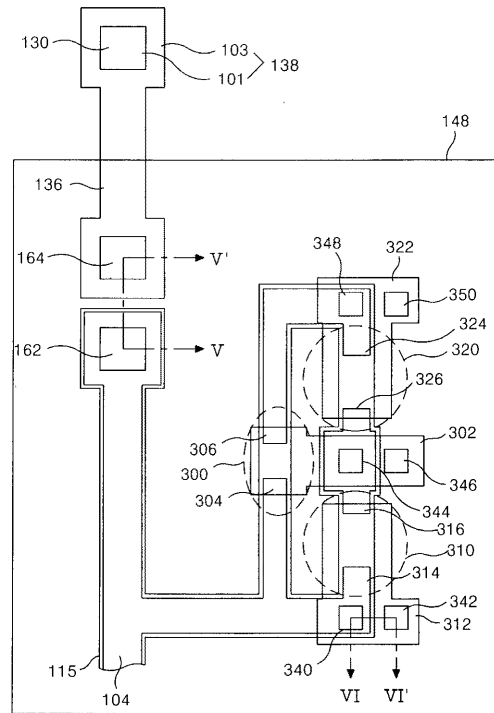
【図 16 A】



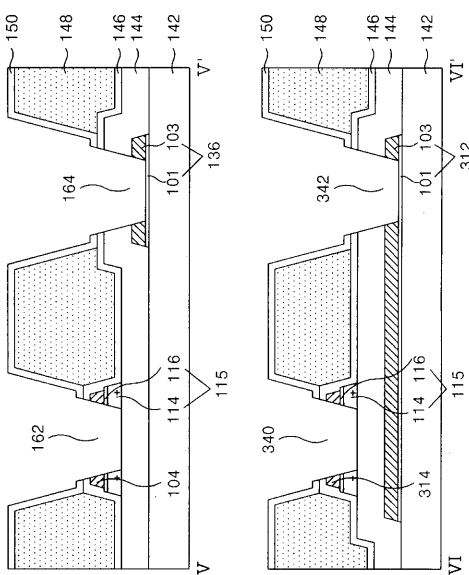
【図 16 B】



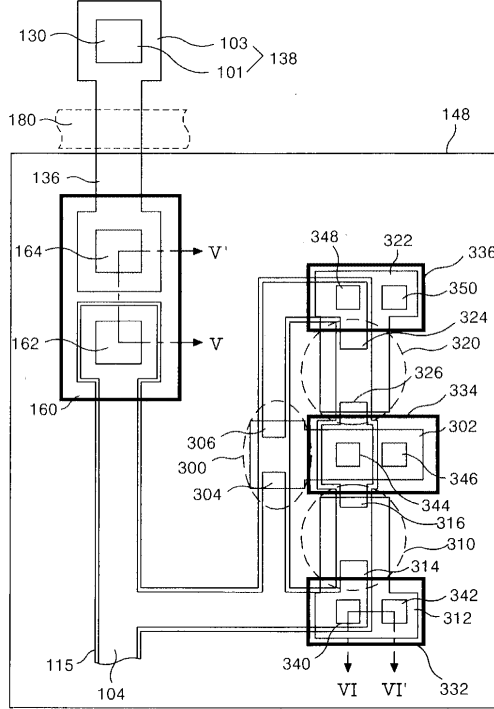
【図 17 A】



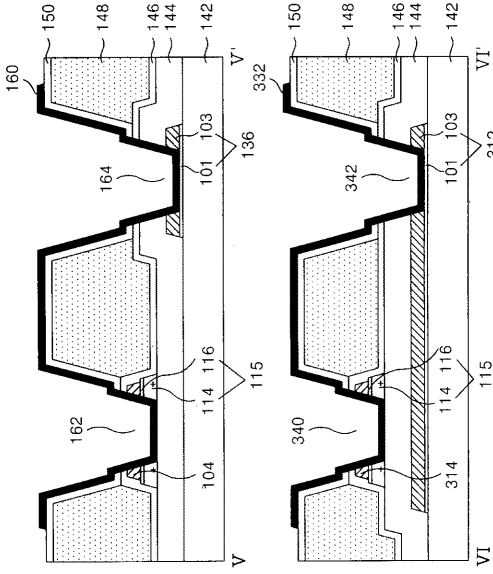
【図 17 B】



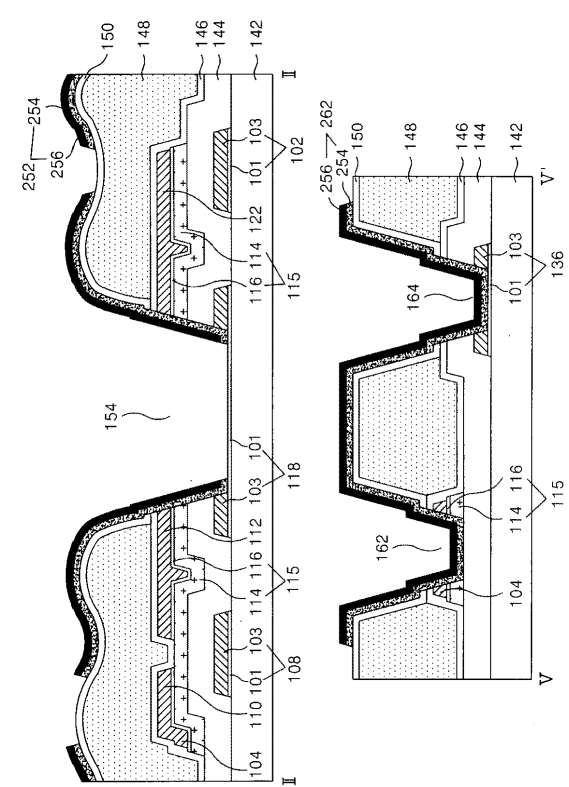
【図 18 A】



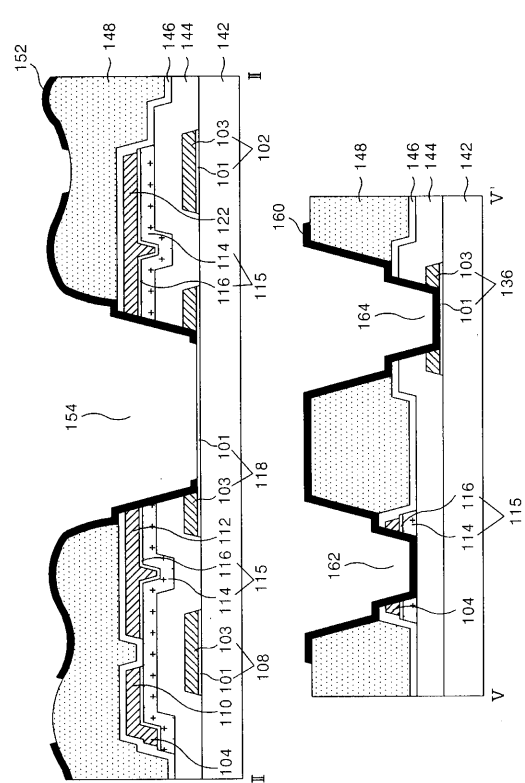
【 図 18 B 】



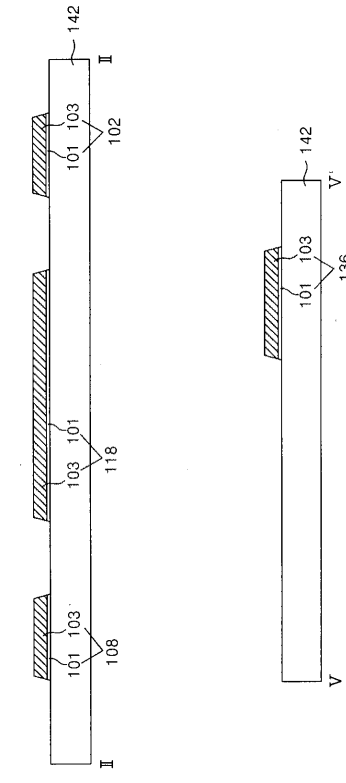
【 図 19 】



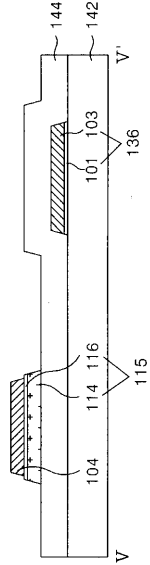
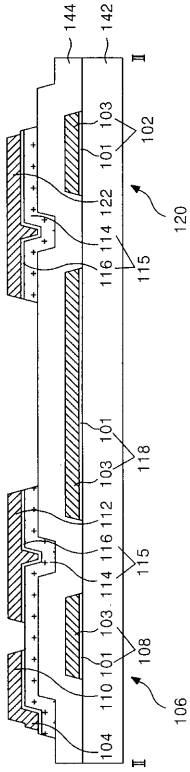
【 図 20 】



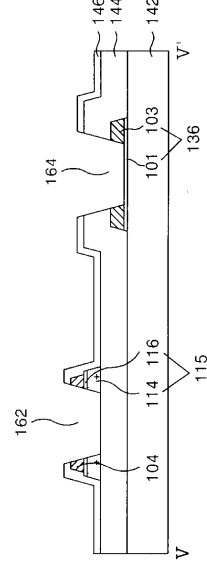
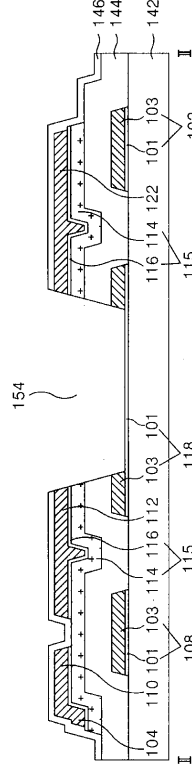
【 図 21 A 】



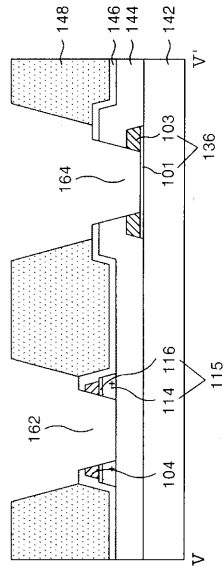
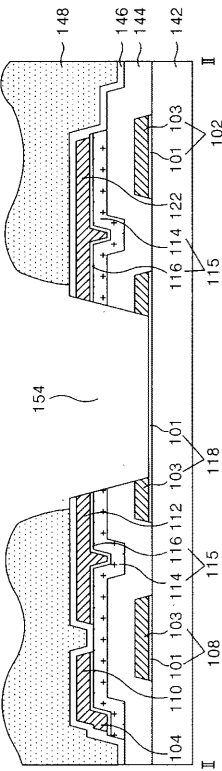
【図 2 1 B】



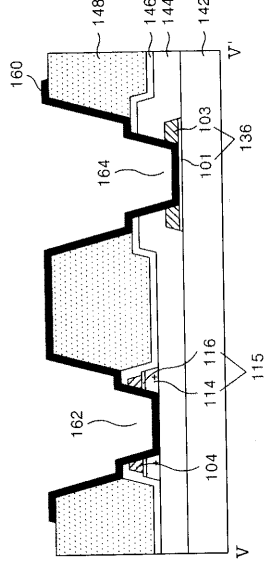
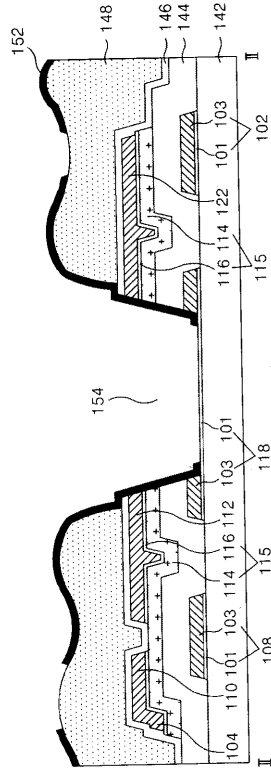
【図 2 1 C】



【図 2 1 D】



【図 2 1 E】



## フロントページの続き

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 安 炳 哲

大韓民国 京畿道 安養市 東安區 坪村洞 899-2番地 ヒャンチョン アパート 203-903号

(72)発明者 鄭 泰 容

大韓民国 慶尚北道 龜尾市 九坪洞 プヨン アパート 204-303号

(72)発明者 李 志 リ

大韓民国 京畿道 高陽市 徳陽區 土堂洞 850-11番地 ロイヤル 1次 アパート エ-201号

(72)発明者 郭 喜 榮

大韓民国 ソウル特別市 廣津區 紫陽洞 759-28番地

Fターム(参考) 2H091 FA15Y GA13 LA16

2H092 GA35 GA43 JA24 JA46 JB05 JB07 JB64 KB24 KB25 MA13

NA07 PA08 PA12

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	<a href="#">JP2005346086A</a>	公开(公告)日	2005-12-15
申请号	JP2005164974	申请日	2005-06-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	安炳哲 鄭泰容 李志リ 郭喜榮		
发明人	安炳哲 鄭泰容 李志 ▲リ▼ 郭喜榮		
IPC分类号	G02F1/136 G02F1/1335 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/133555 G02F1/1362 G02F2001/136231		
FI分类号	G02F1/1368 G02F1/1335.520 G02F1/1343		
F-TERM分类号	2H091/FA15Y 2H091/GA13 2H091/LA16 2H092/GA35 2H092/GA43 2H092/JA24 2H092/JA46 2H092/JB05 2H092/JB07 2H092/JB64 2H092/KB24 2H092/KB25 2H092/MA13 2H092/NA07 2H092/PA08 2H092/PA12 2H191/FA31 2H191/FA31Y 2H191/FC10 2H191/GA19 2H191/LA13 2H191/LA21 2H191/NA13 2H191/NA32 2H191/NA34 2H191/NA37 2H192/AA24 2H192/BC64 2H192/BC72 2H192/BC82 2H192/CB05 2H192/CB46 2H192/CC32 2H192/DA02 2H192/DA42 2H192/EA43 2H192/EA68 2H192/FA35 2H192/GA31 2H192/HA44 2H291/FA31Y 2H291/FC10 2H291/GA19 2H291/LA13 2H291/LA21 2H291/NA13 2H291/NA32 2H291/NA34 2H291/NA37		
代理人(译)	白井伸一 朝日 伸光		
优先权	1020040041141 2004-06-05 KR		
其他公开文献	JP3923500B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的目的是提供一种能够在简化工艺的同时增大透射区域的开口率的半透射液晶显示装置及其制造方法。透射液晶显示装置包括：栅极线，其包括第一透明导电层；栅极尖齿上的第一绝缘膜；以及与该栅极线相交的透射区域和反射区域。一种用于确定像素区域的数据线，其具有：连接至栅极线和数据线的薄膜晶体管；包括第一导电层的像素电极；包括与栅极线重叠的存储上部电极的存储电容器；透明孔暴露像素电极的第一透明导电层的一部分；以及反射电极，形成在反射区域中并且将像素电极连接到薄膜晶体管和存储上电极。要做。[选择图]图4

