

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-275004

(P2005-275004A)

(43) 公開日 平成17年10月6日(2005.10.6)

(51) Int.Cl.⁷G09F 9/00
G02F 1/1343

F I

G09F 9/00 309Z
G02F 1/1343

テーマコード (参考)

2H092
5G435

審査請求 未請求 請求項の数 10 O L (全 10 頁)

(21) 出願番号 特願2004-88474 (P2004-88474)
(22) 出願日 平成16年3月25日 (2004.3.25)(71) 出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(71) 出願人 000214892
鳥取三洋電機株式会社
鳥取県鳥取市立川町七丁目101番地
(74) 代理人 100111383
弁理士 芝野 正雅
(72) 発明者 小林 修
鳥取県鳥取市南吉方3丁目201番地 鳥
取三洋電機株式会社内
(72) 発明者 甲斐 修
鳥取県鳥取市南吉方3丁目201番地 鳥
取三洋電機株式会社内

最終頁に続く

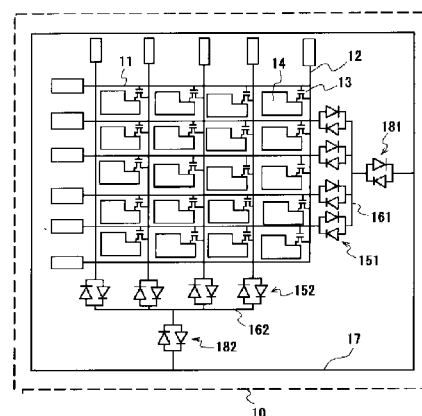
(54) 【発明の名称】 液晶パネル

(57) 【要約】

【課題】 アクティブ・マトリックス方式の液晶パネルにおいて、製造工程中における静電気によるアクティブ素子の静電破壊に強く、消費電力の小さい液晶パネルを提供する。

【解決手段】 マトリックス状に配列した走査線11と映像線12とで囲まれる各領域に液晶表示素子14及び薄膜トランジスタ13を配列して各画素を構成した液晶パネル10において、各走査線11及び各映像線12に第1の静電気保護回路151、152を接続したうえ走査線11及び映像線12同士をそれぞれ短絡線161、162で束ね、各短絡線で束ねられた走査線11及び映像線12と共通電位線17とを接続してなり、短絡線161、162で束ねられた走査線11又は映像線12と共通電位線17との間のうち少なくとも走査線11と共通電位線17との間は第2の静電気保護回路181を介して接続する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

マトリックス状に配列した走査線と映像線とで囲まれる各領域に液晶表示素子及び薄膜トランジスタを配列して各画素を構成した液晶パネルにおいて、該各走査線に第 1 の静電気保護回路を接続したうえ走査線同士をそれぞれ短絡線で束ね、該短絡線で束ねられた該走査線と共通電位線とを接続してなり、該短絡線で束ねられた該走査線と共通電位線との間のうち少なくとも該走査線と該共通電位線との間は第 2 の静電気保護回路を介して接続したことを特徴とする液晶パネル。

【請求項 2】

前記各映像線に第 1 の静電気保護回路を接続したうえ映像線同士をそれぞれ短絡線で束ね、該短絡線で束ねられた該映像線と共通電位線とを接続してなり、該短絡線で束ねられた該映像線と共通電位線との間のうち少なくとも該走査線と該共通電位線との間は第 2 の静電気保護回路を介して接続したことを特徴とする請求項 1 に記載の液晶パネル。 10

【請求項 3】

前記共通電位線はアレイ基板に設けられ、カラーフィルター基板の対向電極とは前記アレイ基板の四隅のいずれかで接続することを特徴とする請求項 1 又は請求項 2 に記載の液晶パネル。

【請求項 4】

前記第 1 及び第 2 の静電気保護回路は、2 個のダイオードのアノードとカソードを相互に接続した並列接続したダイオードからなることを特徴とする請求項 1 ～ 3 に記載の液晶パネル。 20

【請求項 5】

前記第 1 及び第 2 の静電気保護回路は、ゲート・ソース間を短絡した 2 個のトランジスタを互いに逆方向に接続した並列回路であることを特徴とする請求項 1 ～ 3 に記載の液晶パネル。

【請求項 6】

前記第 2 の静電気保護回路が、非線形抵抗素子からなるものであることを特徴とする請求項 1 ～ 3 に記載の液晶パネル。

【請求項 7】

マトリックス状に配列した走査線と映像線とで囲まれる各領域に液晶表示素子及び薄膜トランジスタを配列して各画素を構成した液晶パネルにおいて、該各走査線及び該各映像線に逆方向に並列接続した 2 個の非線形抵抗素子からなる第 1 の静電気保護回路を接続したうえ該各走査線及び該各映像線同士を短絡線で接続し、該短絡線で束ねられた該走査線及び該映像線を共通電位に接続してなり、該走査線又は該映像線と共通電位との少なくともいずれかの間は逆方向に並列接続した 2 個の非線形抵抗素子からなる第 2 の静電気保護回路を介して接続したことを特徴とする液晶パネル。 30

【請求項 8】

前記共通電位線はアレイ基板に設けられ、カラーフィルター基板の対向電極とは前記アレイ基板の四隅のいずれかで接続する前記第 2 の静電気保護回路であることを特徴とする請求項 7 に記載の液晶パネル。 40

【請求項 9】

前記第 1 及び第 2 の静電気保護回路が、2 個のダイオードのアノードとカソードを相互に接続した並列接続したダイオードからなることを特徴とする請求項 7 又は請求項 8 に記載の液晶パネル。

【請求項 10】

前記第 1 及び第 2 の静電気保護回路は、ゲート・ソース間を短絡した 2 個のトランジスタを互いに逆方向に接続した並列回路であることを特徴とする請求項 1 ～ 3 に記載の液晶パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置などに使用される液晶パネルに関するものであり、特に各表示素子にアクティブ素子を付設したアクティブ・マトリックス方式の液晶パネルにおいて、製造工程中における静電気によるアクティブ素子の破壊を防ぐ保護回路付の液晶パネルに係るものである。

【背景技術】

【0002】

液晶表示装置の液晶パネルには、単純マトリックス方式のものと、アクティブ・マトリックス方式のものがあるが、液晶表示装置の高精細度化によって、単純マトリックス方式のものには、クロストークが生じることによる画像のコントラスト悪化が起きるので、これを防ぐため画素1個ごとに薄膜トランジスタか薄膜ダイオード等のスイッチング素子を設けたアクティブ・マトリックス方式の液晶パネルが多用されるようになっている。

10

【0003】

各表示素子に薄膜トランジスタや薄膜ダイオード等のアクティブ素子を付設して構成した画素を用いるアクティブ・マトリックス方式の液晶パネルにおいては、製造工程中に外部から浸入したり液晶パネルに発生する静電気によって、アクティブ素子が破壊されることにより、電氣的に独立している各走査線又は映像線が相互間の短絡が発生する。

【0004】

例えば、液晶表示パネルを加工する工程においては、露光ステージ上にTFT基板を載置し、露光などの所定の加工作業を行うが、その過程でTFT基板を露光ステージ上で位置合わせする工程等において、ガラス基板からなるTFT基板と露光ステージとの間で摩擦による静電気の帯電が生じる。また、露光終了後に搬送手段によって露光ステージからTFT基板を移動する際に剥離帯電が生じる。そして、この時、帯電した静電気が大きくなってスパークし、基板上に形成された素子を破壊する静電破壊が発生する。

20

【0005】

このような配線間の短絡による静電破壊は、表示画面に線欠陥や、点欠陥を生じるおそれがあり、液晶表示装置の製造歩留まりに大きな影響を及ぼすことになる。このため薄膜トランジスタの静電破壊の防止策として、液晶パネルの配線の外周部に、後に各配線と切り離される外ショートリングを設け、各配線を外ショートリングと接続して、静電気を各配線に分散させ、走査線と映像線間の電圧を緩和する方法がとられていた。

30

【0006】

しかし、外ショートリングの場合には、基板の切断工程において切り離されるものであり、外ショートリングを切り離した後は、液晶パネルが薄膜トランジスタの静電破壊の防止策としては何も備えていないため、外ショートリング切断後の静電気対策が問題となった。そこで、図5に示す特許文献1の発明のように、外ショートリング切断後にも静電気対策となるよう内ショートリングEを設け、各配線を保護トランジスタを介して内ショートリングEに接続するものが提案されている（特許文献1参照）。

【0007】

また、図6のように、走査線と映像線が、それぞれ別の静電気防止回路120、130を介して各別の短絡配線160、170に接続され、さらに走査線と映像線がそれぞれ別のショートバー100、110に接続され、走査線の短絡配線160には走査電圧の最小値電圧 V_{g1} を、映像線の短絡配線170には安定な共通電圧 V_{com} を印加するものもあった（特許文献2参照）。

40

【0008】

しかしながら、上記特許文献1に開示された発明によれば、アース線に接続された各配線は、静電破壊対策のために保護トランジスタを介して内ショートリングに接続されたものであり、どうしてもアース線と各線間に電流が流れてしまうので消費電力が大きくなるという問題点があった。

【0009】

また、特許文献2に開示された発明の場合は、走査線と映像線の各線が二重に、内は短

50

絡配線に静電気防止回路を介して接続され、外はショートバーに接続されているが、外ショートバーを切り離した後は、漏れ電流によって消費電力が大きいという問題があった。

【特許文献１】特開昭６３－１０５５８号公報（第２頁－３頁，第１図）

【特許文献２】特開平１０－３０３４３１号公報（第５頁－６頁，図７）

【発明の開示】

【発明が解決しようとする課題】

【００１０】

これに対して、本発明者らは、静電破壊対策のために内ショートリングを形成し走査線と映像線を接続し、これをアレイ基板のアレイ側に形成された共通電位線に接続していた。この共通電位線の電位は、カラーフィルター基板の対向電極に与えられるものと同じで、基板の四隅で対向電極と接続したものである。 10

【００１１】

しかしながら、この場合には、消費電力が大きくなるという問題が生じた。すなわち、対向電極に接続される各配線は、内ショートリングに静電破壊対策のためトランジスタを介して接続されたままとなる。ところが共通電位線に接続されたままであると、共通電位線と各走査線又は映像線、特に走査線との間に電流が流れてしまう。これは、図１の液晶表示装置の駆動時における電圧波形図に示したように、走査線には、走査されないときにも常に電圧 V_{off} が加わっており、走査されたときには電圧 V_{on} が加えられるので、共通電位線と走査線に加わる電圧との電位差が大きいためである。走査線に加えられる電圧は、映像線に加えられる電圧よりも大きいので、走査線と共通電位線間に流れる電流が大きくなる。よって、液晶パネルの消費電力が大きくなるので、より消費電力の少ない液晶パネルが求められている。 20

【００１２】

本願の発明者は、前記の問題点を解消すべく種々検討を行った結果、静電破壊対策のためのトランジスタが接続された走査線と映像線をそれぞれ短絡線で束ねた上、各短絡線で束ねられた各配線をトランジスタを介して内ショートリングに接続することにより各配線と内ショートリングとの間に生じる漏れ電流を押さえることができ、これによって消費電力の少ない液晶パネルを提供することができることに着目し、本発明を完成するに至ったものである。

【００１３】

すなわち、本発明は、前記の問題点を解決することを課題とし、静電破壊に対する保護回路を備えた液晶パネルにおいて、消費電力の少ない液晶パネルを提供することを目的とするものであり、特に、アクティブ・マトリックス方式の液晶パネルにおいて、製造工程中における静電気によるアクティブ素子の破壊を防ぐ保護回路付の液晶パネルに係り、静電破壊に強く、しかも消費電力の小さい液晶パネルの提供を目的とするものである。 30

【課題を解決するための手段】

【００１４】

前記課題を解決するために、本願の請求項１にかかる発明は、マトリックス状に配列した走査線と映像線とで囲まれる各領域に液晶表示素子及び薄膜トランジスタを配列して各画素を構成した液晶パネルにおいて、該各走査線に第１の静電気保護回路を接続したうえ走査線同士をそれぞれ短絡線で束ね、該短絡線で束ねられた該走査線と共通電位線とを接続してなり、該短絡線で束ねられた該走査線と共通電位線との間のうち少なくとも該走査線と該共通電位線との間は第２の静電気保護回路を介して接続したことを特徴とする。 40

【００１５】

本発明にかかる発明の液晶パネルにおいては、前記共通電位線はアレイ基板に設けられ、カラーフィルター基板の対向電極とは前記アレイ基板の四隅のいずれかで接続することの特徴とする。

【００１６】

また、本発明にかかる発明の液晶パネルにおいては、前記各映像線に第１の静電気保護回路を接続したうえ映像線同士をそれぞれ短絡線で束ね、該短絡線で束ねられた該映像線 50

と共通電位線とを接続してなり、該短絡線で束ねられた該映像線と共通電位線との間のうち少なくとも該走査線と該共通電位線との間は第2の静電気保護回路を介して接続したことを特徴とする。

【0017】

また、本発明にかかる発明の液晶パネルにおいては、前記第1及び第2の静電気保護回路が、2個のダイオードのアノードとカソードを相互に接続した並列接続したダイオードからなることが好ましい。

【0018】

また、本発明にかかる発明の液晶パネルにおいては、前記第1及び第2の静電気保護回路は、ゲート・ソース間を短絡した2個のトランジスタを互いに逆方向に接続した並列回路であることが好ましい。 10

【0019】

また、本発明にかかる発明の液晶パネルにおいては、前記第2の静電気保護回路が、非線形抵抗素子からなるものであることが好ましい。

【0020】

また、本願の第2の実施態様である請求項7にかかる発明は、マトリックス状に配列した走査線と映像線とで囲まれる各領域に液晶表示素子及び薄膜トランジスタを配列して各画素を構成した液晶パネルにおいて、該各走査線及び該各映像線に逆方向に並列接続した2個の非線形抵抗素子からなる第1の静電気保護回路を接続したうゑ該各走査線及び該各映像線同士を短絡線で接続し、該短絡線で束ねられた該走査線及び該映像線を共通電位に接続してなり、該走査線又は該映像線と共通電位との少なくともいずれかの間は逆方向に並列接続した2個の非線形抵抗素子からなる第2の静電気保護回路を介して接続したことを特徴とする。 20

【0021】

上記本発明にかかる発明の液晶パネルにおいては、前記共通電位線はアレイ基板に設けられ、カラーフィルター基板の対向電極とは前記アレイ基板の四隅のいずれかで接続する前記第2の静電気保護回路であることを特徴とする。

【0022】

また、上記本発明にかかる発明の液晶パネルにおいては、前記第1及び第2の静電気保護回路が、2個のダイオードのアノードとカソードを相互に接続した並列接続したダイオードからなることが好ましい。 30

【0023】

また、上記本発明にかかる発明の液晶パネルにおいては、前記第1及び第2の静電気保護回路は、ゲート・ソース間を短絡した2個のトランジスタを互いに逆方向に接続した並列回路であることが好ましい。

【発明の効果】

【0024】

請求項1～2又は請求項7に係る発明によれば、簡単な構成で、静電破壊に強く、しかも消費電力の少ない液晶パネルの提供ができる。

【0025】

また、請求項3又は請求項8に係る発明によれば、共通電位への接続が簡単な構成で可能であり、静電破壊に強く、しかも消費電力の少ない液晶パネルの提供ができるようになる。 40

【0026】

さらに、請求項4～6又は請求項9～10に係る発明によれば、静電気保護回路を薄膜トランジスタの製造と同工程で形成できるので、静電破壊に強く、しかも消費電力の少ない液晶パネルが、製造工程に特別の変更をすることなく提供できるようになる。

【発明を実施するための最良の形態】

【0027】

以下、本発明にかかる液晶パネルについて、添付の図面を参照して実施例につき詳細に 50

説明する。すなわち、本発明の上記目的は、以下の構成による本発明の一態様により達成し得る。

【実施例 1】

【0028】

アクティブ・マトリックス方式の液晶表示装置の液晶パネルにおいては、液晶層を介して対向配置されるガラス等からなる 2 枚の基板のうち、一方の基板の液晶層側の面に、その X 方向に延在し、Y 方向に並べて設けられる複数の走査線と、この走査線と絶縁されて Y 方向に延在し、X 方向に並べて設けられる複数の映像線とが形成されている。

【0029】

図 2 に示すように、液晶パネル 10 においては、これらのマトリックス状に配列した走査線 11 と映像線 12 とで囲まれた各領域がそれぞれ画素領域となり、この画素領域にスイッチング素子として例えば薄膜トランジスタ 13 や薄膜ダイオードと、透明画素電極 14 が形成され、液晶表示素子を構成している。図において、スイッチング素子である薄膜トランジスタ 13 のゲート電極は走査線 11 に、ドレイン電極は映像線 12 に、ソース電極は透明画素電極 14 にそれぞれ接続されている。このような構成において、走査線 11 に走査信号が供給されることにより、薄膜トランジスタ 13 がオンされ、オンされた薄膜トランジスタを介して映像線 12 からの映像信号が画素電極 14 に供給される。

【0030】

本発明に係る液晶パネル 10 においては、各走査線 11 及び各映像線 12 に第 1 の静電気保護回路 151、152 を接続したうえ走査線 11 及び映像線 12 同士をそれぞれ短絡線 161、162 で束ね、短絡線 161、162 で束ねられた走査線 11 及び映像線 12 と共通電位線（アース）17 とを接続してなる。そして、短絡線 161、162 で束ねられた走査線 11 又は映像線 12 と共通電位線 17 との間は第 2 の静電気保護回路 181 を介して接続される。

【0031】

ここにおいて、共通電位線 17 は、液晶パネルのアレイ基板に設けた電極であって、アレイ基板の四隅のいずれかでカラーフィルタ基板の対向電極と接続されており、結果的に第 2 の静電気保護回路 181 及び 182 とともに接続された構造となる。

【0032】

ところで、本発明に係る発明の液晶パネルにおいては、第 1 の静電気保護回路 151、152 及び第 2 の静電気保護回路 181、182 が、非線形抵抗素子からなるものであって、例えば 2 個のダイオードのアノードとカソードを相互に接続した並列接続したダイオード又はゲート・ソース間を短絡した 2 個のトランジスタを互いに逆方向に接続した並列回路であることが好ましい。

【0033】

すなわち、図 3 に示すように、第 1 の静電気保護回路 151、152 及び第 2 の静電気保護回路 181、182 は、2 個のダイオード 31、32 を互いに逆向きに並列に配置した非線形な電流 - 電圧特性を有する非線形抵抗素子で構成される。また、図 4 は、図 3 の 2 個のダイオードの代わりに、ゲート・ソース間を短絡した 2 個の薄膜トランジスタで構成されたものを示している。

【0034】

図 4 の静電気保護回路において、この回路は、そのソースとドレインとが相互に接続された第 1 薄膜トランジスタ 41 と第 2 薄膜トランジスタ 42 からなる。第 1 薄膜トランジスタ 41 は、走査線 11 に接続される第 1 ゲート、その第 1 ゲートと第 2 薄膜トランジスタ 42 の第 2 ドレインに接続された第 1 ソース及び第 2 薄膜トランジスタ 42 の第 2 ソースに接続された第 1 ドレインを含む。第 2 薄膜トランジスタは第 1 ゲートの反対側で走査線に接続される第 2 ゲート、その第 2 ゲートと第 1 薄膜トランジスタの第 1 ドレインに接続された第 2 ソース及び第 1 薄膜トランジスタの第 1 ソースに接続された第 2 ドレインを含むものである。

【0035】

10

20

30

40

50

このような素子で形成される第 1 及び第 2 の静電気保護回路は、液晶パネルのマトリックスアレイの薄膜トランジスタ 1 3 と同じ製造工程で形成できるので、特別の製造方法をとる必要がない。

【0036】

第 1 の静電気保護回路 1 5 1、1 5 2 と第 2 の静電気保護回路 1 8 1、1 8 2 は、2 個のダイオードのアノードとカソードを相互に接続した互いに逆方向に並列接続したダイオードの並列回路、又は、ゲート・ソース間を短絡した 2 個のトランジスタを互いに逆方向に接続した並列回路であるので、正、負の極性が異なる静電気等の高電圧が印加されても、いずれかのダイオード又は正バイアスでオンする保護用のトランジスタ若しくは負バイアスでオンする保護用トランジスタのいずれかがオン状態となって、高電圧はアースに導通され、アクティブ素子としての薄膜トランジスタは保護され、静電破壊を防止できる。 10

【0037】

また、アレイテスト前は外ショートリング（図示せず）で各配線間が短絡されているので、静電気から保護される。アレイテスト後、液晶パネルを外ショートリングから切り離れた後は、短絡線 1 6 1、1 6 2 と共通電位線 1 7 に接続された二重の静電気保護回路 1 5 1、1 5 2 及び 1 8 1、1 8 2 によって、静電気による薄膜トランジスタ 1 3 の閾値電圧 V_{th} の変動等の発生が防止されることになる。

【0038】

一方、消費電力は走査線 1 1 と映像線 1 2 を、各配線を束ねて第 2 の静電気保護回路 1 8 1、1 8 2 のダイオードや薄膜トランジスタを介して共通電位線 1 7 に接続することにより、ダイオードや薄膜トランジスタを介在させた分だけ各配線の束と共通電位線 1 7 との間で電流が流れ難くなり、これによって、共通電位線 1 7 への漏れ電流が抑制され、消費電力の小さい液晶パネルが得られる。 20

【0039】

なお、走査線 1 1 と映像線 1 2 のいずれかのみ第 2 の静電気保護回路 1 8 1 又は 1 8 2 を介して共通電位線 1 7 に接続する場合には、映像線に加わる電圧に比較して走査線に加わる電圧の方が大きいので、走査線と共通電位線間に流れる電流が大きく、走査線 1 1 に第 2 の静電気保護回路 1 8 1 を接続した場合のほうが消費電力を小さくする効果が大きい。従って、本発明においては、少なくとも走査線 1 1 を、第 2 の静電気保護回路 1 8 1 を介して共通電位線 1 7 に接続することが必要である。 30

【0040】

なお、以上において、共通電位として説明したのは、アースを含む共通電位であることは勿論、説明するまでもないことである。

【0041】

以上、図面を参照して本発明の実施例を説明した。ただし、以上に示したのは本発明の技術思想を具体化するための例を例示するものであって、本発明をこの実施例に特定することを意図するものではなく、その要旨を逸脱しない範囲において種々変更可能であり、変更例にも等しく適用し得るものである。

【図面の簡単な説明】

【0042】

【図 1】液晶表示装置の駆動時における電圧波形図である。

【図 2】本発明に係る液晶パネルの一実施例説明図である

【図 3】本発明に係る静電気保護回路の回路図である。

【図 4】本発明に係る他の静電気保護回路の回路図である。

【図 5】従来の液晶表示装置の平面図である。

【図 6】他の従来の液晶表示装置の回路構成図である。

【符号の説明】

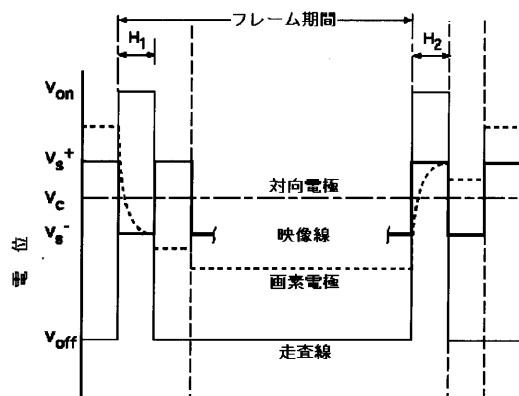
【0043】

1 0 液晶パネル

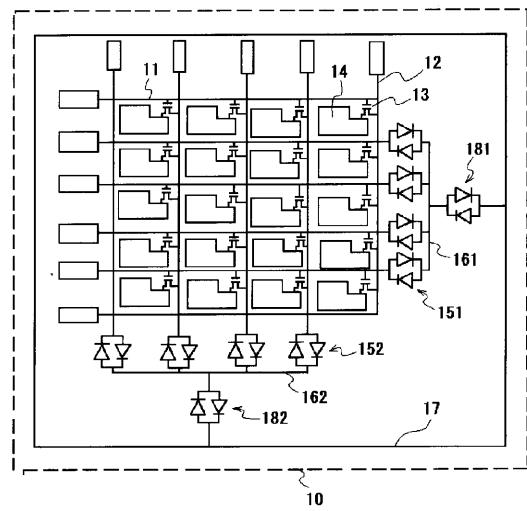
1 1 走査線

- 1 2 映像線
- 1 3 薄膜トランジスタ
- 1 4 透明画素電極
- 1 5 1、1 5 2 第 1 の静電気保護回路
- 1 6 1、1 6 2 短絡線
- 1 7 共通電位線
- 1 8 1、1 8 2 第 2 の静電保護回路

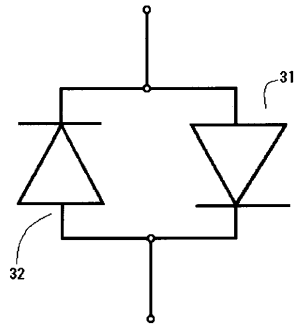
【図 1】



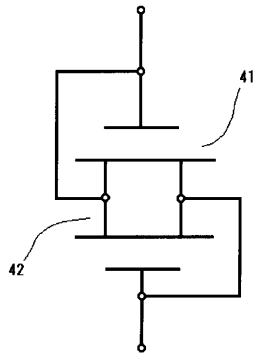
【図 2】



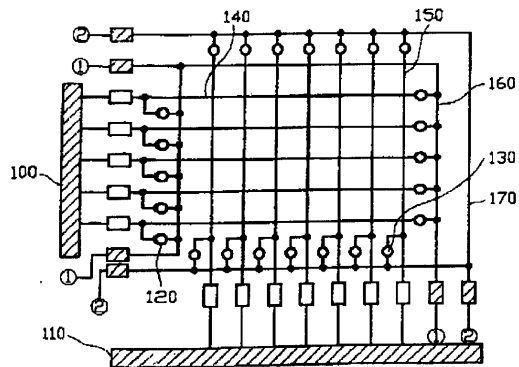
【図 3】



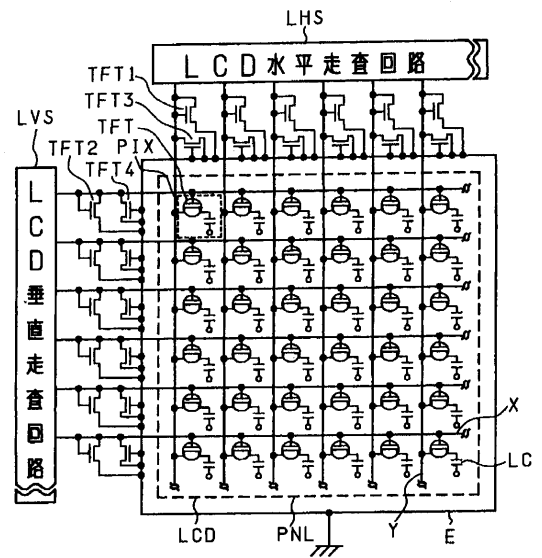
【図 4】



【図 6】



【図 5】



フロントページの続き

(72)発明者 田中 慎一郎

鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内

Fターム(参考) 2H092 GA64 JB77 JB79 NA30

5G435 AA16 AA17 BB12 CC09 KK05

专利名称(译)	液晶面板		
公开(公告)号	JP2005275004A	公开(公告)日	2005-10-06
申请号	JP2004088474	申请日	2004-03-25
[标]申请(专利权)人(译)	三洋电机株式会社 鸟取三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社 鸟取三洋电机株式会社		
[标]发明人	小林修 甲斐修 田中慎一郎		
发明人	小林 修 甲斐 修 田中 慎一郎		
IPC分类号	G02F1/1343 G09F9/00		
FI分类号	G09F9/00.309.Z G02F1/1343		
F-TERM分类号	2H092/GA64 2H092/JB77 2H092/JB79 2H092/NA30 5G435/AA16 5G435/AA17 5G435/BB12 5G435/CC09 5G435/KK05		
代理人(译)	柴野Seimiyabi		
其他公开文献	JP4951841B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种有源矩阵型液晶面板，其在制造过程中抵抗由于静电引起的有源元件的静电击穿并且消耗较少的功率。在液晶显示面板（10）中，在以矩阵状配置的扫描线（11）和视频线（12）包围的各区域配置有液晶显示元件（14）和薄膜晶体管（13），形成各像素，各扫描线（11）及各第一静电保护电路151和152连接到视频线12，扫描线11和视频线12分别由短路线161和162捆扎，扫描线11和视频线12由短路线捆扎。公共电位线17连接，并且至少在由短路线161、162捆束的扫描线11或视频线12和公共电位线17之中的扫描线11和公共电位线17之间。经由第二静电保护电路181进行连接。[选择图]图2

