

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2004-310036
(P2004-310036A)

(43) 公開日 平成16年11月4日(2004.11.4)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO2F 1/1343	GO2F 1/1343	2H091
GO2F 1/1335	GO2F 1/1335 500	2H092
GO2F 1/1368	GO2F 1/1335 505	4M104
HO1L 21/28	GO2F 1/1368	5F033
HO1L 21/3205	HO1L 21/28 K	5F110
	審査請求 有 請求項の数 34 O L	(全 24 頁) 最終頁に続く

(21) 出願番号 特願2003-395868 (P2003-395868)	(71) 出願人 599127667
(22) 出願日 平成15年11月26日 (2003.11.26)	エルジー フィリップス エルシーディー
(31) 優先権主張番号 2002-078006	カンパニー リミテッド
(32) 優先日 平成14年12月9日 (2002.12.9)	大韓民国 ソウル, ヨンドンポーク,
(33) 優先権主張国 韓国 (KR)	ヨイドードン 20
	(74) 代理人 100057874
	弁理士 曾我 道照
	(74) 代理人 100110423
	弁理士 曾我 道治
	(74) 代理人 100084010
	弁理士 古川 秀利
	(74) 代理人 100094695
	弁理士 鈴木 憲七
	(74) 代理人 100111648
	弁理士 梶並 順
	最終頁に続く

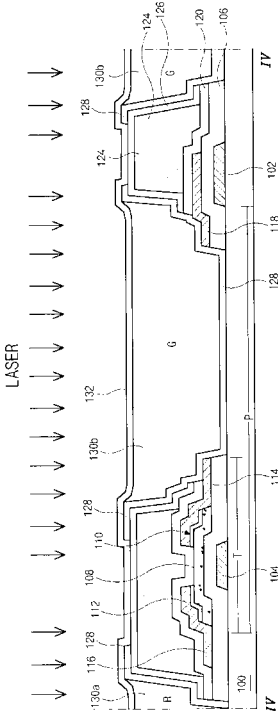
(54) 【発明の名称】 液晶表示装置用アレイ基板の製造方法

(57) 【要約】

【課題】アレイ基板にブラックマトリックスを設計する時の合着誤差のための工程マージンを設ける必要がなく開口率を改善することができ、高画質を具現する液晶表示装置を制作できる液晶表示装置用アレイ基板の製造方法を提供する。

【解決手段】アレイ基板の上部にカラーフィルターを構成する構造において、薄膜トランジスタとゲート配線及びデータ配線の上部に不透明な有機樹脂でブラックマトリックスを形成して、カラーフィルターを中心にして上部と下部に各々第1透明電極及び第2透明電極を形成する。この時、前記第2透明電極は別途のPRパターニング工程を行わないで、基板の全面に透明電極を形成した後、これを部分的に結晶化して、非晶質と結晶質の選択的エッチングを通じてパターニング工程を行う。

【選択図】図4H



【特許請求の範囲】

【請求項 1】

基板上に構成されて一方向に延長されたゲート配線を形成する段階と；

前記ゲート配線と垂直に交差して多数の画素領域を定義するデータ配線を形成する段階と；

前記ゲート配線とデータ配線の交差時点に位置し、ゲート電極とアクティブ層とソース電極とドレイン電極を含む薄膜トランジスタを形成する段階と；

前記薄膜トランジスタとデータ配線の上に第 1 絶縁膜を形成する段階と；

前記ドレイン電極の一部を除いた領域の第 1 絶縁膜上のブラックマトリックスを形成する段階と；

前記第 1 絶縁膜上のブラックマトリックスを包む第 2 絶縁膜を形成する段階と；

前記第 2 絶縁膜と下部の第 1 絶縁膜をエッチングして前記ドレイン電極の一部を露出する段階と；

前記パターニングされた第 2 絶縁膜が形成した基板の全面に透明導電性物質を蒸着して前記露出されたドレイン電極と接触する第 1 透明電極層を形成する段階と；

前記第 1 透明電極層をパターニングして前記露出したドレイン電極と接触する第 1 画素電極を前記画素領域に形成する段階と；

前記第 1 画素電極の上にカラーフィルターを形成する段階と；

前記カラーフィルターが形成された基板の全面に非晶質の第 2 透明電極層を前記第 1 画素電極の上部と前記カラーフィルターの上に形成する段階と；

前記第 2 透明電極層の前記カラーフィルターに対応する部分にだけ、レーザーを照射して結晶化する段階と；

前記結晶化してない部分の非晶質透明電極を除去して前記画素領域に対応して下部の第 1 画素電極と接触する結晶化された第 2 画素電極を形成する段階

を含む液晶表示装置用アレイ基板の製造方法。

【請求項 2】

前記ゲート配線とゲート電極の上部にゲート絶縁膜を形成する段階をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 3】

前記ゲート絶縁膜は前記アクティブ層とゲート電極の間に位置することを特徴とする請求項 2 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 4】

前記薄膜トランジスタは、前記アクティブ層とソース電極及びドレイン電極の間にオーミックコンタクト層をさらに含む

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 5】

前記ブラックマトリックスは、不透明な有機物質である

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 6】

前記ブラックマトリックスは、不透明な感光性有機物質である

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 7】

前記ゲート配線の上部にストレージキャパシターを形成する段階をさらに含む

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 8】

前記ストレージキャパシターを形成する段階は前記ゲート配線の上部にストレージキャパシターの第 1 電極の役割を行うアイランド状のストレージ金属層を形成する段階を含み、前記ゲート電極はストレージキャパシターで第 2 電極の役割を行う

ことを特徴とする請求項 7 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 9】

10

20

30

40

50

前記ストレージキャパシターは前記第 1 画素電極と接触することを特徴とする請求項 8 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 10】

前記第 1 絶縁膜及び第 2 絶縁膜は無機絶縁物質で形成することを特徴とする請求項 8 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 11】

前記無機絶縁物質は窒化シリコン (SiN_x) 及び酸化シリコン (SiO_2) の中の一つである

ことを特徴とする請求項 10 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 12】

前記カラーフィルターはカラー樹脂で構成されていることを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 13】

前記第 2 画素電極を形成する段階は前記第 2 透明電極層の中で結晶化してない非晶質部分だけを除去する除去液の $\text{OZ}((\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O})$ を印加する段階を含む

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 14】

前記レーザーを照射する段階は UV ランプを利用することを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 15】

前記レーザーを照射する段階は KrF をレーザーの光源として利用することを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 16】

基板上に一方向に延長されたゲート配線とここに連結されたゲート電極を形成する段階と；

前記ゲート電極上部に薄膜トランジスタを構成するアクティブ層とオーミックコンタクト層と、オーミックコンタクト層と接触して所定間隔離隔したソース電極及びドレイン電極を形成して、ソース電極で延長されて前記ゲート配線と垂直に交差して画素領域を定義するデータ配線を同一マスクを用いて同時に形成する段階と；

前記薄膜トランジスタ及びデータ配線の上に第 1 絶縁膜を形成する段階と；

前記第 1 絶縁膜上に前記ドレイン電極の一部を除いた薄膜トランジスタとデータ配線及びゲート配線を包むブラックマトリックスを形成する段階と；

前記ブラックマトリックスが形成された基板全面の第 1 絶縁膜上に第 2 絶縁膜を形成する段階と；

前記第 2 絶縁膜と下部の第 1 絶縁膜をエッチングして前記ドレイン電極の一部を露出して前記画素領域に対応する基板の表面を露出する段階と；

前記パターニングされた第 2 絶縁膜が形成された基板の全面に透明導電性物質を蒸着して前記露出されたドレイン電極と接触する第 1 透明電極層を形成する段階と；

前記第 1 透明電極層をパターニングして前記露出されたドレイン電極と接触する第 1 画素電極を前記画素領域に形成する段階と；

前記第 1 画素電極の上部にカラーフィルターを形成する段階と；

前記カラーフィルターが形成された基板の全面に非晶質の第 2 透明電極層を前記第 1 画素電極の上部と前記カラーフィルターの上に形成する段階と；

前記第 2 透明電極層の前記カラーフィルターに対応した部分にだけレーザーを照射して結晶化する段階と；

前記結晶化されてない部分の非晶質の透明電極を除去して前記画素領域に対応して下部の第 1 画素電極と接触する結晶化された第 2 画素電極を形成する段階と

を含むことを特徴とする液晶表示装置用アレイ基板の製造方法。

【請求項 17】

10

20

30

40

50

前記マスクは、光が完全に透過する透過部と、光が完全に遮断される遮断部と光の一部だけ透過する半透過部で構成されている

ことを特徴とする請求項 16 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 18】

前記透過部は薄膜トランジスタを除いた画素領域に対応し、前記遮断部はデータ配線と薄膜トランジスタに対応し、前記半透過部は前記データ電極に対応する

ことを特徴とする請求項 17 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 19】

前記半遮断部はスリット及び半遮断性物質の中から構成する

ことを特徴とする請求項 18 に記載の液晶表示装置用アレイ基板の製造方法。

10

【請求項 20】

前記アクティブ層は純粋非晶質シリコンであり、前記オーミックコンタクト層は不純物を含む非晶質シリコンである

ことを特徴とする請求項 18 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 21】

前記ゲート配線とゲート電極の上部にゲート絶縁膜を形成する段階を含む

ことを特徴とする請求項 16 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 22】

前記ゲート絶縁膜は前記アクティブ層とゲート電極の間に位置する

ことを特徴とする請求項 21 に記載の液晶表示装置用アレイ基板の製造方法。

20

【請求項 23】

前記薄膜トランジスタのオーミックコンタクト層は前記アクティブ層とソース電極及びドレイン電極の間に位置する

ことを特徴とする請求項 16 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 24】

前記ブラックマトリックスは不透明な有機物質である

ことを特徴とする請求項 16 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 25】

前記ブラックマトリックスは不透明な感光性有機物質である

ことを特徴とする請求項 16 に記載の液晶表示装置用アレイ基板の製造方法。

30

【請求項 26】

前記ゲート配線の上部にストレージキャパシターを形成する段階をさらに含む

ことを特徴とする請求項 16 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 27】

前記ストレージキャパシターを形成する段階は前記ゲート配線の上部にストレージキャパシターの第一電極の役割を行うアイランド状のストレージ金属層を形成する段階を含み、前記ゲート電極はストレージキャパシターで第2電極の役割を行う

ことを特徴とする請求項 26 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 28】

前記ストレージキャパシターは前記第1画素電極と接触する

ことを特徴とする請求項 27 に記載の液晶表示装置用アレイ基板の製造方法。

40

【請求項 29】

前記第1絶縁膜及び第2絶縁膜は無機絶縁物質で形成する

ことを特徴とする請求項 16 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 30】

前記無機絶縁物質は窒化シリコン (SiN_x) 及び酸化シリコン (SiO_2) の中の一つである

ことを特徴とする請求項 29 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 31】

前記カラーフィルターはカラー樹脂で構成されている

50

ことを特徴とする請求項 16 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 32】

前記第 2 画素電極を形成する段階は前記第 2 透明電極層の中で結晶化してない非晶質部分だけを除去する除去液の $\text{OZ}((\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O})$ を印加する段階を含む

ことを特徴とする請求項 16 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 33】

前記レーザーを照射する段階は UV ランプを利用する

ことを特徴とする請求項 16 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 34】

前記レーザーを照射する段階は KrF をレーザーの光源として利用する

ことを特徴とする請求項 16 に記載の液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、薄膜トランジスタアレイ部の上部にカラーフィルターを構成する COT (color filter on TFT) 構造の液晶表示装置用アレイ基板の製造方法に関する。

【背景技術】

【0002】

一般的に、液晶表示装置は液晶分子の光学的異方性と複屈折特性を利用して画像を表現するものであって、電界が印加されると液晶の配列が変わり、変わった液晶の配列方向によって光が透過する特性も変わる。

【0003】

液晶表示装置は、電界生成電極が各々形成されている二枚の基板を電極が形成されている面が向かい合うように配置し、両基板間に液晶物質を注入した後に、両電極間に電圧を印加して生成される電界により液晶分子を動くようにして、これにより変わる光の透過率により画像を表現する装置である。

【0004】

図 1 は、一般的な液晶表示装置を概略的に示した図面である。図示したように、カラー液晶表示装置 11 は、上部基板 5 と、下部基板 22 と、基板間に充填された液晶 14 とで構成されている。上部基板 5 は、サブカラーフィルター 8 と各サブカラーフィルター 8 間に設けられたブラックマトリックス 6 を含んでおり、カラーフィルター 8 とブラックマトリックス 6 の上部に基板間に蒸着された共通電極 18 をさらに含む。下部基板 22 には、画素領域 P が定義され、画素領域 P には画素電極 17 とスイッチング素子 T が構成されて、画素領域 P の周辺にアレイ配線が形成されている。

【0005】

前記下部基板 22 はアレイ基板とも称するが、スイッチング素子である薄膜トランジスタ T がマトリックス状に配置されており、このような多数の薄膜トランジスタ T に交差してゲート配線 13 とデータ配線 15 が形成される。

【0006】

ここで、前記画素領域 P は上記ゲート配線 13 とデータ配線 15 が交差して定義される領域で、前記画素領域 P 上には前述したように透明な画素電極 17 が形成される。前記画素電極 17 は、インジウム - スズ - オキサイド (ITO) のように光の透過率が比較的優れた透明導電性金属を用いる。

【0007】

前記画素電極 17 と並列に接続したストレージキャパシター C がゲート配線 13 の上部に構成され、このストレージキャパシター C の第 1 電極としてゲート配線 13 の一部を用い、また、第 2 電極としてソース電極及びドレイン電極と同一層同一物質で形成されたアイランド状のストレージ金属層 30 を用いる。この時、前記アイランド状のストレージ金

10

20

30

40

50

属層 30 は画素電極 17 と接触して画素電極 17 の信号を受けるように構成される。

【0008】

ところで、前述したようなカラーフィルター基板としての上部基板 5 とアレイ基板としての下部基板 22 を合着して液晶パネルを製作する場合に、上部基板 5 と下部基板 22 の合着誤差による光漏れ不良などが発生する確率が非常に高い。

【0009】

以下、図 2 を参照して説明する。図 2 は、図 1 の II - II に沿って切断した断面図である。先に説明した通り、アレイ基板である第 1 基板 22 とカラーフィルター基板である第 2 基板 5 の間に液晶層 14 が位置している。また、アレイ基板 22 の上部には、ゲート電極 32、アクティブ層 34、ソース電極 36、ドレイン電極 38 を含む薄膜トランジスタ T が構成され、前記薄膜トランジスタ T の上部にはこれを保護する保護膜 40 が構成されている。さらに、画素領域 P には前記薄膜トランジスタ T のドレイン電極 38 と接触する透明画素電極 17 が構成されていて、画素電極 17 と並列に連結したストレージキャパシタ C がゲート配線 13 の上部に構成されている。

10

【0010】

前記上部基板 5 には前記ゲート配線 13 とデータ配線 15 と薄膜トランジスタ T に対応してブラックマトリックス 6 が構成されており、下部基板 22 の画素領域 P に対応してカラーフィルター 8a、8b、8c が構成される。

【0011】

この時、一般的なアレイ基板は、垂直クロストーク (cross talk) を防止するために、データ配線 15 と画素電極 17 を一定間隔 A 離隔して構成し、ゲート配線 13 と画素電極 17 も一定間隔 B 離隔して構成する。

20

【0012】

データ配線 15 及びゲート配線 13 と画素電極 17 間の離隔した空間 AB は光漏れ現象が発生する領域であるために、上部カラーフィルター基板 5 に構成したブラックマトリックス 6 がこの部分を遮るように構成する。

【0013】

また、前記薄膜トランジスタ T の上部に構成されたブラックマトリックス 6 は外部から照射された光が保護膜 40 を通ってアクティブ層 34 に影響を与えないようにするために光を遮断する役割をする。つまり、アクティブ層 34 での光電流の発生を遮るように構成する。

30

【発明の開示】

【発明が解決しようとする課題】

【0014】

ところが、前記上部基板 5 と下部基板 22 を合着する工程において合着誤差 (misalign) が発生する場合があるので、これを勘案して前記ブラックマトリックス 6 を設計する時に一定の値のマージンをおいて設計する場合、そのマージンだけ開口率が低下する。

【0015】

また、マージンを越えた合着誤差が発生する場合、光漏れ領域 A、B がブラックマトリックス 6 によりすべてを遮られない光漏れ不良が発生する場合がたびたびある。このような場合には、前記光漏れが外部に現れるので、液晶表示装置の画質を低下させる問題がある。

40

【0016】

本発明は前述したような問題を解決するために提案されたものであって、アレイ基板にブラックマトリックスを設計する時の合着誤差のための工程マージンを設ける必要がなく開口率を改善することができ、高画質を具現する液晶表示装置を制作できる液晶表示装置用アレイ基板の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0017】

前述した目的を達成するための本発明による液晶表示装置用アレイ基板の製造方法は、

50

基板上に構成して一方向に延長されたゲート配線を形成する段階と；前記ゲート配線と垂直に交差して多数の画素領域を定義するデータ配線を形成する段階と；前記ゲート配線とデータ配線の交差時点に位置し、ゲート電極とアクティブ層とソース電極とドレイン電極を含む薄膜トランジスタを形成する段階と；前記薄膜トランジスタとデータ配線の上部に第1絶縁膜を形成する段階と；前記ドレイン電極の一部を除いた領域の第1絶縁膜上のブラックマトリックスを形成する段階と；前記第1絶縁膜上のブラックマトリックスを包む第2絶縁膜を形成する段階と；前記第2絶縁膜と下部の第1絶縁膜を前記ドレイン電極の一部を露出する段階と；前記パターンニングされた第2絶縁膜が形成した基板の全面に透明導電性物質を蒸着して前記露出されたドレイン電極と接触する第1透明電極層を形成する段階と；前記第1透明電極層をパターンニングして前記露出したドレイン電極と接触する第1画素電極を前記画素領域に形成する段階と；前記第1画素電極の上部にカラーフィルタを形成する段階と；前記カラーフィルタが形成された基板の全面に非晶質の第2透明電極層を前記第1画素電極の上部と前記カラーフィルタの上部に形成する段階と；前記第2透明電極層の前記カラーフィルタに対応する部分にだけ、レーザーを照射して結晶化する段階と；前記結晶化してない部分の非晶質透明電極を除去して前記画素領域に対応して下部の第1画素電極と接触する結晶化された第2画素電極を形成する段階を含む。

10

【0018】

液晶表示装置用アレイ基板製造方法は、前記ゲート配線とゲート電極の上部にゲート絶縁膜を形成する段階をさらに含む。

【0019】

20

前記ゲート絶縁膜は前記アクティブ層とゲート電極の間に位置する。

【0020】

前記薄膜トランジスタは前記アクティブ層とソース及びドレイン電極の間にオーミックコンタクト層をさらに含む。

【0021】

前記ブラックマトリックスは不透明な感光性有機物質で構成されている。

【0022】

前記液晶表示装置用アレイ基板製造方法は、前記ゲート配線の上にストレージキャパシタを形成する段階をさらに含み、このようなストレージキャパシタを形成する段階は前記ゲート配線の上にストレージキャパシタの第1電極の役割を行うアイランド状のストレージ金属層を形成する段階を含む。

30

【0023】

また、前記ゲート電極はストレージキャパシタで第2電極の役割を行う。前記ストレージキャパシタは前記第1画素電極と接触する。

【0024】

前記第1絶縁膜及び第2絶縁膜は無機絶縁物質で形成されて、前記無機絶縁物質は窒化シリコン(SiN_x)及び酸化シリコン(SiO_2)の中の一つである。

【0025】

前記カラーフィルタはカラー樹脂で構成されている。

【0026】

40

また、前記第2画素電極を形成する段階は前記第2透明電極層の中で結晶化してない非晶質部分だけを除去する除去液の $\text{OZ}((\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O})$ を印加する段階を含み、前記レーザーを照射する段階はUVランプを用いる。

【0027】

また、前記レーザーを照射する段階はKrFをレーザーの光源として用いる。

【0028】

また、前述した目的を達成するための本発明による液晶表示装置用アレイ基板製造方法は、基板上に一方向に延長されたゲート配線とここに連結されたゲート電極を形成する段階と；前記ゲート電極上部に薄膜トランジスタを構成するアクティブ層とオーミックコンタクト層と、オーミックコンタクト層と接触して所定間隔離隔したソース電極及びドレイ

50

ン電極を形成して、ソース電極で延長されて前記ゲート配線と垂直に交差して画素領域を定義するデータ配線を同一マスクを用いて同時に形成する段階と；前記薄膜トランジスタ及びデータ配線の一部を除いた薄膜トランジスタとデータ配線及びゲート配線を包むブラックマトリックスを形成する段階と；前記ブラックマトリックスが形成された基板全面の第1絶縁膜上に第2絶縁膜を形成する段階と；前記第2絶縁膜と下部の第1絶縁膜をエッチングして前記ドレイン電極の一部を露出して前記画素領域に対応する基板の表面を露出する段階と；前記パターニングされた第2絶縁膜が形成された基板の全面に透明導電性物質を蒸着して前記露出されたドレイン電極と接触する第1透明電極層を形成する段階と；前記第1透明電極層をパターニングして前記露出されたドレイン電極と接触する第1画素電極を前記画素領域に形成する段階と；前記第1画素電極の上部にカラーフィルターを形成する段階と；前記カラーフィルターが形成された基板の全面に非晶質の第2透明電極層を前記第1画素電極の上部と前記カラーフィルターの上部に形成する段階と；前記第2透明電極層の前記カラーフィルターに対応した部分にだけレーザーを照射して結晶化する段階と；前記結晶化されてない部分の非晶質の透明電極を除去して前記画素領域に対応して下部の第1画素電極と接触する結晶化された第2画素電極を形成する段階を含む。

10

20

30

40

50

【0029】

前記マスクは光が完全に透過する透過部と、光が完全に遮断される遮断部と光の一部だけ透過する半透過部で構成され、前記透過部は薄膜トランジスタを除いた画素領域に対応し、前記遮断部はデータ配線と薄膜トランジスタに対応し、前記半透過部は前記データ電極に対応する。

【0030】

前記半遮断部はスリット及び半遮断性物質の中から構成する。

【0031】

前記アクティブ層は純粋非晶質シリコンで構成され、前記オーミックコンタクト層は不純物が含む非晶質シリコンで構成されている。

【0032】

液晶表示装置用アレイ基板製造方法は、前記ゲート配線とゲート電極の上部にゲート絶縁膜を形成する段階をさらに含む。

【0033】

前記ゲート絶縁膜は前記アクティブ層とゲート電極の間に位置する。

【0034】

前記薄膜トランジスタのオーミックコンタクト層は前記アクティブ層とソース電極及びドレイン電極の間に位置する。

【0035】

前記ブラックマトリックスは不透明な有機物質で、または、不透明な感光性有機物質で構成されている。

【0036】

前記液晶表示装置用アレイ基板製造方法は、前記ゲート配線の上部にストレージキャパシターを形成する段階をさらに含み、このようなストレージキャパシターを形成する段階は前記ゲート配線の上部にストレージキャパシターの第一電極の役割を行うアイランド状のストレージ金属層を形成する段階を含む。

【0037】

また、前記ゲート電極はストレージキャパシターで第2電極の役割を行う。

【0038】

前記ストレージキャパシターは前記第1画素電極と接触する。

【0039】

前記第1絶縁膜及び第2絶縁膜は無機絶縁物質で形成され、前記無機絶縁物質は窒化シリコン(SiN_x)及び酸化シリコン(SiO_2)の中の一つである。

【0040】

前記カラーフィルタはカラー樹脂で構成されている。

【0041】

また、前記第2画素電極を形成する段階は前記第2透明電極層の中で結晶化してない非晶質部分だけを除去する除去液の $\text{OZ}((\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O})$ を印加する段階を含み、前記レーザーを照射する段階はUVランプを用いる。

【0042】

また、前記レーザーを照射する段階はKrFをレーザーの光源として用いる。

【発明の効果】

【0043】

本発明によるCOT構造の液晶表示装置は、アレイ基板にブラックマトリックスを設計する時の合着誤差のための工程マージンをおく必要がないので開口率を改善する効果がある。また、第2画素電極を形成する工程でフォトリソエッチング工程を行わないため、下部のカラーフィルタパターンングが前記エッチング工程で使用された薬液によるダメージを受けない。このため、高画質を具現する液晶表示装置を制作できる効果がある。

【0044】

また、薄膜トランジスタを形成する時、ソース電極及びドレイン電極とアクティブ層を第1マスク工程で形成することによって、工程の時間を短縮する同時に工程の費用を節減する効果がある。

【発明を実施するための最良の形態】

【0045】

以下、添付した図面を参照しながら、本発明による望ましい実施の形態を説明する。

- 第1の実施の形態 -

図3は、本発明による液晶表示装置用アレイ基板の構成を概略的に示した図面である。図3に示したように、基板100上に一方向に延長されたゲート配線102をお互い平行に構成して、前記ゲート配線102と垂直に交差させて多数の画素領域Pを定義するデータ配線116を構成する。

【0046】

前記ゲート配線102とデータ配線116の交差点にはゲート電極104とアクティブ層108とソース電極112及びドレイン電極114を含む薄膜トランジスタTを構成する。

【0047】

前記ゲート配線102、データ配線116が交差して定義される画素領域Pにはドレイン電極114と接触する二重層の透明画素電極128、136とカラーフィルタ(130a、130b、130c)を構成する。

【0048】

前記透明電極128、136は、二重層で構成され、このうち、第1透明電極128はドレイン電極114と接触しながらカラーフィルタ130a、130b、130cの下部に構成し、第2透明電極136はカラーフィルタ130a、130b、130cの上部に構成する。

【0049】

前記第2透明電極136は第1透明電極128を通してドレイン電極114と間接的に接触する形状である。第1透明電極128及び第2透明電極136はゲート配線102の上部に構成されたストレージキャパシタCstと並列に連結する。

【0050】

ストレージキャパシタCstはゲート配線102の一部を第1電極として、前記第1透明電極128及び第2透明電極136と連結しながら前記ソース電極112、ドレイン電極114と同一層に同一物質で形成されたアイランド状のストレージ金属層118を第2電極とする。

【0051】

COT構造においては、図示したように、前記薄膜トランジスタTのアレイの上部にブ

10

20

30

40

50

ラックマトリックス 124 と赤、緑、青色のカラーフィルター 130a、130b、130c が構成されている。

【0052】

ブラックマトリックス 124 は光漏れ領域を遮る役割をし、ゲート配線 102 及びデータ配線 116 と薄膜トランジスタ T に対応して構成する。前記ブラックマトリックス 124 は不透明な有機物質を塗布して形成され、光を遮断する役割とともに薄膜トランジスタ T を保護する保護膜の役割をする。

【0053】

前述した構成において、前記カラーフィルターの上部に第 2 透明電極（第 2 画素電極）を形成する時、別途のフォトリソ工程を使用しないため、下部のカラーフィルターのパターンニングがダメージを受ける不良を防止できる。 10

【0054】

以下、図 4A ないし図 4I を参考して、本発明の実施の形態による液晶表示装置用アレイ基板の製造方法を説明する。図 4A ないし図 4I は、図 3 の IV - IV 線を切断して、本発明の第 1 の実施の形態による工程順序によって示した工程断面図である。図 3 の切断線 IV - IV は薄膜トランジスタと画素の切断線である。

【0055】

図 4A に示したように、基板 100 上に導電性金属を蒸着して第 1 マスク工程でパターンニングしてゲート配線 102 とゲート電極 104 を形成する。前記ゲート配線 102 とゲート電極 104 が形成された基板 100 の全面に窒化シリコン（ SiN_x ）と酸化シリコン（ SiO_2 ）を含む無機絶縁物質グループのうちから選択された一つを蒸着して第 1 絶縁層であるゲート絶縁膜 106 を形成する。 20

【0056】

前記ゲート絶縁膜 106 上に純粋非晶質シリコン（ a-Si:H ）と不純物が含まれた非晶質シリコン（ n+a-Si:H ）を蒸着して第 2 マスク工程でパターンニングしてゲート電極 104 の上部のゲート絶縁膜 106 上にアクティブ層 108 とオーミックコンタクト層 110 を形成する。

【0057】

次に、図 4B に示したように、前記アクティブ層 108 とオーミックコンタクト層 110 が形成された基板 100 の全面にクロム（ Cr ）、銅（ Cu ）、モリブデン（ Mo ）またはこれらの合金を蒸着して第 3 マスク工程でパターンニングして、前記オーミックコンタクト層 110 と各々接触するソース電極 112 及びドレイン電極 114 と、前記ソース電極 112 と連結されたデータ配線 116 と、前記ゲート配線 102 の上部にアイランド状のストレージ金属層 118 を形成する。 30

【0058】

前記ソース電極 112 及びドレイン電極 114 が形成された基板 100 の全面に窒化シリコン（ SiN_x ）と酸化シリコン（ SiO_2 ）を含む無機絶縁物質グループのうちから選択された一つを蒸着して第 2 絶縁膜 120 を形成する。

【0059】

この時、第 2 絶縁膜 120 の機能は後から形成される有機膜（ブラックマトリックス）と前記アクティブ層 108 の間に発生する接触不良を防止する機能をする。第 2 絶縁膜 120 は前記有機膜とアクティブ層 108 の間に接触不良が発生しないならばあえて形成する必要はない。 40

【0060】

前述したような工程を通して薄膜トランジスタアレイ部を形成する工程が完了する。

【0061】

次に、図 4C に示したように、前記第 2 絶縁膜 120 上部に誘電率が低い不透明な有機物質を塗布してブラック有機層 122 を形成する。前記ブラック有機層 122 は光を通過させない黒色で以後行われるパターンニング工程によってブラックマトリックスになる。

【0062】

次に、図４Ｄに示したように、第４マスク工程でパターンニングして、前記薄膜トランジスタＴとデータ配線１１６及びゲート配線１０２の上部にブラックマトリックス１２４を形成する。前記薄膜トランジスタＴの上部に形成されたブラックマトリックス１２４は薄膜トランジスタＴを保護する保護層の役割も行う。

【００６３】

次に、図４Ｅに示したように、前記ブラックマトリックス１２４が形成された基板１００の全面に絶縁物質を蒸着して第３絶縁膜１２６を形成する。前記第３絶縁膜１２６は窒化シリコン（ SiN_2 ）と酸化シリコン（ SiO_2 ）を含んだ無機絶縁物質グループのうちから選択された一つを蒸着して使用したり、場合によっては、ベンゾシクロブテン（ＢＣＢ）とアクリル（acryl）系樹脂（resin）を含む有機絶縁物質グループのうちから選択された一つを蒸着して使用する。

【００６４】

図４Ｆに示したように、第５マスク工程で前記第３絶縁膜１２６と第２絶縁膜１２０と第１絶縁膜（ゲート絶縁膜）１０６をエッチングして、前記ドレイン電極１１４の一側と画素領域Ｐと、前記アイランド状のストレージ金属層１１８の一側を露出する工程を行う。この時、前記第１絶縁膜（ゲート絶縁膜）１０６は、パターンニングされないで残る場合もあるが、もし残るとしたら以後の工程から形成されるカラーフィルターの高さを調節する役割を行う。

【００６５】

図４Ｇに示したように、前記パターンニングされた第３絶縁膜１２６が形成された基板１００の全面に前述したようなインジウム－スズ－オキサイド（ITO）とインジウム－ジnk－オキサイド（IZO）を含んだ透明な導電性金属を蒸着してマスク工程でパターンニングして、前記露出されたドレイン電極１１４及び前記ストレージ金属層１１８と同時に接触しながら画素領域Ｐに位置する第１画素電極１２８が形成する。

【００６６】

続いて、前記第１画素電極１２８が形成された基板１００の全面にカラー樹脂を塗布して、多数の画素領域Ｐに赤色と緑色と青色のカラーフィルター１３０a、１３０b、１３０cを各々形成する。このような前記赤色と緑色と青色のカラーフィルター１３０a、１３０b、１３０cが形成される工程で、前記第１画素電極１２８はカラーフィルターを現像する現像液が第１絶縁膜に浸透するのを防ぐ役割を行う。

【００６７】

ゲート配線１０２とゲート電極１０４を包んでいるゲート絶縁膜１０６はこれらゲート配線１０２及びゲート電極１０４の段差によるピンホールやクラックのような欠点を持つ場合がある。したがって、カラーフィルターを現像する過程で現像液がこのピンホールやクラックへ浸透してゲート配線１０２とゲート電極１０４にダメージを与える場合が発生する。しかし、本発明のように、第１画素電極１２８がカラーフィルターの形成の前に前もって、その下部に形成されることによってこのような被害は起こらず、工程の信頼感を高める効果がある。

【００６８】

図４Ｈに示したように、前記多数のカラーフィルター１３０a、１３０b、１３０cのパターンニングが形成された基板１００の全面に、前述した透明な導電性物質を蒸着して透明電極層１３２を蒸着する。この時、蒸着された透明電極層１３２は非晶質状態で、KrFを光源とするレーザーを照射して部分的に結晶化する。

【００６９】

すなわち、画素領域Ｐに対応する部分に集中的にレーザーを照射して結晶化する。この時、レーザー以外にもUVランプを強く当てても結晶化できる。

【００７０】

次に、図４Ｉに示したように、前記部分的に結晶化した透明電極を、OZつまり（（COOH）₂・H₂O＋H₂O）に浸すと前記非晶質部分だけが除去され、前記画素領域Ｐには前記第１画素電極１２８と接触しながら前記カラーフィルター１３０a、１３０b

、 1 3 0 c のパターニングの上部に第 2 画素電極 1 3 6 が形成される。

【 0 0 7 1 】

この時、前記第 2 画素電極 1 3 6 を形成する工程で別途のフォト工程が行わないため、フォト工程時、現像液による下部のカラーフィルタパターニングのダメージを防ぐことができる。以上のような工程を通じて本発明による C O T 構造の液晶表示装置用基板を制作できる。

【 0 0 7 2 】

前述したような工程は第 6 マスク工程でアレイ基板を制作した。しかし、このようなマスク工程は減らせる。以下、第 2 の実施の形態は前記第 1 の実施の形態の変形例として、第 1 の実施の形態と比べて工程をもっと単純化できる方法を提案する。

10

【 0 0 7 3 】

- - 第 2 の実施の形態 - -

本発明の第 2 の実施の形態は、前述した薄膜トランジスタアレイ部の工程で前記ソース電極及びドレイン電極とアクティブ層を一度にパターニングして C O T 構造の液晶表示装置を制作する方法を提案する。

【 0 0 7 4 】

図 5 は、本発明の第 2 の実施の形態による C O T 構造の液晶表示装置用下部基板の構成を概略的に示した図面である。図示したように、基板 2 0 0 上に一方向に延長されたゲート配線 2 0 2 をお互い平行に構成して、前記ゲート配線 2 0 2 と垂直に交差させて多数の画素領域 P を定義するデータ配線 2 2 4 を構成する。

20

【 0 0 7 5 】

前記ゲート配線 2 0 2 とデータ配線 2 2 4 の交差点にはゲート電極 2 0 4 とアクティブ層 2 3 2 a とソース電極 2 3 8 及びドレイン電極 2 4 0 を含む薄膜トランジスタ T を構成する。

【 0 0 7 6 】

前記ゲート配線 2 0 2 、データ配線 2 2 4 が交差して定義される画素領域 P にはドレイン電極 2 4 0 と接触する二重層の透明画素電極 2 5 4 、 2 6 0 とカラーフィルタ (2 5 6 a 、 2 5 6 b 、 2 5 6 c) を構成する。

【 0 0 7 7 】

前記透明電極 2 5 4 、 2 6 0 は、二重層で構成され、このうち第 1 透明電極 2 5 4 はドレイン電極 2 4 0 と接触しながらカラーフィルタ 2 5 6 a 、 2 5 6 b 、 2 5 6 c の下部に構成し、第 2 透明電極 2 6 0 はカラーフィルタ 2 5 6 a 、 2 5 6 b 、 2 5 6 c の上部に構成する。

30

【 0 0 7 8 】

前記第 2 透明電極 2 6 0 は第 1 透明電極 2 5 4 を通してドレイン電極 2 4 0 と間接的に接触する形状である。第 1 透明電極 2 5 4 及び第 2 透明電極 2 6 0 はゲート配線 2 0 2 の上部に構成されたストレージキャパシタ C st と並列に連結する。

【 0 0 7 9 】

ストレージキャパシタ C st はゲート配線 2 0 2 の一部を第 1 電極として、前記第 1 透明電極 2 5 4 及び第 2 透明電極 2 6 0 と連結しながら前記ソース電極 2 3 8 及びドレイン電極 2 4 0 と同一層同一物質で形成されたアイランド状のストレージ金属層 2 2 8 を第 2 電極とする。

40

【 0 0 8 0 】

この時、前記ソース電極 2 3 8 及びドレイン電極 2 4 0 とアクティブ層は同じ工程で形成される。このような場合、図示したように、必然的に前記データ配線 2 2 4 とソース電極 2 3 8 及びドレイン電極 2 4 0 とアイランド状のストレージ金属層 2 2 8 の周りに非晶質シリコン層 2 3 0 a 、 2 3 2 b 、 2 3 4 c が露出する形状になる。

【 0 0 8 1 】

C O T 構造においては、図示したように、前記薄膜トランジスタ T のアレイの上部にブラックマトリックス 2 5 0 と赤、緑、青色のカラーフィルタ 2 5 6 a 、 2 5 6 b 、 2 5

50

6 c が構成される。

【0082】

ブラックマトリックス250は光漏れ領域を遮る役割をし、ゲート配線202及びデータ配線224と薄膜トランジスタTに対応して構成する。前記ブラックマトリックス250は不透明な有機物質を塗布して形成されて、光を遮断する役割とともに薄膜トランジスタTを保護する保護膜の役割をする。

【0083】

以下、図6Aないし図6Mを参照して、本発明の第2の実施の形態によるCOT構造の薄膜トランジスタアレイ部とカラーフィルタ部の製造工程を説明する。

【0084】

図6Aないし図6Mは、図5のVI-VIを切断して、本発明の第2の実施の形態による工程順序によって示した工程断面図である。図6Aに示したように、基板200上に薄膜トランジスタ領域Tと画素領域Pとデータ領域Dとストレージ領域Sを定義する。

【0085】

前記多数の領域D, T, P, Sが定義される基板200の全面に導電性金属を蒸着して第1マスク工程でパターニングしてゲート配線202とゲート電極204を形成する。

【0086】

次に、図6Bに示したように、前記ゲート配線202とゲート電極204が形成された基板200の全面に窒化シリコン(SiN_x)と酸化シリコン(SiO_2)を含む無機絶縁物質グループのうちから選択された一つを蒸着して第1絶縁層であるゲート絶縁膜208

10

20

【0087】

前記ゲート絶縁膜208上に純粋非晶質シリコン(a-Si:H)と不純物が含まれた非晶質シリコン(n+a-Si:H)と第2導電性金属層214を順次形成する。続いて、前記第2金属層214の上部にフォト・レジストを塗布してPR(Photo Resist)層を形成する。

【0088】

この時、前記第2金属層はクロム(Cr)、モリブデン(Mo)、銅(Cu)、タングステン(W)、アルミニウム(Al)、アルミニウム合金(AlNd)を含む導電性金属グループのうちから選択された一つで形成する。

30

【0089】

続いて、前記基板200が離隔された上部に透過部M1と遮断部M2と半透過部M3で構成されたマスクMを位置させる。

【0090】

この時、前記遮断部M2はデータ領域Dと薄膜トランジスタ領域Tとストレージ領域Sに対応し、前記半透過部M3は前記薄膜トランジスタ領域Tの一部に対応し、前記透過部M1は前記薄膜トランジスタ領域Tを除いた画素領域Pに対応するように構成する。

【0091】

前記マスクの上部へ光を照射して下部のPR層216を露光して現像すると、図6Cに示したように、前記薄膜トランジスタ領域Tに対応して高さが違うPRパターニング220a, 220bが残り、前記データ領域Dとストレージ領域Sには元々塗布された高さそのままのPRパターニングが残る。

40

【0092】

前記薄膜トランジスタ領域Tに対応する部分のPRパターニング220a, 220bの高さがお互い違う理由は、前記マスクの半透過部M3に対応した部分が上部から一部だけ露光して現像されたからだ。つまり、半透過部M3はスリットとか半透明な物質で構成されていて光を一部だけ透過して露光が部分的に起きる。このため、部分的に露光されたフォト・レジストは現像する時、一部分だけが現像できる。

【0093】

続いて、前記PRパターニング220a, 220bの間から露出した下部の第2金属層

50

2 1 4 と不純物非晶質シリコン層 2 1 2 と純粋非晶質シリコン層を除去する工程を行うと、図 6 D に示したように、前記 P R パターニング 2 2 0 a , 2 2 0 b の下部に構成されて、前記データ領域 D に対応してデータ配線 2 2 4 と前記データ配線 2 2 4 と連結しながら前記薄膜トランジスタ領域 T にアイランド状で構成されたソース - ドレイン電極層 2 2 6 と前記ストレージ領域 S に形成されたアイランド状のストレージ金属層 2 2 8 が形成される。

【 0 0 9 4 】

同時に、前記データ配線 2 2 4 の下部には第 1 半導体パターニング 2 3 0 が構成され、前記第 1 半導体パターニング 2 3 0 で前記ソース - ドレイン電極層 2 2 6 の下部まで延長された第 2 半導体パターニング 2 3 2 が構成され、前記アイランド状のストレージ金属層 2 2 6 の下部には第 3 半導体パターニング 2 3 4 が構成される。 10

【 0 0 9 5 】

各々は半導体パターニングには純粋非晶質シリコン層 2 3 0 a , 2 3 2 a , 2 3 4 a と非晶質シリコン層 2 3 0 b , 2 3 2 b , 2 3 4 b が積層形状である。

【 0 0 9 6 】

次に、図 6 E は、薄膜トランジスタに構成するアクティブチャンネル層を露出するための前段階の P R パターニング 2 2 0 a , 2 2 0 b をエッチングする除灰工程を行った際の形状を現した図面である。

【 0 0 9 7 】

前記マスクの半透過部 (図 6 B の M 3) に対応して一部だけ露光された部分は、以後形成されるアクティブチャンネルに対応する部分 E であって、これを除去するための除灰工程を行う。前記除灰工程は一種の乾式エッチング工程と同じで、前記アクティブチャンネルに対応する部分 E の P R パターニングの高さほど P R パターニングが全体的に除去される。前記除灰工程を通じて前段階で形成された P R パターニングは全体的に低くなり、新たな P R パターニング 2 3 6 を形成する。 20

【 0 0 9 8 】

この P R パターニング 2 3 6 の周り F には前記データ配線 2 2 4 とソース - ドレイン電極層 2 2 6 と、アイランド状のストレージ金属層 2 2 8 が露出される現象が必然的に発生する。つまり、図 6 E に示したように、P R パターニング 2 3 6 の周りには半導体層が露出された部分 F が存在するようになる。 30

【 0 0 9 9 】

前記 P R パターニングの除灰工程が終了すると前記アクティブチャンネル E に対応して露出されたソース - ドレイン電極層 2 2 6 とその下部の非晶質シリコン層 2 3 6 b を除去する工程を進めて、前記残った P R パターニングを除去する。この時、前記 P R パターニング 2 3 6 の周り F へ露出された金属層とその下部の非晶質シリコン層 2 3 0 b 、 2 3 2 b , 2 3 4 b も除去される。

【 0 1 0 0 】

このような工程が完了すると、結果的に、図 6 F に示したように、前記薄膜トランジスタ領域 T に対応してお互い所定間隔離隔されてアクティブチャンネルを露出するソース電極 2 3 8 とドレイン電極 2 4 0 と、ソース電極から延長されたデータ配線 2 2 4 と、前記ゲート配線 2 0 4 が一部上部にはアイランド状のストレージ金属層 2 2 8 を形成する。前記各構成要素の周りには必然的に純粋非晶質シリコン層 2 3 0 a , 2 3 2 a , 2 3 4 a が露出された形状になる。 40

【 0 1 0 1 】

この時、前記薄膜トランジスタ領域 T に対応して構成された純粋非晶質シリコン層 2 3 2 a をアクティブ層、上部の不純物非晶質シリコン層 2 3 2 b をオーミックコンタクト層と称する。

【 0 1 0 2 】

以上のように、図 6 B と図 6 F を通じた二つのマスク工程により薄膜トランジスタアレイ部を形成する工程が完了した。 50

【0103】

次に、図6Gに示したように、前記ソース電極238及びドレイン電極240が形成された基板200の全面に窒化シリコン(SiN_x)と酸化シリコン(SiO_2)を含む無機絶縁物質グループのうちから選択された一つを蒸着して、第2絶縁膜246を形成する。

【0104】

この時、第2絶縁膜246の機能は以後に形成される有機膜248と前記アクティブ層232aの間に発生する接触不良を防止するための機能をする。次に、前記第2絶縁膜246の上部に誘電率が低い不透明な有機物質を塗布してブラック有機層248を形成する。

【0105】

次に、図6Hに示したように、第3マスク工程でパターニングして前記薄膜トランジスタ領域Tとデータ配線224及びアイランド状のストレージ金属層228の一部だけを遮るようにパターニングされたブラックマトリックス250を形成する。

【0106】

次に、図6Iに示したように、前記ブラックマトリックス250を形成された基板200の全面に絶縁物質を蒸着して第3絶縁膜252を形成する。前記第3絶縁膜252は窒化シリコン(SiN_x)と酸化シリコン(SiO_2)を含む無機絶縁物質グループのうちから選択された一つを蒸着したり、場合によってはベンゾシクロブテン(BCB)とアクリル(acryl)系樹脂(resin)を含む有機絶縁物質グループのうちから選択された一つを塗布して用いる。

【0107】

図6Jに示したように、第4マスク工程で前記第3絶縁膜252と第2絶縁膜246と第1絶縁膜(ゲート絶縁膜)206をエッチングして、前記ドレイン電極240の一侧と画素領域Pと前記アイランド状の金属層228の一侧を露出する工程を行う。

【0108】

図6Kに示したように、前記パターニングされた第3絶縁膜252が形成された基板200の全面に前述したようなインジウム-スズ-オキサイド(ITO)とインジウム-ジnk-オキサイド(IZO)を含んだ透明な導電性金属を蒸着して第5マスク工程でパターニングして、前記露出されたドレイン電極240と前記アイランド状のストレージ金属層228を同時に接触しながら画素領域Pに位置する第1画素電極254を形成する。

【0109】

続いて、前記第1画素電極254を形成された基板200の全面にカラー樹脂を塗布して、多数の画素領域Pに赤色と緑色と青色のカラーフィルター256a、256b、256cを各々形成する。

【0110】

図6Iに示したように、前記多数のカラーフィルター256a、256b、256cが形成された基板200の全面に前述した透明電極を蒸着して透明電極層258を蒸着する。この時、蒸着された透明電極層258は非晶質状態で、 KrF を光源とするレーザーを照射して部分的に結晶化できる。すなわち、画素領域Pに対応する部分に集中的にレーザーを照射して結晶化する。この時、レーザー以外にもUVランプを強く当てても結晶化できる。

【0111】

次に、図6Mに示したように、前記部分的に結晶化した透明電極を OZ つまり、 $(\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}$)に浸すと前記非晶質部分だけが除去されて、前記画素領域Pには前記第1画素電極254と接触しながら前記カラーフィルター256a、256b、256cパターニング上部に構成する第2画素電極260が形成される。

【0112】

この時、前記第2画素電極260を形成する工程で別途のフォト工程が進行しないため、フォト工程時、現像液による下部のカラーフィルターパターニングのダメージを防ぐことができる。

10

20

30

40

50

【 0 1 1 3 】

また、前述したような工程は5つのマスク工程で制作されるため前記第1の実施の形態に比べて第1マスク工程を減らせて工程の時間を短縮すると同時に工程の費用を節減する効果がある。

【 0 1 1 4 】

上述したように、本発明を要約すれば、カラーフィルターを下部基板に構成してカラーフィルター間領域、つまり薄膜トランジスタとゲート配線及びデータ配線の上にブラックマトリックスを構成する。このようにすると、別途のPRパターニング工程を行わなくても済むので、PRパターニングを現像する現像液や、これを除去する除去液によった前記カラーフィルターが影響を受けない長所がある。

10

【 0 1 1 5 】

また、前記画素領域には第1透明電極とカラーフィルターと第2透明電極の順に構成するが、前記第1透明電極はドレイン電極と直接接触する構成で、前記第2透明電極は前記第1透明電極と接触するように構成する。

【 0 1 1 6 】

この時、前記第2透明電極をパターニングする工程は別途のPRパターニング工程を行わないで、前記第2透明電極を蒸着した後に、画素領域に対応する部分にだけレーザーを照射し結晶化した後、非晶質の電極だけをエッチングするエッチング溶液を用いて、これを除去する工程を行うにあたって、第2透明電極を各画素ごと独立的にパターニングできる。この時、前記レーザーだけではなく、UVランプを強く当てても結晶化できる。このようにすると、別途のPRパターニング工程を行わなくても済むので、PRパターニング時、必要な現像液とか除去液による下部のカラーフィルターのパターニングがダメージを受けない。従って、高画質の液晶表示装置が制作できる。

20

【 図面の簡単な説明 】

【 0 1 1 7 】

【 図 1 】 一般的な液晶表示装置の構成を概略的に示した図面である。

【 図 2 】 図 1 の I I - I I 線に沿って切断して示した液晶表示装置の断面図である。

【 図 3 】 本発明の第1の実施の形態によるCOT構造の液晶表示装置用アレイ基板の一部を概略的に示した平面図である。

【 図 4 A 】 図 3 の I V - I V 線に沿って切断して、本発明の第1の実施の形態による工程順序によって示した断面図である。

30

【 図 4 B 】 図 4 A に続く工程順序を示した断面図である。

【 図 4 C 】 図 4 B に続く工程順序を示した断面図である。

【 図 4 D 】 図 4 C に続く工程順序を示した断面図である。

【 図 4 E 】 図 4 D に続く工程順序を示した断面図である。

【 図 4 F 】 図 4 E に続く工程順序を示した断面図である。

【 図 4 G 】 図 4 F に続く工程順序を示した断面図である。

【 図 4 H 】 図 4 G に続く工程順序を示した断面図である。

【 図 4 I 】 図 4 H に続く工程順序を示した断面図である。

【 図 5 】 本発明の第2の実施の形態によるCOT構造の液晶表示装置用アレイ基板の一部を概略的に示した平面図である。

40

【 図 6 A 】 図 5 の V I - V I 線に沿って切断して、本発明の第2の実施の形態による工程順序によって示した工程断面図である。

【 図 6 B 】 図 6 A に続く工程順序を示した断面図である。

【 図 6 C 】 図 6 B に続く工程順序を示した断面図である。

【 図 6 D 】 図 6 C に続く工程順序を示した断面図である。

【 図 6 E 】 図 6 D に続く工程順序を示した断面図である。

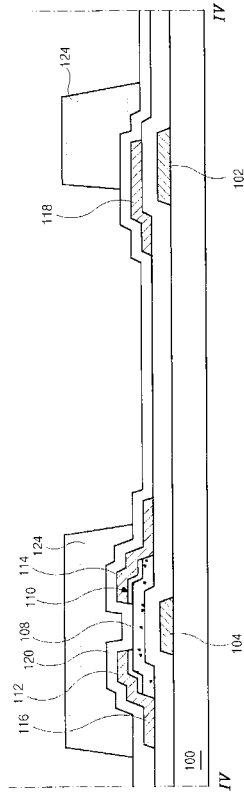
【 図 6 F 】 図 6 E に続く工程順序を示した断面図である。

【 図 6 G 】 図 6 F に続く工程順序を示した断面図である。

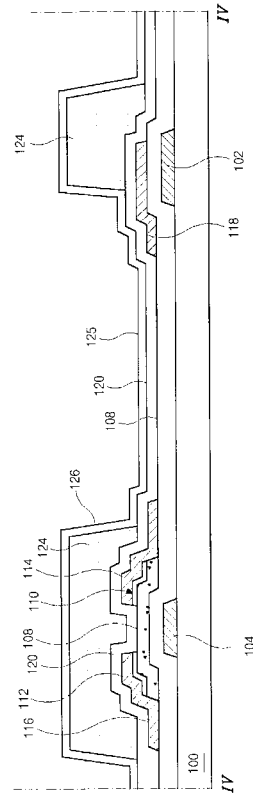
【 図 6 H 】 図 6 G に続く工程順序を示した断面図である。

50

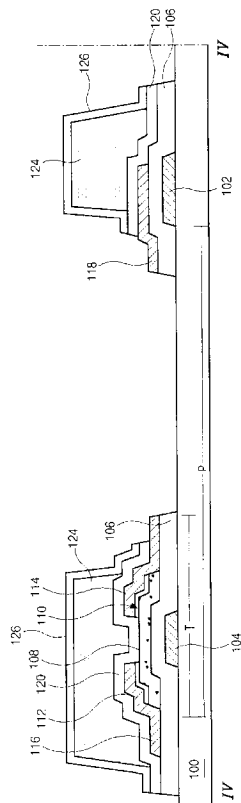
【図 4 D】



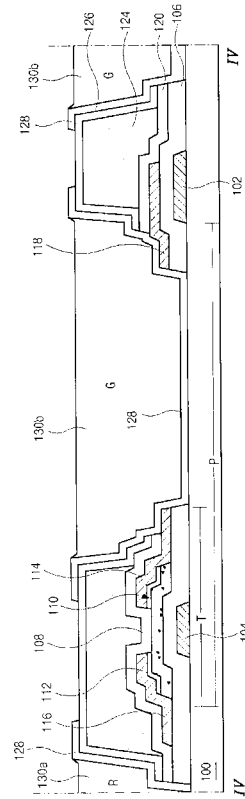
【図 4 E】



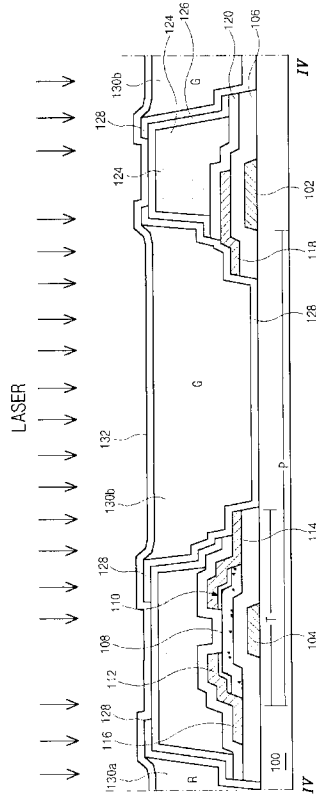
【図 4 F】



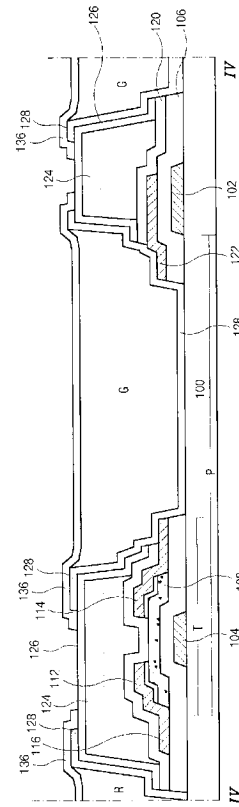
【図 4 G】



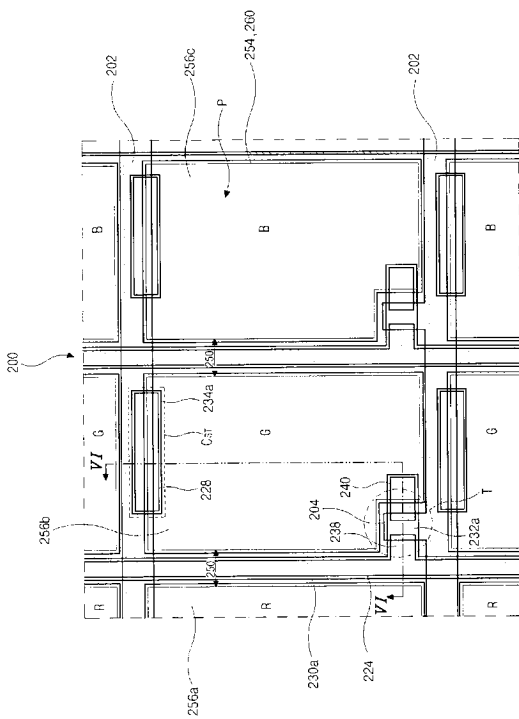
【図 4 H】



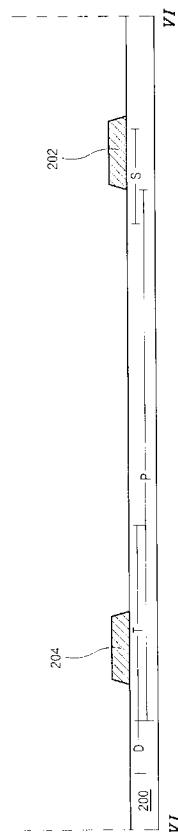
【図 4 I】



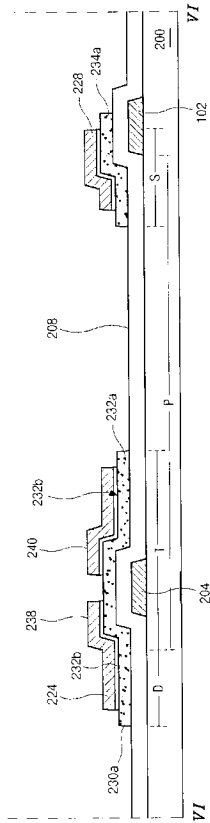
【図 5】



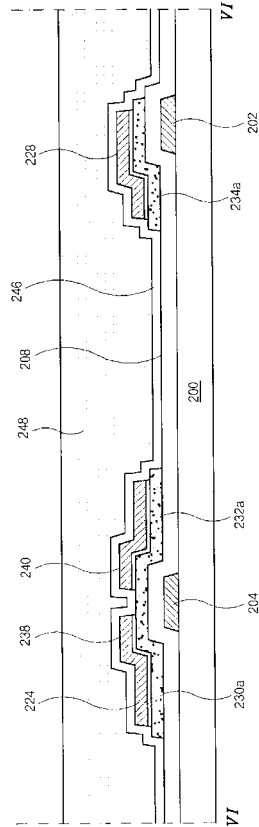
【図 6 A】



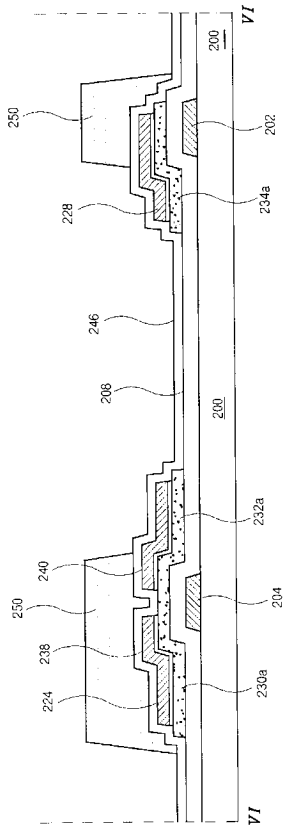
【 図 6 F 】



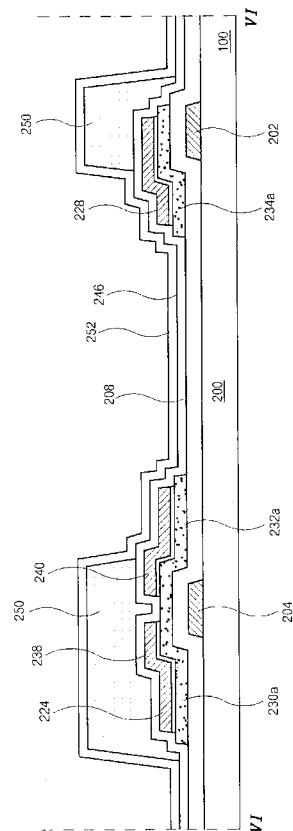
【 図 6 G 】



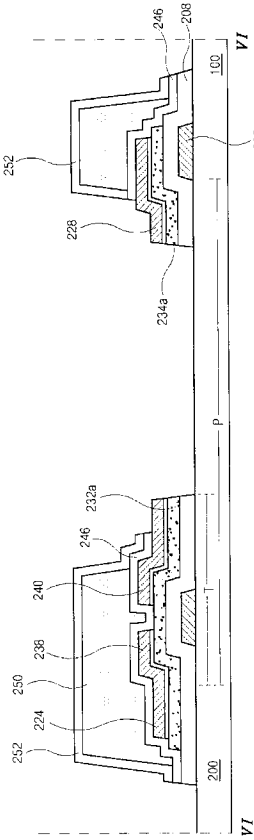
【 図 6 H 】



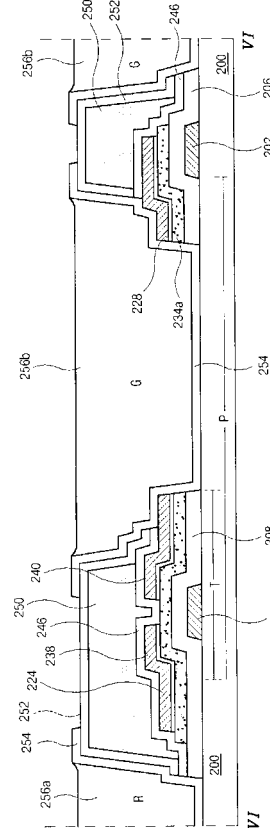
【 図 6 I 】



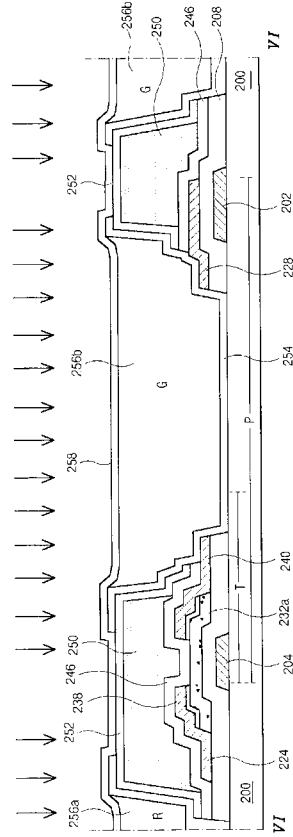
【図 6 J】



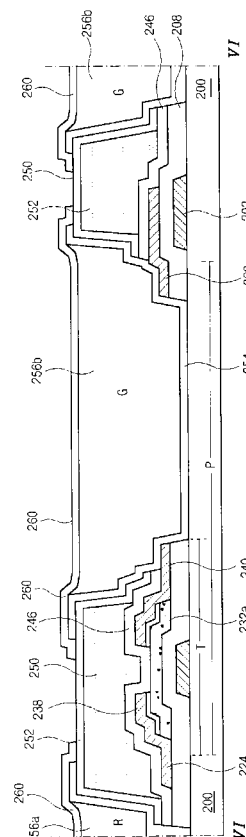
【図 6 K】



【図 6 L】



【図 6 M】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 21/336	H 0 1 L 21/88	B
H 0 1 L 29/786	H 0 1 L 21/88	M
	H 0 1 L 29/78	6 1 2 D

(72)発明者 ウン・クオン・キム

大韓民国、4 3 5 - 0 4 0 キョンギ - ド、クンボ - シ、サンボン - ドン 1 1 4 5、セジョン・アパートメント 6 4 0 - 1 2 0 4

(72)発明者 ヨン・ギョン・チャン

大韓民国、4 3 7 - 0 4 0 キョンギ - ド、ウィウアン - シ、オジョン - ドン、エルジー・チンダ
ル・アパートメント、1 0 3 - ドン、8 0 7 - ホ

F ターム(参考) 2H091 FA02Y FA35Y FB02 FC23 FC26 FC27 FD04 FD05 GA03 GA07
GA13 LA12

2H092 HA03 HA04 JA26 JA28 JA36 JA40 JA44 JA45 JB52 JB56
JB64 JB66 KB12 KB14 KB25 MA04 MA14 MA15 MA18 MA20
MA30 MA41 NA27 PA08 PA09

4M104 AA01 BB01 BB02 BB04 BB13 BB16 BB18 BB36 CC01 DD08
DD09 DD15 DD16 DD20 DD34 DD55 DD64 DD65 DD73 DD81
FF13 FF22 GG09 GG10 GG14 GG19 GG20 HH11

5F033 GG04 HH04 HH08 HH09 HH10 HH11 HH17 HH19 HH20 JJ01
JJ04 JJ08 JJ09 JJ10 JJ11 JJ17 JJ19 JJ20 JJ38 KK05
LL04 LL06 MM05 NN06 QQ08 QQ09 QQ10 QQ11 QQ19 QQ37
QQ53 RR04 RR06 RR21 SS10 VV10 VV15 XX33

5F110 AA16 AA30 BB01 CC07 EE02 EE03 EE43 FF02 FF03 FF27
GG02 GG15 GG35 GG42 HK02 HK04 HK06 HK09 HK16 HK21
HK32 HM18 NN03 NN22 NN23 NN24 NN27 NN33 NN72 NN73
QQ02

专利名称(译)	制造用于液晶显示装置的阵列基板的方法		
公开(公告)号	JP2004310036A	公开(公告)日	2004-11-04
申请号	JP2003395868	申请日	2003-11-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	ウンクオンキム ヨンギョンチャン		
发明人	ウン-クオン・キム ヨン-ギョン・チャン		
IPC分类号	G02F1/1335 G02F1/1343 G02F1/1362 G02F1/1368 H01L21/28 H01L21/3205 H01L21/336 H01L23/52 H01L29/786		
CPC分类号	G02F1/13439 G02F1/134336 G02F2001/136222		
FI分类号	G02F1/1343 G02F1/1335.500 G02F1/1335.505 G02F1/1368 H01L21/28.K H01L21/88.B H01L21/88.M H01L29/78.612.D		
F-TERM分类号	2H091/FA02Y 2H091/FA35Y 2H091/FB02 2H091/FC23 2H091/FC26 2H091/FC27 2H091/FD04 2H091/FD05 2H091/GA03 2H091/GA07 2H091/GA13 2H091/LA12 2H092/HA03 2H092/HA04 2H092/JA26 2H092/JA28 2H092/JA36 2H092/JA40 2H092/JA44 2H092/JA45 2H092/JB52 2H092/JB56 2H092/JB64 2H092/JB66 2H092/KB12 2H092/KB14 2H092/KB25 2H092/MA04 2H092/MA14 2H092/MA15 2H092/MA18 2H092/MA20 2H092/MA30 2H092/MA41 2H092/NA27 2H092/PA08 2H092/PA09 4M104/AA01 4M104/BB01 4M104/BB02 4M104/BB04 4M104/BB13 4M104/BB16 4M104/BB18 4M104/BB36 4M104/CC01 4M104/DD08 4M104/DD09 4M104/DD15 4M104/DD16 4M104/DD20 4M104/DD34 4M104/DD55 4M104/DD64 4M104/DD65 4M104/DD73 4M104/DD81 4M104/FF13 4M104/FF22 4M104/GG09 4M104/GG10 4M104/GG14 4M104/GG19 4M104/GG20 4M104/HH11 5F033/GG04 5F033/HH04 5F033/HH08 5F033/HH09 5F033/HH10 5F033/HH11 5F033/HH17 5F033/HH19 5F033/HH20 5F033/JJ01 5F033/JJ04 5F033/JJ08 5F033/JJ09 5F033/JJ10 5F033/JJ11 5F033/JJ17 5F033/JJ19 5F033/JJ20 5F033/JJ38 5F033/KK05 5F033/LL04 5F033/LL06 5F033/MM05 5F033/NN06 5F033/QQ08 5F033/QQ09 5F033/QQ10 5F033/QQ11 5F033/QQ19 5F033/QQ37 5F033/QQ53 5F033/RR04 5F033/RR06 5F033/RR21 5F033/SS10 5F033/VV10 5F033/VV15 5F033/XX33 5F110/AA16 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE43 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG02 5F110/GG15 5F110/GG35 5F110/GG42 5F110/HK02 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK32 5F110/HM18 5F110/NN03 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN72 5F110/NN73 5F110/QQ02 2H191/FA02Y 2H191/FA14Y 2H191/FB02 2H191/FC33 2H191/FC36 2H191/FC37 2H191/FD04 2H191/FD05 2H191/GA05 2H191/GA10 2H191/GA19 2H191/LA13 2H192/AA24 2H192/BA42 2H192/CB05 2H192/CB35 2H192/DA02 2H192/DA42 2H192/EA02 2H192/EA06 2H192/EA13 2H192/EA42 2H192/EA74 2H192/HA44 2H192/HA47 2H192/HA64 2H192/HA82 2H291/FA02Y 2H291/FA14Y 2H291/FB02 2H291/FC33 2H291/FC36 2H291/FC37 2H291/FD04 2H291/FD05 2H291/GA05 2H291/GA10 2H291/GA19 2H291/LA13		
代理人(译)	英年古河 Kajinami秩序		
优先权	1020020078006 2002-12-09 KR		
其他公开文献	JP4299113B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种制造用于液晶显示装置的阵列基板的方法，通过该方法可以增强孔径比，因为当在黑色矩阵上设计黑矩阵时不需要提供未对准的工艺余量。可以制造阵列基板和实现高图像质量的液晶显示器。解决方案：在阵列基板的上部形成滤色器的结构中，通过使用不透明的有机树脂，在薄膜晶体管，栅极布线和数据布线的上部形成黑矩阵，并且第二透明电极形成在滤色器的上部 and 下部作为中心。此时，不对第二透明电极进行单独的PR图案化步骤，并且在基板的整个表面上形成透明电极之后，透明电极部分结晶，并且通过选择性蚀刻非晶体来执行图案化步骤和水晶状态。 Ž

