

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-302400

(P2004-302400A)

(43) 公開日 平成16年10月28日(2004.10.28)

(51) Int.Cl.⁷

G09G 3/36

G02F 1/133

G09G 3/20

F I

G09G 3/36

G02F 1/133 550

G09G 3/20 611A

G09G 3/20 612U

G09G 3/20 621K

テーマコード (参考)

2H093

5C006

5C080

審査請求 未請求 請求項の数 33 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2003-158081 (P2003-158081)

(22) 出願日 平成15年6月3日 (2003.6.3)

(31) 優先権主張番号 092107205

(32) 優先日 平成15年3月28日 (2003.3.28)

(33) 優先権主張国 台湾 (TW)

(71) 出願人 390023582

財団法人工業技術研究院

台湾新竹縣竹東鎮中興路四段195號

(74) 代理人 100082304

弁理士 竹本 松司

(74) 代理人 100088351

弁理士 杉山 秀雄

(74) 代理人 100093425

弁理士 湯田 浩一

(74) 代理人 100102495

弁理士 魚住 高博

(74) 代理人 100112302

弁理士 手島 直彦

最終頁に続く

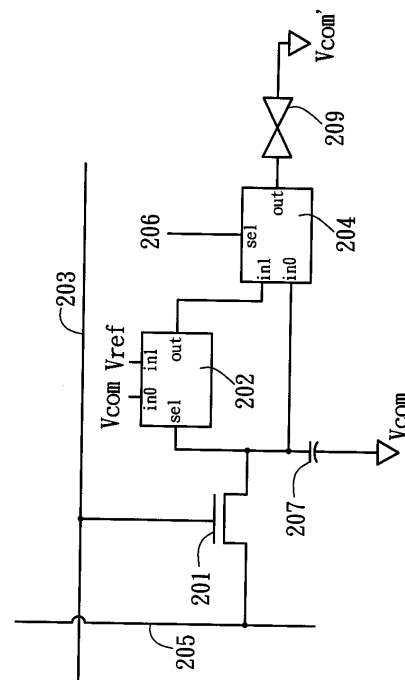
(54) 【発明の名称】 液晶ディスプレイの画素回路

(57) 【要約】

【課題】 液晶ディスプレイの画素回路の提供。

【解決手段】 液晶ディスプレイの画素にデジタル回路を設置して静態画像を処理し、動態画像を処理するアナログ回路と組み合わせ、並びにマルチプレクサを設置してデジタルとアナログ信号処理を行ない本発明の液晶ディスプレイの画素回路の節電とパワー消耗減少を達成する。この画素回路は、電圧出力切り換え機能をもった複数のスイッチング素子をもった複数のマルチプレクサと、走査線とデータ線に接続されて回路の制御スイッチとされる薄膜トランジスタと、該薄膜トランジスタに接続されてデータ線のアナログ或いはデジタル電圧情報を保存するコンデンサと、を具えている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

アナログ回路とデジタル回路の組み合わせによりパワー消費を減らした液晶ディスプレイの画素回路であって、

電圧出力切り換え機能をもった複数のスイッチング素子をもった複数のマルチプレクサと、

走査線とデータ線に接続されて回路の制御スイッチとされる薄膜トランジスタと、

該薄膜トランジスタに接続されてデータ線のアナログ電圧情報或いはデジタル電圧情報を保存するコンデンサと、

をもったことを特徴とする、液晶ディスプレイの画素回路。

10

【請求項 2】

請求項 1 記載の液晶ディスプレイの画素回路において、複数のマルチプレクサが第 1 マルチプレクサと第 2 マルチプレクサからなることを特徴とする、液晶ディスプレイの画素回路。

【請求項 3】

請求項 2 記載の液晶ディスプレイの画素回路において、第 1 マルチプレクサが共通電圧端と参考電圧端をもったことを特徴とする、液晶ディスプレイの画素回路。

【請求項 4】

請求項 2 記載の液晶ディスプレイの画素回路において、第 2 マルチプレクサの入出力端が、

20

選択端と、

出力端と、

第 1 モード端と、

第 2 モード端と、

をもったことを特徴とする、液晶ディスプレイの画素回路。

【請求項 5】

請求項 4 記載の液晶ディスプレイの画素回路において、第 2 マルチプレクサの選択端がモード制御端に接続されたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 6】

請求項 4 記載の液晶ディスプレイの画素回路において、出力端が液晶セルに接続されたことを特徴とする、液晶ディスプレイの画素回路。

30

【請求項 7】

請求項 4 記載の液晶ディスプレイの画素回路において、第 1 モード端が前記コンデンサと前記薄膜トランジスタに接続されたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 8】

請求項 4 記載の液晶ディスプレイの画素回路において、第 1 モード端が第 1 マルチプレクサの出力端に接続されたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 9】

アナログ回路とデジタル回路の組み合わせによりパワー消費を減らした液晶ディスプレイの画素回路であって、

40

電圧出力切り換え機能をもった複数のスイッチング素子をもった複数のマルチプレクサと、

走査線とデータ線に接続されて回路の制御スイッチとされる薄膜トランジスタと、

該薄膜トランジスタに接続されてデータ線のアナログ電圧情報或いはデジタル電圧情報を保存するコンデンサと、

該複数のマルチプレクサと一つの液晶セルに接続された第 1 スイッチ装置と、をもったことを特徴とする、液晶ディスプレイの画素回路。

【請求項 10】

請求項 9 記載の液晶ディスプレイの画素回路において、複数のマルチプレクサが第 1 マルチプレクサと第 2 マルチプレクサからなることを特徴とする、液晶ディスプレイの画素回

50

路。

【請求項 1 1】

請求項 1 0 記載の液晶ディスプレイの画素回路において、第 1 マルチプレクサが共通電圧端と参考電圧端を具えたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 1 2】

請求項 1 0 記載の液晶ディスプレイの画素回路において、第 2 マルチプレクサの入出力端が、

選択端と、

出力端と、

第 1 モード端と、

第 2 モード端と、

を具えたことを特徴とする、液晶ディスプレイの画素回路。

10

【請求項 1 3】

請求項 1 2 記載の液晶ディスプレイの画素回路において、第 2 マルチプレクサの選択端がモード制御端に接続されたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 1 4】

請求項 1 2 記載の液晶ディスプレイの画素回路において、出力端が第 1 スイッチ装置に接続されたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 1 5】

請求項 1 2 記載の液晶ディスプレイの画素回路において、第 1 モード端が液晶セルに接続されたことを特徴とする、液晶ディスプレイの画素回路。

20

【請求項 1 6】

請求項 1 2 記載の液晶ディスプレイの画素回路において、第 2 モード端が第 1 マルチプレクサに接続されたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 1 7】

アナログ回路とデジタル回路の組み合わせによりパワー消費を減らした液晶ディスプレイの画素回路であって、

電圧出力切り換え機能を具えた複数のスイッチング素子を具えた複数のマルチプレクサと、

走査線、薄膜トランジスタ及びコンデンサに接続されて、該コンデンサに保存されたデジタル電圧情報を保存する S R A M と、

30

走査線とデータ線に接続されて回路の制御スイッチとされる薄膜トランジスタと、

該薄膜トランジスタに接続されてデータ線のアナログ電圧情報或いはデジタル電圧情報を保存するコンデンサと、

を具えたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 1 8】

請求項 1 7 記載の液晶ディスプレイの画素回路において、複数のマルチプレクサが第 1 マルチプレクサと第 2 マルチプレクサからなることを特徴とする、液晶ディスプレイの画素回路。

【請求項 1 9】

請求項 1 7 記載の液晶ディスプレイの画素回路において、第 1 マルチプレクサが共通電圧端と参考電圧端を具えたことを特徴とする、液晶ディスプレイの画素回路。

40

【請求項 2 0】

請求項 1 7 記載の液晶ディスプレイの画素回路において、S R A M の一端が第 1 マルチプレクサに接続され、別端が薄膜トランジスタとコンデンサに接続されたことを特徴とする、液晶ディスプレイの画素回路。

第 2 マルチプレクサの選択端がモード制御端に接続されたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 2 1】

請求項 1 7 記載の液晶ディスプレイの画素回路において、第 2 マルチプレクサが、

50

選択端と、
出力端と、
第 1 モード端と、
第 2 モード端と、
を具えたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 2 2】

請求項 2 1 記載の液晶ディスプレイの画素回路において、第 2 マルチプレクサの選択端がモード制御端に接続されたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 2 3】

請求項 2 1 記載の液晶ディスプレイの画素回路において、出力端が液晶セルに接続されたことを特徴とする、液晶ディスプレイの画素回路。 10

【請求項 2 4】

請求項 2 1 記載の液晶ディスプレイの画素回路において、第 1 モード端が前記コンデンサと前記薄膜トランジスタに接続されたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 2 5】

請求項 2 1 記載の液晶ディスプレイの画素回路において、第 2 モード端が第 1 マルチプレクサに接続されたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 2 6】

アナログ回路とデジタル回路の組み合わせによりパワー消費を減らした液晶ディスプレイの画素回路であって、 20

複数の電流スイッチング素子を具えた第 1 マルチプレクサと、
複数の電流スイッチング素子を具えたデマルチプレクサと、
走査線に接続され更に該第 1 マルチプレクサと該デマルチプレクサに接続され、並びに該デマルチプレクサの出力するデジタル電圧情報を保存する S R A M と、
走査線とデータ線に接続されて回路の制御スイッチとされる薄膜トランジスタと、
該薄膜トランジスタに接続されてデータ線のアナログ電圧情報或いはデジタル電圧情報を保存するコンデンサと、
該第 1 マルチプレクサ、該デマルチプレクサ、該コンデンサ及び液晶セルに接続された第 2 スイッチ装置と、
を具えたことを特徴とする、液晶ディスプレイの画素回路。 30

【請求項 2 7】

請求項 2 6 記載の液晶ディスプレイの画素回路において、第 1 マルチプレクサが共通電圧端と参考電圧端を具えたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 2 8】

請求項 2 6 記載の液晶ディスプレイの画素回路において、第 2 スイッチ装置が第 2 信号線によりモード制御端に接続されてそのスイッチング信号を制御することを特徴とする、液晶ディスプレイの画素回路。

【請求項 2 9】

請求項 2 6 記載の液晶ディスプレイの画素回路において、デマルチプレクサが、
選択端と、 40
デマルチプレクサ入力端と、

第 1 モード出力端と、
第 2 モード出力端と、

を具えたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 3 0】

請求項 2 9 記載の液晶ディスプレイの画素回路において、デマルチプレクサの選択端がモード制御端に接続されたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 3 1】

請求項 2 9 記載の液晶ディスプレイの画素回路において、デマルチプレクサの入力端が薄膜トランジスタに接続されたことを特徴とする、液晶ディスプレイの画素回路。 50

【請求項 3 2】

請求項 2 9 記載の液晶ディスプレイの画素回路において、第 1 モード出力端が第 2 スイッチ装置に接続されたことを特徴とする、液晶ディスプレイの画素回路。

【請求項 3 3】

請求項 2 9 記載の液晶ディスプレイの画素回路において、第 2 モード出力端が S R A M に接続されたことを特徴とする、液晶ディスプレイの画素回路。

【発明の詳細な説明】**【0 0 0 1】****【発明の属する技術分野】**

本発明は一種の液晶ディスプレイの画素回路に係り、特に、液晶ディスプレイの画素にデジタル回路を設置して静態画像を処理し、もとからあるアナログ回路と組み合わせ、液晶ディスプレイの画素回路の節電とパワー消耗減少を達成するようにした、液晶ディスプレイの画素回路に関する。

【0 0 0 2】**【従来の技術】**

一般にノートブック型コンピュータ或いは各種の表示機能を有する装置の液晶ディスプレイの画像画素駆動回路にはアナログ回路が使用されている。周知の液晶表示装置は薄膜トランジスタ或いはねじれネマティック (T N) 等のアクティブ式或いはパッシブ式マトリックス液晶があり、その回路は図 1 の周知の技術の画素回路表示図に示されるようであり、全体の液晶パネルは複数の、図示される回路が順に配列されてなり、並びに一つの走査線 1 0 3 とデータ線 1 0 5 を共用している。図示されるのはアクティブマトリックス式液晶薄膜トランジスタ 1 0 1 の回路であり、一つの画像画素の構造は、薄膜トランジスタ 1 0 1、コンデンサ 1 0 7 と液晶セル 1 0 9 に周辺回路が組み合わされてなる。そのうち、コンデンサ 1 0 7 にアナログ電圧が書き込まれてグレースケールが表示され、走査線 1 0 3 は回路スイッチとされ、信号を走査線 1 0 3 より液晶セルに導通させる時、データ線 1 0 5 がコンデンサ 1 0 7 に対して充電放電を行なう。薄膜トランジスタ 1 0 1 は非完全であり、漏電してグレースケール損失現象を形成しうる。ゆえにデータ線 1 0 5 は薄膜トランジスタに対して不断に充電放電してグレースケールの表示を維持しなければならない。このため、一般の液晶ディスプレイはいずれも画像更新率 (r e f r e s h r a t e) のデータを発生しうる。

【0 0 0 3】

別の周知の技術は表面安定強誘電性液晶 (S u r f a c e S t a b i l i z e d F e r r o e l e c t r i c L i q u i d C r y s t a l ; S S F L C) を使用している。このような液晶は自己分極を有し、且つ外部電場の印加により、自己分極の指向が反転し、ゆえに記憶の効果を有する。静止画面を表示する時は、不断に画素に対して書き込みを行う必要がなく、データ線に対して充電放電を行う必要がないため、節電の目的を達成できる。しかしその欠点は、黒白の二色しか表示できず、もしグレースケールを表示しようとするれば、パルス幅変調 (P u l s e W i d t h M o d u l a t i o n ; P W M) のような複雑な回路の使用が必要となることである。

【0 0 0 4】**【発明が解決しようとする課題】**

本発明の液晶ディスプレイの画素回路は上述の、常時画面を更新することによる電力消耗、或いは過多の複雑な回路を必要とする欠点を解決し、液晶画素上にデジタル回路を設置し、これにより常時画面を更新する必要をなくし節電を達成できるようにする。

【0 0 0 5】

本発明は一種の液晶ディスプレイの画素回路を提供することを目的とし、それは、液晶ディスプレイの画素にデジタル回路を設置して静態画像を処理し、動態画像を処理する既存のアナログ回路と組み合わせる。アナログ画素は良好なグレースケールを表示でき、デジタル操作モードは静態画像表示にあって続けてデータ線に対して充電放電を行う必要がなく、パワー消耗を減らすことができる。別にマルチプレクサを設置してデジタルと

アナログ信号初いに組み合わせ、本発明の液晶ディスプレイの画素回路の節電とパワー消耗減少の目的と機能を達成する。

【 0 0 0 6 】

本発明の液晶回路中には回路の方向を切り換えられる複数のマルチプレクサが設けられ、別に回路の制御スイッチとされる薄膜トランジスタが走査線とデータ線に接続さえ、並びにコンデンサがデータ線の電圧情報を保存し、このほか、さらにスイッチ装置が設置されてディジタルモード回路とアナログモード回路を隔離し、相互に干渉を受けないようにしている。

【 0 0 0 7 】

【 課題を解決するための手段 】

10

請求項 1 の発明は、アナログ回路とディジタル回路の組み合わせによりパワー消耗を減らした液晶ディスプレイの画素回路であって、

電圧出力切り換え機能をもった複数のスイッチング素子をもった複数のマルチプレクサと、

走査線とデータ線に接続されて回路の制御スイッチとされる薄膜トランジスタと、

該薄膜トランジスタに接続されてデータ線のアナログ電圧情報或いはディジタル電圧情報を保存するコンデンサと、

をもったことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 2 の発明は、請求項 1 記載の液晶ディスプレイの画素回路において、複数のマルチプレクサが第 1 マルチプレクサと第 2 マルチプレクサからなることを特徴とする、液晶ディスプレイの画素回路としている。

20

請求項 3 の発明は、請求項 2 記載の液晶ディスプレイの画素回路において、第 1 マルチプレクサが共通電圧端と参考電圧端をもったことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 4 の発明は、請求項 2 記載の液晶ディスプレイの画素回路において、第 2 マルチプレクサの入出力端が、

選択端と、

出力端と、

第 1 モード端と、

第 2 モード端と、

30

をもったことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 5 の発明は、請求項 4 記載の液晶ディスプレイの画素回路において、第 2 マルチプレクサの選択端がモード制御端に接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 6 の発明は、請求項 4 記載の液晶ディスプレイの画素回路において、出力端が液晶セルに接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 7 の発明は、請求項 4 記載の液晶ディスプレイの画素回路において、第 1 モード端が前記コンデンサと前記薄膜トランジスタに接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 8 の発明は、請求項 4 記載の液晶ディスプレイの画素回路において、第 1 モード端が第 1 マルチプレクサの出力端に接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

40

請求項 9 の発明は、アナログ回路とディジタル回路の組み合わせによりパワー消耗を減らした液晶ディスプレイの画素回路であって、

電圧出力切り換え機能をもった複数のスイッチング素子をもった複数のマルチプレクサと、

走査線とデータ線に接続されて回路の制御スイッチとされる薄膜トランジスタと、

該薄膜トランジスタに接続されてデータ線のアナログ電圧情報或いはディジタル電圧情報を保存するコンデンサと、

該複数のマルチプレクサと一つの液晶セルに接続された第 1 スイッチ装置と、をもったこ

50

とを特徴とする、液晶ディスプレイの画素回路としている。

請求項 10 の発明は、請求項 9 記載の液晶ディスプレイの画素回路において、複数のマルチプレクサが第 1 マルチプレクサと第 2 マルチプレクサからなることを特徴とする、液晶ディスプレイの画素回路としている。

請求項 11 の発明は、請求項 10 記載の液晶ディスプレイの画素回路において、第 1 マルチプレクサが共通電圧端と参考電圧端を具えたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 12 の発明は、請求項 10 記載の液晶ディスプレイの画素回路において、第 2 マルチプレクサの入出力端が、

選択端と、

出力端と、

第 1 モード端と、

第 2 モード端と、

を具えたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 13 の発明は、請求項 12 記載の液晶ディスプレイの画素回路において、第 2 マルチプレクサの選択端がモード制御端に接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 14 の発明は、請求項 12 記載の液晶ディスプレイの画素回路において、出力端が第 1 スイッチ装置に接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 15 の発明は、請求項 12 記載の液晶ディスプレイの画素回路において、第 1 モード端が液晶セルに接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 16 の発明は、請求項 12 記載の液晶ディスプレイの画素回路において、第 2 モード端が第 1 マルチプレクサに接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 17 の発明は、アナログ回路とデジタル回路の組み合わせによりパワー消費を減らした液晶ディスプレイの画素回路であって、

電圧出力切り換え機能を具えた複数のスイッチング素子を具えた複数のマルチプレクサと、

走査線、薄膜トランジスタ及びコンデンサに接続されて、該コンデンサに保存されたデジタル電圧情報を保存する S R A M と、

走査線とデータ線に接続されて回路の制御スイッチとされる薄膜トランジスタと、

該薄膜トランジスタに接続されてデータ線のアナログ電圧情報或いはデジタル電圧情報を保存するコンデンサと、

を具えたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 18 の発明は、請求項 17 記載の液晶ディスプレイの画素回路において、複数のマルチプレクサが第 1 マルチプレクサと第 2 マルチプレクサからなることを特徴とする、液晶ディスプレイの画素回路としている。

請求項 19 の発明は、請求項 17 記載の液晶ディスプレイの画素回路において、第 1 マルチプレクサが共通電圧端と参考電圧端を具えたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 20 の発明は、請求項 17 記載の液晶ディスプレイの画素回路において、S R A M の一端が第 1 マルチプレクサに接続され、別端が薄膜トランジスタとコンデンサに接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

第 2 マルチプレクサの選択端がモード制御端に接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 21 の発明は、請求項 17 記載の液晶ディスプレイの画素回路において、第 2 マルチプレクサが、

選択端と、

10

20

30

40

50

出力端と、
第 1 モード端と、
第 2 モード端と、
を具えたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 22 の発明は、請求項 21 記載の液晶ディスプレイの画素回路において、第 2 マルチプレクサの選択端がモード制御端に接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 23 の発明は、請求項 21 記載の液晶ディスプレイの画素回路において、出力端が液晶セルに接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 24 の発明は、請求項 21 記載の液晶ディスプレイの画素回路において、第 1 モード端が前記コンデンサと前記薄膜トランジスタに接続されたことを特徴とする、液晶ディスプレイの画素回路としている。 10

請求項 25 の発明は、請求項 21 記載の液晶ディスプレイの画素回路において、第 2 モード端が第 1 マルチプレクサに接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 26 の発明は、アナログ回路とデジタル回路の組み合わせによりパワー消費を減らした液晶ディスプレイの画素回路であって、
複数の電流スイッチング素子を具えた第 1 マルチプレクサと、
複数の電流スイッチング素子を具えたデマルチプレクサと、
走査線に接続され更に該第 1 マルチプレクサと該デマルチプレクサに接続され、並びに該デマルチプレクサの出力するデジタル電圧情報を保存する S R A M と、
走査線とデータ線に接続されて回路の制御スイッチとされる薄膜トランジスタと、
該薄膜トランジスタに接続されてデータ線のアナログ電圧情報或いはデジタル電圧情報を保存するコンデンサと、
該第 1 マルチプレクサ、該デマルチプレクサ、該コンデンサ及び液晶セルに接続された第 2 スイッチ装置と、
を具えたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 27 の発明は、請求項 26 記載の液晶ディスプレイの画素回路において、第 1 マルチプレクサが共通電圧端と参考電圧端を具えたことを特徴とする、液晶ディスプレイの画素回路としている。 20

請求項 28 の発明は、請求項 26 記載の液晶ディスプレイの画素回路において、第 2 スイッチ装置が第 2 信号線によりモード制御端に接続されてそのスイッチング信号を制御することを特徴とする、液晶ディスプレイの画素回路としている。

請求項 29 の発明は、請求項 26 記載の液晶ディスプレイの画素回路において、デマルチプレクサが、
選択端と、
デマルチプレクサ入力端と、
第 1 モード出力端と、
第 2 モード出力端と、
を具えたことを特徴とする、液晶ディスプレイの画素回路としている。 30

請求項 30 の発明は、請求項 29 記載の液晶ディスプレイの画素回路において、デマルチプレクサの選択端がモード制御端に接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 31 の発明は、請求項 29 記載の液晶ディスプレイの画素回路において、デマルチプレクサの入力端が薄膜トランジスタに接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 32 の発明は、請求項 29 記載の液晶ディスプレイの画素回路において、第 1 モード出力端が第 2 スイッチ装置に接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

請求項 33 の発明は、請求項 29 記載の液晶ディスプレイの画素回路において、第 2 モー 40

50

ド出力端がS R A Mに接続されたことを特徴とする、液晶ディスプレイの画素回路としている。

【0008】

【発明の実施の形態】

本発明はD R A MとS R A Mのデジタル操作モードにより、静態画像表示時に続けて画面を更新する必要をなくし、これにより節電と低パワー消耗の目的を達成する。

【0009】

図2は本発明の第1実施例の液晶ディスプレイの画素回路のD R A M画素ブロック図であり、並びに僅かに単一液晶セル回路により説明する。本発明はもともとの液晶ディスプレイ画素のアナログ構造にD R A Mを組成する第1マルチプレクサ202のデジタルモード回路を加え、該第1マルチプレクサ202は電流の方向切り換え機能をもった複数のスイッチング素子をもっている。図示されるように、走査線203は薄膜トランジスタ201を回路スイッチとし、信号が走査線203よりこの薄膜トランジスタ201をもった液晶セルに導通しようとするとき、データ線205よりこの薄膜トランジスタ201を通して電圧信号がコンデンサ207に書き込まれ、即ちコンデンサ207に対して充電放電が行われる。もう一つのモード制御端206は動態画像或いは静態画像の制御信号を受け取り、この制御信号が動態画像のアナログ信号であれば、第1モード（即ちmode = 1）とされ、第2マルチプレクサ204の各電流方向切り換えの回路の一つの選択端selよりモード制御信号が第2マルチプレクサ204に導入され、第1モードであれば、第2マルチプレクサ204の第1モード端in0が選択されて該コンデンサ207に保存される電圧値を受け取り、この電圧値が先にデータ線205よりコンデンサ207に保存され、並びに第2マルチプレクサ204の出力端outより出力する。別に該第2マルチプレクサ204の出力端outに接続された液晶セル209があり、この液晶セル209の別端が共通電圧端Vcom'とされ、液晶セル209の両端の電位差によりグレースケール画像が表示される。

【0010】

この液晶セル回路の薄膜トランジスタ201はスイッチとされ、並びに走査線203の信号を受け取ることによりこの液晶セル回路の導通（on）或いは切断（off）が決定される。薄膜トランジスタ201が導通する時、データ線205よりコンデンサ207に対してアナログ電圧値が書き込まれ、このアナログ電圧値が第2マルチプレクサ204の出力端outより液晶セル209に出力されてグレースケールが表示され、且つ該薄膜トランジスタ201は完全ではなく、漏電によるグレースケール損失の現象を形成しうる。ゆえに、該データ線205はコンデンサ207に対して不断に充電放電を行う。動態画像処理が第1モード（mode = 0）の時、第1マルチプレクサ202は作用せず、即ち周知のアナログ画素の運転とされる。

【0011】

もし走査線203の信号がこの液晶回路に導通し、該モード制御端206が受け取る制御信号が静態画像のデジタル信号である時、本発明の実施例中の第2モード（即ちmode = 1）とされ、この時、該第2マルチプレクサ204の選択端selがモード制御端206の信号を第2マルチプレクサ204に導入し、第2モードでは第2モード端in1より第1マルチプレクサ202の出力端outの出力した電圧値を受け取る。この出力電圧値は、走査線203信号がこの液晶回路を導通させる時、データ線205が薄膜トランジスタ201によりコンデンサ207に対する充電放電を行ない、並びにデジタル電圧情報を書き込む。第1マルチプレクサ202の選択端selは該薄膜トランジスタ201とコンデンサ207に接続され、並びにコンデンサ207に保存されたデジタル電圧情報によりその共通電圧端Vcomと参考電圧端Vrefの二種類の電圧値の出力が切り換えられ、そのうち共通電圧端Vcomの電圧値は電圧を加えない電位状態とされ、並びに共通電圧端Vcom'と共に、同じ電圧レベルに接続される二つの共通電圧端とされ、参考電圧端Vrefの電圧値は駆動電圧とされ、共通電圧端Vcomと参考電圧端Vrefの二種類の電圧端の切り換えと液晶セル209のもう一端の共通電圧端Vcom'の電圧によ

10

20

30

40

50

り該液晶セル209の明暗状態が決定される。コンデンサ207がデータ線205より充電されるデジタル電圧値が低電圧である時、液晶セル209の両端はいずれも共通電圧端Vcom、Vcom'の電圧表示モードとされ、液晶セル209は電場を印加されない状態とされる。液晶セル209はまた一端が参考電圧端Vrefとされて、もう一端が共通電圧端Vcom'とされる表示モードとされ得て、このとき液晶セル209は電場印加状態とされえ、且つ参考電圧端Vrefの電圧値変換制御により、極性交換駆動を達成し、液晶劣化が防止される。ゆえに液晶セル209は静態画像状態時に僅かに参考電圧端Vrefと共通電圧端Vcomの切り換えにより明暗の表示交換機能を形成する。

【0012】

図3は本発明の第1実施例の液晶ディスプレイの画素回路のDRAM画素回路表示図である。図示されるように、第1マルチプレクサ202と第2マルチプレクサ204はスイッチ機能を具えた複数のトランジスタで組成される。そのうち、第2マルチプレクサ204のモード制御端206の制御信号により、第1モードと第2モードが切り換えられる。第1モードとされる時は、伝統的な動態画像のアナログモードとされ、液晶セル209は第2マルチプレクサ204の第1モード端in0によりコンデンサ207に接続され、さらに薄膜トランジスタ201に接続され、この薄膜トランジスタ201が走査線203のオンオフ制御を受け、またデータ線205に接続されてコンデンサ207に対する充電放電を行ない、アナログ電圧値を保存させる。この第1モードは伝統的なアナログモードとされる。また、第2モードとされる時は、即ち静態画像を処理するデジタルモードとされ、液晶セル209が第2マルチプレクサ204の第2モード端in1により第1マルチプレクサ202に接続され、図示されるように、この第1マルチプレクサ202もまた複数のトランジスタで組成されたスイッチとされ、並びにそれぞれ共通電圧端Vcomと参考電圧端Vrefに接続され、さらに薄膜トランジスタ201に接続されている。この第2モードは静態のデジタルモードとされ、該コンデンサ207のデジタル電圧値により第1マルチプレクサ202内の共通電圧端Vcomと参考電圧端Vrefが切り換えられる。該液晶セル209は両端のバイアス状態の変換により明暗状態を表示する。

【0013】

図4は本発明の第2実施例の液晶ディスプレイの画素回路のDRAM画素ブロック図である。第1マルチプレクサ202と第2マルチプレクサ204はスイッチ機能を具えた複数のトランジスタで組成され、その回路の複数の端点が各入出力端を形成している。そのうち、さらに第1スイッチ装置302が設置され、その一端が該第1マルチプレクサ202の出力端outに接続され、一端が該第2マルチプレクサ204の選択端selに接続され、もう一端が液晶セル209に接続され、該第1スイッチ装置302により第1マルチプレクサ202と第2マルチプレクサ204が隔離されて、デジタル回路とアナログ回路が隔離されて相互干渉しないものとされる。走査線203が薄膜トランジスタ201を導通させ、データ線205がコンデンサ207に対して充電放電する時、モード制御端206が制御信号を受け取り動態画像処理の第1モードと静態画像処理の第2モードを切り換え、第1モードとされる時は、この第1スイッチ装置302はオフ状態とされ、薄膜トランジスタ201は第2マルチプレクサ204の選択端selにより第1モード端in0に切り換えられることにより、液晶セル209に接続され、該液晶セル209の両端の電圧は即ちデータ線205がコンデンサ207に保存したアナログ電圧値と共通電圧端Vcom'の電圧とされ、これは伝統的なアナログモードとされる。

【0014】

もし第2モードのデジタルモードとされる時は、第1スイッチ装置302はオン状態とされ、データ線205が薄膜トランジスタ201を介してコンデンサ207に保存したデジタル電圧値が、第1マルチプレクサ202の第2モード端in1と第1スイッチ装置302を介して液晶セル209に接続され、並びにそれぞれ第1マルチプレクサ202の共通電圧端Vcomと参考電圧端Vrefに接続される。共通電圧端Vcomと共通電圧端Vcom'は同じ電圧レベルの二つの共通電圧入力端とされ、この第2モードは静態のデジタルモードとされ、該コンデンサ207の電圧状態により第2マルチプレクサ204

内の共通電圧端 V_{com} と参考電圧端 V_{ref} が切り換えられ、該液晶セル 209 が両端のバイアス状態の変換により明暗状態を表示する。

【0015】

図5は本発明の第2実施例の液晶ディスプレイの画素回路のDRAM画素回路表示図である。図示されるように、第1マルチプレクサ202と第2マルチプレクサ204はスイッチ機能を果たした複数のトランジスタで組成され、更に第1スイッチ装置302が設置され、この第1スイッチ装置302は一つのトランジスタを以て実施され、その一端が第1マルチプレクサ202に接続され、一端が第2マルチプレクサ204の出力端 out に接続され、別端が液晶セル209に接続され、第1スイッチ装置302が第1マルチプレクサ202と第2マルチプレクサ204を隔離し、ディジタル回路とアナログ回路を隔離して相互干渉を防止している。走査線203が薄膜トランジスタ201を導通させ、データ線205がコンデンサ207に対して充電放電を行い、モード制御端206が制御信号を受け取ることにより動態画像処理の第1モードと静態画像処理の第2モードが切り換えられる。第1モードとされる時、第1スイッチ装置302はオフ状態とされ、薄膜トランジスタ201は第2マルチプレクサ204の第1モード端 $in0$ を介して液晶セル209に接続され、該液晶セル209の両端の電圧はデータ線205がコンデンサ207に保存したアナログ電圧値及び共通電圧端 V_{com} の電圧値とされ、これは伝統的なアナログモードとされる。

10

【0016】

第2モードのディジタルモードとされる時、第1スイッチ装置302は導通状態とされ、データ線205が薄膜トランジスタ201を介してコンデンサ207に保存したディジタル電圧値が、第1マルチプレクサ202の第2モード端 $in1$ と第1スイッチ装置302を介して液晶セル209に接続され、並びにそれぞれ第1マルチプレクサ202の共通電圧端 V_{com} と参考電圧端 V_{ref} に接続される。この第2モードは静態のディジタルモードとされ、コンデンサ207の電圧状態により第2マルチプレクサ204内の共通電圧端 V_{com} と参考電圧端 V_{ref} が切り換えられ、該液晶セル209が両端のバイアス状態の変換により明暗状態を表示する。

20

【0017】

以上はDRAM形式の液晶表示画素とされ、それはコンデンサ207が保存するディジタル電圧値により共通電圧端 V_{com} か参考電圧端 V_{ref} かを選択し、液晶セル209に対してバイアスを印加し、これによりその明暗表示状態を改変する、というものである。しかし、コンデンサ207は薄膜トランジスタ素子の漏電特性によりディジタル電圧値レベルの改変を形成しうるため、コンデンサ207に対して適時に充電放電して更新を行わねばならない。以下の本発明の第3実施例及び第4実施例はSRAMを使用してディジタルモードのビット値を記憶することにより、もとのDRAM形式の時にコンデンサ207に適時に充電放電を行わねばならない問題を改善する。

30

【0018】

図6は本発明の第3実施例の液晶ディスプレイの画素回路のSRAM画素ブロック図である。図示されるように走査線203が薄膜トランジスタ201及びSRAM400のデータ書き込み許可機能 ($write_enable; w.e.$) を起動した後、データ線205により電圧値が薄膜トランジスタ201を介してコンデンサ207に保存される。このコンデンサ207が保存する電圧値は同時にSRAM400内に書き込まれ、並びに第1マルチプレクサ202を通して共通電圧端 V_{com} 或いは参考電圧端 V_{ref} が選択されて出力され、さらにモード制御端206により第2マルチプレクサ204が制御され、第1マルチプレクサ202の出力する V_{com} 或いは V_{ref} が液晶セル209に対してバイアスするディジタルモード或いはコンデンサ207が保存するアナログ画像電圧値が液晶セル209に対してバイアスするアナログモードかが選択される。もしモード制御端206が動態画像のアナログモード制御信号を受け取れば、第1モードとされ、このアナログモード制御信号が選択端 sel より第2マルチプレクサ204に導入され、第1モード端 $in0$ より電圧情報を保存するコンデンサ207と走査線203とデータ線205に

40

50

接続された薄膜トランジスタ 201 とに接続される。走査線 203 がこの薄膜トランジスタ 201 を導通させると、データ線 205 がこの薄膜トランジスタ 201 を透過してコンデンサ 207 に対してアナログ画像電圧値を書き込み、さらに第 2 マルチプレクサ 204 の出力端 out を透過して液晶セル 209 に接続され、このアナログ電圧値と共通電圧端 Vcom が液晶セル 209 の両端にバイアスされ、こうしてグレースケール表示が達成され、これは動態画像のアナログモード回路とされる。

【0019】

もしモード制御端 206 が静態画像のディジタルモード制御信号を受け取ると、本発明は第 2 モードとされ、このアナログモード制御信号は選択端 sel より第 2 マルチプレクサ 204 に導入され第 2 マルチプレクサ 204 の第 2 モード端 in1 が選択されて第 1 マルチプレクサ 202 の出力端 out に接続され、一方で、走査線 203 が薄膜トランジスタ 201 及び S R A M 400 のデータ書き込み機能をオンとした後、データ線 205 が薄膜トランジスタ 201 を介してコンデンサ 207 に対してディジタル電圧情報を書き込み、S R A M 400 が並びにこのディジタル電圧を記憶保存して第 1 マルチプレクサ 202 内での共通電圧端 Vcom 或いは参考電圧端 Vref の切り換えに用い、S R A M 400 の保存するディジタル電圧値は、次に走査線 203 が再度 S R A M 400 のデータ書き込み機能をオンとした後に、その保存するディジタル電圧値を更新する。ゆえにデータ線 205 はコンデンサ 207 に対して適時に充電放電する必要がなく、第 1 マルチプレクサ 202 は直接 S R A M 400 に保存されたディジタル電圧信号により共通電圧端 Vcom 或いは参考電圧端 Vref を選択し、第 2 マルチプレクサ 204 を介して液晶セル 209 に対してバイアスし、明暗表示を達成する。薄膜トランジスタ 201 或いはコンデンサ 207 に対して、不完全な素子の漏電現象によるコンデンサ 207 の保存するディジタル電圧値レベルの損失を心配する必要がなく、節電及び損耗を減らす目的を達成でき、並びに参考電圧端 Vref と共通電圧端 Vcom の切り換えのみにより液晶セル 209 のバイアス状態を切り換えることができる。

【0020】

図 7 は本発明の第 3 実施例の液晶ディスプレイの画素回路の S R A M 画素回路表示図である。図より分かるように、第 2 マルチプレクサ 204 の運転は、複数のトランジスタによりスイッチを第 1 モード（及びアナログモード）と第 2 モード（即ちディジタルモード）間で切り換える目的を達成し、第 1 マルチプレクサ 202 もまた複数のトランジスタで共通電圧端 Vcom 或いは参考電圧端 Vref の間で切り換える目的を達成し、並びに S R A M 400 により電圧値のディジタル制御信号を切り換える。この S R A M 400 は一つ或いは複数のスイッチングトランジスタ及び複数のインバータで組成された回路により、データ書き込み許可機能と電圧情報保存機能を達成する。

【0021】

図 8 は S R A M 400 の実施を示し、走査線 203 が S R A M 400 に対して書き込み動作を行う時、まず S R A M 400 のデータ書き込み機能を起動し、即ちデータ書き込み許可機能（write enable; w.e.）を起動してはじめて保存されたディジタル電圧値が更新され、S R A M 400 がデータ書き込み許可制御端 401 により走査線 203 より信号を導入し、その電圧値が複数のインバータで組成された遅延回路のラッチ（latch）により信号記憶の目的を達成する。

【0022】

図 9 は本発明の第 4 実施例の液晶ディスプレイの画素回路の S R A M 画素ブロック図である。図示されるように、この液晶ディスプレイ画素回路は複数のトランジスタで組成されたデマルチプレクサ 500、S R A M 400、第 1 マルチプレクサ 202、及び第 2 スイッチ装置 502 等の回路で組成されている。そのうち第 1 マルチプレクサ 202 及びデマルチプレクサ 500 は電圧入力の切り換え選択のためのスイッチング素子とされる。走査線 203 がこの液晶回路を導通させて、信号を薄膜トランジスタ 201 に送ると、この薄膜トランジスタ 201 がデータ線 205 上のアナログ電圧信号値をデマルチプレクサ 500 の入力端 in よりデマルチプレクサ 500 に送る。このデマルチプレクサ 500 は複数

10

20

30

40

50

のトランジスタで組成されて複数の切り換えスイッチ機能をもった装置とされ、モード制御端 206 より動態画像のアナログモード制御信号を導入すると、本発明の第 1 モードとされ、この制御信号が第 1 信号線 503 によりデマルチプレクサ 500 の選択端 *sel* より該デマルチプレクサ 500 に導入され、さらに第 2 信号線 504 により第 1 モードの信号が第 2 スイッチ装置 502 に伝送され、この第 2 スイッチ装置 502 がデジタル回路とアナログ回路を相互に隔離する。この第 1 モード制御信号はアナログモード制御信号とされ、デマルチプレクサ 500 に導入されて入力端 *in* を薄膜トランジスタ 201 を介して、その接続されたデータ線 205 のアナログ電圧値を第 1 モード出力端 *out0* より送出し、第 1 モード制御信号は第 2 信号線 504 を通り第 2 スイッチ装置 502 をオフとし、ゆえに第 1 モード出力端 *out0* より送出されるアナログ電圧値が直接コンデンサ 207 10 7 に入力されて液晶セル 209 にバイアスし、グレースケールを表示させる。アナログモード下の回路はこの第 2 スイッチ装置 502 により S R A M 400 が第 1 マルチプレクサ 202 と隔離されるほか、アナログ電圧がデジタル回路及びマルチプレクサのスイッチ機能に影響を及ぼすのを防止し、これは動態画像のアナログモード回路とされる。

【0023】

このほか、走査線 203 がこの液晶回路を導通させ、即ち導通信号が薄膜トランジスタ 201 及び S R A M 400 のデータ書き込み許可制御端 401 に導通する時、この薄膜トランジスタ 201 を経由してデータ線 205 上のデジタル電圧値がデマルチプレクサ 500 0 の入力端 *in* よりデマルチプレクサ 500 に導入される。もしモード制御端 206 が動態画像のデジタルモード制御信号を受け取ると、本発明は第 2 モードとされ、この制御信号が第 1 信号線 503 により選択端 *sel* を通りデマルチプレクサ 500 に導入され、さらに第 2 信号線 504 により第 2 モードの制御信号が第 2 スイッチ装置 502 に送られ、この第 2 モード制御信号がデジタルモード制御信号とされ、デマルチプレクサ 500 に導入され、即ち入力端 *in* より薄膜トランジスタ 201 を通り、それに接続されたデータ線 205 のアナログ電圧値が第 2 モード出力端 *out1* を経由し S R A M 400 に送られ保存される。この S R A M 400 はその保存するデジタル電圧値により、第 1 マルチプレクサ 202 の出力端 *out* を共通電圧端 *Vcom* とするか或いは参考電圧端 *Vref* とするかを決定する。第 2 スイッチ装置 502 はモード制御端 206 に接続された第 2 信号線 504 により第 2 モード制御信号を受け取り、即ち導通 (*on*) 状態となり、ゆえに、コンデンサ 207 が第 1 マルチプレクサ 202 の出力端 *out* に接続され、並びにコン 30 デンサ 207 の両端の電圧により液晶セル 209 の明暗表示状態が決定され、該液晶セル 209 の一端は共通電圧端 *Vcom* とされ、もう一端の電圧は共通電圧端 *Vcom* 或いは参考電圧端 *Vref* とされ、S R A M 400 の設置により、データ線 205 は適時にコンデンサ 207 に対して充電放電を行う必要がなく、走査線 203 信号が S R A M 400 のデータ書き込み許可制御端 401 に導通する時にはじめて、S R A M 400 に保存された信号が更新される。

【0024】

図 10 の回路図は図 9 に示されるブロック回路の実施例であり、第 1 マルチプレクサ 202 はスイッチ機能をもった複数のトランジスタで組成され、共通電圧端 *Vcom* 或いは参考電圧端 *Vref* を切り換えて液晶セル 209 の明暗表示状態を決定する。デマルチプレクサ 500 は複数のトランジスタで組成されて複数の切り換えスイッチ機能をもった装置とされ、S R A M 400 がデータ書き込み許可制御端 401 により走査線 203 から信号を導入すると、その電圧値は複数のインバータで組成された遅延回路によりラッチされて信号が記憶され、第 1 マルチプレクサ 202 とデマルチプレクサ 500 のモード切り換えに用いられる。 40

【0025】

【発明の効果】

以上は本発明の液晶ディスプレイの画素回路実施例の詳細な説明であり、本発明は複数のマルチプレクサと D R A M 或いは S R A M で組成されたアナログモードとデジタルモードの液晶画素回路により、更新率を下げて節電と機能アップの目的と機能を達成する。 50

【 0 0 2 6 】

総合すると、以上により十分に本発明の液晶ディスプレイの画素回路が目的と機能上、深い実施上の進歩性を有すること、及び産業上の利用価値を有することが示された。且つ本発明は未公開であって、特許の要件に符合する。

【 0 0 2 7 】

なお、以上の説明は本発明の実施例に係るものであって本発明の請求範囲を限定するものではなく、本発明に基づきなしうる細部の修飾或いは改変は、いずれも本発明の請求範囲に属するものとする。

【図面の簡単な説明】

【図 1】周知の技術の画素回路表示図である。

10

【図 2】本発明の第 1 実施例の液晶ディスプレイの画素回路の D R A M 画素ブロック図である。

【図 3】本発明の第 1 実施例の液晶ディスプレイの画素回路の D R A M 画素回路表示図である。

【図 4】本発明の第 2 実施例の液晶ディスプレイの画素回路の D R A M 画素ブロック図である。

【図 5】本発明の第 2 実施例の液晶ディスプレイの画素回路の D R A M 画素回路表示図である。

【図 6】本発明の第 3 実施例の液晶ディスプレイの画素回路の S R A M 画素ブロック図である。

20

【図 7】本発明の第 3 実施例の液晶ディスプレイの画素回路の S R A M 画素回路表示図である。

【図 8】本発明の第 3 実施例の液晶ディスプレイの画素回路の S R A M 画素回路表示図である。

【図 9】本発明の第 4 実施例の液晶ディスプレイの画素回路の S R A M 画素ブロック図である。

【図 10】本発明の第 4 実施例の液晶ディスプレイの画素回路の S R A M 画素回路表示図である。

【符号の説明】

1 0 1 薄膜トランジスタ

30

1 0 3 走査線

1 0 5 データ線

1 0 7 コンデンサ

1 0 9 液晶セル

2 0 1 薄膜トランジスタ

2 0 2 第 1 マルチプレクサ

2 0 3 走査線

2 0 4 第 2 マルチプレクサ

2 0 5 データ線

2 0 6 モード制御端

40

2 0 7 コンデンサ

2 0 9 液晶セル

3 0 2 第 1 スイッチ装置

4 0 0 S R A M

4 0 1 データ書き込み許可制御端

5 0 0 デマルチプレクサ

5 0 2 第 2 スイッチ装置

5 0 3 第 1 信号線

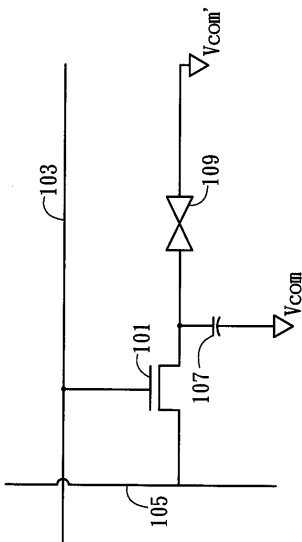
5 0 4 第 2 信号線

V c o m 共通電圧端

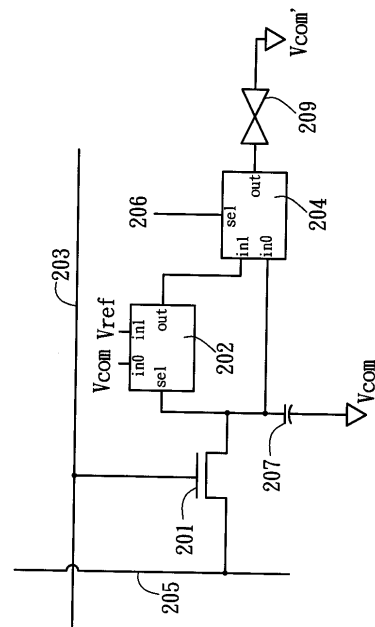
50

V_{com} ' 共通電圧端
 V_{ref} 参考電圧端
 sel 選択端
 in 入力端
 $in0$ 第1モード端
 $in1$ 第2モード端
 out 出力端
 $out0$ 第1モード出力端
 $out1$ 第2モード出力端

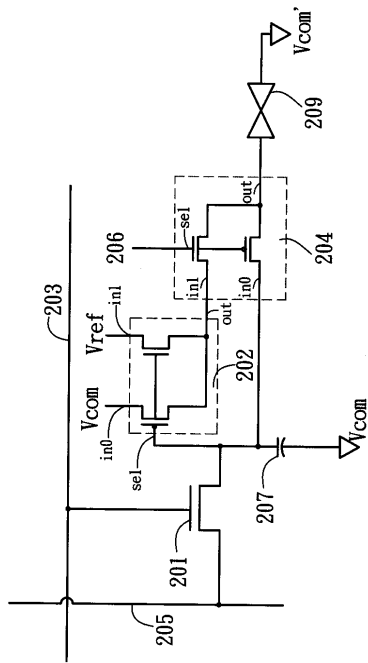
【図1】



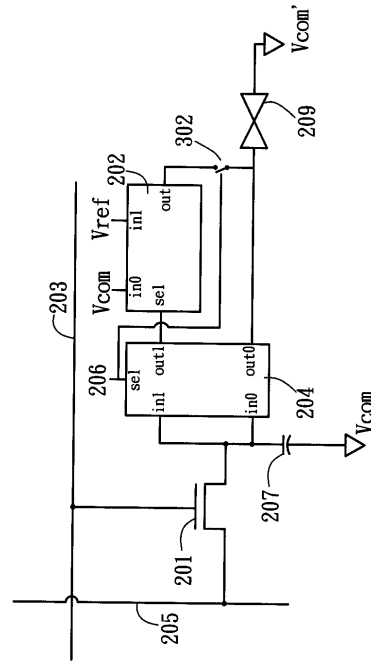
【図2】



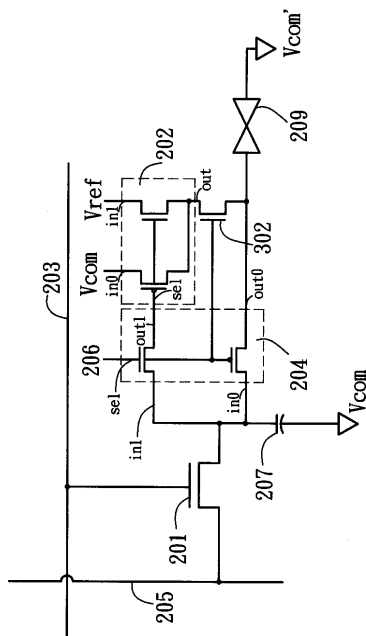
【図 3】



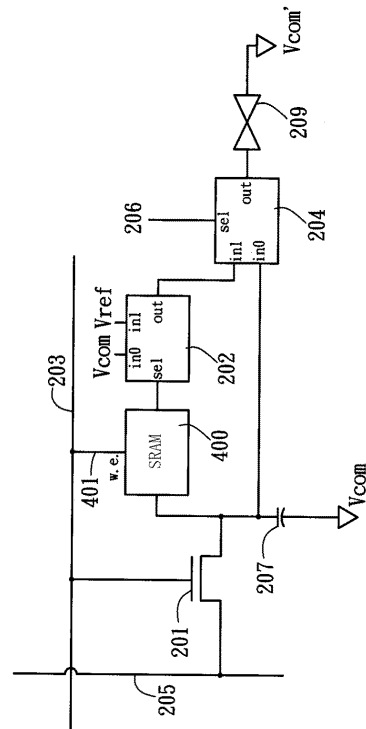
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 6 0 U

(72)発明者 林 展瑞
台湾台北縣中和市圓通路158巷5弄3-4號5樓

(72)発明者 王 博文
台湾台北縣樹林市東興街16巷6弄4號

(72)発明者 陳 尚立
台湾新竹市金城一路62號4樓

F ターム(参考) 2H093 NA16 NC34 NC35 NC40 NC49 ND39
5C006 AA02 AF45 AF69 BB16 BC02 BC06 BC20 BF09 BF34 FA04
FA47
5C080 AA10 BB05 DD21 DD26 FF07 FF11 GG12 GG15 GG17 JJ02
JJ03

