

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-247704

(P2004-247704A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int.Cl.⁷

H01L 29/786

G02F 1/1368

H01L 21/288

H01L 21/3205

H01L 21/336

F I

H01L 29/78 618C

G02F 1/1368

H01L 21/288 Z

H01L 29/78 617J

H01L 29/78 627C

テーマコード (参考)

2H092

4M104

5F033

5F110

審査請求 未請求 請求項の数 32 O L (全 58 頁) 最終頁に続く

(21) 出願番号 特願2003-207744 (P2003-207744)
 (22) 出願日 平成15年8月18日 (2003.8.18)
 (31) 優先権主張番号 特願2002-255538 (P2002-255538)
 (32) 優先日 平成14年8月30日 (2002.8.30)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2002-365337 (P2002-365337)
 (32) 優先日 平成14年12月17日 (2002.12.17)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100080034
 弁理士 原 謙三
 (74) 代理人 100113701
 弁理士 木島 隆一
 (74) 代理人 100116241
 弁理士 金子 一郎
 (72) 発明者 藤井 暁義
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 (72) 発明者 中林 敬哉
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

最終頁に続く

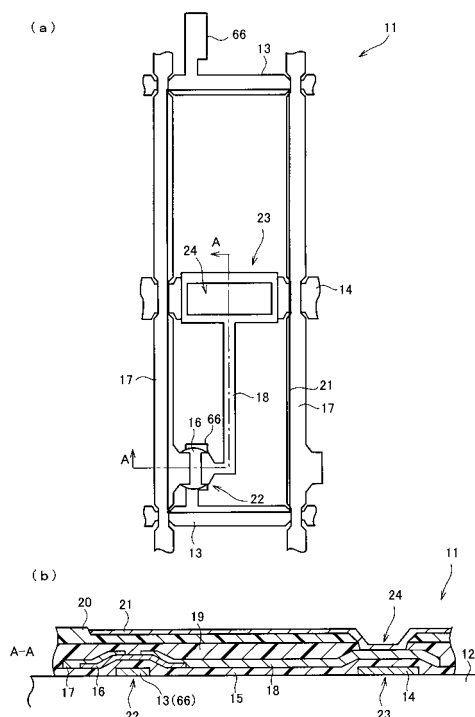
(54) 【発明の名称】 TFTアレイ基板、液晶表示装置、TFTアレイ基板の製造方法および液晶表示装置の製造方法、並びに電子装置

(57) 【要約】

【課題】例えばインクジェット方式を利用し、製造工数の低減およびコストダウンを可能とする。

【解決手段】 TFTアレイ基板11は、ガラス基板12上にゲート電極13が形成され、このゲート電極13の本線から分岐したTFT部ゲート電極66の上に、ゲート絶縁層15を介して半導体層16が形成されたTFT部22を備えている。このTFTアレイ基板11において、半導体層16は液滴の滴下形状をなしている。したがって、液滴の滴下により半導体層を直接形成可能、あるいは液滴の滴下により半導体層を形成するためのレジスト層を直接形成可能である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上にゲート電極が形成され、このゲート電極の上にゲート絶縁層を介して半導体層が形成された薄膜トランジスタ部を備えている T F T アレイ基板において、
前記半導体層が液滴の滴下形状をなしていることを特徴とする T F T アレイ基板。

【請求項 2】

前記薄膜トランジスタ部のゲート電極は、ゲート電極における本線からの分岐電極であり、前記分岐電極における開放端が前記半導体層の領域から突出していることを特徴とする請求項 1 に記載の T F T アレイ基板。

【請求項 3】

前記分岐電極の、前記半導体層の領域から突出している部分の幅が、該半導体層の領域内の部分の幅よりも小さいことを特徴とする請求項 2 に記載の T F T アレイ基板。

【請求項 4】

前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、
前記分岐電極の、前記半導体層の領域から突出している部分は、前記ソース電極またはドレイン電極の何れか一方に近接して形成されていることを特徴とする請求項 2 に記載の T F T アレイ基板。

【請求項 5】

前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、
前記分岐電極の、前記半導体層の領域から突出している部分は、
前記チャンネル部中心から該チャンネル部の最外端までの距離を r 、
該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりのバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、
該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、
前記チャンネル部中心から前記分岐電極の開放端までの距離を $L 3$ としたとき、以下の関係式 (1)、

$$L 3 > r + \Delta 1 + 2 \Delta 2 \quad \cdots \cdots (1)$$

を満たすように形成されていることを特徴とする請求項 2 に記載の T F T アレイ基板。

【請求項 6】

前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、
前記分岐電極の、前記半導体層の領域から突出している部分は、
該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりのバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、
該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、
前記ソース・ドレイン電極の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を $L 2$ としたとき、以下の関係式 (2)、

$$L 2 > \Delta 1 + 2 \Delta 2 \quad \cdots \cdots (2)$$

を満たすように形成されていることを特徴とする請求項 2 に記載の T F T アレイ基板。

【請求項 7】

前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記ソース電極およびドレイン電極における前記チャンネル部側の端部が、それらの全幅にわたって前記半導体層の領域内に位置していることを特徴とする請求項 1 に記載の T F T アレイ基板。

【請求項 8】

少なくとも前記半導体層の上層若しくは下層の何れか一方の前記半導体層の位置に対応する位置に、液滴の滴下形状の遮光膜が形成されていることを特徴とする請求項 1 に記載の T F T アレイ基板。

10

20

30

40

50

【請求項 9】

前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、

前記半導体層は、

前記チャンネル部中心から該チャンネル部の最外端までの距離を r 、

該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、

該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、

前記チャンネル部中心からの距離を該半導体層の半径 R としたとき、以下の関係式 (3)、

$$R > r + \Delta 1 + \Delta 2 \quad \cdots \cdots (3)$$

を満たすように形成されていることを特徴とする請求項 1 記載の TFT アレイ基板。

10

【請求項 10】

請求項 1 に記載の TFT アレイ基板を備えていることを特徴とする液晶表示装置。

【請求項 11】

基板上にゲート電極を形成する工程と、

前記ゲート電極の上にゲート絶縁層を形成する工程と、

前記ゲート絶縁層の上に半導体膜を成膜する工程と、

前記半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程と、

前記レジスト層の形状に前記半導体膜を加工して薄膜トランジスタ部の半導体層を形成した後、前記レジスト層を除去する工程とを備えていることを特徴とする TFT アレイ基板の製造方法。

20

【請求項 12】

基板上にゲート電極を形成する工程と、

前記ゲート電極の上にゲート絶縁層を形成する工程と、

前記分岐電極上における前記ゲート絶縁層の上に半導体材料の液滴を滴下し、薄膜トランジスタ部の半導体層として、前記液滴の滴下形状の半導体層を形成する工程とを備えていることを特徴とする TFT アレイ基板の製造方法。

【請求項 13】

ゲート電極を形成する前記工程では本線とこの本線からの分岐電極を有するゲート電極を形成し、前記分岐電極における開放端が前記半導体層の領域から突出していることを特徴とする請求項 11 または 12 に記載の TFT アレイ基板の製造方法。

30

【請求項 14】

前記分岐電極は、前記分岐電極における開放端が前記半導体層の領域から突出するように、液滴の滴下精度に基づいた長さに設定されていることを特徴とする請求項 13 に記載の TFT アレイ基板の製造方法。

【請求項 15】

前記分岐電極の、前記半導体層の領域から突出している部分の幅を、該半導体層の領域内の部分の幅よりも小さくするように形成することを特徴とする請求項 13 に記載の TFT アレイ基板の製造方法。

40

【請求項 16】

前記分岐電極の、前記半導体層の領域から突出している部分を、前記薄膜トランジスタ部のソース電極またはドレイン電極の何れか一方に近接して形成することを特徴とする請求項 13 に記載の TFT アレイ基板の製造方法。

【請求項 17】

前記ゲート電極を形成する工程において、

前記分岐電極の、前記半導体層の領域から突出している部分を、

前記薄膜トランジスタ部のチャンネル部中心から該チャンネル部の最外端までの距離を r 、

該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、

50

該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、
前記チャネル部中心から前記分岐電極の開放端までの距離を $L 3$ としたとき、以下の関係式 (1)、

$$L 3 > r + \Delta 1 + 2 \Delta 2 \quad \cdot \cdot \cdot \cdot \cdot (1)$$

を満たすように形成することを特徴とする請求項 1 3 に記載の T F T アレイ基板の製造方法。

【請求項 1 8】

前記ゲート電極を形成する工程において、
前記分岐電極の、前記半導体層の領域から突出している部分を、
該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、

該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、
前記薄膜トランジスタ部のソース・ドレイン電極の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を $L 2$ としたとき、以下の関係式 (2)、

$$L 2 > \Delta 1 + 2 \Delta 2 \quad \cdot \cdot \cdot \cdot \cdot (2)$$

を満たすように形成することを特徴とする請求項 1 3 に記載の T F T アレイ基板の製造方法。

【請求項 1 9】

前記半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程において、

前記レジスト層を、
前記薄膜トランジスタ部のチャネル部中心から該チャネル部の最外端までの距離を r 、
該レジスト層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、

該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、
前記チャネル部中心からの距離を該レジスト層の半径 R としたとき、以下の関係式 (3)

$$R > r + \Delta 1 + \Delta 2 \quad \cdot \cdot \cdot \cdot \cdot (3)$$

を満たすように形成することを特徴とする請求項 1 1 または 1 2 に記載の T F T アレイ基板の製造方法。

【請求項 2 0】

基板上にゲート電極を形成する工程と、
前記ゲート電極の上にゲート絶縁層を形成する工程と、
前記ゲート絶縁層の上に薄膜トランジスタ部の半導体層を形成する工程と、
前記半導体層の形成工程を経た基板に対し、電極材料の液滴の滴下によりソース電極を形成するための第 1 の領域、および電極材料の液滴の滴下により少なくとも画素電極を形成するための第 2 の領域を形成する前処理工程と、
前記前処理工程を経た基板に対し、第 1 の領域と第 2 の領域とに電極材料の液滴を滴下して、ソース電極、ドレイン電極および画素電極を形成する電極形成工程とを備えていることを特徴とする T F T アレイ基板の製造方法。

【請求項 2 1】

第 1 の領域および第 2 の領域を前記液滴の流出を阻止する凸状のガイドにより形成することを特徴とする請求項 2 0 に記載の T F T アレイ基板の製造方法。

【請求項 2 2】

第 1 の領域および第 2 の領域の形成を前記液滴に対する親液領域と撥液領域とを形成することにより行うことを特徴とする請求項 2 0 に記載の T F T アレイ基板の製造方法。

【請求項 2 3】

請求項 1 1、1 2 または 2 0 の何れか 1 項に記載の T F T アレイ基板の製造方法を含んでいることを特徴とする液晶表示装置の製造方法。

【請求項 2 4】

基板にゲート電極が形成され、このゲート電極の上にゲート絶縁層を介して半導体層と、導電体層とが形成された薄膜トランジスタ部を備えているＴＦＴアレイ基板において、前記導電体層は、前記半導体層と、前記薄膜トランジスタ部のソース電極またはドレイン電極と接して形成され、その一部に液滴の滴下形状を有し、この液滴の滴下形状の部分において、前記導電体層と半導体層とがほぼ同一の形状を有することを特徴とするＴＦＴアレイ基板。

【請求項２５】

前記導電体層が、Ｍｏ、Ｗ、Ａｇ、Ｃｒ、Ｔａ、Ｔｉ、またはこれらの何れかを主体とする金属材料、またはインジウム錫酸化物から構成されることを特徴とする請求項２４に記載のＴＦＴアレイ基板。

10

【請求項２６】

前記ソース電極とドレイン電極が、ＡｌまたはＡｌを主体とする金属材料からなることを特徴とする請求項２５に記載のＴＦＴアレイ基板。

【請求項２７】

請求項２４ないし２６の何れか１項に記載のＴＦＴアレイ基板を備えていることを特徴とする液晶表示装置。

【請求項２８】

基板上にゲート電極を形成する工程と、
前記ゲート電極の上にゲート絶縁層を形成する工程と、
前記ゲート絶縁層の上に半導体膜を成膜する工程と、
前記半導体膜の上に導電性材料の液滴を滴下して、液滴の滴下形状の導電体成膜層を形成する工程と、
前記導電体成膜層の形状に前記半導体膜を加工して薄膜トランジスタ部の半導体層を形成する工程とを備えていることを特徴とするＴＦＴアレイ基板の製造方法。

20

【請求項２９】

前記導電体成膜層を加工して導電体層を形成する工程を備え、前記導電体層をＭｏ、Ｗ、Ａｇ、Ｃｒ、Ｔａ、Ｔｉ、またはこれらの何れかを主体とする金属材料、またはインジウム錫酸化物によって構成することを特徴とする請求項２８に記載のＴＦＴアレイ基板の製造方法。

【請求項３０】

前記ソース電極とドレイン電極を、ＡｌまたはＡｌを主体とする金属材料で形成することを特徴とする請求項２９に記載のＴＦＴアレイ基板の製造方法。

30

【請求項３１】

請求項２８ないし３０の何れか１項に記載のＴＦＴアレイ基板の製造方法を含んでいることを特徴とする液晶表示装置の製造方法。

【請求項３２】

請求項１または２４の何れかに記載のＴＦＴアレイ基板を備えたことを特徴とする電子装置。

【発明の詳細な説明】

【０００１】

40

【発明の属する技術分野】

本発明は、ＴＦＴアレイ基板、液晶表示装置、ＴＦＴアレイ基板の製造方法および液晶表示装置の製造方法に関するものである。

【０００２】

【従来の技術】

従来、ＴＦＴ（Thin Film Transistor、薄膜トランジスタ）を備えた液晶表示装置において、ＴＦＴアレイ基板は、図２８に示す一連の工程により製造されている。即ち、従来のＴＦＴアレイ基板の製造工程は、ゲート線成膜、ゲート線形成、ゲート絶縁層成膜・半導体層成膜、半導体層形成、ソース・ドレイン線成膜、ソース・ドレイン線形成、チャンネル部加工、保護膜形成、保護膜加工、画素電極成膜および画素電極形

50

成の各工程（１０１～１１１）からなる。

【０００３】

上記のゲート線形成工程１０２、半導体層形成工程１０４、ソース・ドレイン線形成工程１０６、保護膜加工工程１０９および画素電極形成工程１１１の５つの工程では、マスクを使用したフォトリソグラフィ工程およびエッチング工程を含んでいる。即ち、これら工程では、これら工程の前段の工程であるゲート線成膜工程１０１、ゲート絶縁層成膜・半導体層成膜工程１０３、ソース・ドレイン線成膜工程１０５、保護膜形成工程１０８、画素電極成膜工程１１０において形成された膜をマスクを使用したフォトリソグラフィ工程およびエッチング工程によって加工している。

【０００４】

一方、近年においては、フォトリソグラフィを使用せず、インクジェット方式により配線を形成する技術が提案されている。この技術では、例えば特許文献１（特開平１１－２０４５２９号公報）に開示されているように、配線を形成する基板上に、配線形成材料に対する親和領域と非親和領域とを形成し、親和領域にインクジェット方式にて配線材料の液滴を滴下することにより配線を形成するものとなっている。

【０００５】

また、特許文献２（特開２０００－３５３５９４号公報）には、同様にインクジェット方式による配線形成技術において、配線形成領域からの配線材料のはみ出しを抑制するために、配線形成領域の両側にバンクを形成し、このバンクの上部を非親液性とし、配線形成領域を親液性とするのが開示されている。

【０００６】

また、非特許文献１（SID 01 DIGEST の第４０～第４３頁、６．１：Invited Paper：All-Polymer Thin Film Transistors Fabricated by High-Resolution Ink-jet Printing（著者 Takeo kawase 他））には、インクジェット方式を使用し、全て有機物を材料としてTFTを形成する技術が開示されている。

【０００７】

【特許文献１】

特開平１１－２０４５２９号公報（１９９９年７月３０日公開）

【０００８】

【特許文献２】

特開２０００－３５３５９４号公報（２０００年１２月１９日公開）

【０００９】

【非特許文献１】

SID 01 DIGEST の第４０～第４３頁、６．１：Invited Paper：All-Polymer Thin Film Transistors Fabricated by High-Resolution Ink-jet Printing（著者 Takeo kawase 他）、２００１年

【００１０】

【発明が解決しようとする課題】

従来のフォトリソグラフィを使用したTFTアレイ基板の製造方法では、上記のように、ゲート線形成工程１０２、半導体層形成工程１０４、ソース・ドレイン線形成工程１０６、保護膜加工工程１０９および画素電極形成工程１１１の少なくとも５つの工程においてマスクが必要となる。また、各成膜工程に使用される成膜装置および成膜の加工（形成・加工工程）に使用される加工装置は全て真空装置を使用している。したがって、近年さらなる大型化が要望されている液晶表示装置の大型基板にTFTを形成するには莫大な設備費が必要となる。

【００１１】

また、基板の大型化に伴って、レジスト、配線材料の使用量が増加している。一方、配線

10

20

30

40

50

の形成などの加工においては、レジストを始めとして各材料はエッチングや剥離工程によって殆どが除去、廃棄されており、有効利用が図られていない。このため、廃棄処理や廃棄費用も基板の大型化によって大幅に増加しており、さらに廃棄物によって環境負荷が大きくなっている。このように、主としてフォトリソグラフィを多数含むＴＦＴアレイ基板の製造方法は、製造工数増およびコストアップを招来するものとなっている。

【 0 0 1 2 】

一方、例えば上記の従来文献に開示されているインクジェット方式利用すれば、ＴＦＴアレイ基板の上記製造工程において、必要なマスク数を減少させることができる。そこで、例えばインクジェット方式を利用し、製造工数の低減およびコストダウンが可能な技術の開発が求められていた。

10

【 0 0 1 3 】

【課題を解決するための手段】

上記の課題を解決するために、本発明のＴＦＴアレイ基板は、基板上にゲート電極が形成され、このゲート電極上に、ゲート絶縁層を介して半導体層が形成された薄膜トランジスタ部を備えているＴＦＴアレイ基板において、前記半導体層が液滴の滴下形状をなしていることを特徴としている。

【 0 0 1 4 】

上記の構成によれば、半導体層が液滴の滴下形状（例えばほぼ円形や円をずらしながら重ね合わせたような形状等）をなしているので、半導体層をインクジェット方式を利用した半導体材料の液滴の例えば１滴の滴下により形成することが可能となる。あるいは、インクジェット方式を利用し、例えばレジスト材料の液滴の例えば１滴を半導体成膜の上に滴下してレジスト層を形成し、このレジスト層をマスクとして半導体成膜を加工し、半導体層を形成することが可能となる。あるいは、インクジェット方式を利用し、レジスト材料に代えて導電性材料の液滴を用いて導電体成膜層を形成し、これをマスクとして同様に半導体層を形成することが可能となる。

20

【 0 0 1 5 】

このような方式によれば、ＴＦＴアレイ基板の製造において、半導体層を形成するためのマスクが不要となり、必要なマスク数が減少する結果、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウンが可能となる。

30

【 0 0 1 6 】

なお、半導体材料やレジスト材料、導電性材料の滴下には、上記インクジェット方式に限らず、材料の液滴の滴下により半導体層やレジスト層、導電体成膜層を直接形成可能な方式であれば使用可能である。

【 0 0 1 7 】

上記のＴＦＴアレイ基板は、前記薄膜トランジスタ部のゲート電極が、ゲート電極における本線からの分岐電極であり、前記分岐電極における開放端が前記半導体層の領域から突出している構成としてもよい。

【 0 0 1 8 】

上記の構成によれば、薄膜トランジスタ部における、ゲート電極の分岐電極は、半導体層の領域から開放端が突出した形状となっているので、分岐電極からの電界の作用により、ソース・ドレイン電極間のリーク電流を適切に抑制することができる。

40

【 0 0 1 9 】

上記のように、ゲート電極の分岐電極が、半導体層の領域から開放端が突出するように形成すれば、透過型液晶表示装置のようにＴＦＴアレイ基板の画素部が透明な場合、突出した開放端が画素部にかかり開口率を低下させる虞がある。なお、反射型液晶表示装置に適用されるＴＦＴアレイ基板の場合には、上記のような開口率の問題を考慮する必要はないので、分岐電極の設計の自由度が増す。

【 0 0 2 0 】

50

そこで、本発明のＴＦＴアレ基板は、前記分岐電極の、前記半導体層の領域から突出している部分の幅を、該半導体層の領域内の部分の幅よりも小さくなるように形成した構成としてもよい。

【００２１】

上記の構成によれば、画素部にかかる分岐電極の開放端が該画素部に占める割合が小さくなり、開口率の低下を抑制できる。

【００２２】

また、本発明のＴＦＴアレ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記分岐電極の、前記半導体層の領域から突出している部分は、前記ソース電極またはドレイン電極の何れか一方に近接して形成された構成としてもよい。

【００２３】

上記の構成によれば、分岐電極の、前記半導体層の領域から突出している部分を、ソース電極またはドレイン電極の何れか一方に近接して形成することで、ＴＦＴアレ基板の画素部内で、開口率を低下させることなく、該分岐電極の開放端の突出部分を延ばして形成することができる。

【００２４】

これにより、半導体層の領域から分岐電極の開放端を確実に突出させた状態にすることができるので、ソース・ドレイン電極間のリーク電流を確実に抑制することができる。

【００２５】

この結果、薄膜トランジスタの特性を向上させることが可能となる。

【００２６】

また、前記分岐電極の、前記半導体層の領域から突出している部分は、以下のようにして規定することが考えられる。

【００２７】

すなわち、本発明のＴＦＴアレ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記分岐電極の、前記半導体層の領域から突出している部分は、前記チャンネル部中心から該チャンネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第１の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第２の誤差を $\Delta 2$ 、前記チャンネル部中心から前記分岐電極の開放端までの距離を $L 3$ としたとき、以下の関係式（１）、

$$L 3 > r + \Delta 1 + 2 \Delta 2 \quad \cdots \cdots (1)$$

を満たすように形成した構成としてもよい。

【００２８】

また、本発明のＴＦＴアレ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記分岐電極の、前記半導体層の領域から突出している部分は、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第１の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第２の誤差を $\Delta 2$ 、前記ソース・ドレイン電極の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を $L 2$ としたとき、以下の関係式（２）、

$$L 2 > \Delta 1 + 2 \Delta 2 \quad \cdots \cdots (2)$$

を満たすように形成した構成としてもよい。

【００２９】

上記のＴＦＴアレ基板は、前記半導体層の上にソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記ソース電極およびドレイン電極における前記チャンネル部側の端部が、それらの全幅にわたって前記半導体層の領域内に位置している構成としてもよい。

【００３０】

上記の構成によれば、各画素のソース電極において十分なＯＮ電流を得ることができるの

で、各画素の充電状態が不均一となって画像斑が生じる事態を防止することができる。

【0031】

上記のTFTアレ基板は、少なくとも前記半導体層の上層若しくは下層の何れか一方の前記半導体層の位置に対応する位置に、液滴の滴下形状の遮光膜が形成されている構成としてもよい。

【0032】

上記の構成によれば、遮光膜は必要に応じて形成されるものの、遮光膜が必要な場合には、前記半導体層の形成の場合と同様、マスクを使用することなく、遮光膜を例えばインクジェット方式を利用した遮光膜材料の液滴の例えば1滴の滴下により容易に形成することが可能となる。これにより、TFTアレ基板の製造工程において、マスクや大幅な材料追加を伴うことなく形成することが可能なため、製造工数の低減およびコストダウンが可能となる。

10

【0033】

また、本発明のTFTアレ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記半導体層は、前記チャンネル部中心から該チャンネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、前記チャンネル部中心からの距離を該半導体層の半径 R としたとき、以下の関係式(3)、

$$R > r + \Delta 1 + \Delta 2 \quad \cdots \cdots (3)$$

20

を満たすように形成した構成としてもよい。

【0034】

上記の構成によれば、薄膜トランジスタ部のチャンネル部に半導体層を確実に形成することができるので、該薄膜トランジスタ部の特性を低下させないようにできる。

【0035】

本発明の液晶表示装置は、上記のTFTアレ基板を備えていることを特徴としている。したがって、液晶表示装置の製造工程において、必要なマスク数が減少する結果、製造時間の短縮およびコストダウンが可能となる。

【0036】

本発明のTFTアレ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上にゲート絶縁層を形成する工程と、前記ゲート絶縁層の上に半導体膜を成膜する工程と、前記半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程と、前記レジスト層の形状に前記半導体膜を加工して薄膜トランジスタ部の半導体層を形成した後、前記レジスト層を除去する工程とを備えていることを特徴としている。

30

【0037】

上記の構成によれば、成膜された半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状(通常はほぼ円形)のレジスト層を形成し、このレジスト層をマスクとして半導体層を形成することができる。

【0038】

このようなTFTアレ基板の製造方法によれば、半導体層を形成するためのマスクが不要となり、必要なマスク数が減少する結果、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウンが可能となる。

40

【0039】

なお、レジスト材料の滴下には、インクジェット方式に限らず、材料の液滴の滴下によりレジスト層を直接形成可能な方式であれば使用可能である。

【0040】

本発明のTFTアレ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲ

50

ート電極の上にゲート絶縁層を形成する工程と、前記ゲート絶縁層の上に半導体材料の液滴を滴下し、薄膜トランジスタ部の半導体層として、前記液滴の滴下形状の半導体層を形成する工程とを備えていることを特徴としている。

【0041】

上記の構成によれば、分岐電極上におけるゲート絶縁層の上に半導体材料の液滴を滴下することのみにより、液滴の滴下形状（通常はほぼ円形）の半導体層を形成することができる。

【0042】

このようなTFTアレ基板の製造方法によれば、半導体層を形成するためのマスクが不要となり、必要なマスク数が減少する結果、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウン並びに材料の有効利用が可能となる。

10

【0043】

なお、半導体材料の滴下には、インクジェット方式に限らず、材料の液滴の滴下により半導体層を直接形成可能な方式であれば使用可能である。

【0044】

上記のTFTアレ基板の製造方法は、ゲート電極を形成する前記工程では本線とこの本線からの分岐電極を有するゲート電極を形成し、前記分岐電極における開放端が前記半導体層の領域から突出している構成としてもよい。

20

【0045】

上記の構成によれば、薄膜トランジスタ部における、ゲート電極の分岐電極は、半導体層の領域から開放端が突出した形状となっているので、分岐電極からの電界の作用により、ソース・ドレイン電極間のリーク電流を適切に抑制することができる。

【0046】

上記のTFTアレ基板の製造方法は、前記分岐電極が、前記分岐電極における開放端が前記半導体層の領域から突出するように、液滴の滴下精度に基づいた長さに設定されている構成としてもよい。

【0047】

上記の構成によれば、レジスト材料の液滴あるいは半導体材料の液滴を、最終的に形成される半導体層の領域から分岐電極の開放端が確実に突出する位置に滴下させることが可能となる。この結果、ソース・ドレイン電極間のリーク電流を適切に抑制可能となる。

30

【0048】

本発明のTFTアレ基板の製造方法は、前記分岐電極の、前記半導体層の領域から突出している部分の幅を、該半導体層の領域内の部分の幅よりも小さくなるように設定する構成としてもよい。

【0049】

上記の構成によれば、画素部にかかる分岐電極の開放端が該画素部に占める割合を小さくできるので、開口率の低下を抑制できる。

【0050】

本発明のTFTアレ基板の製造方法は、前記分岐電極の、前記半導体層の領域から突出している部分を、前記薄膜トランジスタ部のソース電極またはドレイン電極の何れか一方に近接して形成する構成としてもよい。

40

【0051】

上記の構成によれば、分岐電極の、前記半導体層の領域から突出している部分を、ソース電極またはドレイン電極の何れか一方に近接して形成することで、TFTアレ基板の画素部内で、開口率を低下させることなく、該分岐電極の開放端の突出部分を延ばして形成することができる。

【0052】

これにより、半導体層の領域から分岐電極の開放端を確実に突出させた状態にすることが

50

できるので、ソース・ドレイン電極間のリーク電流を確実に抑制することができる。

【0053】

本発明のTFTアレ基板の製造方法は、前記ゲート電極を形成する工程において、前記分岐電極の、前記半導体層の領域から突出している部分を、前記薄膜トランジスタ部のチャンネル部中心から該チャンネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、前記チャンネル部中心から前記分岐電極の開放端までの距離を $L 3$ としたとき、以下の関係式(1)、

$$L 3 > r + \Delta 1 + 2 \Delta 2 \quad \cdots \cdots (1)$$

を満たすように形成する構成としてもよい。

10

【0054】

また、前記ゲート電極を形成する工程において、前記分岐電極の、前記半導体層の領域から突出している部分を、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、前記薄膜トランジスタ部のソース・ドレイン電極の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を $L 2$ としたとき、以下の関係式(2)、

$$L 2 > \Delta 1 + 2 \Delta 2 \quad \cdots \cdots (2)$$

を満たすように形成する構成としてもよい。

【0055】

何れの構成であっても、半導体層の領域から分岐電極の開放端を確実に突出させた状態にすることができるので、ソース・ドレイン電極間のリーク電流を確実に抑制することができる。

20

【0056】

また、本発明のTFTアレ基板の製造方法は、前記半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程において、前記レジスト層を、前記薄膜トランジスタ部のチャンネル部中心から該チャンネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、前記チャンネル部中心からの距離を該レジスト層の半径 R としたとき、以下の関係式(3)、

$$R > r + \Delta 1 + \Delta 2 \quad \cdots \cdots (3)$$

を満たすように形成する構成としてもよい。

30

【0057】

上記の構成によれば、薄膜トランジスタ部のチャンネル部に半導体層を確実に形成することができるので、該薄膜トランジスタ部の特性を低下させないようにできる。

【0058】

本発明のTFTアレ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上にゲート絶縁層を形成する工程と、前記ゲート絶縁層の上に薄膜トランジスタ部の半導体層を形成する工程と、前記半導体層の形成工程を経た基板に対し、電極材料の液滴の滴下によりソース電極を形成するための第1の領域、および電極材料の液滴の滴下により少なくとも画素電極を形成するための第2の領域を形成する前処理工程と、前記前処理工程を経た基板に対し、第1の領域と第2の領域とに電極材料の液滴を滴下して、ソース電極、ドレイン電極および画素電極を形成する電極形成工程とを備えていることを特徴としている。

40

【0059】

上記の構成によれば、電極形成工程に対する1つの前処理工程において、電極材料の液滴の滴下によりソース電極を形成するための第1の領域と電極材料の液滴の滴下により少なくとも画素電極を形成するための第2の領域とを形成するので、第1の領域と第2の領域とを別々の工程にて形成する場合と比較して、製造工数を削減し、コストダウンが可能となる。

【0060】

50

上記のＴＦＴアレ基板の製造方法において、第１の領域および第２の領域は前記液滴の流出を阻止する凸状のガイドにより形成する構成としてもよい。あるいは、前記液滴に対する親液領域と撥液領域とにより形成する構成としてもよい。

【００６１】

本発明の液晶表示装置の製造方法は、上記の何れかのＴＦＴアレ基板の製造方法を含んでいることを特徴としている。したがって、少なくとも、液晶表示装置の製造工数を削減することができる。

【００６２】

本発明のＴＦＴアレ基板は、基板にゲート電極が形成され、このゲート電極の上にゲート絶縁層を介して半導体層と、導電体層とが形成された薄膜トランジスタ部を備えている
ＴＦＴアレ基板であって、前記導電体層が、前記半導体層と、前記薄膜トランジスタ部のソース電極またはドレイン電極と接して形成されるとともに、その一部に液滴の滴下形状を有し、この液滴の滴下形状の部分において、前記導電体層と半導体層とがほぼ同一の形状を有することを特徴としている。

10

【００６３】

上記の構成によれば、成膜された半導体膜の上に導電性材料の液滴を滴下して、液滴の滴下形状（通常はほぼ円形）の導電体成膜層を形成し、この導電体成膜層をさらに加工して、導電体層を得ることができる。導電体成膜層は、半導体層を形成するためのマスクとして用いられるが、レジスト材料の場合とは異なって除去する工程が不要である。ここでは、導電性材料の液滴の半導体膜上への滴下方法としては、例えば、インクジェット方式
を利用することが考えられるが、これに限定されるものではなく、薄膜トランジスタの半導体層程度の大きさの液滴形状を形成可能な方式であれば、何れの方式であっても使用することができる。

20

【００６４】

このようなＴＦＴアレ基板の構成によれば、半導体層を形成するためのマスクが不要となり、必要なマスク枚数が減少すること、さらに導電体成膜層を除去しないことからレジストを用いたときのような剥離工程が不要であるため、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、現像液や剥離液の使用量が削減され、レジスト材料等の廃棄される材料の量が減少する。これにより、製造時間の短縮および
コストダウンが可能となる。

30

【００６５】

また、前記導電体層は、Ｍｏ、Ｗ、Ａｇ、Ｃｒ、Ｔａ、Ｔｉ、またはこれらの何れかを主体とする金属材料、またはインジウム錫酸化物から構成されることを特徴としてもよい。

【００６６】

ここで、Ｍｏ、Ｗ、Ａｇ、Ｃｒ、Ｔａ、Ｔｉの何れかを主体とする金属材料とは、合金材料でも有り得るし、あるいはＮ、Ｏ、Ｃ等の非金属元素を含んでいても良い。ここに示した導電体層の材料は、これら自身の半導体層への拡散が小さく、拡散防止層として用いられるものである。

【００６７】

つまり、上記の構成によれば、導電体層はソース電極あるいはドレイン電極と半導体層の間に位置するため、導電体層はソース電極あるいはドレイン電極を構成する材料の成分元素が半導体層へ拡散することを実質上防止する拡散防止層として機能する。また、導電体層になる前段階の導電体成膜層であっても、同様に拡散防止層として機能する。ここで、拡散を実質上防止するとは、加熱処理を経た後でも、半導体層への拡散が小さく、ＴＦＴの特性に実用上ほとんど影響を与えないことを指す。

40

【００６８】

上記の構成によれば、従来のように拡散防止層を半導体層の形成後に形成する方法、例えばソース電極あるいはドレイン電極を、ガラス基板側から拡散防止層と低電気抵抗層の２層から構成する方法に比べて製造工程が大幅に削減される。

50

【 0 0 6 9 】

近年、ＴＦＴアレイ基板の大型化のため、ソース電極あるいはドレイン電極には低電気抵抗性が要求され、これらを構成する材料には半導体層に直接接触した場合に半導体層に拡散しやすいＡｌ、Ｃｕなどの材料がますます多用されている。上記のような本発明の構成は、この状況に対応し得るものである。このように、本発明の上記の構成は、製造工程をほとんど増やさずに、ソース電極あるいはドレイン電極を構成する材料の選択の幅を広げる。

【 0 0 7 0 】

本発明の上記のような構成のＴＦＴアレイ基板では、導電体層をこのように構成すれば、導電体層となる途中段階の導電体成膜層に、半導体層を形成するパターンマスクとなる役割と、半導体層への拡散防止層となる役割の２つの役割をもたせることができる。加えて、導電体層自体にも拡散防止効果をもたせることができる。従って、半導体層に拡散しやすいＡｌ、Ｃｕなどの材料をソース電極等に用いた場合においては、製造工程が大幅に削減され、ＴＦＴアレイ基板の生産性を向上させることができる。

10

【 0 0 7 1 】

特に、前記ソース電極とドレイン電極が、ＡｌまたはＡｌを主体とする金属材料からなることは望ましい。

【 0 0 7 2 】

ここで、Ａｌを主体とする金属材料とは、Ａｌ－Ｔｉ、Ａｌ－Ｎｄ等のＡｌ合金材料でも有り得るし、あるいはＡｌを主体としてＮ、Ｏ、Ｃ等の非金属元素を含む金属材料でも良い。

20

【 0 0 7 3 】

本発明での導電体成膜層は、ソース電極およびドレイン電極のパターンを利用して部分的にエッチングされ、分離されて導電体層となる。これはＴＦＴのソース電極とドレイン電極とを電氣的に分離するために必要な工程である。

【 0 0 7 4 】

上記の構成によれば、ソース電極あるいはドレイン電極をほとんど侵さずに、前記導電体成膜層をウェットエッチング処理することが可能である。

【 0 0 7 5 】

これには、ＡｌまたはＡｌを主体とする金属材料が、硝酸等の酸化力のある酸には、侵されにくいことを利用する。

30

【 0 0 7 6 】

このとき、加えて、前記導電体成膜層を、Ａｇ、Ｍｏ、Ｗ、あるいはそれらを主体とする合金など、硝酸等の酸化力のある酸に可溶な金属材料で構成しておく。すると、硝酸等の酸化力のある酸によって導電体成膜層を選択性良くウェットエッチング処理を行うことができ、ＡｌまたはＡｌを主体とする金属材料からなるソース電極等をほとんど侵さずに導電体層を得ることができる。

【 0 0 7 7 】

さらに、本発明の上記のような構成のＴＦＴアレイ基板では、特にソース電極が、ＡｌまたはＡｌを主体とする金属材料からなるので低電気抵抗であり、近年のＴＦＴアレイ基板の大型化にも対応している。

40

【 0 0 7 8 】

本発明の上記のような構成のＴＦＴアレイ基板は、低電気抵抗性と、導電体層を形成するための導電体成膜層を選択性良くエッチングできるという製造プロセスへの適合性の両方の性質をもち、非常に有用である。

【 0 0 7 9 】

なお、導電体成膜層の形成のための導電性材料の滴下には、インクジェット方式に限らず、材料の液滴の滴下により導電体成膜層を直接形成可能な方式であれば使用可能である。

【 0 0 8 0 】

また、本発明の液晶表示装置は、上記のＴＦＴアレイ基板を備えていることを特徴として

50

いる。したがって、液晶表示装置の製造工程において、ＴＦＴアレイ基板の製造工数が削減した結果、製造時間の短縮およびコストダウンが可能となる。

【００８１】

このようなＴＦＴアレイ基板の製造方法としては、以下に示すものがある。

【００８２】

本発明のＴＦＴアレイ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上にゲート絶縁層を形成する工程と、前記ゲート絶縁層の上に半導体膜を成膜する工程と、前記半導体膜の上に導電性材料の液滴を滴下して、液滴の滴下形状の導電体成膜層を形成する工程と、前記導電体成膜層の形状に前記半導体膜を加工して薄膜トランジスタ部の半導体層を形成する工程とを備える。

10

【００８３】

上記の構成によれば、成膜された半導体膜の上に導電性材料の液滴を滴下して、液滴の滴下形状（通常はほぼ円形）の導電体成膜層を形成し、この導電体成膜層をマスクとして半導体層を形成することができる。この導電体成膜層はレジスト材料の場合とは異なり、除去する工程を行わなくて良い。

【００８４】

このようなＴＦＴアレイ基板の製造方法によれば、半導体層を形成するためのマスクが不要となり、必要なマスク枚数が減少することにより、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、現像液、剥離液などの薬液の使用量、レジスト材料等の廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウンが可能となる。

20

【００８５】

なお、導電性材料の滴下には、インクジェット方式に限らず、材料の液滴の滴下により導電体成膜層を直接形成可能な方式であれば使用可能である。

【００８６】

さらに、前記導電体層が、Ｍｏ、Ｗ、Ａｇ、Ｃｒ、Ｔａ、Ｔｉ、またはこれらの何れかを主体とする金属材料、またはインジウム錫酸化物から構成されることを特徴としてもよい。

【００８７】

また、前記ソース電極とドレイン電極を、ＡｌまたはＡｌを主体とする金属材料で形成することを特徴としてもよい。

30

【００８８】

本発明の液晶表示装置の製造方法は、上記の何れかのＴＦＴアレイ基板の製造方法を含んでいることを特徴としている。したがって、少なくとも、液晶表示装置の製造工数を削減できる。

【００８９】

また、本発明のＴＦＴアレイ基板は、液晶表示装置に限らず、他の電子装置においても適用可能である。ここで、他の電子装置としては、例えば、有機ＥＬパネルや無機ＥＬパネル等の表示装置、指紋センサー、Ｘ線撮像装置などに代表される二次元画像入力装置等、ＴＦＴアレイ基板を使用する各種電子装置がある。

40

【００９０】

【発明の実施の形態】

〔実施の形態１〕

本発明の実施の一形態を図１ないし図１３に基づいて以下に説明する。

【００９１】

本発明の実施の一形態における液晶表示装置は、図１（ａ）に示す画素を有している。なお、同図は、液晶表示装置のＴＦＴアレイ基板における１画素の概略構成を示す平面図である。また、同図におけるＡ－Ａ線矢視断面図を図１（ｂ）に示す。

【００９２】

50

図 1 (a) (b) に示すように、 T F T アレイ基板 1 1 では、ガラス基板 1 2 上において、ゲート電極 1 3 とソース電極 1 7 とがマトリクス状に設けられ、隣り合うゲート電極 1 3 の間に補助容量電極 1 4 が設けられている。

【 0 0 9 3 】

T F T アレイ基板 1 1 は、図 1 (b) に示すように、 T F T 部 2 2 から補助容量部 2 3 までの位置において、ガラス基板 1 2 上に、ゲート電極 1 3 および補助容量電極 1 4 を有し、それらの上にゲート絶縁層 1 5 を有している。

【 0 0 9 4 】

ゲート電極 1 3 上には上記ゲート絶縁層 1 5 を介して a - S i 層を有する半導体層 1 6 がほぼ円形に形成され、その上にソース電極 1 7 およびドレイン電極 1 8 が形成されている。このドレイン電極 1 8 の他端部は、ゲート絶縁層 1 5 を介した補助容量電極 1 4 上の位置に達し、この位置にコンタクトホール 2 4 が形成されている。ソース電極 1 7 およびドレイン電極 1 8 の上には保護膜 1 9 が形成され、その上に感光性アクリル樹脂層 2 0 と画素電極 2 1 とが順次形成されている。

10

【 0 0 9 5 】

本実施の形態において、 T F T アレイ基板 1 1 の製造には、例えば、インクジェット方式により、形成する層の材料を吐出あるいは滴下するパターン形成装置が使用される。このパターン形成装置は、図 2 に示すように、基板 3 1 (前記ガラス基板 1 2 に相当) を載置する載置台 3 2 を備え、この載置台 3 2 上の基板 3 1 上に対して例えば配線材料を含む流動性のインク (液滴) を吐出する液滴吐出手段としてのインクジェットヘッド 3 3 と、インクジェットヘッド 3 3 を X 方向に移動させる X 方向駆動部 3 4 および Y 方向に移動させる Y 方向駆動部 3 5 とが設けられている。

20

【 0 0 9 6 】

また、上記パターン形成装置には、インクジェットヘッド 3 3 にインクを供給するインク供給システム 3 6 と、インクジェットヘッド 3 3 の吐出制御、 X 方向駆動部 3 4 および Y 方向駆動部 3 5 の駆動制御等の各種制御を行なうコントロールユニット 3 7 とが設けられている。コントロールユニット 3 7 からは、 X および Y 方向駆動部 3 4 , 3 5 に対して塗布位置情報が出力され、インクジェットヘッド 3 3 のヘッドドライバー (図示せず) に対して吐出情報が出力される。これにより、 X および Y 方向駆動部 3 4 , 3 5 に連動してインクジェットヘッド 3 3 が動作し、基板 3 1 上の目的位置に目的量の液滴が供給される。

30

【 0 0 9 7 】

上記のインクジェットヘッド 3 3 は、ピエゾアクチュエータを使用するピエゾ方式のもの、ヘッド内にヒータを有するバブル方式のもの、あるいはその他の方式のものであってもよい。インクジェットヘッド 3 3 からのインク吐出量の制御は、印加電圧の制御により可能である。また、液滴吐出手段は、インクジェットヘッド 3 3 に代えて、単に液滴を滴下させる方式のもの等、液滴を供給可能なものであれば方式は問わない。

【 0 0 9 8 】

次に、本実施の形態の液晶表示装置における T F T アレイ基板 1 1 の製造方法について説明する。

【 0 0 9 9 】

本実施の形態において、 T F T アレイ基板 1 1 は、図 3 に示すように、ゲート前処理工程 4 1、ゲート線塗布形成工程 4 2、ゲート絶縁層成膜・半導体層成膜工程 4 3、半導体層形成工程 4 4、ソース・ドレイン線前処理工程 4 5、ソース・ドレイン線塗布形成工程 4 6、チャネル部加工工程 4 7、保護膜形成工程 4 8、保護膜加工工程 4 9 および画素電極形成工程 5 0 からなる。

40

【 0 1 0 0 】

(ゲート線前処理工程 4 1)

このゲート線前処理工程 4 1 では、ゲート線塗布形成工程 4 2 のための前処理を行う。次段のゲート線塗布形成工程 4 2 では、パターン形成装置を使用して液体配線材料の滴下によりゲート電極 1 3、補助容量電極 1 4 等が形成される。したがって、ここでは、図 4 (

50

a) に示すゲート線形成領域 6 1、および補助容量電極形成領域 6 3 に、パターン形成装置からの液体配線材料の吐出（滴下）により適切に液体配線材料が塗布されるための処理を行う。なお、図 4 (a) は T F T アレイ基板 1 1 が備えるガラス基板 1 2 の平面図である。

【 0 1 0 1 】

この処理には大まかに次のようなものがある。第 1 には基板（ガラス基板 1 2 ）上に、液体配線材料に対して基板が濡れ易いか、弾き易いかの性質を付与し、ゲート線形成領域 6 1 等としての親水領域（親液領域）とそれらの非形成領域としての撥水領域（撥液領域）とをパターン化する親撥水处理（親撥液処理）である。第 2 には液流を規制するガイド、即ちゲート線形成領域 6 1 等に沿ったガイドを形成する処理である。

10

【 0 1 0 2 】

前者では、酸化チタンを用いた光触媒による親撥水处理が代表的である。後者では、レジスト材料を用い、フォトリソグラフィによりガイド形成を行う。さらに、上記ガイドあるいは基板面に親撥水性を付与するために、それらをプラズマ中で C F ₄、O₂ ガスに曝す処理を行うことがある。レジストは配線形成後、剥離する。

【 0 1 0 3 】

ここでは、次のように、酸化チタンを使用した光触媒処理を行った。即ち、T F T アレイ基板 1 1 のガラス基板 1 2 には、フッ素系非イオン界面活性剤である Z O N Y L F S N（商品名：デュボン社製）をイソプロピルアルコールに混合したものを塗布した。また、ゲート電極 1 3 等のパターンのマスクには光触媒層として二酸化チタン微粒子分散体とエタノールの混合物とをスピコートで塗布し、150 で焼成した。そして、上記マスクを使用し、ガラス基板 1 2 に対して U V 光による露光を行った。露光条件としては、365 nm の紫外光を使用し、70 m W / c m² の強度で 2 分間照射した。

20

【 0 1 0 4 】

ここで、ガラス基板 1 2 上に形成された半導体層 1 6 に対して非常に強い光が当ることが予想される場合には、図 4 (a) に示すように、それを防止するための遮光膜 6 2 を予め形成しておいてもよい。遮光膜 6 2 は、a - S i が形成される位置にパターン形成装置により遮光膜 6 2 の形成材料を滴下し、これを焼成することにより形成する。この形成材料は、感光性樹脂あるいは熱硬化性樹脂にカーボンブラックや T i N 等の黒色材料を混ぜたものを使用することができる。

30

【 0 1 0 5 】

なお、説明を簡単にする為、図 4 以降の工程説明図では、上方のゲート電極において、ゲート電極から分岐し、T F T が形成される電極を省略している。

【 0 1 0 6 】

（ゲート線塗布形成工程 4 2 ）

このゲート線塗布形成工程 4 2 を図 4 (b) (c) に示す。図 4 (b) はゲート電極 1 3 を形成した状態のガラス基板 1 2 の平面図、図 4 (c) は、図 4 (b) における B - B 線矢視断面図である。

【 0 1 0 7 】

この工程では、パターン形成装置を使用し、図 4 (b) (c) に示すように、ガラス基板 1 2 上のゲート線形成領域 6 1、補助容量電極形成領域 6 3 に対して配線材料を塗布する。配線材料には、有機膜をコーティングした A g 微粒子を有機溶媒中に分散させたものを用いた。配線幅は概ね 50 μ m でインクジェットヘッド 3 3 からの配線材料の吐出量は 80 p l に設定した。

40

【 0 1 0 8 】

親撥水处理された面では、インクジェットヘッド 3 3 から吐出された配線材料がゲート線形成領域 6 1 等に沿って広がっていくため、吐出間隔を概ね 500 μ m 間隔とした。塗布後に 350 で 1 時間焼成を行い、ゲート電極 1 3 配線を形成した。

【 0 1 0 9 】

なお、焼成温度を 350 に設定したのは、次段の半導体層形成工程 4 4 において約 30

50

0 の処理熱が加わるためである。したがって、焼成温度はこの温度に限定されるものではない。例えば有機半導体を形成する場合、そのアニール温度が100～200に設定されることもあり、そのような場合には、焼成温度を下げて200～250とすることができる。

【0110】

また、配線材料としては、Ag以外に、Ag-Pd、Ag-Au、Ag-Cu、Cu、Cu-Ni等の単体もしくは合金材料の微粒子もしくはペースト材料を有機溶媒中に含むものを用いることが可能である。さらに、配線材料については、必要な焼成温度に合わせて、上記微粒子を保護している表面コート層や溶媒の有機材料の乖離温度を制御し、所望の抵抗値および表面状態を得ることが可能である。なお、上記乖離温度とは、上記の表面コート層および溶媒が蒸発する温度のことである。 10

【0111】

(ゲート絶縁層成膜・半導体層成膜工程43)

このゲート絶縁層成膜・半導体層成膜工程43を図5(a)に示す。

この処理では、ゲート線塗布形成工程42を経たガラス基板12上に、ゲート絶縁層15、a-Si成膜層64およびn+成膜層65の3層を連続形成する。a-Si層64はCVDにより形成した。ゲート絶縁層15、a-Si層64、n+層65の厚みはそれぞれ0.3μm、0.15μm、0.04μmとし、真空を破ることなく成膜した。成膜温度は300であった。

【0112】

20

(半導体層形成工程44)

この半導体層形成工程44を図5(b)～図5(e)に示す。図5(e)は半導体層形成工程44を経たガラス基板12を示す平面図、図5(d)は図5(e)におけるC-C線矢視断面図、図5(b)および図5(c)は、各処理を示す図5(d)に示した位置における縦断面図である。

【0113】

この工程では、図5(b)に示すように、ゲート電極13の本線から分岐したTFE部ゲート電極(分岐電極)66上におけるn+成膜層65の上に、パターン形成装置によりレジスト材料として熱硬化性樹脂を滴下させて付着させ、これによって形成されたレジスト層67を加工のパターンとした。レジスト材料の吐出量は例えば10pLの液滴1滴とし、TFE部ゲート電極66上における所定の位置にほぼ30μm径の円形のパターンを得た。これを150で焼成した。レジスト層67の熱硬化性樹脂としては、東京応化製レジストTEFシリーズをインクジェット用に粘度調整して使用した。 30

【0114】

なお、レジスト層67の材料としては、上記の熱硬化性樹脂の他、UV樹脂あるいはフォトリソグ使用可能である。また、レジスト層67は、透明である必要はないものの、透明である場合には形成位置の確認を容易に行うことができる。さらに、レジスト層67は、ドライエッチングの熱に耐え得るもの、耐ドライエッチングガス性を有するもの、被エッチング材料とのエッチング選択性を有するものであることが望ましい。

【0115】

40

次に、ガス(例えばSF₆+HCl)を用い、図5(c)に示すように、n+成膜層65およびa-Si成膜層64のドライエッチングを行ってn+層69およびa-Si層68を形成した。その後、ガラス基板12を有機溶剤で洗浄し、図5(d)に示すように、レジスト層67を剥離させて除去した。

【0116】

上記のように、半導体層形成工程44においては、パターン形成装置によって吐出された樹脂のパターン(レジスト層67のパターン)がそのまま、n+層69およびa-Si層68からなる半導体層16の形状に反映される。したがって、半導体層16は、レジスト層67の材料の液滴がインクジェットヘッド33からガラス基板12上に滴下されたときのそのままの形状である円形もしくは円形に近い曲線からなるパターンに形成される。 50

【 0 1 1 7 】

また、レジスト層 6 7 の形成は、インクジェットヘッド 3 3 からの液滴 1 滴の滴下にて行っているものの、複数の液滴の滴下より行ってもよい。ただし、液滴を際限なく微小にし、それら微小な液滴を緻密に吐出させてレジスト層 6 7 を形成した場合には、1 個の半導体層 1 6 を形成するのに長時間を要するばかりか、必要なドット数が増加することによりインクジェットヘッド 3 3 の寿命を縮めることになる。

【 0 1 1 8 】

インクジェットヘッド 3 3 を使用する各工程において重要な点は、液滴の滴下により層（膜）を所望の面積に形成する場合に、最適な液適量かつ可能な限り少ないショット数で液滴を滴下することである。こうすることによって、インクジェットヘッド 3 3 の使用限界内で最大の処理数を実現でき、ひいては装置コストを最低限に抑えることが可能となる。

10

【 0 1 1 9 】

さらに、半導体層形成工程 4 4 では、インクジェットヘッド 3 3 によって吐出される液滴を受ける面に特別な処理を行う必要が無いことも重要な特徴となっている。即ち、液滴の滴下を受ける面が極端に濡れる状態では、その面がパターン化されていない限り、吐出された液滴は不定形に広がり、成膜工程が成立しない。ところが、a - S i 成膜層 6 4 では、S i 終端が多く存在するので基本的に撥水性となり、液滴は a - S i 成膜層 6 4 上においてある程度の大きい接触角を有し、円形に近い状態となる。したがって、基板側（a - S i 成膜層 6 4）を特別に処理する必要が無い。

20

【 0 1 2 0 】

また焼成、ガス中処理（ドライエッチング）などが施された基板面は、短分子状のものが付着している可能性が高く、a - S i 以外の半導体、例えば有機半導体を用いた場合であっても、吐出された液滴はある程度の大きい接触角をもって存在する場合が多い。

【 0 1 2 1 】

従来、半導体層をパターン化するためにはマスクやフォトリソグラフィ工程が必要であった。これに対し、上記の半導体層形成工程 4 4 では、インクジェットヘッド 3 3 から液滴を滴下して、マスクとなるパターン（レジスト層 6 7）を直接描画しているので、マスクおよびこれを使用するフォトリソグラフィ工程が不要となる。したがって、大幅なコストダウンを実現することができる。

30

【 0 1 2 2 】

（ソース・ドレイン線前処理工程 4 5）

このソース・ドレイン線前処理工程 4 5 を図 6（a）に示す。図 6（a）は、半導体層形成工程 4 4 を経たガラス基板 1 2 にソース電極 1 7 およびドレイン電極 1 8 を形成するための配線ガイド 7 1 を形成した状態を示す平面図である。

【 0 1 2 3 】

この工程では、ソース電極 1 7 およびドレイン電極 1 8 を形成する領域（ソース・ドレイン形成領域 7 3）に配線ガイド 7 1 を形成する。配線ガイド 7 1 はフォトレジスト材料を用いて形成した。即ち、フォトレジストを半導体層形成工程 4 4 を経たガラス基板 1 2 上に塗布し、プリベークを行った後、フォトマスクを用いて露光現像を行い、次にポストベークを行った。ここで形成した配線ガイド 7 1 の幅は約 1 0 μm 、配線ガイド 7 1 によって形成された溝幅（配線形成領域の幅）は約 1 5 μm であった。但し、ソース・ドレイン間隔、即ちチャネル部 7 2 は 4 μm とした。

40

【 0 1 2 4 】

なお、パターン形成装置により塗布される配線材料が下地面となる面に良く馴染むように、S i N x 面（ゲート絶縁層 1 5 の上面）には酸素プラズマにて親水処理を施すとともに、配線ガイド 7 1 にはプラズマ中に C F ₄ ガスを流すことにより撥水処理を施しても良い。

【 0 1 2 5 】

また、上記の配線ガイド 7 1 の形成に代えて、前記ゲート電極形成に用いた光触媒による親撥水処理方法にて、配線電極パターンに応じた親撥水処理を施してもよい。

50

【 0 1 2 6 】

(ソース・ドレイン線塗布形成工程 4 6)

このソース・ドレイン線塗布形成工程 4 6 を図 6 (b) (c) に示す。図 6 (b) は、上記配線ガイド 7 1 に沿ってソース電極 1 7 およびドレイン電極 1 8 を形成した状態を示す平面図、図 6 (c) は図 6 (b) における D - D 線矢視断面図である。

【 0 1 2 7 】

ソース・ドレイン線塗布形成工程 4 6 では、図 6 (b) (c) に示すように、配線ガイド 7 1 により形成されたソース・ドレイン形成領域 7 3 に、パターン形成装置にて配線材料を塗布することにより、ソース電極 1 7 およびドレイン電極 1 8 を形成した。ここでは、インクジェットヘッド 3 3 からの配線材料の吐出量を 2 p l に設定した。また、配線材料には、A g 微粒子材料を用い、形成膜厚を 0 . 3 μ m とした。また、焼成温度は 2 0 0 とし、焼成後、有機溶媒にて配線ガイド 7 1 を除去した。 10

【 0 1 2 8 】

なお、配線材料は、前述のゲート電極 1 3 に使用したものと同様のものを使用可能であるものの、a - S i の形成が約 3 0 0 で行われていることから、焼成温度は 3 0 0 以下で行う必要がある。

【 0 1 2 9 】

以上のゲート前処理工程 4 1 ~ ソース・ドレイン線塗布形成工程 4 6 により、T F T の基本構造がほぼできあがる。

【 0 1 3 0 】

ここで、T F T 部 2 2 において重要なことは、図 7 に示すように、ゲート電極 1 3 の T F T 部ゲート電極 6 6 がほぼ円形の半導体パターン (半導体層 1 6) を突抜けていることである。これは、T F T 部ゲート電極 6 6 が半導体のパターンの内側に入っている場合には、後に詳述するように、ゲートが O F F 状態であっても T F T 部ゲート電極 6 6 からの電界が十分に作用しない半導体領域を通してソース・ドレイン電極間にリーク電流が流れるからである。なお、半導体パターンが、T F T 部ゲート電極 6 6、ソース電極 1 7 およびドレイン電極 1 8 からはみ出す構造となるものの、これによるフォトコンダクター発生は T F T の実用上何ら問題が無いことが分かった。 20

【 0 1 3 1 】

(チャンネル部加工工程 4 7)

ここでは、T F T のチャンネル部 7 2 の加工を行う。この処理を図 8 (a) (b) に示す。図 8 (a) (b) は図 6 (b) における D - D 線矢視断面部分に相当する断面図である。まず、図 8 (a) に示すように、配線ガイド 7 1 を有機溶媒により除去した。あるいはアッシングによりチャンネル部 7 2 の配線ガイド 7 1 を除去した。次に、図 8 (b) に示すように、アッシングもしくはレーザー酸化で n + 層 6 9 を酸化処理し、不導体化した。 30

【 0 1 3 2 】

(保護膜形成工程 4 8、保護膜加工工程 4 9)

この保護膜加工工程 4 9 が完了した状態を図 9 (a) (b) に示す。

【 0 1 3 3 】

ここでは、先ず、ソース・ドレイン電極までが形成されたガラス基板 1 2 上に、C V D により保護膜 1 9 となる S i O₂ 膜を形成した。 40

【 0 1 3 4 】

次に、この S i O₂ 膜の上に、感光性アクリル樹脂層 2 0 となるアクリル性レジスト材料を塗布し、このレジスト層に画素電極形成パターン (図 9 (b) 参照)、および端子加工用パターンを形成した。

【 0 1 3 5 】

上記パターンの形成においては、マスクに、上記レジスト層が現像後に全て取り除かれるようにする部分と厚さにおいて約半分取り除かれるようにする部分とを形成した。後者は透過率が約 5 0 % のハーフトーン露光用の領域である。即ち、保護膜 1 9 およびゲート絶縁層 1 5 をエッチングして端子面を形成する部分では、レジスト層を全て取り除く一方、 50

画素電極 21 を形成する部分では、感光性アクリル樹脂層 20 における画素電極形成パターンの周りがガイドとなるように、レジスト層の厚さを塗布厚の半分に調整した。次に、レジスト層をマスクにして、まず端子部にある保護膜 19 およびゲート絶縁層 15 をドライエッチングで除去した。

【0136】

(画素電極形成工程 50)

感光性アクリル樹脂層 20 の画素電極形成パターン上に、図 10 (a) (b) に示すように、画素電極材料となる ITO 微粒子材料をパターン形成装置により塗布し、これを 200 で焼成して画素電極 21 を形成した。これにより、TFT アレイ基板 11 を得た。

【0137】

従来、端子加工や ITO 加工のそれぞれにマスクを用いてフォトリソグラフィ工程を行っていたが、感光性のアクリル系樹脂を用いて、ハーフトーン露光を施すことにより 1 枚のマスクでこれら工程を兼ねることができるので、マスク枚数が減少し、コストダウンが可能となる。

【0138】

ここで、ソース・ドレイン線塗布形成工程 46 において示したリーク電流の発生メカニズムを、図 11 (a) (b) および図 12 (a) (b) に基づいて詳述する。

【0139】

図 11 (a) は TFT 部ゲート電極 66 が半導体パターン (半導体層 16) を突抜けている場合における TFT 部の平面図であり、図 11 (b) はその G - G 線矢視断面図である。図 12 (a) は TFT 部ゲート電極 66 が半導体パターン (半導体層 16) を突抜けておらず、半導体パターン領域内に存在している場合における TFT 部の平面図であり、図 12 (b) はその H - H 線矢視断面図である。また、図 11 (a) および図 12 (a) はゲート電極 13 に負の電位が印加された場合を示している。図 11 (b) および図 12 (b) に示すように、TFT 部ゲート電極 66 はゲート絶縁層 15 を挟んで a - Si 層 68 と対向している。ここで、n + 層 69 は a - Si 層 68 へキャリアを注入する層であり、リン (P) 等をドーブした過電子状態の層である。

【0140】

図 11 (a) (b) (TFT 部ゲート電極突抜け状態) および図 12 (a) (b) (TFT 部ゲート電極非突抜け状態) の TFT において、ゲート電極 13 に例えば -4 V の電圧を印加した場合のソース・ドレイン電極間のリーク電流を測定した。その結果、リーク電流は、TFT 部ゲート電極突抜け状態において凡そ 1 pA 程度であった。一方、TFT 部ゲート電極非突抜け状態において 30 ~ 50 pA に増加した。

【0141】

これらは何れも暗い環境下での測定結果であるが、バックライト光を入射した場合、リーク電流値は、TFT 部ゲート電極突抜け状態では 20 pA まで増加した。これに対し、TFT 部ゲート電極非突抜け状態では、凡そ 2000 ~ 3000 pA と大幅に増加した。これにより、TFT 部ゲート電極非突抜け状態では、TFT 特性が劣化することが分った。また、この結果が生じた理由は、次のように説明することができる。

【0142】

先ず、ゲート電極 13 に負電位が印加された場合について説明する。

ゲート電極が負電位である場合、キャリアである電子は、図 11 (a) に示すように、負電荷同士の反発により TFT 部ゲート電極 66 から離れようとして存在する。したがって、電子はソース・ドレイン電極近傍に存在し、チャンネル部分の a - Si 層 68 には殆ど存在していない。このため、TFT は OFF 状態となっている。仮に、電子がゲート・ドレイン間を流れようとしても、TFT 部ゲート電極 66 を越えて流れなければならない。この場合、TFT 部ゲート電極 66 は負電位であるので、電荷の反発で電子はゲート電極を越えて流ることができない。このため、リーク電流は小さいと考えられる。

【0143】

一方、図 12 (a) の場合には、TFT 部ゲート電極 66 が負電位であっても、a - Si

10

20

30

40

50

層 6 8 が T F T 部ゲート電極 6 6 の先端部よりも外側にもあるので、電子は T F T 部ゲート電極 6 6 を越えなくても a - S i 層 6 8 の外周部に沿って移動することができる。このため、リーク電流が容易に流れ易くなると考えられる。また、バックライト光が当たった場合には、バックライト光による励起でキャリアが発生する。このキャリアは、同様の理由から、a - S i 層 6 8 の外周部に沿って流れるものと考えられる。したがって、図 1 1 (a) (T F T 部ゲート電極突抜け状態) と図 1 2 (a) (T F T 部ゲート電極非突抜け状態) とでは、バックライト光照射時において、リーク電流の増加量に大差が生じるものと考えられる。

【 0 1 4 4 】

上記の説明から理解できるように、T F T 部において、T F T 部ゲート電極 6 6 の先端部は a - S i 層 6 8 の外周部から突抜けていること（突出していること）が必要である。

10

【 0 1 4 5 】

次に、ゲート電極 1 3 に正電位が印加された場合について説明する。

ゲート電極 1 3 が正電位である場合には、n + 層 6 9 の電子が T F T 部ゲート電極 6 6 の電位に引き寄せられ、チャンネル部にキャリアが存在することになる。したがって、ソース・ドレイン電極間には容易に電流が流れ、T F T が O N 状態になる。例えばゲート電極に 1 0 V を印加したところ、ソース・ドレイン間には凡そ 1 μ A の電流が流れた。このときのソース・ドレイン間の印加電圧は 1 0 V であった。T F T が O N の場合、電子はソース・ドレイン間を最短距離で流れようとするので、T F T 部ゲート電極非突抜け状態であっても影響はない。

20

【 0 1 4 6 】

なお、図 1 3 に示すように、T F T 部ゲート電極 6 6 に対して a - S i 層 6 8 が偏って存在した場合には問題が生じる。特に、図 1 3 の状態ではドレイン電極 1 8 は、その幅方向の一部においてのみ a - S i 層 6 8 と重合している。この状態では、ソース電極 1 7 で十分な電子の流れが得られず、ドレイン電極 1 8 が a - S i 層 6 8 と重合している電極幅に比例して O N 電流が増減することになる。このような T F T が液晶パネル面内においてまばらに存在すると、各画素の充電状態が異なり、画像斑が生じることになる。したがって、チャンネル部 7 2 において、ソース電極 1 7 およびドレイン電極 1 8 はその全幅において a - S i 層 6 8 と重合していなければならない。

【 0 1 4 7 】

30

上記の点から、パターン形成装置のインクジェットヘッド 3 3 からレジスト形成材料を滴下して、a - S i 層 6 8 を加工するためのレジスト層 6 7 を塗布する場合には、パターン形成装置が有する着弾誤差（狙った位置に対する滴下位置の誤差）、即ち滴下精度を見込んで、加工後の a - S i 層 6 8 がチャンネル部 7 2 においてソース電極 1 7 およびドレイン電極 1 8 の全幅と重合し、かつ T F T 部ゲート電極 6 6 の先端部が a - S i 層 6 8 から突出するように形成する必要がある。

【 0 1 4 8 】

また、このためには、T F T 部ゲート電極 6 6 は、パターン形成装置のインクジェットヘッド 3 3 からのレジスト形成材料の着弾誤差（滴下精度）を見込んで、さらに詳細にはレジスト層 6 7 の径（例えば 3 0 μ m）とパターン形成装置による滴下精度（例えば $\pm$ 1 0 μ m）とを考慮して、加工後の a - S i 層 6 8 から T F T 部ゲート電極 6 6 の先端部が突出し得る長さに形成しておく必要がある。

40

【 0 1 4 9 】

なお、上記の例では、遮光膜（遮光層）6 2 を T F T 部 2 2 の下部（半導体層 1 6 の下層）に形成する場合について示したが、遮光膜 6 2 は T F T 部 2 2 の上部（半導体層 1 6 の上層）に形成してもよい。ここで、T F T 部 2 2 の上部に遮光膜 6 2 を形成する例について、図 1 4 (a) ~ 図 1 4 (d) に基づいて説明する。図 1 4 (a) は、チャンネル部 7 2 のエッチング完了状態を示す T F T アレイ基板 1 1 の縦断面図、図 1 4 (b) は、上部の遮光膜 6 2 の形成工程を示す T F T アレイ基板 1 1 の縦断面図、図 1 4 (c) は、図 1 4 (d) における M - M 線矢視断面図、図 1 4 (d) は、上部の遮光膜 6 2 を有する T F T

50

アレイ基板 11 の画素電極 21 の形成完了状態を示す平面図である。

【0150】

ゲート前処理工程 41 で述べたとおり、遮光膜 62 は必要に応じて形成するか否かを選択することが可能である。特に T F T 部 22 のチャンネル部 72 側からの迷光により T F T 特性が変化する場合は、チャンネル部 72 の上部に遮光膜 62 を形成することによって T F T 特性の劣化を防止することが可能である。ここでは、下部の遮光膜 62 と同時に上部の遮光膜 62 を用い、T F T 部 22 の上下に遮光膜 62 を形成した例を示す。これら遮光膜 62 は、必要に応じて何れか、若しくは両方を形成しても良い。

【0151】

上部の遮光膜 62 は、図 14 (a) に示す、チャンネル部 72 のエッチング完了後に、図 14 (b) に示すように、パターン形成装置から遮光膜材料の液滴を滴下することにより形成した。その後、図 14 (c) に示すように、感光性アクリル樹脂層 20 を形成し、さらに画素電極 21 を形成した。

【0152】

遮光膜 62 の材料は、ゲート電極 13 (T F T 部ゲート電極 66) の下部に形成した遮光膜 62 の材料と同じ、樹脂に TiN を混ぜたものが使用できる。なお、本例では、遮光膜 62 は電極上に形成するため、絶縁性であり、成分が半導体層 16 に拡散して半導体層 16 の性能劣化を起させないものが望ましい。

【0153】

また、形成する遮光膜 62 は、T F T 上の保護膜 (図示せず) と感光性アクリル製樹脂層 20 との層間に形成しても良い。この場合は、メリットとして、ソース電極 17 およびドレイン電極 18 と遮光膜 62 との間に層間絶縁層が入ることになるので、遮光膜 62 の材料は必ずしも絶縁物や半導体層への拡散防止を考慮した材料でなくても良く、材料の選択範囲が広く取れる。また、この場合、画素電極 21 (I T O 電極) 形成のための感光性アクリル製樹脂を遮光膜 62 の形成後に形成するので、遮光膜 62 を形成することによる段差を感光性アクリル製樹脂層 20 によって平坦化させることができる。したがって、液晶層の厚みが均一となるので、表示斑が出ることがない。さらに、画素電極 21 の I T O の塗布前に、即ち感光性アクリル樹脂層 20 と画素電極 21 との間に、遮光膜 62 を形成することも可能である。

【0154】

上記のように、本 T F T アレイ基板 11 の製造方法では、インクジェット方式によるパターン形成装置を用いない従来の製造方法と比較すると、マスク枚数を従来の 5 枚から 3 枚に減らすことができ、フォトリソグラフィ工程や、真空成膜装置を大幅に削減することができる。これにより、設備投資額も大幅に削減することができる。

【0155】

〔実施の形態 2〕

本発明の実施の他の形態を図 15 ないし図 21 に基づいて以下に説明する。

【0156】

本実施の形態における液晶表示装置は、図 15 (a) に示す画素を有している。なお、同図は、T F T アレイ基板における 1 画素の概略構成を示す平面図である。また、同図における I - I 線矢視断面図を図 15 (b) に示す。

【0157】

図 1 (a) (b) に示した T F T アレイ基板 11 の製造においては、ソース電極 17 およびドレイン電極 18 を形成後、保護膜 19 を形成し、その後、感光性アクリル樹脂層 20 にて画素電極用ガイドを形成している。

【0158】

本実施の形態の液晶表示装置における T F T アレイ基板 81 の製造においては、ソース電極 17 とドレイン・画素電極 82 とを、同一工程でのガイド形成もしくは光触媒を利用した親撥水処理にて同一層に形成する。なお、T F T アレイ基板 81 においては、T F T 部 22 のドレイン電極と画素電極とが一連につながったの電極により形成されているので、

ドレイン・画素電極 8 2 としている。また、保護膜 8 3 は、ほぼ T F T 部 2 2 上のみに形成されている。

【 0 1 5 9 】

このような構造および製造方法の違いにより、T F T アレイ基板 1 1 の製造においては、感光性アクリル樹脂層 2 0 の形成にマスクが必要である一方、T F T アレイ基板 8 1 の製造においては、上記マスクが不要となり、マスク枚数を減少可能である。しかしながら、T F T アレイ基板 8 1 の製造においては、ソース電極 1 7 形成用のガイド形成と同工程での画素電極（ドレイン・画素電極 8 2 ）形成用のガイド形成、もしくは親撥水处理領域の形成を行う。このため、T F T アレイ基板 8 1 は T F T アレイ基板 1 1 より開口率が小さくなる。

10

【 0 1 6 0 】

また、T F T アレイ基板 1 1 では、画素電極 2 1 と補助容量電極 1 4 とが異なる層となるので、ドレイン電極 1 8 が補助容量部 2 3 まで伸び、そこにコンタクトホール 2 4 を形成し、画素電極 2 1 と画素電極と接続している。これに対し、T F T アレイ基板 8 1 では、ドレイン・画素電極 8 2 が補助容量部 2 3 までの電極も兼ねている。

【 0 1 6 1 】

これら T F T アレイ基板 1 1、8 1 では、チャンネル部 7 2 にソース電極材料、画素電極材料の飛沫が飛ぶのを避けるため、ソース・ドレイン電極を形成する際には、チャンネル部 7 2 から離れた位置に電極形成材料をインクジェットヘッド 3 3 から滴下させるとともに、その材料がチャンネル部 7 2 方向へ流れるように、ソース・ドレイン電極の形成領域をチャンネル部 7 2 方向へ幅が広がったテーパー形状としている。この形状は一例として図 1（a）におけるドレイン電極 1 8、ソース電極のチャンネル近傍において明示されている。

20

【 0 1 6 2 】

また、a - S i 層 6 8 の形成は、材料を 1 滴（1 ショット）だけ滴下して形成されたレジスト層 6 7 をマスクとして a - S i 成膜層 6 4 を加工することにより行うことが可能であるものの、例えば T F T がソース電極 1 7 の延びる方向と平行な方向に長いタイプである場合等においては、材料を 2 滴（2 ショット）以上滴下してレジスト層 6 7 を形成してもよい。

【 0 1 6 3 】

次に、本実施の形態の液晶表示装置における、T F T を備えた T F T アレイ基板 8 1 の製造方法について説明する。

30

【 0 1 6 4 】

本実施の形態において、T F T アレイ基板 8 1 は、図 1 6 に示すように、ゲート前処理工程 4 1、ゲート線塗布形成工程 4 2、ゲート絶縁層成膜・半導体層成膜工程 4 3、半導体層形成工程 4 4、ソース・ドレイン・画素電極前処理工程 9 1、ソース線塗布形成工程 9 2、ドレイン・画素電極塗布形成工程 9 3、チャンネル部加工工程 9 4 および保護膜形成工程 9 5 からなる。このうち、ゲート前処理工程 4 1 から半導体層形成工程 4 4 までは、T F T アレイ基板 1 1 の製造の場合と同様であるので説明を省略する。

【 0 1 6 5 】

（ソース・ドレイン・画素電極前処理工程 9 1）

40

このソース・ドレイン・画素電極前処理工程 9 1 を図 1 7 に示す。図 1 7 は、半導体層形成工程 4 4 を経たガラス基板 1 2 にソース電極 1 7 を形成するための配線ガイド 8 4 およびドレイン・画素電極 8 2 を形成するための配線ガイド 8 5 を形成した状態を示す平面図である。

【 0 1 6 6 】

この工程では、ソース電極 1 7 を形成する領域（ソース形成領域 8 6）に配線ガイド 8 4 を形成し、ドレイン・画素電極 8 2 を形成する領域（ドレイン・画素電極形成領域 8 7）に配線ガイド 8 5 を形成する。配線ガイド 8 4、8 5 はフォトレジスト材料を用いて形成した。即ち、フォトレジストを半導体層形成工程 4 4 を経たガラス基板 1 2 上に塗布し、プリベークを行った後、フォトマスクを用いて露光現像を行い、次にポストベークを行っ

50

た。ここで形成した配線ガイド 8 4 , 8 5 の幅は約 1 0 μ m、配線ガイド 8 4 によって形成された溝幅（配線形成領域の幅）は約 1 5 μ mであった。但し、ソース・ドレイン間隔、即ちチャネル部 7 2 は 4 μ mとした。

【 0 1 6 7 】

なお、パターン形成装置により塗布される配線材料が下地面となる面に良く馴染むように、S i N x 面（ゲート絶縁層 1 5 の上面）には酸素プラズマにて親水処理を施すとともに、配線ガイド 8 4 , 8 5 にはプラズマ中に C F ₄ ガスを流すことにより撥水処理を施しても良い。

【 0 1 6 8 】

また、上記の配線ガイド 8 4 , 8 5 の形成に代えて、前記ゲート電極形成に用いた光触媒による親撥水処理方法にて、配線電極パターンに応じた親撥水処理を施してもよい。なお、この場合には、ソース電極材料が画素電極側へ飛翔することが無いように注意する必要がある。

【 0 1 6 9 】

（ソース線塗布形成工程 9 2 ）

このソース線塗布形成工程 9 2 を図 1 8 (a) (b) に示す。図 1 8 (a) は、上記配線ガイド 8 4 に沿ってソース電極 1 7 を形成した状態を示す平面図、図 1 8 (b) は図 1 8 (a) における J - J 線矢視断面図である。

【 0 1 7 0 】

ソース線塗布形成工程 9 2 では、図 1 8 (a) (b) に示すように、配線ガイド 8 4 により形成されたソース形成領域 8 6 に、パターン形成装置にて配線材料を塗布することにより、ソース電極 1 7 を形成した。ここでは、インクジェットヘッド 3 3 からの配線材料の吐出量を 2 p l に設定した。また、配線材料には、A g 微粒子材料を用い、形成膜厚を 0 . 3 μ mとした。また、焼成温度は 2 0 0 とし、焼成後、有機溶媒にて配線ガイド 8 4 を除去した。

【 0 1 7 1 】

なお、配線材料は、前述のゲート電極 1 3 に使用したものと同様のものを使用可能であるものの、a - S i の形成が約 3 0 0 で行われていることから、焼成温度は 3 0 0 以下で行う必要がある。

【 0 1 7 2 】

（ドレイン・画素電極塗布形成工程 9 3 ）

このドレイン・画素電極塗布形成工程 9 3 を図 1 9 (a) (b) に示す。図 1 9 (a) は、上記配線ガイド 8 5 に沿ってドレイン・画素電極 8 2 を形成した状態を示す平面図、図 1 9 (b) は図 1 9 (a) における K - K 線矢視断面図である。

【 0 1 7 3 】

このドレイン・画素電極塗布形成工程 9 3 では、パターン形成装置にて I T O 微粒子材料を配線ガイド 8 5 に塗布し、それを 2 0 0 で焼成することによりドレイン・画素電極 8 2 を形成した。

【 0 1 7 4 】

このような工程により、従来ソース・ドレイン電極形成、I T O 加工にそれぞれマスクを用いていたが、これらを 1 枚のマスクで兼用可能となる。また、インクジェット方式のパターン形成装置を用いることで、各パターンに電極材料と画素電極材料とをそれぞれのインクジェットヘッド 3 3 により塗りわけ可能であるので、装置構成の削減、材料の利用効率の向上が可能となり、コストダウンを図り得る。

【 0 1 7 5 】

（チャネル部加工工程 9 4 ）

ここでは、T F T のチャネル部 7 2 の加工を行う。この処理を図 2 0 (a) (b) に示す。図 2 0 (a) (b) は図 1 9 (a) における K - K 線矢視断面部分に相当する断面図である。まず、図 2 0 (a) に示すように、チャネル部 7 2 における配線ガイド 8 4 , 8 5 を有機溶媒あるいはアッシングにより除去した。次に、図 2 0 (b) に示すように、アッ

10

20

30

40

50

シングもしくはレーザー酸化でn+層69を酸化処理し、不導体化した。

【0176】

(保護膜形成工程95)

この保護膜形成工程95を図21に示す。同図は、図19(a)におけるK-K線矢視断面部分に相当する断面図である。この感光性アクリル樹脂層20では、ソース電極17およびドレイン・画素電極82までが形成されたガラス基板12上に、パターン形成装置により保護膜83を形成した。保護膜83は、材料としてエトキシシラン材等の透明無機物を使用し、それをTFT部22上に塗布し、150 程度で焼成して形成した。材料としては、その他、レジスト材料あるいは感光性樹脂を用いても構わない。また、保護膜83の材料としては、通常の保護機能に、外光からの保護もしくはカラーフィルタに形成されるブラックマトリックスを兼ねて、前記遮光膜62を使用してもよい。このように、保護膜83の材料は、透明材料、不透明材料の何れであっても使用可能である。以上の工程によりTFTアレ基板81を得た。

10

【0177】

本実施の形態の製造工程では、従来のインクジェットを用いない工程と比較すると、マスク枚数を従来の5枚から2枚に減らすことができ、ソース電極17およびドレイン・画素電極82の形成を1度のガイド形成工程にて形成することができる。したがって、前記TFTアレ基板11の製造工程よりもさらにマスク枚数を減少させることが可能である。また真空成膜装置を削減可能である点は、TFTアレ基板11の製造の場合と同様である。

20

【0178】

なお、以上の例においては、a-Siを半導体層に使用したが、有機半導体や微粒子半導体材料も使用可能である。この場合は、TFTアレ基板11のa-Si加工工程が、パターン形成装置により直接に半導体材料を塗布する工程に取って代わる。このため、わざわざ加工用のレジストもしくは樹脂材料の塗布や、ドライエッチング工程、レジスト、樹脂材料の除去工程が必要なくなるので、さらに工程短縮を図ることが可能である。

【0179】

この場合の半導体層16の製造方法を図22(a)~図22(c)に示す。

【0180】

ここでは、図22(a)に示すように、ゲート絶縁層15を形成した後、図22(b)(c)に示すように、TFT部22上のゲート絶縁層15に対してパターン形成装置により半導体材料を直接滴下して、例えばそれを焼成することにより半導体層16を形成する。半導体材料としては、ポリビニルカルバゾール(PVK)やポリフェニレンビニレン(PPV)に代表される有機半導体材料を使用可能である。

30

【0181】

a-SiのようにCVDで形成するものはエッチング加工が必要となる一方、上記のような材料を使用した場合には、パターン形成装置による1滴の滴下(1ショット)にて半導体層16を形成可能である。即ち、この場合には、半導体層16の形成位置にガイド形成や親撥水処理を行わない。

【0182】

上記の実施の形態1,2に示したTFTアレ基板11、81の構成では、ゲート電極13が本線と本線から分岐したTFT部ゲート電極66をもち、TFTがTFT部ゲート電極66上に形成される場合を示した。ここでは、ゲート電極13が分岐電極(TFT部ゲート電極66)を持たない場合の例を示す。

40

【0183】

図23に示すように、半導体層16(a-Si層)はゲート電極13(ゲートライン)上に形成され、ソース電極17からの分岐電極17aがチャネル部72(TFT部22)へ伸びている。一方、ドレイン電極18は、補助容量を形成している補助容量部23から直線状に伸び、チャネル部72に達している。なお、本例では、図1に示した実施の形態1に対応した構成としたが、図15に示した実施の形態2に対応した構成でも構わない。

50

【0184】

本例のTFTアレ基板11では、ゲート電極13が分岐した電極を持たないため、前述の分岐電極(TFT部ゲート電極66)における突抜け状態は必要ない。

【0185】

本TFTアレ基板11の構成は、ゲート電極13の幅が比較的狭い場合、例えば $10\mu\text{m} \sim 20\mu\text{m}$ 程度である場合に有効である。表示パネルにおいて、画面对角が10～15型以下ではゲート電極13が前記の様に比較的狭幅で形成され、また、電極長も短い。一方、20型以上のような大型パネルとなると、ゲート電極13の抵抗を下げるために幅が広がってくる。この様な場合、本構成を採用しようとするれば、TFT形成領域でゲート電極幅を狭く形成する必要があるが出てくる。そのため、ゲート電極13の抵抗値が増加することになる。したがって、本構成は、TFTの形成長さがゲート電極幅と同程度であるような場合に有効となる。

10

【0186】

なお、上記画面サイズとゲート電極幅との関係は、材料の抵抗値や、他の設計パラメータも影響するので、常に上記関係が成立しているわけではない。

【0187】

また、以上の説明において、液滴の滴下形状とは、パターン形成装置によって滴下されたそのままの状態をいい、曲率を持った輪郭線で構成される形状である。したがって、滴下形状は、液滴が1滴のみ滴下された場合や複数の液滴が同一位置に滴下された場合には、図24に示すように、円形若しくはほぼ円形をしている。

20

【0188】

また、上記の滴下形状は、上記のように円形若しくはほぼ円形ばかりでなく、円形からずれた形状(円形がくずれた形状や円形から変形した形状)となる場合もある。例えば、図25(a)に示すように円形に近いものの円形から変形した形状、図25(b)に示すように凹み部を有する形状、あるいは図25(c)に示すように凸部を一部に含んだような形状となることもある。これら曲率をもった輪郭線で構成された形状は、液滴が滴下された基板表面状態の微妙な違いや、液滴が飛翔している場合では空気抵抗等の影響によって起こるものと考えられる。これらの各形状は、滴下されたそのままの形状として本発明に規定する滴下形状に含まれる。

【0189】

さらに、滴下形状は1滴の液滴の滴下にとどまらず、複数の液滴の滴下で形成される場合もある。図26(a)は2滴の滴下によって変形楕円形状を形成した場合である。各液滴は滴下後に一体化または輪郭線的に一体化し、全体として曲率をもった輪郭線で構成される形状となる。図26(b)は3滴の滴下によって形成された例である。

30

【0190】

なお、ここでは、図27(a)に示すように、液滴を無限小にし、これら液滴を敷き詰めることによって図27(b)のような形状を形成することを意図していない。

【0191】

以上のように、本発明の液晶表示装置では、図1(a)や図15(a)に示すように、TFT部22において、ゲート電極13のTFT部ゲート電極66がほぼ円形の半導体パターン(半導体層16)を突抜けるように形成されていることで、ゲートがOFF状態のときに、ソース・ドレイン電極間にリーク電流が流れないようにしている。

40

【0192】

つまり、本発明の液晶表示装置のTFT部22の特性は、図29に示すドレイン電流(I_d)とゲート電圧(V_g)との関係で示される。なお、本グラフでは、本発明の比較例として、半導体層形成時における液滴の着弾誤差によってゲート電極13のTFT部ゲート電極66が半導体層16から突抜けていない構造のTFT(図30)を用いた。

【0193】

図29に示すグラフから、ゲート電圧が負の値、すなわちゲートがOFF状態のときには、本発明のTFTではドレイン電流がほとんど流れないが、図30に示すTFTではドレ

50

イン電流がわずかに流れていることが分かる。すなわち、ゲートがOFF状態のとき、本発明のTFTではドレイン電流（リーク電流）がほとんど流れないが、図30に示すTFTではドレイン電流（リーク電流）が流れていることが分かる。

【0194】

なお、TFT部ゲート電極66が半導体層16から突抜ける方向は、特に限定せず、例えば図31に示すように、ソース電極17に沿って突抜けてもよいし、図32に示すドレイン電極18に沿って突抜けて形成してもよい。

【0195】

ところで、ゲートがOFF状態のとき、ソース・ドレイン電極間にリーク電流が流れないようにするには、上述のように、TFT部ゲート電極66が半導体層16から突抜けてい
10
ればよく、半導体層16を形成するための液滴の着弾誤差を考慮した場合、このTFT部ゲート電極66が半導体層16から突抜ける量が多い程、リーク電流を無くすような位置に半導体層16を形成できるように液滴を着弾させることができるので、好ましいが、該TFTを液晶表示装置、特に、透過型液晶表示装置に適用した場合、開口率の低下を招くという問題が生じる。なお、反射型液晶表示装置に適用した場合は、特に問題にはならない。

【0196】

そこで、以下の実施の形態では、液晶表示装置、特に透過型液晶表示装置において、開口率の低下を防止しつつ、半導体層となる液滴をリーク電流を無くすような位置に着弾させた例について説明する。
20

【0197】

〔実施の形態3〕

本発明の実施のさらに他の形態を図33ないし図36に基づいて以下に説明する。

【0198】

本実施の形態における液晶表示装置は、図33に示す画素を有している。なお、同図は、TFTアレイ基板における1画素の概略構成を示す平面図である。また、この画素は、前記実施の形態1の図1(a)に示す画素と同じ透過型液晶表示装置に使用される画素を示しており、図1(a)に示す画素と同一機能を有する部材には同一の符号を付記し、その説明は省略する。

【0199】

図33に示すように、本実施の形態にかかるTFTアレイ基板201は、図1(a)に示すTFTアレイ基板11とほぼ同じ構成であるが、TFT部ゲート電極66の終端にさらに、ソース電極17に近接した突出電極202が延設されている。
30

【0200】

この突出電極202は、TFT部ゲート電極66の幅よりも小さい線幅に形成され且つ、ソース電極17に近接して形成されている。

【0201】

これによって、ゲートがOFF状態のときに、ソース・ドレイン電極間にリーク電流が流れないように、半導体層16を形成した場合に、TFTアレイ基板201における開口率の低下を招かない。
40

【0202】

また、図34に示すTFTアレイ基板211のように、TFT部ゲート電極66の終端にさらに、ドレイン電極18に近接した突出電極212を延設してもよい。

【0203】

この場合も、ゲートがOFF状態のときに、ソース・ドレイン電極間にリーク電流が流れないように、半導体層16を形成した場合に、TFTアレイ基板211における開口率の低下を招かない。

【0204】

ここで、上記TFT部22近傍の詳細な構造について、図35および図36を参照しながら以下に説明する。
50

【0205】

図35は、図33に示したTFTアレ基板201のTFT部22近傍の拡大図であり、突出電極202をソース電極17に沿って延長させた場合を示す図である。また、図36は、図34に示したTFTアレ基板211のTFT部22近傍の拡大図であり、突出電極212をドレイン電極18に沿って延長させた場合を示す図である。

【0206】

図35に示すように、TFT部ゲート電極66の端部66aには、延長線としての突出電極202が形成されており、該突出電極202の電極幅は、前記端部66aの電極幅より細くなっている。

【0207】

なお、本実施の形態では、TFT部ゲート電極66の端部66aの幅を $10\mu\text{m}$ 、突出電極202の幅を $5\mu\text{m}$ 、ソース電極17とドレイン電極18との間、すなわちTFT長CHを $5\mu\text{m}$ に設定している。

【0208】

また、TFT部ゲート電極66は、線幅が通常TFT長CHより長く設定される一方、ソース電極17、ドレイン電極18との重なり部分（オーバーラップ部）OVを有するように形成される。従って、本実施の形態の様に、TFT長CHが $5\mu\text{m}$ であれば、TFT部ゲート電極66の幅は、 $10\mu\text{m}$ 程度でよいことになる。

【0209】

尚、ここで示した値は、一例であり限定されるものではない。

【0210】

また、上記突出電極202の端部は、a-Si層である半導体層16から必ず外へ出ていなければならないが、上記のTFT長CHの長さによって規制されるような幅があるわけではない。

【0211】

つまり、上記突出電極202の端部は、半導体層16より外に出ることで、TFT部ゲート電極66がOFF状態となるように、該TFT部ゲート電極66に電圧が印加されたとき、該半導体層16でソース電極17からドレイン電極18へリーク電流が流れなければよく、該突出電極202の端部の幅はTFT部ゲート電極66の端部66aの幅と同じである必要は無い。

【0212】

従って、突出電極202の幅を、TFT部ゲート電極66の幅よりも細く形成しても全く問題無いので、図33および図35に示すように、該突出電極202をソース電極17に沿わせるように近接配置させることで、TFTアレ基板201における開口率低下を防ぐことができる。

【0213】

但し、上記突出電極202は、ソース電極17と重なら無いように形成するのが好ましい。これは、突出電極202とソース電極17とが重なることによって、該突出電極202とソース電極17との間にゲート絶縁層（図示せず）を介して新に容量が生じ、ソース電極17を流れる信号の遅れ、鈍りを招くことになる為である。

【0214】

ここで、図35に示す半導体層16は、液滴が目標位置（ソース・ドレイン間の中心位置）から、図面上方にずれて着弾されて形成された例を示している。

【0215】

ところで、半導体層16の境界ライン（円弧の周囲）が、ソース電極17の一端面17aより上方へ移動すると、TFTの有効幅が狭くなる。このため、半導体層16の境界ラインがこれ以上上方になるように、該半導体層16が形成されるとTFT部22の特性が劣化する。

【0216】

したがって、半導体層16の境界ラインは、ソース電極17の一端面17aよりも下方に

10

20

30

40

50

なるように設定するのが好ましい。

【0217】

一方、半導体層16の上端(TFT部ゲート電極66の端部66a側の境界領域)は、TFT部ゲート電極66の端部66aを遥かに超えて図面上方に位置している。ここで、TFT部ゲート電極66の端部66aから突出した突出電極202がなければ、該TFT部ゲート電極66の端部66aを越える半導体層16は、ソース、ドレイン間のリーク電流の原因となる。つまり、TFT部22の特性が低下するとい問題が生じる。

【0218】

これを防ぐには、TFT部ゲート電極66の端部66aを延長する必要があるが、該端部66aをそのままの幅で図面上方へ延長すれば、TFTアレイ基板201の画素部の面積を侵食することになる。 10

【0219】

そこで、図35に示すように、突出電極202を、TFT部ゲート電極66の端部66aよりも細い電極幅として延長させ、更にソース電極17に沿うように延長することで、むやみにTFT部ゲート電極66の画素部の開口率低下させることが無い。

【0220】

しかも、図35では、突出電極202の端部は、半導体層16の境界領域より遥かに上方に突出して形成されている為、リーク電流が生じることは無い。これにより、TFT部22の特性が低下することを防ぐことが可能となる。ひいては、TFT部22の特性を向上させることが可能となる。 20

【0221】

また、図36に示すように、TFT部ゲート電極66の端部66aから突出した突出電極212をドレイン電極18に沿って延長させて形成してもよい。つまり、突出電極212を、図面上方、つまりソース電極17に沿った方向ではなく、ドレイン電極18に沿った方向に延長させて形成する。この場合も、突出電極212の幅は、TFT部ゲート電極66の端部66aの幅より細く形成されている。

【0222】

図36では、半導体層16が図面右方向にずれた状態を示している。ここでは、ソース電極17の一端部17aに半導体層16の境界がきているので、該半導体層16を、これ以上図面上方若しくは右方向に形成することはできない。このとき、突出電極212の端面は、上記半導体層16から突出した状態であることが必要である。 30

【0223】

そして、上記突出電極212は、ドレイン電極18に沿うように形成することで、むやみにTFTアレイ基板211の画素部の開口率を下げることはない。但し、画素部への電荷を引き込み、充電不足の原因となる容量を生み出すようなドレイン電極18との重なりが生じないように、上記突出電極212を形成する必要がある。

【0224】

なお、突出電極202とソース電極17、突出電極212とドレイン電極18の何れにおいても、上述したように重なりが生じないように形成するのが好ましいが、重なりが生じても、形成される容量を考慮して画素部に電荷を充電するように各電極に流れる信号を調整すればよい。 40

【0225】

本実施の形態では、TFT部22において、TFT部ゲート電極66にOFF状態となるような電圧が印加された状態で、ソース・ドレイン間でリーク電流が発生しないようにし、且つ、TFTアレイ基板の画素部の開口率の低下を防止するために、例えば図33に示すように、突出電極202をソース電極17に沿って形成したり、図34に示すように、突出電極212をドレイン電極18に沿って形成したりしている例について説明した。

【0226】

つまり、本実施の形態3では、TFT部ゲート電極66の端部66aの延長部分が半導体層16から突抜けた後の、突出電極202や突出電極212の形成方向について説明した 50

。以下の実施の形態 4 では、T F T 部ゲート電極 6 6 の端部 6 6 a が半導体層 1 6 から突抜ける量について説明する。

【0227】

〔実施の形態 4〕

本発明の実施のさらに他の形態を図 3 7 および図 3 8 に基づいて以下に説明する。

【0228】

本実施の形態では、インクジェット方式を利用して T F T を形成する際に、液滴の着弾誤差を考慮して T F T を形成する例について説明する。

【0229】

まず、液滴の着弾誤差について考える。着弾した液滴の位置、広がりからくる誤差を、液量とその広がりに関する、着弾後の液のしめる面積と、目標着弾位置がずれることによる誤差とにわけて考えることにする。

【0230】

前者には、吐出液滴量バラツキ、基板の表面性の状態（親液性か撥液性）によって液滴領域形状の不確定さが含まれる。

【0231】

ここで、表面処理の状態による液滴形状の不確定さとは、着弾面の表面処理と液滴の材料で決まる濡れ性を考慮して必要な塗布面積となるよう予め設定した吐出量によって液滴を着弾させても、着弾時の状態によって液の広がりに不確定さが生じ、着弾した液の領域の輪郭線が変化することをいう。

【0232】

後者には、機械誤差、すなわちステージの位置精度、インクジェットヘッドの取り付け誤差、インクジェットヘッドの穴加工精度誤差、マルチノズルのノズル間バラツキ、基板ノズル間距離誤差、ヘッド熱膨張誤差などが含まれ、さらに、ノズル面におけるインクの濡れ状態が付着物により変化しインクの飛ぶ方向が影響されることなども含まれる。

【0233】

もちろん、インクジェットの着弾精度を決める要因はこれらだけでなく、複雑な要因があるがここでは冒頭のように 2 方面から考える。

【0234】

図 3 7 は、T F T を示しており、目標着弾位置はチャンネル部の中央である。インクジェットにおける目標着弾位置のズレは、目標位置からの距離が半径 $R = \Delta 2$ の円 3 0 1 として表している。ここで、 $\Delta 2$ は、着弾位置ズレ（ステージ誤差 + 機械加工誤差 + 吐出角度誤差 + 熱膨張 + ...）を示す。つまり、上述した機械誤差やノズル面の状態によって目標としている着弾点からの誤差を $\Delta 2$ （液滴の滴下位置ずれを考慮した第 2 の誤差）とすると、図 3 7 に示すように、半径 $R = \Delta 2$ の範囲が着弾後の液滴中心が入る領域となる。

【0235】

また、インクジェットで打ったレジスト（液滴）によって加工される a - S i 領域（半導体層 1 6）によって、最低限カバーされなければならない範囲は、T F T のチャンネル部の幅 W と長さ L の範囲であるから、インクジェットで吐出した液滴が着弾して円形になったとすれば、図 3 7 に示すように、チャンネル部中心 f を基準にして、丁度半径 r の円 3 0 2 となる。ここで、半径 r は、T F T 中心（チャンネル部中心 f）からチャンネル隅までの距離を示す。すなわち、半径 r は、前記チャンネル部中心から該チャンネル部の最外端までの距離を示す。

【0236】

ここに、先ほどの液量と広がりからの誤差分、つまり液量によって半径が変化する量と、液体が広がって伸びることによる形状の不確定さを見込んで半径を大きく取ったのが半径 $R = r + \Delta 1$ で書かれる円 3 0 3 となる。ここで、 $\Delta 1$ は、液量誤差 + 広がりバラツキ（広がり誤差）を示す。すなわち、 $\Delta 1$ は、半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりのバラツキとを考慮した第 1 の誤差を示す。

【0237】

従って、T F Tのチャネル部の中央に液滴が着弾した場合、該液滴の液量と領域の不確定さを見込んで最低限、半径 $R = r + \Delta 1$ の円 3 0 3 が書けるような吐出量の液滴を飛ばせば、チャネル部はカバーされることになる。

【 0 2 3 8 】

ここに、着弾位置の誤差 $\Delta 2$ を入れた、半径 $R = r + \Delta 1 + \Delta 2$ で書かれる円 3 0 4 がチャネル部中心 f を狙って吐出したときの、チャネル部をカバーするための必要半径となる。

【 0 2 3 9 】

従って、加工後の半導体層 6 は、半径 R が、以下の関係式 (3)、

$$R > r + \Delta 1 + \Delta 2 \quad \cdot \cdot \cdot \cdot \cdot (3)$$

10

を満たすように設定されるのが望ましい。

【 0 2 4 0 】

図 3 7 では、半導体層 6 の境界を、ソース電極 1 7 ・ドレイン電極 1 8 の上端 (T F T 部ゲート電極 6 6 の端部 6 6 a 側の端部) からの距離 L 1 で示している。

【 0 2 4 1 】

従って、T F Tチャネル部中央を狙ってレジストである液滴を着弾させて、半導体層 6 の加工を行う場合、ソース電極 1 7 ・ドレイン電極 1 8 の上端からの距離 L 1 が、以下の関係式 (4)、

$$L 1 > \Delta 1 + \Delta 2 \quad \cdot \cdot \cdot \cdot \cdot (4)$$

を満たすように該半導体層 6 の領域境界線が来ることが望ましい。

20

【 0 2 4 2 】

尚、ここでは、T F T部 2 2 のチャネル部の幅 W が長さ L に比べて長く、L が大変短いとして、 $W / 2 = r$ としている。

【 0 2 4 3 】

T F T部ゲート電極 6 6 の開放端である端部 6 6 a は、半径 $R = r + \Delta 1 + \Delta 2$ の円 3 0 4 が、目標着弾位置からのズレ $\Delta 2$ だけ端部 6 6 a 方向にずれるので、チャネル部中心 f から該端部 6 6 a までの距離を L 3 とすると、以下の関係式 (1)、

$$L 3 > r + \Delta 1 + 2 \Delta 2 \quad \cdot \cdot \cdot \cdot \cdot (1)$$

を満たす位置に配置することが望ましい。

30

【 0 2 4 4 】

さらに、ソース電極 1 7 ・ドレイン電極 1 8 の端部からの距離を L 2 とすれば、 $W / 2 = r$ である場合、以下の関係式 (2)

$$L 2 > \Delta 1 + 2 \Delta 2 \quad \cdot \cdot \cdot \cdot \cdot (2)$$

を満たすように設定することが望ましい。ここで $\Delta 2$ の前に 2 をつけたのは誤差に +、- の両方向を考慮した為である。

【 0 2 4 5 】

尚、この場合、T F T部ゲート電極 6 6 の端部 6 6 a の位置を規定する条件は、上記の (1) (2) 式の何れであってもよい。

【 0 2 4 6 】

図 3 8 は、T F T部ゲート電極 6 6 の端部 6 6 a が図面右方向に曲がった場合を示している。この場合は、ソース電極 1 7 ・ドレイン電極 1 8 の端部からの距離では、T F T部ゲート電極 6 6 の端部 6 6 a を規定できないので、チャネル部中心 f からの距離で該端部 6 6 a を規定することができる。この場合は、図 3 8 に示すように、T F T部ゲート電極 6 6 の端部 6 6 a の先端部は、上記 (1) 式を満たす条件で設定されることが望ましい。

40

【 0 2 4 7 】

ここで、液晶パネルの T F T部 2 2 のチャネル寸法は、 $W = 25 \mu m$ 、 $L = 5 \mu m$ となっている場合が多い。この寸法における r は、 $r = 12.7 \mu m$ 、また、インクジェットにおける目標着弾位置の誤差 $\Delta 2$ は、 $15 \mu m$ 程度である。また、液量と境界の不確定さからくる変形の誤差 $\Delta 1$ は、 $5 \mu m$ であった。

【 0 2 4 8 】

50

従って、この場合の加工後の半導体層 6 の形状は、 $12.7 + 5 + 15 = 32.7 \mu\text{m}$ の半径でできる円領域が最低限必要となる。

【0249】

また、図 37 に示すように、TFT 部ゲート電極 66 の端部 66a が真直ぐ伸びる場合、ソース電極 17・ドレイン電極 18 の端部からの該端部 66a は、 $L2 > 5 + 2 \times 15 = 35 \mu\text{m}$ の位置に設定することが望ましい。チャンネル部中心 f からでは、 $L3 > 12.7 + 5 + 2 \times 15 = 47.7 \mu\text{m}$ の条件で該端部 66a を設定することが望ましい。なお、ここで、 $W/2 = 12.5 \mu\text{m}$ $r = 12.7 \mu\text{m}$ とした。

【0250】

本実施の形態 3、4 にかかる TFT アレイ基板は、前記実施の形態 1、2 における各製造工程において、以下に示す工程を追加して製造されるものである。 10

【0251】

すなわち、前記実施の形態 1 または 2 に記載のゲート電極を形成する工程において、ゲート電極 13 の分岐電極である TFT 部ゲート電極 66 の、半導体層 16 の領域から突出している部分（端部 66a）の幅を、該半導体層 16 の領域内の部分の幅よりも小さくなるように形成すれば、本実施の形態 3 に記載の TFT アレイ基板を製造することができる。

【0252】

また、前記実施の形態 1 または 2 に記載のゲート電極を形成する工程において、ゲート電極 13 の分岐電極である TFT 部ゲート電極 66 の、半導体層 16 の領域から突出している部分（端部 66a）を、TFT 部 22 のソース電極 17 またはドレイン電極 18 の何れ 20 が一方に近接して形成すれば、本実施の形態 3 に記載の TFT アレイ基板を製造することができる。

【0253】

また、前記実施の形態 1 または 2 に記載のゲート電極を形成する工程において、ゲート電極 13 の分岐電極である TFT 部ゲート電極 66 の、半導体層 16 の領域から突出している部分（端部 66a）を、TFT 部 22 のチャンネル部中心 f から該チャンネル部の最外端までの距離を r 、該半導体層 16 を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、前記チャンネル部中心から前記分岐電極の開放端までの距離を $L3$ としたとき、以下の関係式（1）、 30

$$L3 > r + \Delta 1 + 2 \Delta 2 \quad \dots \dots \dots (1)$$

を満たすように形成すれば、本実施の形態 4 に記載の TFT アレイ基板を製造することができる。

【0254】

また、前記実施の形態 1 または 2 に記載のゲート電極を形成する工程において、ゲート電極 13 の分岐電極である TFT 部ゲート電極 66 の、半導体層 16 の領域から突出している部分（端部 66a）を、該半導体層 16 を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、TFT 部 22 のソース・ドレイン電極の前記 TFT 部ゲート電極 66 の開放端側の端部（端部 66a）から該 TFT 部ゲート電極 66 の開放端までの距離を $L2$ とし 40 たとき、以下の関係式（2）、

$$L2 > \Delta 1 + 2 \Delta 2 \quad \dots \dots \dots (2)$$

を満たすように形成すれば、本実施の形態 4 に記載の TFT アレイ基板を製造することができる。

【0255】

さらに、前記実施の形態 1 または 2 に記載の半導体層 16 の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程において、前記レジスト層を、前記 TFT 部 22 のチャンネル部中心 f から該チャンネル部の最外端までの距離を r 、該レジスト層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、前記チャンネル部中心からの 50

距離を該レジスト層の半径 R としたとき、以下の関係式 (3)、

$$R > r + \Delta 1 + \Delta 2 \quad \cdots \cdots (3)$$

を満たすように形成すれば、本実施の形態 4 に記載の TFT アレイ基板を製造することができる。

【0256】

〔実施の形態 5〕

本発明の実施のさらに他の形態を図 39 ないし図 43 に基づいて以下に説明する。

【0257】

本実施の形態における液晶表示装置は、図 39 (a) に示す画素を有している。なお、同図は、液晶表示装置の TFT アレイ基板における 1 画素の概略構成を示す平面図である。また、同図における M-M 線矢視断面図を図 39 (b) に示す。以下、本発明の実施の形態 1 の場合と実質的に同一機能を有する部材には同一の符号を付記し、その説明は省略する。

10

【0258】

図 39 (a) (b) に示すように、TFT アレイ基板 121 では、ガラス基板 12 上に於いて、ゲート電極 13 とソース電極 17 とがマトリクス状に設けられ、隣り合うゲート電極 13 の間に補助容量電極 14 が設けられている。

【0259】

ゲート電極 13 上には上記ゲート絶縁層 15 を介して a-Si 層を有する半導体層 16 がほぼ円形に形成され、その上に導電体層 122 と、ソース電極 17 およびドレイン電極 18 が形成されている。

20

【0260】

導電体層 122 は、図 39 (b) に示すように、半導体層 16 と、TFT 部 22 のソース電極 17 またはドレイン電極 18 との間に形成される。そして、その一部には液滴の滴下形状を有し、この液滴の滴下形状の部分において、導電体層 122 と半導体層 16 がほぼ同一の形状となっている。

【0261】

ここで、半導体層 16 は、前記実施の形態 1 と同様に CVD により成膜し加工することで形成した。導電体層 122 は、導電体材料 (例えば金属を含む材料) の液滴を滴下して形成した。後に述べるように、半導体層 16 の形状は導電体層 122 を形成する途中段階でできる液滴の滴下形状、すなわち導電体成膜層 123 の形状を反映する。したがって、導電体層 122 の液滴の滴下形状を有する部分においては、導電体層 122 と半導体層 16 はほぼ同じ形状となる。なお、導電体層 122 の形成に関する詳細は、後述の製造工程において詳細に述べる。

30

【0262】

本実施の形態においても、前記実施の形態 1 と同様に、TFT アレイ基板 121 の製造には、例えば、インクジェット方式により、形成する層の材料を吐出あるいは滴下するパターン形成装置が使用される。例えば、前記実施の形態 1 の図 2 に示すようなパターン形成装置が使用される。

【0263】

ここで、前記 TFT アレイ基板 121 の製造方法について説明する。なお、本実施の形態では、前記実施の形態 1 の図 2 に示すパターン形成装置を使用して TFT アレイ基板 121 を製造する場合について説明する。従って、本実施の形態では、前記実施の形態 1 で説明した図 3 に示す各製造工程とほぼ同様の製造工程となる。

40

【0264】

すなわち、TFT アレイ基板 121 は、図 40 に示すように、ゲート線前処理工程 41、ゲート線塗布形成工程 42、ゲート絶縁層成膜・半導体層成膜工程 43、半導体層形成工程 141、ソース・ドレイン線前処理工程 45、ソース・ドレイン線塗布形成工程 142、チャネル部加工工程 143、保護膜形成工程 48、保護膜加工工程 49 および画素電極形成工程 50 からなる。このうち、半導体層形成工程 141、ソース・ドレイン線塗布形

50

成工程 1 4 2、およびチャネル部加工工程 1 4 3 以外の工程は、前記実施の形態 1 と実質的に同等であり、それぞれの説明を省略する。

【0265】

(半導体層形成工程 1 4 1)

この半導体層形成工程 1 4 1 を図 4 1 (a) ~ 図 4 1 (d) で説明する。図 4 1 (d) は半導体層形成工程 1 4 1 を経たガラス基板 1 2 を示す平面図である。図 4 1 (a) ~ 図 4 1 (c) は図 4 1 (d) における N - N 線矢視断面図であり、それぞれ半導体層形成工程 1 4 1 の開始直前状態、途中状態、完了状態における断面図である。

【0266】

図 4 1 (a) は、図 4 0 に示すゲート絶縁層成膜・半導体層成膜工程 4 3 が完了したガラス基板 1 2 の状態を示す断面図である。 10

【0267】

この工程では、図 4 1 (b) に示すように、ゲート電極 1 3 の本線から分岐した T F T 部ゲート電極 (分岐電極) 6 6 上における n + 成膜層 6 5 の上に、パターン形成装置により導電性材料を滴下させて付着させ、250 で焼成した。これによって形成された導電体成膜層 1 2 3 を、n + 成膜層 6 5、a - S i 成膜層 6 4 を加工するためのパターンとした。導電性材料の吐出量は例えば 10 p l の液滴 1 滴とし、T F T 部ゲート電極 6 6 上における所定の位置にほぼ 30 μ m 径の円形のパターンを得ている。

【0268】

なお、焼成温度については、a - S i の形成が約 300 で行われているため、これより 20 低い温度の 250 とした。

【0269】

本実施の形態での導電体成膜層 1 2 3 は M o より構成されるが、これに限らない。M o 以外にも、W、A g、C r、T a、T i、またはこれらの何れかを主体とする合金材料、またはこれらの何れかを主体として N、O、C 等の非金属元素を含んだ金属材料、または I T O (インジウム錫酸化物)、S n O (錫酸化物) 等の金属酸化物によって構成されても良い。

【0270】

また、導電体成膜層 1 2 3 を形成するための導電性材料としては、有機膜をコーティングした M o 微粒子を有機溶媒中に分散させたものを用いたが、この形態に限らず、ペースト 30 材料、あるいは金属化合物として上記金属材料を有機溶媒中に含むもの等を用いることができる。さらに、必要な焼成温度にあわせて、上記微粒子を保護している表面コート層や溶媒の有機材料の乖離温度を制御し、所望の抵抗値および表面状態を得ることが可能である。なお、上記乖離温度とは、上記の表面コート層および溶媒が蒸発する温度のことである。

【0271】

導電体成膜層 1 2 3 を構成する材料としては、次工程のドライエッチング処理に耐えることと、後のチャネル部加工工程 1 4 3 において、ソース電極およびドレイン電極のパターンをマスクにして選択性良くエッチングできることを考慮する必要がある。さらに、半導体層 1 6 への拡散が少なく、後の T F T 特性に悪影響を与えないことも必要である。 40

【0272】

次に、ガス (例えば S F ₆ + H C l) を用い、図 4 1 (c) に示すように、n + 成膜層 6 5 および a - S i 成膜層 6 4 のドライエッチングを行って n + 層 6 9 および a - S i 層 6 8 を形成した。

【0273】

上記のように、半導体層形成工程 1 4 1 においては、パターン形成装置によって吐出された導電体成膜層 1 2 3 のパターンがほぼそのまま、n + 層 6 9 および a - S i 層 6 8 からなる半導体層 1 6 の形状に反映される。したがって、半導体層 1 6 は、導電体成膜層 1 2 3 の材料の液滴がインクジェットヘッド 3 3 (図 2) からガラス基板 1 2 上に滴下されたときのパターンである円形もしくは円形に近い曲線からなるパターンとほぼ同一のパター 50

ンに形成される。

【0274】

また、導電体成膜層123の形成は、インクジェットヘッド33からの液滴1滴の滴下に行っているものの、複数の液滴の滴下より行ってもよい。ただし、液滴を際限なく微小にし、それら微小な液滴を緻密に吐出させて導電体成膜層123を形成した場合には、1個の半導体層16を形成するのに長時間を要するばかりか、必要なドット数が増加することによりインクジェットヘッド33の寿命を縮めることになる。従って、複数の液滴の滴下により行なう場合には、製造時間、インクジェットヘッドの寿命等を考慮して、液滴のサイズを設定するのが望ましい。

【0275】

さらに、半導体層形成工程141では、前記実施の形態1の場合と同様、インクジェットヘッド33によって吐出される液滴を受ける面に特別な処理を行う必要が無いことも重要な特徴となっている。

【0276】

従来、半導体層をパターン化するためにはマスクやフォトリソグラフィ工程が必要であった。これに対し、上記の半導体層形成工程141では、インクジェットヘッド33から液滴を滴下して、マスクとなるパターン（レジスト層67（図5（b）に相当））を直接描画しているので、マスクおよびこれを使用するフォトリソグラフィ工程が不要となる。したがって、大幅なコストダウンを実現することができる。

【0277】

（ソース・ドレイン線塗布形成工程142）

図42（a）は、ソース・ドレイン線前処理工程45が完了したガラス基板12の状態を示す平面図である。

【0278】

ソース・ドレイン線塗布形成工程142を図42（b）（c）に示す。図42（b）は、上記配線ガイド71に沿ってソース電極17およびドレイン電極18を形成した状態を示す平面図、図42（c）は図42（b）におけるO-O線矢視断面図である。

【0279】

ソース・ドレイン線塗布形成工程142は、前記実施の形態1の場合とほぼ同様の手順で行われる。ただし、その配線材料としては、後の導電体成膜層123のエッチング処理の条件に合わせ、耐性を有することを考慮しなくてはならない。ここでは、配線材料として、有機膜をコーティングしたAl微粒子を有機溶媒中に分散させたものを用いたが、これに限らない。個々の条件に応じて、Al以外にも、Al-Ti、Al-Nd等のAl合金や、Ag、Ag-Pd、Ag-Cu等のAg合金、ITO（インジウム錫酸化物）、Cu、Cu-Ni等の単体もしくは合金からなる材料の、微粒子もしくはペースト材料、あるいは金属化合物として上記金属材料を有機溶媒中に含むもの等を用いることができる。

【0280】

ここで、必要な焼成の温度は前記実施の形態1の場合と同様に、a-Siの形成が約300で行われていることから、200としている。本実施の形態においては、後に導電体層122となる導電体成膜層123はMoにより構成されるため、ソース電極17あるいはドレイン電極18を構成するAlが半導体層に拡散することを防止される。従ってこのような焼成処理を経た後でも、Alの半導体層への拡散が小さく、TFTの特性に実用上ほとんど影響を与えないという効果が得られている。

【0281】

（チャネル部加工工程143）

ここでは、TFTのチャネル部72の加工を行う。この処理を図43（a）～図43（c）に示す。図43（a）～図43（c）は図42（b）におけるO-O線矢視断面部分に相当する断面図である。

【0282】

まず、図43（a）に示すように、有機溶媒により、あるいはアッシングによりチャネル

10

20

30

40

50

部 7 2 の配線ガイド 7 1 を除去した。

【 0 2 8 3 】

次に、図 4 3 (b) に示すように、導電体成膜層 1 2 3 の一部をソース電極 1 7 およびドレイン電極 1 8 をマスクとして、選択的に除去し、導電体層 1 2 2 を得た。この処理には重量濃度 2 5 % の硝酸を用いたウェットエッチング法を用いた。ここで、導電体成膜層 1 2 3 が除去された部分は、導電体層 1 2 2 の開口部 1 2 2 a となる。この開口部 1 2 2 a によって、チャンネル部 7 2 から半導体層 1 6 を露出させる。つまり、前記ソース電極 1 7 とドレイン電極 1 8 とが T F T 部 2 2 のチャンネル部 7 2 において、電氣的に分離できるように、開口部 1 2 2 a が形成されている。

【 0 2 8 4 】

なお、本実施の形態では、ソース電極 1 7 およびドレイン電極 1 8 の材料は A 1 であるが、このエッチング条件下においては殆ど侵食されない。このような理由により、導電体成膜層 1 2 3 の一部のみを選択的に除去することが可能である。ただし、導電体成膜層 1 2 3 のエッチング方法、条件は、これに限らない。導電体成膜層 1 2 3 を構成する材料と、ソース電極 1 7 およびドレイン電極 1 8 を構成する材料、ゲート絶縁層 1 5 を構成する材料を考慮し、導電体成膜層 1 2 3 を選択性良くエッチングできる条件であればよい。また、ウェットエッチング法に限らず、ドライエッチング法によっても適切な条件下において可能である。

【 0 2 8 5 】

次に、図 4 3 (c) に示すように、アッシングもしくはレーザー酸化で n + 層 6 9 を酸化処理し、不導体化した。

【 0 2 8 6 】

本実施の形態では、導電体層 1 2 2 は、導電体成膜層 1 2 3 と同様の M o により構成され、かつソース電極 1 7 あるいはドレイン電極 1 8 と半導体層 1 6 の間に位置する。そのため、導電体層 1 2 2 はソース電極 1 7 あるいはドレイン電極 1 8 を構成する材料の A 1 が半導体層 1 6 へ拡散することを実質上防止する拡散防止層として機能する。

【 0 2 8 7 】

従って、本実施の形態では、このチャンネル部加工工程 1 4 3 に続いて行なわれる基板加熱を含む工程を経ても、半導体層 1 6 への A 1 の拡散が実質上防止され、T F T の特性に実用上ほとんど影響を与えないというメリットが得られる。基板加熱とは、より具体的には、例えば保護膜形成工程 4 8 における S i O₂ 膜の成膜、感光性アクリル樹脂層 2 0 の形成、画素電極形成工程 5 0 における I T O 微粒子材料の焼成等である。

【 0 2 8 8 】

なお、ソース・ドレイン塗布形成工程 1 4 2 において説明したように、導電体層 1 2 2 を、例えば M o のような半導体層 1 6 への A 1 の拡散を防ぐ材料によって構成しておけば、その前段階である導電体成膜層 1 2 3 にも同様な効果をもたせることができる。従って、ソース・ドレイン塗布形成工程 1 4 2 において加わる基板の 2 0 0 の焼成においても、半導体層 1 6 への A 1 の拡散を防ぐことができ、T F T の特性に実用上ほとんど影響を与えないというメリットが得られる。

【 0 2 8 9 】

また、ソース電極 1 7 およびドレイン電極 1 8 を構成する材料は A 1 に限らず、A 1 を主体とする金属材料、例えば、A 1 合金でも良い。この場合には、M o により構成された導電体層 1 2 2 は、A 1 合金の成分元素である A 1 のみ、または A 1 以外の合金の成分元素のみ、またはこれらの両方が半導体層 1 6 へ拡散することを実質上防ぐ機能をもつことになる。

【 0 2 9 0 】

ソース電極 1 7 およびドレイン電極 1 8 を構成する材料として、A 1 のような拡散しやすい材料を用いる場合、従来のように拡散防止層を半導体層 1 6 の形成後に別途形成する方法、例えばソース電極 1 7 あるいはドレイン電極 1 8 を、ガラス基板 1 2 側に拡散防止層と、低電気抵抗層の 2 層から構成する方法では生産性が大きく下がる。

10

20

30

40

50

【0291】

これに対して、本実施の形態のように、導電体層122、あるいは導電体成膜層123を拡散防止層として機能させれば、拡散防止層を別途設ける必要がなくなるので、生産性を大幅に向上させることができる。

【0292】

特に本実施の形態のように、ソース電極17あるいはドレイン電極18をインクジェット方式のような塗布方式によるときは効果が大きい。塗布方式の場合、2層目の塗布を行うためには1層目の塗布材料が十分に固まっていなくてはならず、2度の塗布の間に加熱等の処理が必要となる。この場合、一度塗布装置で処理した基板を焼成装置に搬入した後、再度塗布装置に搬入することになる等、非常に煩雑な工程となるため、生産性が大幅に下がる。一方、本実施の形態においては、従来の方法ではソース電極17あるいはドレイン電極18を構成する材料の成分元素が半導体層16へ拡散することが懸念される場合でも、ソース電極17あるいはドレイン電極18は、そのまま1度の塗布により形成できるため、生産性を落とすことが無い。

【0293】

本実施の形態ではこのように、導電体層122となる途中段階の導電体成膜層123に、半導体層16を形成するパターンマスクとなる役割と、半導体層16への拡散防止層となる役割の2つの役割をもたせることができる。加えて、導電体層122自体にも拡散防止効果をもたせることができる。従って、生産性を落とすことなく、ソース電極17あるいはドレイン電極18として、半導体層16への拡散が生じ易い金属材料を用いることができるという大きな効果がある。

【0294】

上記のように、本TFTアレ基板121の製造方法では、インクジェット方式によるパターン形成装置を用いない従来の製造方法と比較すると、マスク枚数を従来の5枚から3枚に減らすことができ、フォトリソグラフィ工程や、真空成膜装置を大幅に削減することができる。これにより、設備投資額も大幅に削減することができる。さらに、ソース電極17あるいはドレイン電極18を構成する材料として、半導体層16への拡散が起きやすい材料を、生産性を落とすことなく用いることができるメリットがある。

【0295】

なお、本実施の形態5で説明した事項、例えば図39に示すTFTアレ基板や図40に示す製造方法において、前記実施の形態1～4でそれぞれ説明した事項を適宜組み合わせることも可能である。但し、説明に矛盾が生じない組み合わせに限る。

【0296】

本実施の形態5のTFTアレ基板に対して、例えば、薄膜トランジスタ部22のTFT部ゲート電極66は、ゲート電極13における本線からの分岐電極であり、前記分岐電極における開放端が前記半導体層16の領域から突出するようにしてもよい。

【0297】

また、前記分岐電極の、前記半導体層の領域から突出している部分の幅が、該半導体層の領域内の部分の幅よりも小さくてもよい。

【0298】

前記半導体層16の上には、ソース電極17とドレイン電極18とが形成され、かつこれら両電極間にチャンネル部72が形成され、前記分岐電極の、前記半導体層16の領域から突出している部分は、前記ソース電極17またはドレイン電極18の何れか一方に近接して形成されていてもよい。

【0299】

また、前記半導体層16の上には、ソース電極17とドレイン電極18とが形成され、かつこれら両電極間にチャンネル部72が形成され、前記分岐電極の、前記半導体層72の領域から突出している部分は、前記チャンネル部72中心から該チャンネル部72の最外端までの距離を r 、該半導体層16を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、

10

20

30

40

50

前記チャネル部中心から前記分岐電極の開放端までの距離を L_3 としたとき、以下の関係式(1)、

$$L_3 > r + \Delta_1 + 2\Delta_2 \quad \dots\dots\dots (1)$$

を満たすように形成されていてもよい。

【0300】

また、前記半導体層16の上には、ソース電極17とドレイン電極18とが形成され、かつこれら両電極間にチャネル部72が形成され、前記分岐電極の、前記半導体層16の領域から突出している部分は、該半導体層16を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を Δ_1 、該液滴の滴下位置ずれを考慮した第2の誤差を Δ_2 、前記ソース・ドレイン電極の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を L_2 としたとき、以下の関係式(2)、

$$L_2 > \Delta_1 + 2\Delta_2 \quad \dots\dots\dots (2)$$

を満たすように形成されていてもよい。

【0301】

また、前記半導体層16の上には、ソース電極17とドレイン電極18とが形成され、かつこれら両電極間にチャネル部72が形成され、前記ソース電極17およびドレイン電極18における前記チャネル部72側の端部が、それらの全幅にわたって前記半導体層16の領域内に位置していてもよい。

【0302】

さらに、少なくとも前記半導体層16の上層若しくは下層の何れか一方の前記半導体層16の位置に対応する位置に、液滴の滴下形状の遮光膜が形成されていてもよい。

【0303】

また、前記半導体層16の上には、ソース電極17とドレイン電極18とが形成され、かつこれら両電極間にチャネル部72が形成され、前記半導体層16は、前記チャネル部72中心から該チャネル部72の最外端までの距離を r 、該半導体層16を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を Δ_1 、該液滴の滴下位置ずれを考慮した第2の誤差を Δ_2 、前記チャネル部72中心からの距離を該半導体層16の半径 R としたとき、以下の関係式(3)、

$$R > r + \Delta_1 + \Delta_2 \quad \dots\dots\dots (3)$$

を満たすように形成されていてもよい。

【0304】

また、本実施の形態5のTF Tアレイ基板の製造方法に対して、例えば、薄膜トランジスタ部22のTF T部ゲート電極66は、ゲート電極13における本線からの分岐電極であり、前記分岐電極における開放端が半導体層16の領域から突出するようにしてもよい。

【0305】

また、前記分岐電極は、前記分岐電極における開放端が半導体層16の領域から突出するように、液滴の滴下精度に基づいた長さに設定してもよい。

【0306】

また、前記分岐電極の、半導体層16の領域から突出している部分の幅を、該半導体層の領域内の部分の幅よりも小さくなるように形成してもよい。

【0307】

また、前記分岐電極の、半導体層16の領域から突出している部分を、前記薄膜トランジスタ部のソース電極またはドレイン電極の何れか一方に近接して形成してもよい。

【0308】

さらに、ゲート電極13を形成する工程において、前記分岐電極の、半導体層16の領域から突出している部分を、前記薄膜トランジスタ部のチャネル部72中心からチャネル部72の最外端までの距離を r 、半導体層16を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を Δ_1 、該液滴の滴下位置ずれを考慮した第2の誤差を Δ_2 、チャネル部72部中心から前記分岐電極の開放端までの距離を L_3 としたとき、以下の関係式(1)、

10

20

30

40

50

$$L3 > r + \Delta 1 + 2 \Delta 2 \quad \cdot \cdot \cdot \cdot \cdot (1)$$

を満たすように形成してもよい。

【0309】

さらに、ゲート電極13を形成する工程において、前記分岐電極の、半導体層16の領域から突出している部分を、半導体層16を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、前記薄膜トランジスタ部のソース電極17・ドレイン電極18の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を $L2$ としたとき、以下の関係式(2)、

$$L2 > \Delta 1 + 2 \Delta 2 \quad \cdot \cdot \cdot \cdot \cdot (2)$$

10

を満たすように形成してもよい。

【0310】

また、第1の領域および第2の領域を前記液滴の流出を阻止する凸状のガイドにより形成してもよい。

【0311】

また、第1の領域および第2の領域の形成を前記液滴に対する親液領域と撥液領域とを形成してもよい。

【0312】

以上の本実施の形態5は、前記各実施の形態と適宜組み合わせることが可能であり、また、組み合わせたときの作用効果も、前記各実施の形態における作用効果と同じである。

20

【0313】

また、本実施の形態5に開示したTFTアレイ基板は、液晶表示装置に好適に用いられる。しかしながら、これに限定されるものではなく、有機ELパネルや無機ELパネル等の表示装置、指紋センサー、X線撮像装置などに代表される二次元画像入力装置等、TFTアレイ基板を使用する各種電子装置において用いることが可能である。このことは、前記実施の形態1～4において開示したTFTアレイ基板においても同様であり、適用可能な装置としては、液晶表示装置に限らず、上述した各種装置に適用可能である。

【0314】

さらに、本実施の形態5に開示したTFTアレイ基板の製造方法は、液晶表示装置の製造方法に好適に用いられる。しかしながら、これに限定されるものではなく、上述した有機ELパネルや無機ELパネル等の表示装置の製造方法、指紋センサー、X線撮像装置などに代表される二次元画像入力装置の製造方法等、TFTアレイ基板を使用する各種電子装置の製造方法において用いることが可能である。このことは、前記実施の形態1～4において開示したTFTアレイ基板の製造方法においても同様であり、適用可能な製造方法としては、液晶表示装置の製造方法に限らず、上述した各種装置に適用可能である。

30

【0315】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【0316】

40

【発明の効果】

以上のように、本発明のTFTアレイ基板は、半導体層が液滴の滴下形状をなしている構成である。

【0317】

これにより、TFTアレイ基板の製造において、半導体層を形成するためのマスクが不要となり、必要なマスク数が減少する結果、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウンが可能となる。

【0318】

50

上記のＴＦＴアレ基板は、前記薄膜トランジスタ部のゲート電極が、ゲート電極における本線からの分岐電極であり、前記分岐電極における開放端が前記半導体層の領域から突出している構成としてもよい。

【０３１９】

上記の構成によれば、薄膜トランジスタ部における、ゲート電極の分岐電極は、半導体層の領域から開放端が突出した形状となっているので、分岐電極からの電界の作用により、ソース・ドレイン電極間のリーク電流を適切に抑制することができる。

【０３２０】

また、本発明のＴＦＴアレ基板は、前記分岐電極の、前記半導体層の領域から突出している部分の幅を、該半導体層の領域内の部分の幅よりも小さくなるように形成した構成としてもよい。 10

【０３２１】

上記の構成によれば、画素部にかかる分岐電極の開放端が該画素部に占める割合が小さくなり、開口率の低下を抑制できる。

【０３２２】

また、本発明のＴＦＴアレ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記分岐電極の、前記半導体層の領域から突出している部分は、前記ソース電極またはドレイン電極の何れか一方に近接して形成された構成としてもよい。

【０３２３】

上記の構成によれば、分岐電極の、前記半導体層の領域から突出している部分を、ソース電極またはドレイン電極の何れか一方に近接して形成することで、ＴＦＴアレ基板の画素部内で、開口率を低下させることなく、該分岐電極の開放端の突出部分を延ばして形成することができる。 20

【０３２４】

これにより、半導体層の領域から分岐電極の開放端を確実に突出させた状態にすることができるので、ソース・ドレイン電極間のリーク電流を確実に抑制することができる。

【０３２５】

また、前記分岐電極の、前記半導体層の領域から突出している部分は、以下のようにして規定することが考えられる。 30

【０３２６】

すなわち、本発明のＴＦＴアレ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記分岐電極の、前記半導体層の領域から突出している部分は、前記チャンネル部中心から該チャンネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりパラッキとを考慮した第１の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第２の誤差を $\Delta 2$ 、前記チャンネル部中心から前記分岐電極の開放端までの距離を $L 3$ としたとき、以下の関係式（１）、

$$L 3 > r + \Delta 1 + 2 \Delta 2 \quad \cdots \cdots (1)$$

を満たすように形成した構成としてもよい。 40

【０３２７】

また、本発明のＴＦＴアレ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記分岐電極の、前記半導体層の領域から突出している部分は、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりパラッキとを考慮した第１の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第２の誤差を $\Delta 2$ 、前記ソース・ドレイン電極の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を $L 2$ としたとき、以下の関係式（２）、

$$L 2 > \Delta 1 + 2 \Delta 2 \quad \cdots \cdots (2)$$

を満たすように形成した構成としてもよい。

【０３２８】

上記のＴＦＴアレ基板は、前記半導体層の上にソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記ソース電極およびドレイン電極における前記チャンネル部側の端部が、それらの全幅にわたって前記半導体層の領域内に位置している構成としてもよい。

【０３２９】

上記の構成によれば、各画素のソース電極において十分なＯＮ電流を得ることができるので、各画素の充電状態が不均一となって画像斑が生じる事態を防止することができる。

【０３３０】

上記のＴＦＴアレ基板は、少なくとも前記半導体層の上層若しくは下層の何れか一方の前記半導体層の位置に対応する位置に、液滴の滴下形状の遮光膜が形成されている構成としてもよい。 10

【０３３１】

上記の構成によれば、遮光膜は必要に応じて形成されるものの、遮光膜が必要な場合には、前記半導体層の形成の場合と同様、マスクを使用することなく、遮光膜を例えばインクジェット方式を利用した遮光膜材料の液滴の例えば１滴の滴下により容易に形成することが可能となる。これにより、ＴＦＴアレ基板の製造工程において、マスクや大幅な材料追加を伴うことなく形成することが可能なため、製造工数の低減およびコストダウンが可能となる。

【０３３２】

また、本発明のＴＦＴアレ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記半導体層は、前記チャンネル部中心から該チャンネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりパラッキとを考慮した第１の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第２の誤差を $\Delta 2$ 、前記チャンネル部中心からの距離を該半導体層の半径 R としたとき、以下の関係式（３）、 20

$$R > r + \Delta 1 + \Delta 2 \quad \cdots \cdots (3)$$

を満たすように形成した構成としてもよい。

【０３３３】

上記の構成によれば、薄膜トランジスタ部のチャンネル部に半導体層を確実に形成することができるので、該薄膜トランジスタ部の特性を低下させないようにできる。 30

【０３３４】

本発明の液晶表示装置は、上記のＴＦＴアレ基板を備えている構成である。したがって、液晶表示装置の製造工程において、必要なマスク数が減少する結果、製造時間の短縮およびコストダウンが可能となる。

【０３３５】

本発明のＴＦＴアレ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上にゲート絶縁層を形成する工程と、前記ゲート絶縁層の上に半導体膜を成膜する工程と、前記半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程と、前記レジスト層の形状に前記半導体膜を加工して薄膜トランジスタ部の半導体層を形成した後、前記レジスト層を除去する工程とを備えている構成である。 40

【０３３６】

これにより、成膜された半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状（通常はほぼ円形）のレジスト層を形成し、このレジスト層をマスクとして半導体層を形成することができる。

【０３３７】

したがって、半導体層を形成するためのマスクが不要となり、必要なマスク数が減少する結果、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウンが 50

可能となる。

【0338】

本発明のＴＦＴアレ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上にゲート絶縁層を形成する工程と、前記分岐電極上における前記ゲート絶縁層の上に半導体材料の液滴を滴下し、薄膜トランジスタ部の半導体層として、前記液滴の滴下形状の半導体層を形成する工程とを備えている構成である。

【0339】

これにより、分岐電極上におけるゲート絶縁層の上に半導体材料の液滴を滴下することのみにより、液滴の滴下形状（通常はほぼ円形）の半導体層を形成することができる。

【0340】

したがって、半導体層を形成するためのマスクが不要となり、必要なマスク数が減少する結果、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウン並びに材料の有効利用が可能となる。

【0341】

上記のＴＦＴアレ基板の製造方法は、ゲート電極を形成する前記工程では本線とこの本線からの分岐電極を有するゲート電極形成し、前記分岐電極における開放端が前記半導体層の領域から突出している構成としてもよい。

【0342】

上記の構成によれば、薄膜トランジスタ部における、ゲート電極の分岐電極は、半導体層の領域から開放端が突出した形状となっているので、分岐電極からの電界の作用により、ソース・ドレイン電極間のリーク電流を適切に抑制することができる。

【0343】

上記のＴＦＴアレ基板の製造方法は、前記分岐電極が、前記分岐電極における開放端が前記半導体層の領域から突出するように、液滴の滴下精度に基づいた長さに設定されている構成としてもよい。

【0344】

上記の構成によれば、レジスト材料の液滴あるいは半導体材料の液滴を、最終的に形成される半導体層の領域から分岐電極の開放端が確実に突出する位置に滴下させることが可能となる。この結果、ソース・ドレイン電極間のリーク電流を適切に抑制可能となる。

【0345】

本発明のＴＦＴアレ基板の製造方法は、前記分岐電極の、前記半導体層の領域から突出している部分の幅を、該半導体層の領域内の部分の幅よりも小さくなるように設定する構成としてもよい。

【0346】

上記の構成によれば、画素部にかかる分岐電極の開放端が該画素部に占める割合を小さくできるので、開口率の低下を抑制できる。

【0347】

本発明のＴＦＴアレ基板の製造方法は、前記分岐電極の、前記半導体層の領域から突出している部分を、前記薄膜トランジスタ部のソース電極またはドレイン電極の何れか一方に近接して形成する構成としてもよい。

【0348】

上記の構成によれば、分岐電極の、前記半導体層の領域から突出している部分を、ソース電極またはドレイン電極の何れか一方に近接して形成することで、ＴＦＴアレ基板の画素部内で、開口率を低下させることなく、該分岐電極の開放端の突出部分を延ばして形成することができる。

【0349】

これにより、半導体層の領域から分岐電極の開放端を確実に突出させた状態にすることができるので、ソース・ドレイン電極間のリーク電流を確実に抑制することができる。

10

20

30

40

50

【0350】

本発明のＴＦＴアレ基板の製造方法は、前記ゲート電極を形成する工程において、前記分岐電極の、前記半導体層の領域から突出している部分を、前記薄膜トランジスタ部のチャネル部中心から該チャネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第１の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第２の誤差を $\Delta 2$ 、前記チャネル部中心から前記分岐電極の開放端までの距離を $L 3$ としたとき、以下の関係式（１）、

$$L 3 > r + \Delta 1 + 2 \Delta 2 \quad \cdots \cdots (1)$$

を満たすように形成する構成としてもよい。

【0351】

また、前記ゲート電極を形成する工程において、前記分岐電極の、前記半導体層の領域から突出している部分を、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第１の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第２の誤差を $\Delta 2$ 、前記薄膜トランジスタ部のソース・ドレイン電極の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を $L 2$ としたとき、以下の関係式（２）、

$$L 2 > \Delta 1 + 2 \Delta 2 \quad \cdots \cdots (2)$$

を満たすように形成する構成としてもよい。

【0352】

何れの構成であっても、半導体層の領域から分岐電極の開放端を確実に突出させた状態にすることができるので、ソース・ドレイン電極間のリーク電流を確実に抑制することができる。

【0353】

また、本発明のＴＦＴアレ基板の製造方法は、前記半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程において、前記レジスト層を、前記薄膜トランジスタ部のチャネル部中心から該チャネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第１の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第２の誤差を $\Delta 2$ 、前記チャネル部中心からの距離を該レジスト層の半径 R としたとき、以下の関係式（３）、

$$R > r + \Delta 1 + \Delta 2 \quad \cdots \cdots (3)$$

を満たすように形成する構成としてもよい。

【0354】

上記の構成によれば、薄膜トランジスタ部のチャネル部に半導体層を確実に形成することができるので、該薄膜トランジスタ部の特性を低下させないようにできる。

【0355】

本発明のＴＦＴアレ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上にゲート絶縁層を形成する工程と、前記ゲート絶縁層の上に薄膜トランジスタ部の半導体層を形成する工程と、前記半導体層の形成工程を経た基板に対し、電極材料の液滴の滴下によりソース電極を形成するための第１の領域、および電極材料の液滴の滴下により少なくとも画素電極を形成するための第２の領域を形成する前処理工程と、前記前処理工程を経た基板に対し、第１の領域と第２の領域とに電極材料の液滴を滴下して、ソース電極、ドレイン電極および画素電極を形成する電極形成工程とを備えている構成である。

【0356】

これにより、電極形成工程に対する１つの前処理工程において、電極材料の液滴の滴下によりソース電極を形成するための第１の領域と電極材料の液滴の滴下により少なくとも画素電極を形成するための第２の領域とを形成するので、第１の領域と第２の領域とを別々の工程にて形成する場合と比較して、製造工数を削減し、コストダウンが可能となる。

【0357】

本発明の液晶表示装置の製造方法は、上記の何れかのＴＦＴアレ基板の製造方法を含んでいる構成である。したがって、少なくとも、液晶表示装置の製造工数を削減し、コスト

10

20

30

40

50

ダウンが可能となる。

【0358】

本発明のTFTアレ基板は、基板にゲート電極が形成され、このゲート電極の上にゲート絶縁層を介して半導体層と、導電体層とが形成された薄膜トランジスタ部を備えているTFTアレ基板であって、前記導電体層が、前記半導体層と、前記薄膜トランジスタ部のソース電極またはドレイン電極と接して形成されるとともに、その一部に液滴の滴下形状を有し、この液滴の滴下形状の部分において、前記導電体層と半導体層とがほぼ同一の形状を有することを特徴としている。

【0359】

それゆえ、成膜された半導体膜の上に導電性材料の液滴を滴下して、液滴の滴下形状（通常はほぼ円形）の導電体成膜層を形成し、この導電体成膜層をさらに加工して、導電体層を得ることができる。導電体成膜層は、半導体層を形成するためのマスクとして用いられるが、レジスト材料の場合とは異なって除去する工程が不要である。ここでは、導電性材料の液滴の半導体膜上への滴下方法としては、例えば、インクジェット方式を利用することが考えられるが、これに限定されるものではなく、薄膜トランジスタの半導体層程度の大きさの液滴形状を形成可能な方式であれば、何れの方式であっても使用することができる。

10

【0360】

このようなTFTアレ基板の構成によれば、半導体層を形成するためのマスクが不要となり、必要なマスク枚数が減少すること、さらに導電体成膜層を除去しないことからレジストを用いたときのような剥離工程が不要であるため、製造工数と設備費を大きく削減することができる。それに加えて、使用する現像液、剥離液などの薬液の使用量を削減し、レジスト材料等の廃棄される材料の量も削減することができる。これらにより、製造時間の短縮およびコストダウンが可能となる。

20

【0361】

また、前記導電体層は、Mo、W、Ag、Cr、Ta、Ti、またはこれらの何れかを主体とする金属材料、またはインジウム錫酸化物から構成されることを特徴としてもよい。

【0362】

つまり、上記の構成によれば、導電体層はソース電極あるいはドレイン電極と半導体層の間に位置するため、導電体層はソース電極あるいはドレイン電極を構成する材料の成分元素が半導体層へ拡散することを実質上防止する拡散防止層として機能する。また、導電体層になる前段階の導電体成膜層であっても、同様に拡散防止層として機能する。このように、拡散を実質上防止することで、加熱処理を経た後でも、半導体層への拡散が小さく、TFTの特性に実用上ほとんど影響を与えない。

30

【0363】

このような構成は、近年ソース電極あるいはドレイン電極を構成する材料としてAl、Cuなどの半導体層に拡散しやすい材料が用いられるという状況に対応し得るものである。このように、本発明の上記の構成は、製造工程をほとんど増やさずに、ソース電極あるいはドレイン電極を構成する材料の選択の幅を広げるという効果がある。

【0364】

このような本発明の構成では、従来のように拡散防止層を半導体層の形成後に形成する方法、例えばソース電極あるいはドレイン電極を、ガラス基板側から拡散防止層と低電気抵抗層の2層から構成する方法に比べて製造工程が削減される。従って、TFTアレ基板の生産性を向上させる効果が得られる。

40

【0365】

特に、前記ソース電極とドレイン電極が、AlまたはAlを主体とする金属材料からなることは製造プロセス上有利である。

【0366】

AlまたはAlを主体とする金属材料の性質としては、硝酸等の酸化力のある酸には、侵されにくい性質がある。加えて、導電体成膜層をAg、Mo、W、あるいはそれらを主体

50

とする合金など、硝酸等の酸化力のある酸に可溶な金属材料で構成しておく。すると、硝酸等の酸化力のある酸を用いて、導電体成膜層のみを選択性良くウェットエッチング処理を行うことができるという製造プロセス上の効果を得ることができる。

【0367】

さらに、ソース電極とドレイン電極が、AlまたはAlを主体とする金属材料からなるので低電気抵抗であり、近年のTFTアレ基板の大型化にも対応している。

【0368】

また、本発明の液晶表示装置は、上記のTFTアレ基板を備えていることを特徴としている。したがって、液晶表示装置の製造工程において、TFTアレ基板の製造工数の削減した結果、製造時間の短縮およびコストダウンが可能となる。

10

【0369】

本発明のTFTアレ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上にゲート絶縁層を形成する工程と、前記ゲート絶縁層の上に半導体膜を成膜する工程と、前記半導体膜の上に導電性材料の液滴を滴下して、液滴の滴下形状の導電体成膜層を形成する工程と、前記導電体成膜層の形状に前記半導体膜を加工して薄膜トランジスタ部の半導体層を形成する工程とを備えている構成である。

【0370】

それゆえ、成膜された半導体膜の上に導電性材料の液滴を滴下して、液滴の滴下形状（通常はほぼ円形）の導電体成膜層を形成し、この導電体成膜層をマスクとして半導体層を形成することができる。この導電体成膜層はレジスト材料の場合とは異なり、除去する工程を行わなくて良い。

20

【0371】

このようなTFTアレ基板の製造方法によれば、半導体層を形成するためのマスクが不要となり、必要なマスク枚数が減少することにより、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、現像液、剥離液などの薬液の使用量、レジスト材料等の廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウンが可能となる。

【0372】

さらに、前記導電体成膜層を加工して導電体層を形成する工程を備え、前記導電体層をMo、W、Ag、Cr、Ta、Ti、またはこれらの何れかを主体とする金属材料、またはインジウム錫酸化物から構成することを特徴とする製造方法であってよい。

30

【0373】

このようにすれば、製造工程をほとんど増やさずに、ソース電極あるいはドレイン電極を構成する材料の選択の幅を広げることができる。つまり、導電体層となる途中段階の導電体成膜層に、半導体層を形成するパターンマスクとなる役割と、半導体層への拡散防止層となる役割の2つの役割をもたせることができる。加えて、導電体層自体にも拡散防止効果をもたせることができる。従って、ソース電極あるいはドレイン電極を構成する材料に低電気抵抗のAl、Cuが使えるなど、材料の選択の幅を広げることができる効果がある。

40

【0374】

また、前記ソース電極とドレイン電極を、AlまたはAlを主体とする金属材料で形成することを特徴としてもよい。

【0375】

これに加えて、導電体成膜層をAg、Mo、W、あるいはそれらを主体とする合金など、硝酸等の酸化力のある酸に可溶な金属材料で構成しておく、と、硝酸等の酸化力のある酸を用いて、導電体成膜層のみを選択性良くウェットエッチング処理を行うことができるという製造プロセス上の効果を得ることができる。

【0376】

従って、TFTアレ基板の製造工数を減らすこと等ができるので、TFTアレ基板の

50

生産性の向上を図ることができる。

【0377】

本発明の液晶表示装置の製造方法は、上記の何れかのTFTアレ基板の製造方法を含んでいることを特徴としている。したがって、少なくとも、液晶表示装置の製造工数を削減できる。

【図面の簡単な説明】

【図1】図1(a)は本発明の実施の一形態の液晶表示装置におけるTFTアレ基板の1画素の概略構成を示す平面図、図1(b)は図1(a)におけるA-A線矢視断面図である。

【図2】本発明の実施の一形態における液晶表示装置の製造に使用するインクジェット方式のパターン形成装置を示す概略の斜視図である。 10

【図3】図1に示したTFTアレ基板の製造工程を示すフローチャートである。

【図4】図4(a)は図3に示したゲート前処理工程を説明するTFTアレ基板の平面図、図4(b)は同ゲート線塗布形成工程を説明するTFTアレ基板の平面図、図4(c)は図4(b)におけるB-B線矢視断面図である。

【図5】図5(a)～図5(c)は図4(b)におけるB-B線矢視断面に相当する部分の断面図であって、図5(a)は図3に示したゲート絶縁層成膜・半導体層成膜工程を示すもの、図5(b)は図3に示した半導体層形成工程におけるa-Si成膜層およびn+成膜層の成膜処理を示すもの、図5(c)は同工程におけるa-Si成膜層およびn+成膜層のエッチング処理を示すもの、図5(d)は同工程におけるレジストの除去処理を示すものであって、図5(e)におけるC-C線矢視断面、図5(e)は半導体層形成工程を経たTFTアレ基板の平面図である。 20

【図6】図6(a)は図3に示したソース・ドレイン線前処理工程を説明するTFTアレ基板の平面図、図6(b)は同ソース・ドレイン線塗布形成工程を説明するTFTアレ基板の平面図、図6(c)は図6(b)におけるD-D線矢視断面図である。

【図7】図1(a)に示したTFTアレ基板におけるTFT部を示す平面図である。

【図8】図8(a)(b)は図6(b)におけるD-D線矢視断面部分に相当する断面図であって、図8(a)は図3に示したチャンネル部加工工程における配線ガイドの除去処理を示すもの、図8(b)は同工程におけるn+層の酸化処理を示すものである。

【図9】図9(a)は図3に示した保護膜形成工程および保護膜加工工程を説明するTFTアレ基板の平面図、図9(b)は図9(a)におけるE-E線矢視断面図である。 30

【図10】図10(a)は図3に示した画素電極形成工程を説明するTFTアレ基板の平面図、図10(b)は図10(a)におけるF-F線矢視断面図である。

【図11】図1(a)に示したTFT部でのリーク電流の発生メカニズムの説明図であって、図11(a)はTFT部ゲート電極が半導体パターンを突抜けている場合におけるTFT部の平面図、図11(b)は図11(a)におけるG-G線矢視断面図である。

【図12】図12(a)は、上記リーク電流の発生メカニズムの説明図であって、図11(a)の構成に対し、TFT部ゲート電極が半導体パターンを突抜けていない場合におけるTFT部の平面図、図12(b)は図12(a)におけるH-H線矢視断面図である。

【図13】図1(a)に示したTFT部においてTFT部ゲート電極に対してa-Si層が偏って存在した場合を示すTFT部の示す平面図である。 40

【図14】図14(a)は、下部の遮光膜に加えて上部の遮光膜を有するTFTアレ基板の製造方法を示すものであって、チャンネル部のエッチング完了状態を示すTFTアレ基板の縦断面図、図14(b)は、上部の遮光膜の形成工程を示すTFTアレ基板の縦断面図、図14(c)は、図14(d)におけるM-M線矢視断面図、図14(d)は、画素電極の形成完了状態を示すTFTアレ基板の平面図である。

【図15】図15(a)は、本発明の実施の他の形態の液晶表示装置におけるTFTアレ基板の1画素の概略構成を示す平面図、図15(b)は図15(a)におけるI-I線矢視断面図である。

【図16】図15に示したTFTアレ基板の製造工程を示すフローチャートである。 50

【図 17】図 16 に示したソース・ドレイン・画素電極前処理工程を説明する TFT アレイ基板の平面図である。

【図 18】図 18 (a) は図 16 に示したソース線塗布形成工程を説明する TFT アレイ基板の平面図、図 18 (b) は図 18 (a) における J - J 線矢視断面図である。

【図 19】図 19 (a) は図 16 に示したドレイン・画素電極塗布形成工程を説明する TFT アレイ基板の平面図、図 19 (b) は図 19 (a) における K - K 線矢視断面図である。

【図 20】図 20 (a) (b) は図 19 (a) における K - K 線矢視断面部分に相当する断面図であって、図 20 (a) は図 16 に示したチャンネル部加工工程における配線ガイドの除去処理を示すもの、図 20 (b) は同工程における n + 層の酸化処理を示すものである。 10

【図 21】図 19 (a) における K - K 線矢視断面部分に相当する断面図であって、図 16 に示した保護膜形成工程を説明するものである。

【図 22】図 22 (a) は、本実施のさらに他の形態の TFT アレイ基板における、半導体層形成前の状態を示す断面図、図 22 (b) は、半導体層を形成した TFT アレイ基板を示すものであって、図 22 (c) における L - L 線矢視断面図、図 22 (c) は半導体層を形成した TFT アレイ基板を示す平面図である。

【図 23】本発明の実施のさらに他の形態の液晶表示装置における TFT アレイ基板の 1 画素の概略構成を示す平面図である。

【図 24】図 2 に示したパターン形成装置からの液滴の滴下により形成される滴下形状の一例を示すものであって、滴下形状がほぼ円形である場合を示す説明図である。 20

【図 25】図 25 (a) は、図 24 に示した滴下形状の他の例を示すものであって、滴下形状が円形に近いものの円形から変形した形状である場合、図 25 (b) は凹み部を有する形状である場合、図 25 (c) は凸部を一部に含んだような形状である場合を示す説明図である。

【図 26】図 26 (a) は、図 24 に示した滴下形状の他の例を示すものであって、滴下形状が 2 滴の滴下によって変形楕円形状となった場合、図 26 (b) は滴下形状が 3 滴の滴下によって形成された場合を示す説明図である。

【図 27】図 27 (a) は、本願発明が意図しない状態であって、液滴を無限小にし、これら液滴を敷き詰めて滴下した状態を示す説明図、図 27 (b) は 27 (a) の状態により形成される滴下形状を示す説明図である。 30

【図 28】従来の液晶表示装置における TFT アレイ基板の製造工程を示すフローチャートである。

【図 29】本発明の TFT アレイ基板の TFT 特性を示すグラフである。

【図 30】TFT アレイ基板の TFT 部の拡大図であり、ゲート電極の開放端が半導体層から突き出ていない状態を示す図である。

【図 31】TFT アレイ基板の TFT 部の拡大図であり、ゲート電極の開放端が半導体層から突き出ている状態の一例を示す図である。

【図 32】TFT アレイ基板の TFT 部の拡大図であり、ゲート電極の開放端が半導体層から突き出ている状態の一例を示す図である。 40

【図 33】本発明の実施の他の形態の液晶表示装置における TFT アレイ基板の 1 画素の概略構成を示す平面図である。

【図 34】本発明の実施の他の形態の液晶表示装置における TFT アレイ基板の 1 画素の概略構成を示す平面図である。

【図 35】図 33 に示す TFT アレイ基板の 1 画素の要部拡大図である。

【図 36】図 34 に示す TFT アレイ基板の 1 画素の要部拡大図である。

【図 37】TFT 部におけるゲート電極開放端と半導体層境界領域との関係を規定するための説明図である。

【図 38】TFT 部におけるゲート電極開放端と半導体層境界領域との関係を規定するための他の説明図である。 50

【図 39】図 39 (a) は本発明の実施の一形態の液晶表示装置における T F T アレイ基板の 1 画素の概略構成を示す平面図、図 39 (b) は図 39 (a) における M - M 線矢視断面図である。

【図 40】図 40 は、図 39 (a) (b) に示した T F T アレイ基板の製造工程を示すフローチャートである。

【図 41】図 41 (d) は半導体層形成工程を経たガラス基板 12 を示す平面図であり、図 41 (a) ~ 図 41 (c) は図 41 (d) における N - N 線矢視断面図であり、それぞれ半導体層形成工程の開始直前状態、途中状態、完了状態における断面図である。

【図 42】図 42 (a) は図 40 に示したソース・ドレイン線前処理工程を説明する T F T アレイ基板の平面図、図 42 (b) は同ソース・ドレイン線塗布形成工程を説明する T F T アレイ基板の平面図、図 42 (c) は図 42 (b) における O - O 線矢視断面図である。

10

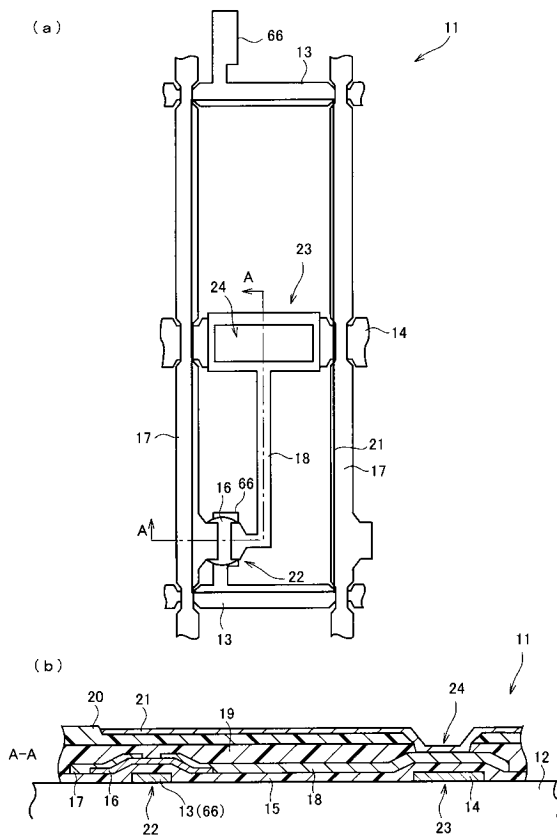
【図 43】図 43 (a) ~ (c) は図 42 (b) における O - O 線矢視断面部分に相当する断面図であって、図 43 (a) は図 40 に示したチャンネル部加工工程における配線ガイドの除去処理を示すもの、図 43 (b) は、同工程における導電体成膜層の部分的エッチング処理を示すもの、図 43 (c) は同工程における n + 層の部分的酸化処理を示すものである。

【符号の説明】

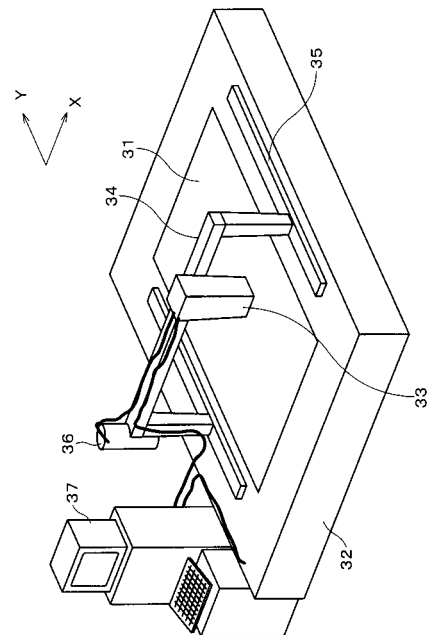
1 1	T F T アレイ基板	
1 2	ガラス基板	20
1 3	ゲート電極	
1 4	補助容量電極	
1 5	ゲート絶縁層	
1 6	半導体層	
1 7	ソース電極	
1 8	ドレイン電極	
1 9	保護膜	
2 0	感光性アクリル樹脂層	
2 1	画素電極	
2 2	T F T 部	30
2 3	補助容量部	
2 4	コンタクトホール	
3 3	インクジェットヘッド	
6 1	ゲート線形成領域	
6 2	遮光膜	
6 3	補助容量電極形成領域	
6 4	a - S i 成膜層	
6 5	n + 成膜層	
6 6	T F T 部ゲート電極 (分岐電極)	
6 6 a	端部	40
6 7	レジスト層	
6 8	a - S i 層	
6 9	n + 層	
7 1, 8 4, 8 5	配線ガイド	
7 2	チャンネル部	
7 3	ソース・ドレイン形成領域	
8 1	T F T アレイ基板	
8 2	ドレイン・画素電極	
8 3	保護膜	
8 6	ソース形成領域	50

- | | | | |
|---|---|-----|---------------|
| 8 | 7 | | ドレイン・画素電極形成領域 |
| 1 | 2 | 1 | TFTアレイ基板 |
| 1 | 2 | 2 | 導電体層 |
| 1 | 2 | 2 a | 開口部 |
| 1 | 2 | 3 | 導電体成膜層 |
| 2 | 0 | 1 | TFTアレイ基板 |
| 2 | 0 | 2 | 突出電極 |
| 2 | 1 | 1 | TFTアレイ基板 |
| 2 | 1 | 2 | 突出電極 |

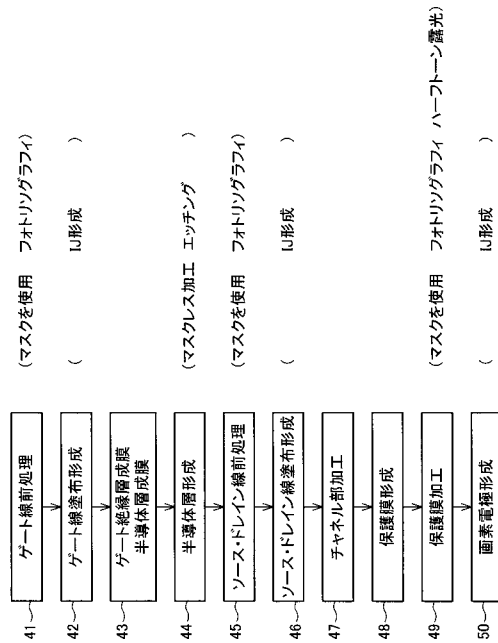
【 圖 1 】



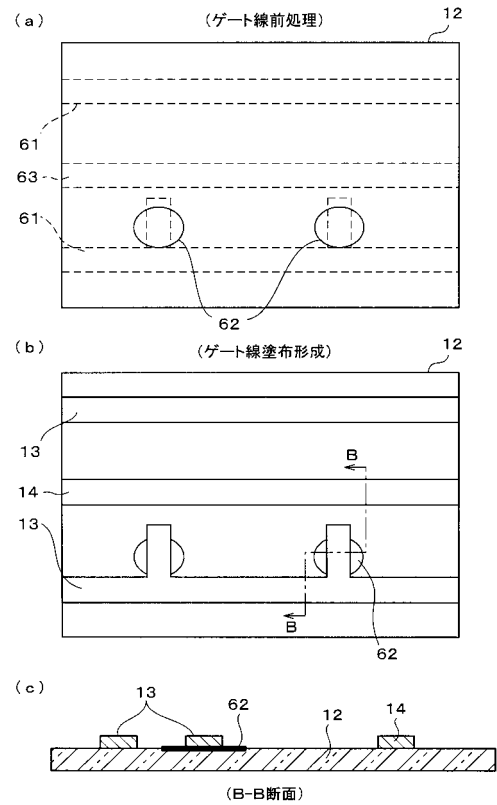
【圖 2】



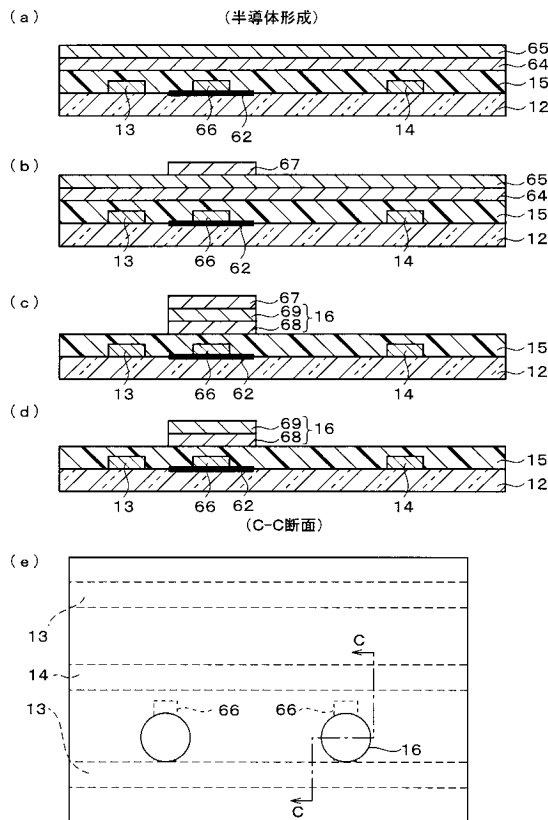
【図 3】



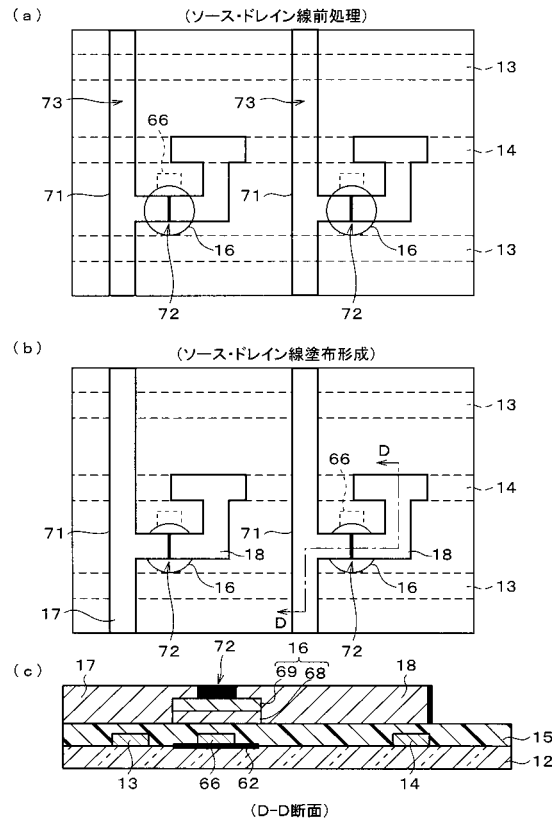
【図 4】



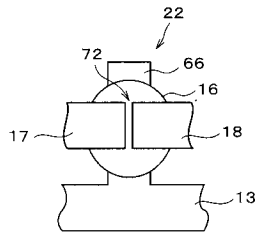
【図 5】



【図 6】

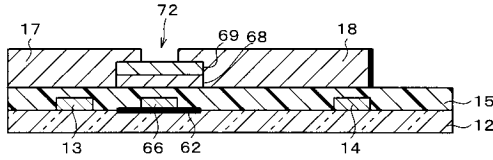


【図 7】

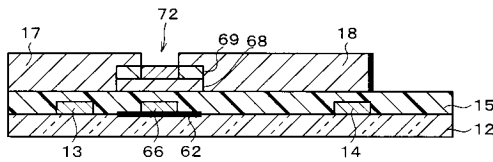


【図 8】

(a)



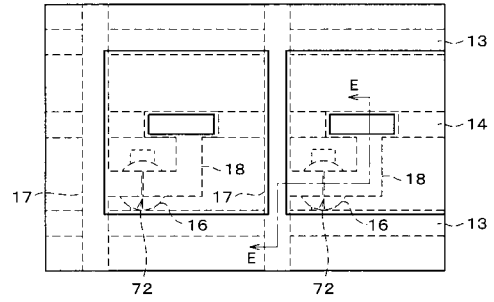
(b)



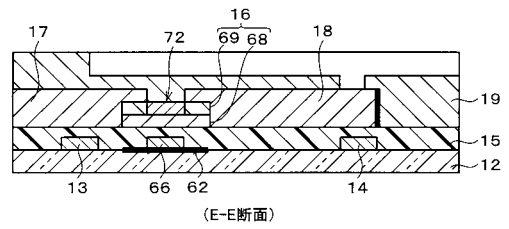
【図 9】

(a)

(保護膜形成、保護膜加工)



(b)

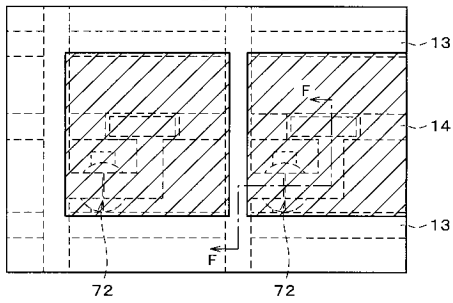


(E-E断面)

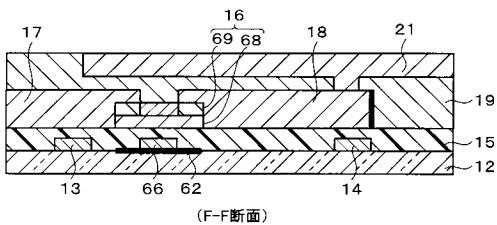
【図 10】

(a)

(画素電極形成)



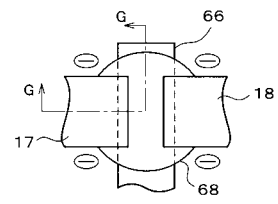
(b)



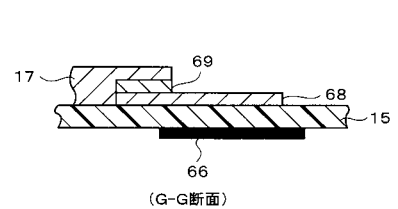
(F-F断面)

【図 11】

(a)

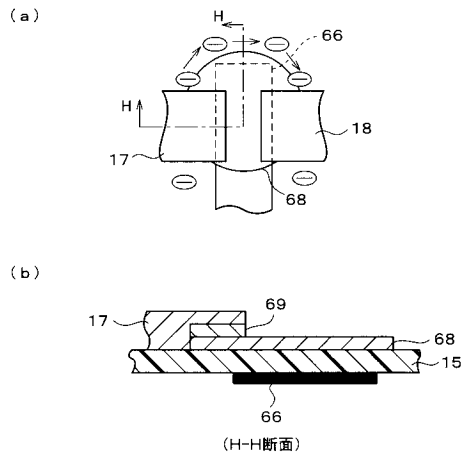


(b)

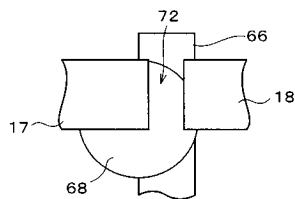


(G-G断面)

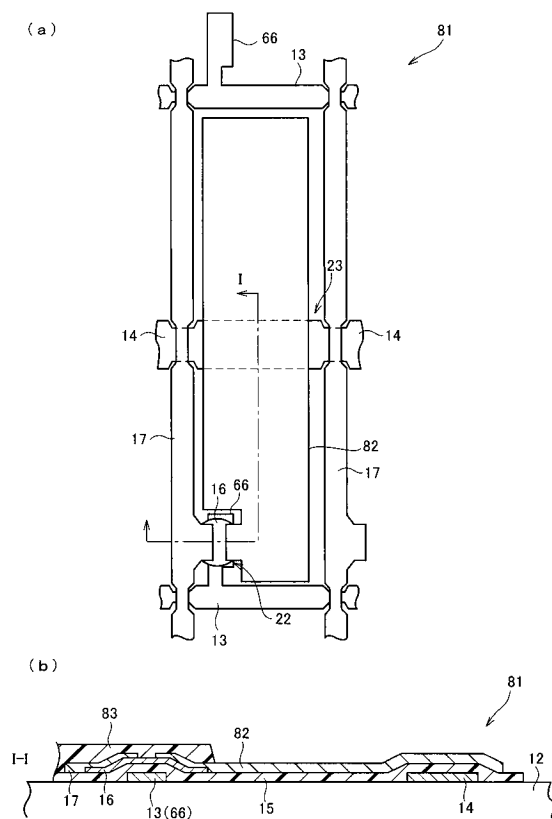
【図 12】



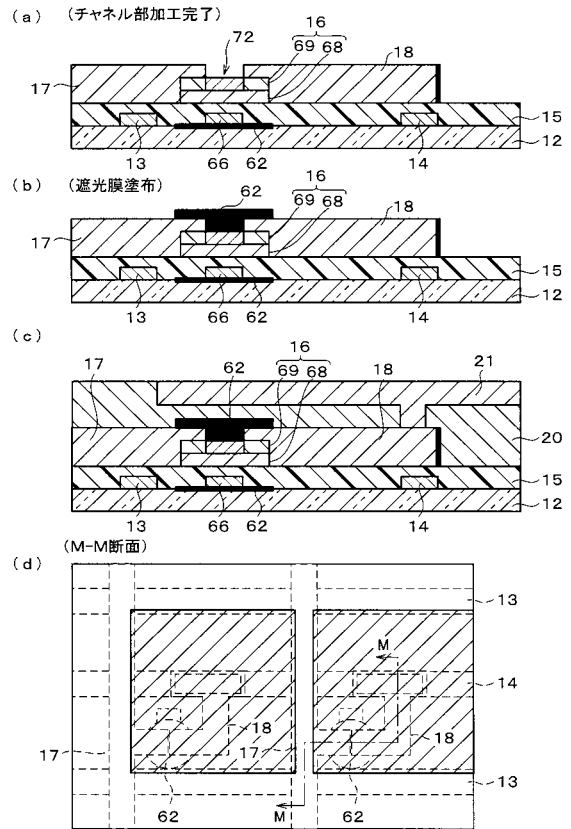
【図 13】



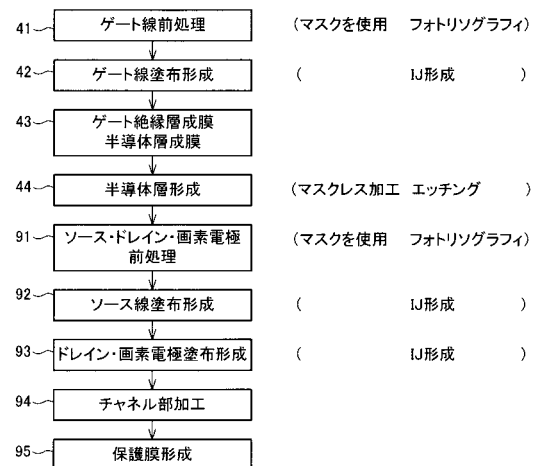
【図 15】



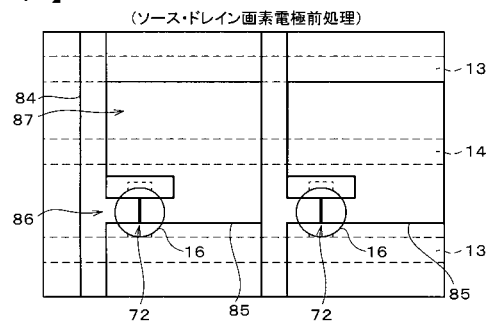
【図 14】



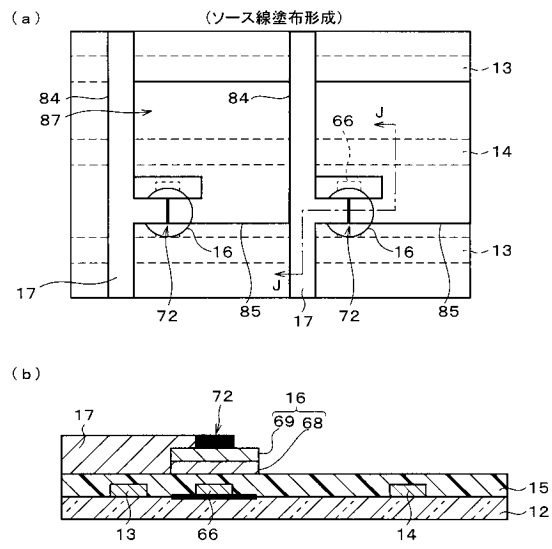
【図 16】



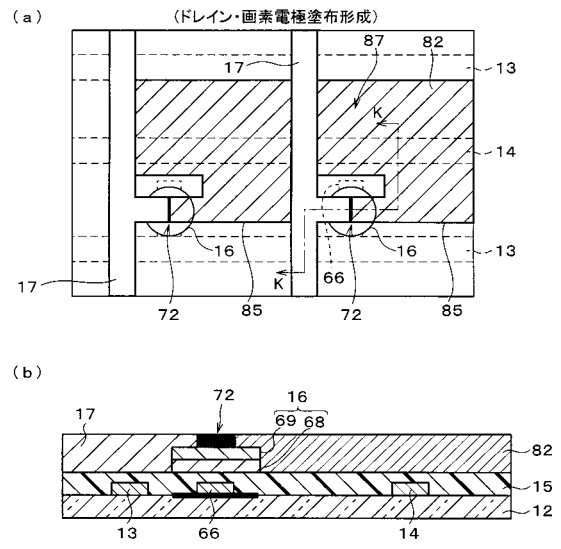
【図 17】



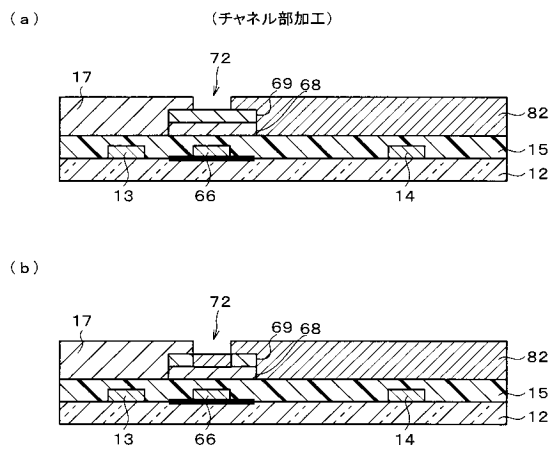
【図 18】



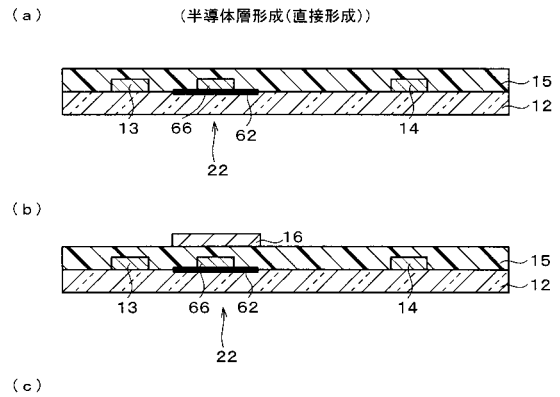
【図 19】



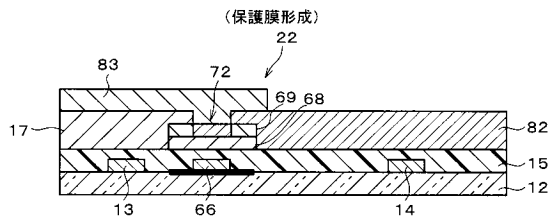
【図 20】



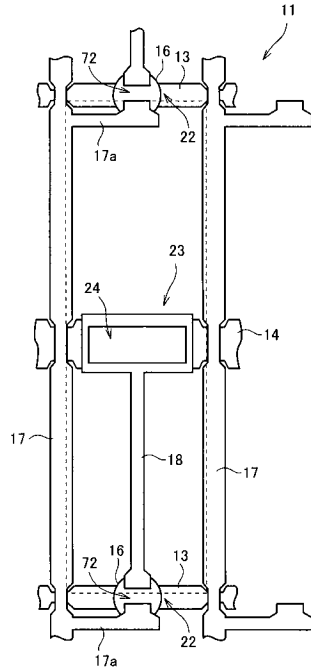
【図 22】



【図 21】



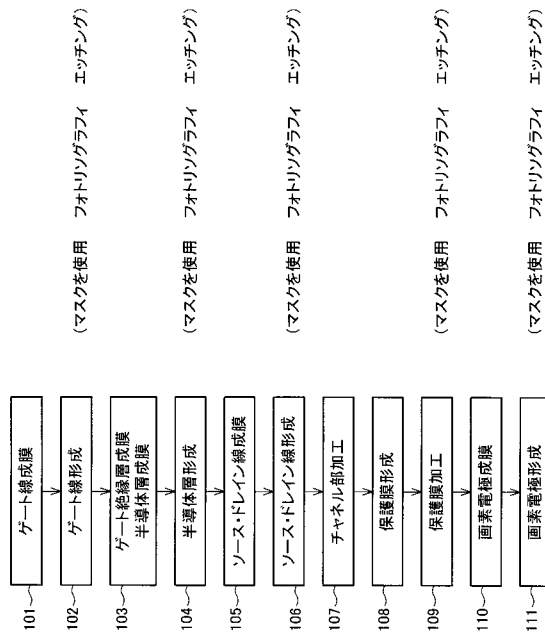
【図 23】



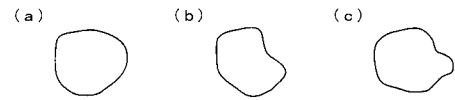
【図 24】



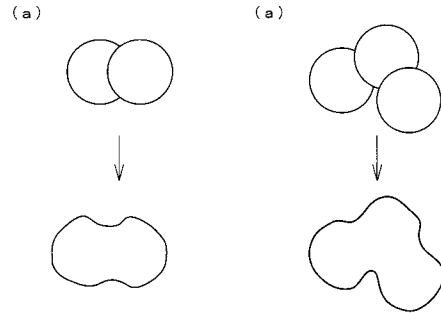
【図 28】



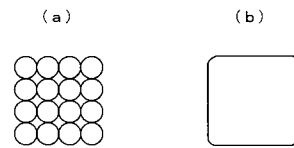
【図 25】



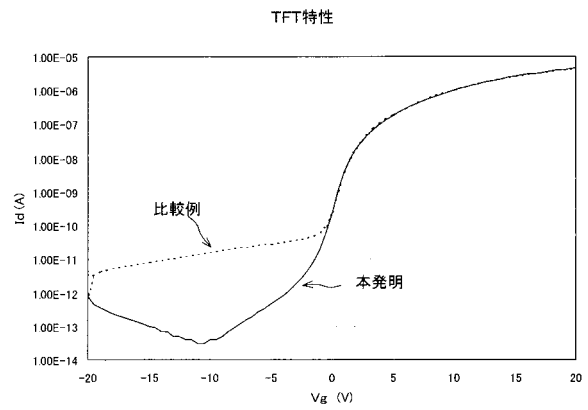
【図 26】



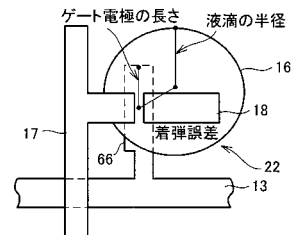
【図 27】



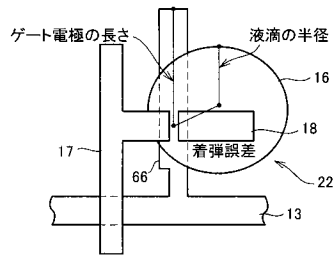
【図 29】



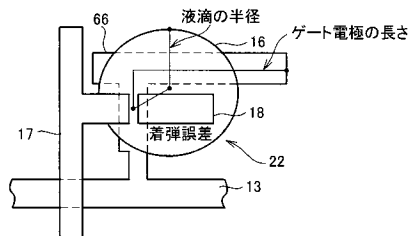
【図 30】



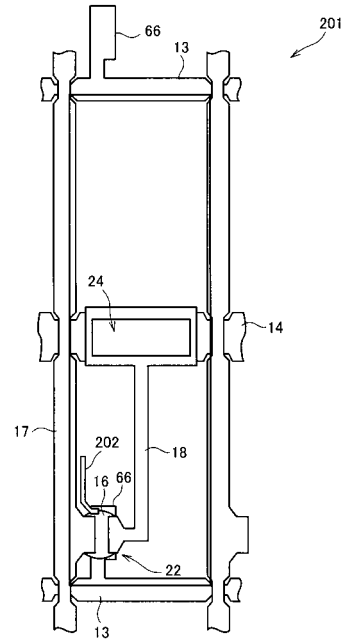
【図 3 1】



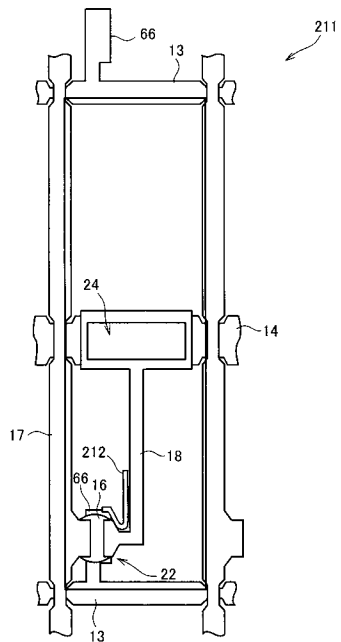
【図 3 2】



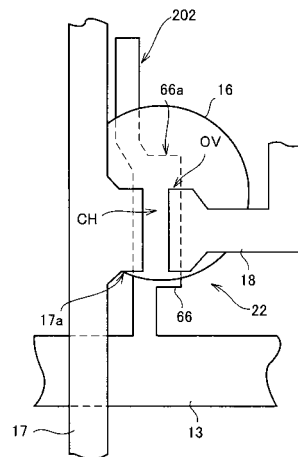
【図 3 3】



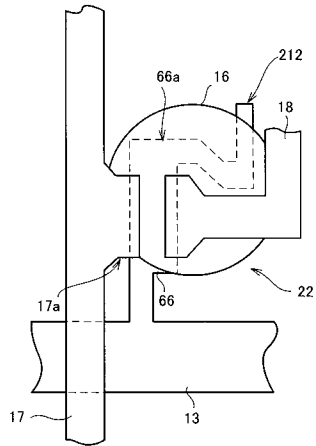
【図 3 4】



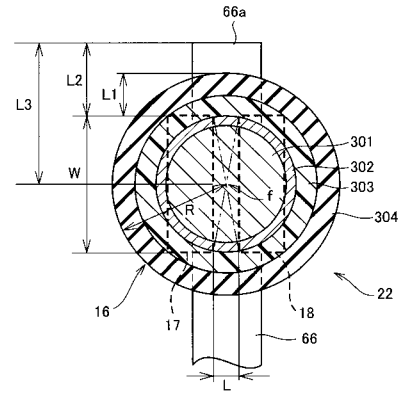
【図 3 5】



【図 36】

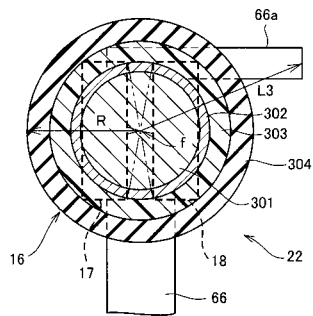


【図 37】

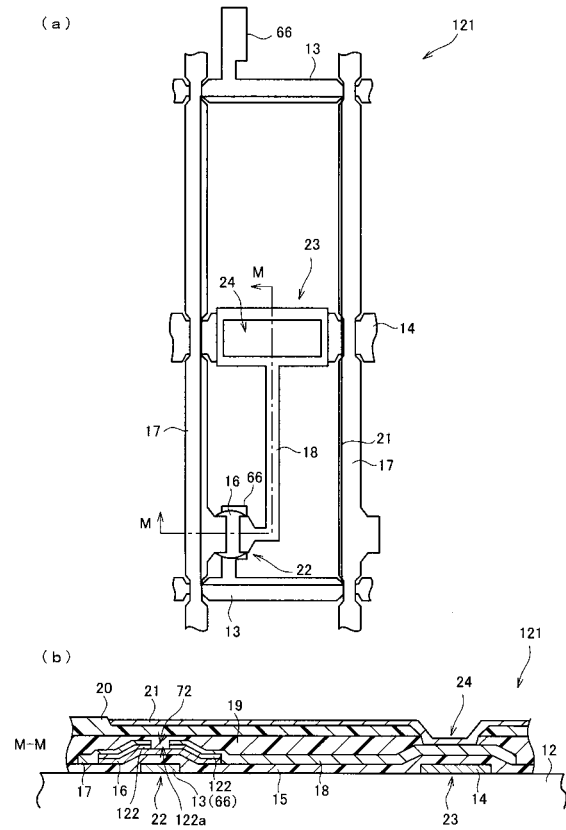


$$\begin{aligned} L1 &> \Delta 1 + \Delta 2 \\ L2 &> \Delta 1 + 2\Delta 2 \\ L3 &> r + \Delta 1 + 2\Delta 2 \end{aligned}$$

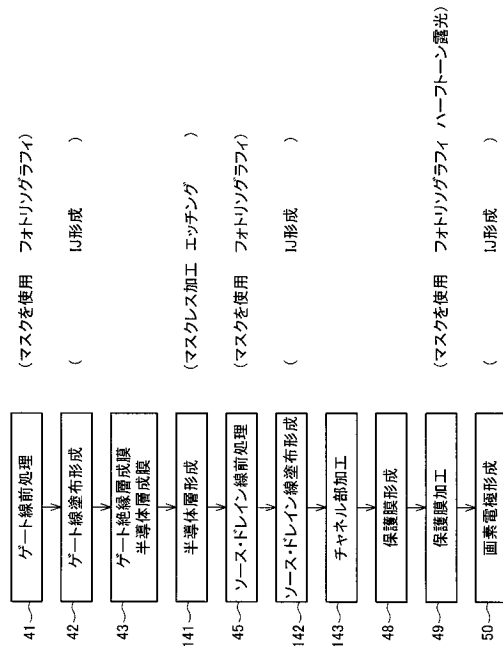
【図 38】



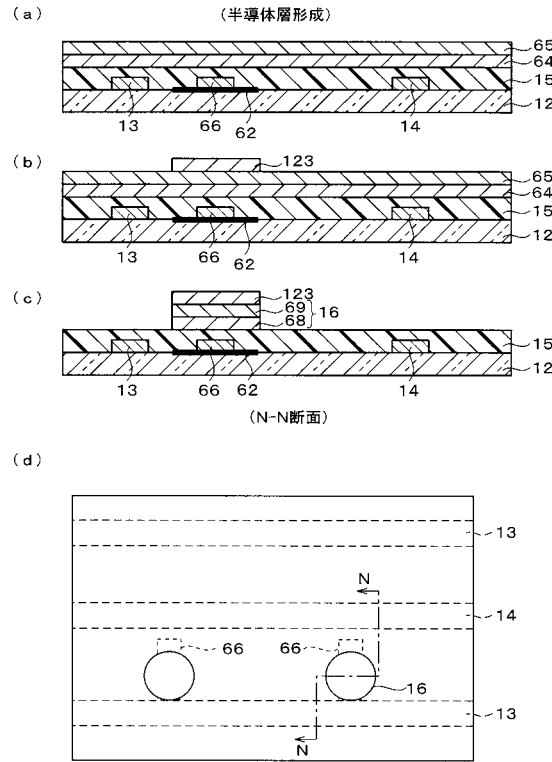
【図 39】



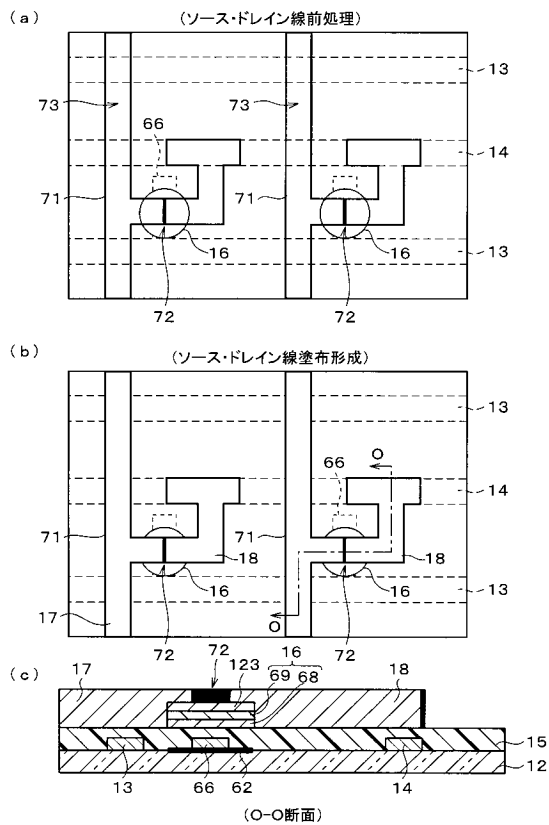
【図 40】



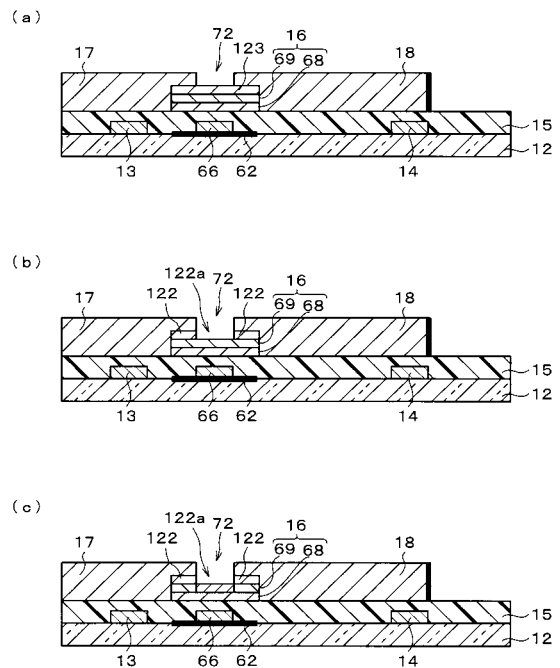
【図 41】



【図 42】



【図 43】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 21/768	H 0 1 L 29/78	6 1 8 A
	H 0 1 L 29/78	6 1 6 K
	H 0 1 L 29/78	6 1 6 T
	H 0 1 L 21/88	B
	H 0 1 L 21/88	M
	H 0 1 L 21/90	A

(72)発明者 越智 久雄
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 原 猛
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 齊藤 裕一
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H092 JA26 JA38 JB51 JB57 JB69 KA08 KB05 KB14 MA07 MA10
MA13 MA37 NA22 NA27 PA09
4M104 AA01 AA08 AA10 BB01 BB02 BB04 BB08 BB13 BB14 BB16
BB17 BB18 BB30 BB36 BB39 CC01 CC05 DD08 DD09 DD16
DD22 DD43 DD51 DD55 DD65 DD78 DD81 FF17 GG04 GG09
GG10 GG14 GG20 HH04 HH20
5F033 GG01 HH05 HH08 HH09 HH11 HH12 HH14 HH17 HH18 HH19
HH20 HH21 HH38 JJ01 JJ05 JJ08 JJ09 JJ11 JJ12 JJ14
JJ17 JJ18 JJ19 JJ20 JJ21 JJ38 KK05 KK08 KK09 KK11
KK12 KK17 KK18 KK19 KK20 KK21 LL04 MM19 NN12 PP06
PP26 QQ00 QQ01 QQ08 QQ09 QQ10 QQ11 QQ19 QQ21 QQ37
QQ53 QQ73 QQ89 RR04 RR09 RR27 SS22 VV10 VV15 XX00
XX01 XX03 XX28 XX32 XX33 XX34
5F110 AA16 BB01 CC07 DD02 EE02 EE06 EE25 EE42 EE47 GG01
GG02 GG05 GG15 GG23 GG24 GG28 GG42 HK02 HK03 HK04
HK06 HK07 HK08 HK21 HK22 HK32 HK41 HL07 HL22 HM04
NN03 NN12 NN22 NN23 NN27 NN33 NN35 NN37 NN45 NN49
NN52 NN72 NN73 QQ01 QQ02 QQ09

专利名称(译)	TFT阵列基板，液晶显示装置，TFT阵列基板的制造方法，液晶显示装置的制造方法以及电子设备		
公开(公告)号	JP2004247704A	公开(公告)日	2004-09-02
申请号	JP2003207744	申请日	2003-08-18
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	藤井 晓義 中林 敬哉 越智 久雄 原 猛 齊藤 裕一		
发明人	藤井 晓義 中林 敬哉 越智 久雄 原 猛 齊藤 裕一		
IPC分类号	G02F1/1368 H01L21/288 H01L21/3205 H01L21/336 H01L21/768 H01L21/77 H01L21/84 H01L23/52 H01L27/12 H01L29/423 H01L29/786		
CPC分类号	H01L27/1292 H01L29/42384 H01L29/66765 H01L29/78633 H01L29/78696		
FI分类号	H01L29/78.618.C G02F1/1368 H01L21/288.Z H01L29/78.617.J H01L29/78.627.C H01L29/78.618.A H01L29/78.616.K H01L29/78.616.T H01L21/88.B H01L21/88.M H01L21/90.A		
F-TERM分类号	2H092/JA26 2H092/JA38 2H092/JB51 2H092/JB57 2H092/JB69 2H092/KA08 2H092/KB05 2H092/KB14 2H092/MA07 2H092/MA10 2H092/MA13 2H092/MA37 2H092/NA22 2H092/NA27 2H092/PA09 4M104/AA01 4M104/AA08 4M104/AA10 4M104/BB01 4M104/BB02 4M104/BB04 4M104/BB08 4M104/BB13 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104/BB30 4M104/BB36 4M104/BB39 4M104/CC01 4M104/CC05 4M104/DD08 4M104/DD09 4M104/DD16 4M104/DD22 4M104/DD43 4M104/DD51 4M104/DD55 4M104/DD65 4M104/DD78 4M104/DD81 4M104/FF17 4M104/GG04 4M104/GG09 4M104/GG10 4M104/GG14 4M104/GG20 4M104/HH04 4M104/HH20 5F033/GG01 5F033/HH05 5F033/HH08 5F033/HH09 5F033/HH11 5F033/HH12 5F033/HH14 5F033/HH17 5F033/HH18 5F033/HH19 5F033/HH20 5F033/HH21 5F033/HH38 5F033/JJ01 5F033/JJ05 5F033/JJ08 5F033/JJ09 5F033/JJ11 5F033/JJ12 5F033/JJ14 5F033/JJ17 5F033/JJ18 5F033/JJ19 5F033/JJ20 5F033/JJ21 5F033/JJ38 5F033/KK05 5F033/KK08 5F033/KK09 5F033/KK11 5F033/KK12 5F033/KK17 5F033/KK18 5F033/KK19 5F033/KK20 5F033/KK21 5F033/LL04 5F033/MM19 5F033/NN12 5F033/PP06 5F033/PP26 5F033/QQ00 5F033/QQ01 5F033/QQ08 5F033/QQ09 5F033/QQ10 5F033/QQ11 5F033/QQ19 5F033/QQ21 5F033/QQ37 5F033/QQ53 5F033/QQ73 5F033/QQ89 5F033/RR04 5F033/RR09 5F033/RR27 5F033/SS22 5F033/VV10 5F033/VV15 5F033/XX00 5F033/XX01 5F033/XX03 5F033/XX28 5F033/XX32 5F033/XX33 5F033/XX34 5F110/AA16 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE02 5F110/EE06 5F110/EE25 5F110/EE42 5F110/EE47 5F110/GG01 5F110/GG02 5F110/GG05 5F110/GG15 5F110/GG23 5F110/GG24 5F110/GG28 5F110/GG42 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK08 5F110/HK21 5F110/HK22 5F110/HK32 5F110/HK41 5F110/HL07 5F110/HL22 5F110/HM04 5F110/NN03 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN27 5F110/NN33 5F110/NN35 5F110/NN37 5F110/NN45 5F110/NN49 5F110/NN52 5F110/NN72 5F110/NN73 5F110/QQ01 5F110/QQ02 5F110/QQ09 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB36 2H192/CB45 2H192/CC02 2H192/CC04 2H192/CC17 2H192/CC42 2H192/CC57 2H192/DA12 2H192/DA42 2H192/DA43 2H192/EA06 2H192/EA13 2H192/EA15 2H192/EA67 2H192/HA02 2H192/HA22 2H192/HA23 2H192/HA44 2H192/HA47 2H192/HA90 2H192/HA91 2H192/HA95 5F110/NN46		

代理人(译)	木岛隆一 金子 一郎
优先权	2002255538 2002-08-30 JP 2002365337 2002-12-17 JP
其他公开文献	JP4615197B2
外部链接	Espacenet

摘要(译)

解决的问题：通过使用例如喷墨方法来减少制造工时和成本。TFT阵列基板（11）具有在玻璃基板（12）上形成的栅电极（13），和经由栅绝缘层（15）从栅电极（13）的主线分支的TFT栅电极（66）上的半导体层（16）。带有TFT部分22。在该TFT阵列基板11中，半导体层16具有液滴滴落形状。因此，可以通过滴下液滴直接形成半导体层，或者可以通过滴下液滴直接形成用于形成半导体层的抗蚀剂层。[选型图]图1

