

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-109974

(P2004-109974A)

(43) 公開日 平成16年4月8日(2004.4.8)

(51) Int. Cl.<sup>7</sup>

G02F 1/1368  
H01L 29/786

F I

G02F 1/1368  
H01L 29/78 612C

テーマコード(参考)

2H092  
5F110

審査請求 有 請求項の数 11 O L (全 11 頁)

(21) 出願番号 特願2003-126623 (P2003-126623)  
(22) 出願日 平成15年5月1日(2003.5.1)  
(31) 優先権主張番号 91120950  
(32) 優先日 平成14年9月13日(2002.9.13)  
(33) 優先権主張国 台湾(TW)

(71) 出願人 503002765  
統寶光電股▲ふん▼有限公司  
台湾新竹科學工業園區苗栗縣竹南鎮科中路  
12號  
(74) 代理人 100064584  
弁理士 江原 省吾  
(74) 代理人 100093997  
弁理士 田中 秀佳  
(74) 代理人 100101616  
弁理士 白石 吉之  
(74) 代理人 100107423  
弁理士 城村 邦彦  
(74) 代理人 100120949  
弁理士 熊野 剛

最終頁に続く

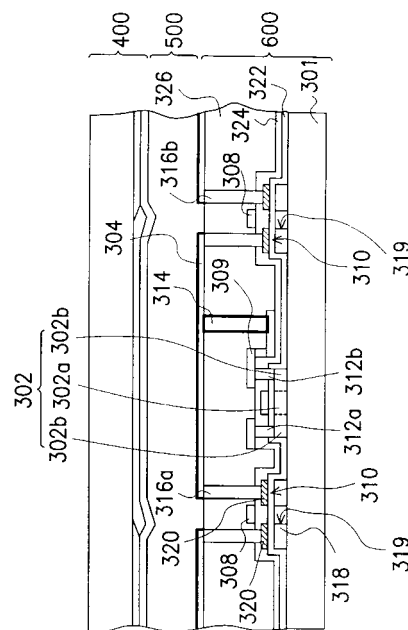
(54) 【発明の名称】 薄膜トランジスタ液晶ディスプレイのピクセル構造

(57) 【要約】 (修正有)

【課題】 高開口率の低温ポリシリコン薄膜トランジスタ液晶ディスプレイのピクセル構造の提供。

【解決手段】 薄膜トランジスタ液晶ディスプレイのピクセル構造。ドープポリシリコン層、誘電層、シールドメタル層と低温ポリシリコン薄膜トランジスタのソース/ドレーン域を同時に明確にすることにより、蓄積容量を形成している。シールドメタル層はドープポリシリコン層上に形成されピクセル電極と電氣的に繋がっている。シールドメタル層の占める領域が蓄積容量の領域であるので、開口率が大幅に向上する。

【選択図】 図11



## 【特許請求の範囲】

## 【請求項 1】

透明基板上に形成するのに適している薄膜トランジスタ液晶ディスプレイにおいて、そのピクセル構造が、

片方でピクセル電極と電氣的に繋がっているソース/ドレイン域とゲートを有している低温ポリシリコン薄膜トランジスタとピクセル電極を有し、透明基板上に形成されているピクセルと、

透明基板上に形成されゲートと電氣的に繋がっている走査線と、

透明基板上に形成されソース/ドレイン域の反対側と電氣的に繋がっている信号線と、

ドーパポリシリコン層、誘電層、ドーパポリシリコン層上に形成されピクセル電極と電氣的に繋がっているシールドメタル層を有し、信号線の下に形成されている蓄積容量と、を有することを特徴とするピクセル構造。

10

## 【請求項 2】

ソース/ドレイン域が N 型ドーパントをドーパしているポリシリコン層を含んでいることを特徴とする請求範囲 1 に記載のピクセル構造。

## 【請求項 3】

ソース/ドレイン域が P 型ドーパントをドーパしているポリシリコン層を含んでいることを特徴とする請求範囲 1 に記載のピクセル構造。

## 【請求項 4】

ドーパポリシリコン層が N 型ドーパポリシリコン層を含んでいることを特徴とする請求範囲 1 に記載のピクセル構造。

20

## 【請求項 5】

ドーパポリシリコン層が P 型ドーパポリシリコン層を含んでいることを特徴とする請求範囲 1 に記載のピクセル構造。

## 【請求項 6】

ドーパポリシリコン層が DC 電圧に繋がっていることを特徴とする請求範囲 1 に記載のピクセル構造。

## 【請求項 7】

ドーパポリシリコン層が AC 電圧に繋がっていることを特徴とする請求範囲 1 に記載のピクセル構造。

30

## 【請求項 8】

シールドメタル層がモリブデン・タングステン合金、クローム、モリブデンからなるグループより選んだ材料でつくられていることを特徴とする請求範囲 1 に記載のピクセル構造。

## 【請求項 9】

ドーパポリシリコン層が信号線の下に位置合わせした開口部を有することを特徴とする請求範囲 1 に記載のピクセル構造。

## 【請求項 10】

請求範囲 1 に記載の複数のピクセル構造を有する薄膜トランジスタアレイ基板。

## 【請求項 11】

特許請求範囲 10 に記載の薄膜トランジスタアレイ基板、カラーフィルター基板、および薄膜トランジスタアレイ基板とカラーフィルター基板の間に配置した液晶層からなる薄膜トランジスタ液晶ディスプレイ。

40

## 【発明の詳細な説明】

## 【0001】

## 【発明が属する技術分野】

本発明は一般に薄膜トランジスタ (TFT) 液晶ディスプレイ (LCD) に係り、更に詳しくは高開口率を備えた低温シリコン薄膜トランジスタ液晶ディスプレイ (LTFT-LCD) のピクセル構造に関する。

## 【0002】

50

## 【従来の技術とその課題】

LTPS TFT-LCDは、電子移動性が $200\text{ cm}^2/\text{V}\cdot\text{sec}$ を超え、より小さな領域が高開口率の要求に合っていることが、従来のアモルファス(a-Si)TFT-LCDと異なっている点である。従って、輝度の減少やディスプレイ全体での電力消費の問題がLTPS TFT-LCDで解決される。加えて、電子の移動性が大きくなることにより、ドライバー回路の一部と薄膜トランジスタを同じガラス基板上に集積でき、LCDパネルの信頼性が著しく改善される。よって、LTPS TFT-LCDの生産コストは従来のa-Si TFT-LCDと比べて遙かに小さい。加えて、LTPS TFT-LCDでは更に、薄さ、軽量、高分解度の有利さがあり、省電力でモバイルの製品に適している。

10

## 【0003】

図1(先行技術)に関して、従来のTFT-LCDのピクセル構造では蓄積容量をピクセル電極と走査線で構成している。TFT-LCDのピクセル構造は、ピクセル100、ピクセル100駆動用の走査線106、ピクセル100駆動用の信号線108を含んでいる。ピクセル100には薄膜トランジスタ102とピクセル電極104がある。薄膜トランジスタ102にはゲート102aとソース/ドレイン域102bがある。薄膜トランジスタ102では、ゲート102aと走査線106が電氣的に接続している。ソース/ドレイン域102bはプラグ112aを経由して信号線に一方で繋がり、プラグ112bと114を経由してピクセル電極104と他方で繋がっている。

## 【0004】

加えて、ピクセル電極104は、隣接する信号線108と隣接する走査線106、106aの間の領域に配置され、ピクセル電極104の一部が隣接の走査線106aと重なって、蓄積容量を形成している。蓄積容量110のキャパシタンスは、ピクセル電極104と走査線106aとの重なり、およびピクセル電極104と走査線106aの間に形成される誘電層(図示していない)の厚みにより決まる。

20

## 【0005】

図2(先行技術)では、従来のTFT-LCDピクセル構造でのコモン線とピクセル電極で構成する蓄積容量の概略図を示している。ピクセル構造には、ピクセル200、ピクセル200を駆動する走査線206、ピクセル200を駆動する信号線を含んでいる。ピクセル200は薄膜トランジスタ202とピクセル電極204で構成しており、薄膜トランジスタ202にはゲート202aとソース/ドレイン域202bを含んでいる。薄膜トランジスタ202ではゲート202aは走査線206と電氣的に繋がっており、ソース/ドレイン域202bの一方はプラグ212aを経由して信号線208と電氣的に繋がっており、他方はプラグ212bと214を経由してピクセル電極204と繋がっている。

30

## 【0006】

加えて、コモン線216は隣接する走査線206間の領域に形成され、ピクセル電極204は隣接する信号線208と隣接する走査線206の間の領域に形成されている。ピクセル電極204とコモン線216間のオーバーラップが蓄積容量210を構成している。蓄積容量210のキャパシタンスは、ピクセル電極204とコモン線216の重なり領域と、ピクセル電極204とコモン線216間で形成した誘電層(図示していない)の厚みにより決まる。

40

## 【0007】

ピクセル電極と走査線が構成する蓄積容量構成では、走査線の非常に広い線幅が十分なキャパシタンスを得るために用意される。これが開口率を減らす原因になる。同じ問題がピクセル電極とコモン線で形成する蓄積容量にも存在する。

## 【0008】

加えて、隣接するピクセル間の周縁領域が液晶分子の再配列を起こし、結果的にピクセル周縁での洩れを招く。従って、洩れ領域を封鎖するために、反対の基板、即ちカラーフィルター上にブラックマトリックス(BM)を形成せねばならない。カラーフィルター基板上に形成したブラックマトリックスも開口率を減少する。

50

## 【 0 0 0 9 】

本発明は高開口率の低温ポリシリコン薄膜トランジスタ液晶ディスプレイのピクセル構造を提供する。

## 【 0 0 1 0 】

## 【課題を解決するための手段】

本発明で提供される低温ポリシリコン薄膜トランジスタ液晶ディスプレイは、ピクセル、走査線、信号線、蓄積容量を有している。ピクセルは低温ポリシリコン薄膜トランジスタとピクセル電極からできている。走査線と信号線は低温ポリシリコン薄膜トランジスタを駆動するために用いられる。蓄積容量は、ドーパされたポリシリコン層、誘電層、シールドメタル層でできており、ピクセル電極と電氣的に繋がっている。

10

## 【 0 0 1 1 】

蓄積容量の上記ドーパポリシリコン層と低温ポリシリコン薄膜トランジスタのポリシリコン層は同じ方法で規定される。シールドメタル層は光をシールドする機能を有するだけでなく、ドーパポリシリコン層と一緒に蓄積容量を形成する機能がある。

## 【 0 0 1 2 】

本発明において、低温ポリシリコン層はゲートとソース/ドレイン域を有している。ゲートは電氣的に走査線と繋がっている。ソース/ドレイン域の一方は電氣的に信号線と繋がっており、ソース/ドレイン域のもう一方はピクセル電極と繋がっている。加えて、ソース/ドレイン域はN型またはP型ドーパントを含んでいる。

## 【 0 0 1 3 】

本発明において、シールドメタル層はモリブデン・タングステン合金、クローム、モリブデン、あるいはシールドと誘電の両効果がある他の材料を含んでいる。シールドメタル層は信号線と重なり合わず、それ故に、シールドメタル層と信号線間に寄生容量を引き起こさない。

20

## 【 0 0 1 4 】

本発明において、蓄積容量は信号線の下に配置されている。ドーパポリシリコン層は信号線の下に配置した開口部がある。開口部の形成によりドーパポリシリコン層と信号線の重なり領域を減らすことができ、結果的にドーパポリシリコン層と信号線間の寄生容量が減少する。

## 【 0 0 1 5 】

蓄積容量のドーパポリシリコン層はN型またはP型ドーパントを含んでいる。

30

## 【 0 0 1 6 】

## 【発明の実施の形態】

図3～図8は、本発明の実施例に係る低温ポリシリコン薄膜トランジスタのアレイ基板の製造工程を示している。図3のように、パターン化したポリシリコン層を透明な基板301の上に形成する。ポリシリコン層にイオンをドーパし、ソース/ドレイン域302bとドーパポリシリコン層318を形成する。ドーパイオンはN型またはP型ドーパントを含んでいる。ソース/ドレイン域302bとドーパポリシリコン層318を形成した後、誘電層322を透明基板301上に形成し、ソース/ドレイン域302bとドーパポリシリコン層318を覆う。上記の誘電層322は窒化シリコンや酸化シリコンのような誘電材料で形成する。

40

## 【 0 0 1 7 】

図4のように、ゲート302a、走査線306、シールドメタル層320を形成する。ゲート302aを走査線306に合体し、シールドメタル層320をドーパポリシリコン層318の一部の上に形成する。シールドメタル層320、誘電層322、ドーパポリシリコン層318の重なる部分が蓄積容量310を構成する。シールドメタル層320を形成する材料は、モリブデン・タングステン合金、クローム、モリブデンまたはシールドと誘電の両特性を有する他の材料を含んでいる。

## 【 0 0 1 8 】

図5のように、誘電層324を透明基板301の上方に形成し、ゲート302a、走査線

50

306、シールドメタル層320を覆う。誘電層324を形成する材料は窒化シリコンや酸化シリコンのような誘電材料を含んでいる。そして、プラグ312aと312bをソース/ドレーン域の接点(S/D接点)としてソース/ドレーン域302b上に形成する。

【0019】

図6のように、信号線308と線309を誘電層324上に形成する。信号線308はプラグ312aを經由してソース/ドレーン域302bの一方と繋がり、線309がプラグ312bを通じてソース/ドレーン域302bの他方と繋がっている。

【0020】

図7のように、誘電層326を透明基板301全体上に形成する。例えば、誘電層326は平面状の上面を持ち、誘電層326を形成するための材料は、窒化シリコンや酸化シリコンのような誘電材料を含んでいる。そして、誘電層324と326を通してシールドメタル層320上にプラグを形成する。

10

【0021】

図8のように、誘電層326上にピクセル電極304を形成する。ピクセル電極304は、プラグ314、線309、プラグ312bを經由してソース/ドレーン域302bと電氣的に繋がっている。ピクセル電極は更に、プラグ316aと316bを經由してシールドメタル層320と電氣的に繋がっている。ピクセル電極304を形成するための材料は、酸化インジウム錫(ITO)のような透明な誘電材料を含んでいる。

【0022】

本発明による低温ポリシリコン薄膜トランジスタ液晶ディスプレイピクセル構造は、ピクセル300、ピクセル300を駆動する走査線306、ピクセルを駆動する信号線308を含んでいることが、図8で明確に示されている。

20

【0023】

まずピクセル300、走査線306、信号線308の配置について説明する。ピクセル300は薄膜トランジスタ302とピクセル電極304を含む。薄膜トランジスタ302はゲート302aとソース/ドレーン域302bを含む。薄膜トランジスタ302において、ゲート302aは走査線306と電氣的に繋がっており、ソース/ドレーン域302bの一方はプラグ312aを經由して信号線308と電氣的に繋がり、ソース/ドレーン域302bの他方はプラグ312b、線309、プラグ314を經由してピクセル電極304と電氣的に繋がっている。

30

【0024】

更に蓄積容量310について以下に説明する。ドーブポリシリコン層318が信号線308の下で透明基板301上に形成されており、他方、シールドメタル層320はドーブポリシリコン層318の上方に形成されている。ドーブポリシリコン層318とシールドメタル層320の重なり部分が蓄積容量310を構成する。シールドメタル層320を形成する材料は、モリブデン・タングステン合金、クローム、モリブデン、またはシールドと誘電の両機能を有する他の材料を含んでいる。加えて、シールドメタル層320はプラグ316aと316bを經由してピクセル電極304と電氣的に繋がっており、ドーブポリシリコン層318はコモン電圧Vcomと繋がっている。

【0025】

加えて、シールドメタル層320は信号線308の両側でドーブポリシリコン層318上方に配置されている。シールドメタル層320がピクセルの端に配置しているので、シールドメタル層320はピクセルの縁における周縁領域が引き起こす洩れを抑え、ドーブポリシリコン層318と一緒に蓄積容量310も形成している。さらに、蓄積容量310の領域がシールドメタル層320のカバー域と同じであるので、余分の領域を必要とせず、開口率が大幅に増加する。

40

【0026】

図9には低温ポリシリコン薄膜トランジスタ液晶ディスプレイ(LTPS TFT-LCD)の断面を図示している。LTPS TFT-LCDは、カラーフィルター基板400、液晶層500、TFTアレイ基板600を含む。シールドメタル層320が信号

50

線 308 と重なっておらず、シールドメタル層 320 と信号線間の寄生容量が非常に抑えられることが、図 9 から明らかに分かる。

【0027】

図 10 と図 11 を参照すると、図 10 は開口部のあるドーブポリシリコン層を示し、図 11 は図 10 に関する LTPS TFT-LCD の断面を示している。ドーブポリシリコン層 318 と信号線 308 間の寄生容量を更に抑えるために、ドーブポリシリコン層 318 のパターンを決めるフォトマスクを修正し、開口部 319 を信号線 308 の下に位置合わせした状態でドーブポリシリコン層 318 に形成している。このように開口部 319 を形成することにより、ドーブポリシリコン層 318 と信号線 308 が重なる可能性を更に減少し、その結果、両者間の寄生容量が更に減少する。

10

【0028】

【発明の効果】

上記により、本発明が提供する薄膜トランジスタ液晶ディスプレイのピクセル構成は、少なくとも次のような利点がある。

【0029】

1. 薄膜トランジスタ液晶ディスプレイのピクセル構造において、蓄積容量領域がシールドメタル層の覆う範囲と等しいので、開口率を大きく上げることができる。

【0030】

2. 薄膜トランジスタ液晶ディスプレイのピクセル構造において、シールドメタル層とドーブポリシリコン層が構成する蓄積容量は、 $CLC : Cst$  が  $1 : 1 \sim 1 : 4$  の範囲に容易に至るキャパシタンス  $Cst$  をもつ。

20

【0031】

3. 薄膜トランジスタ液晶ディスプレイのピクセル構造において、カラーフィルター基板上に光を遮蔽するためのブラックマトリックスを必要としない。

【0032】

4. 本発明が提供する薄膜トランジスタ液晶ディスプレイのピクセル構造を製造するにあたって、顕著な製造コストの上昇なしで僅かな修正をフォトマスク上にするだけである。

【0033】

ここで公開された本発明の仕様と実際を考慮することにより、本発明の別の実施例が当業者に生まれる。意図していることは、仕様や例は例示としてのみ考えられるべきものであり、本発明の適用範囲と精神を特許請求範囲で示している。

30

【0034】

本発明のこれらの特徴は他の特徴と共に、図を参考にすることにより更に明らかになる。

【図面の簡単な説明】

【図 1】従来の薄膜トランジスタ液晶ディスプレイのピクセル構造において、ピクセル電極と走査線からなる蓄積容量を示す平面図。

【図 2】従来の薄膜トランジスタ液晶ディスプレイのピクセル構造において、ピクセル電極とコモン線からなる蓄積容量を示す平面図。

【図 3】低温ポリシリコン薄膜トランジスタのアレイ基板の製造工程図である。

【図 4】低温ポリシリコン薄膜トランジスタのアレイ基板の製造工程図である。

40

【図 5】低温ポリシリコン薄膜トランジスタのアレイ基板の製造工程図である。

【図 6】低温ポリシリコン薄膜トランジスタのアレイ基板の製造工程図である。

【図 7】低温ポリシリコン薄膜トランジスタのアレイ基板の製造工程図である。

【図 8】低温ポリシリコン薄膜トランジスタのアレイ基板の製造工程図である。

【図 9】低温ポリシリコン薄膜トランジスタ液晶ディスプレイの断面図である。

【図 10】開口部のあるドーブポリシリコン層の概略図である。

【図 11】図 10 に関する低温ポリシリコン薄膜トランジスタ液晶ディスプレイを示す断面図である。

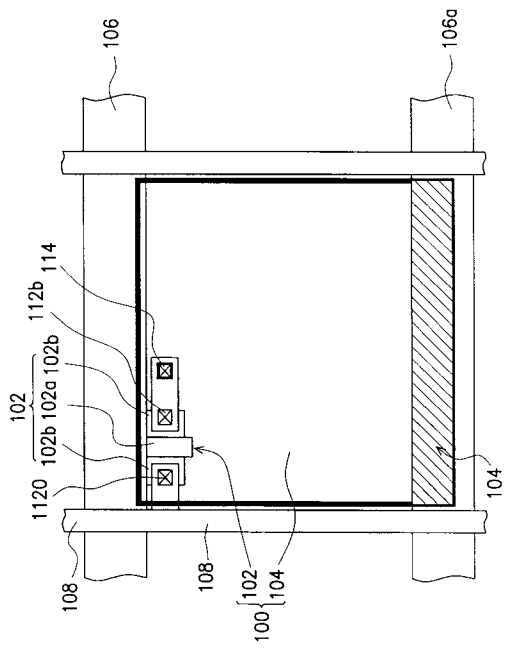
【符号の説明】

100                      ピクセル

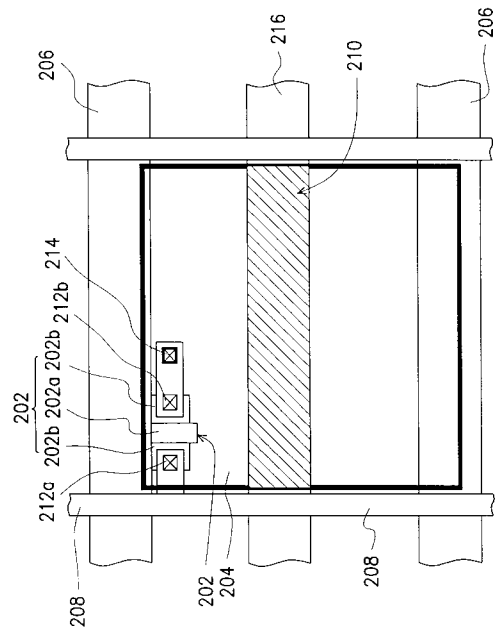
50

1 0 2	薄膜トランジスタ	
1 0 2 a	ゲート	
1 0 2 b	ドレーン域	
1 0 4	ピクセル電極	
1 0 6	走査線	
1 0 6 a	走査線	
1 0 8	信号線	
1 1 0	蓄積容量	
1 1 2 a	プラグ	
1 1 2 b	プラグ	10
2 0 0	ピクセル	
2 0 2	薄膜トランジスタ	
2 0 2 a	ゲート	
2 0 2 b	ドレーン域	
2 0 4	ピクセル電極	
2 0 6	走査線	
2 0 8	信号線	
2 1 0	蓄積容量	
2 1 2 a	プラグ	
2 1 2 b	プラグ	20
2 1 6	コモン線	
3 0 0	ピクセル	
3 0 1	透明基板	
3 0 2	薄膜トランジスタ	
3 0 2 a	ゲート	
3 0 2 b	ドレーン域	
3 0 4	ピクセル電極	
3 0 6	走査線	
3 0 8	信号線	
3 0 9	線	30
3 1 0	蓄積容量	
3 1 2 a	プラグ	
3 1 2 b	プラグ	
3 1 4	プラグ	
3 1 6 a	プラグ	
3 1 8	ドーパポリシリコン層	
3 1 9	開口部	
3 2 0	シールドメタル層	
3 2 2	誘電層	
3 2 4	誘電層	40
3 2 6	誘電層	
4 0 0	カラーフィルターアレイ基板	
5 0 0	液晶層	
6 0 0	アレイ基板	

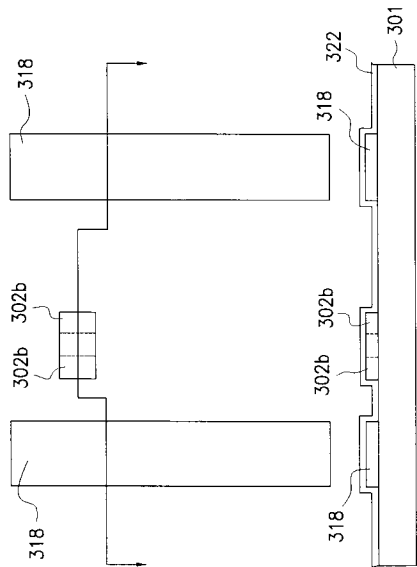
【 図 1 】



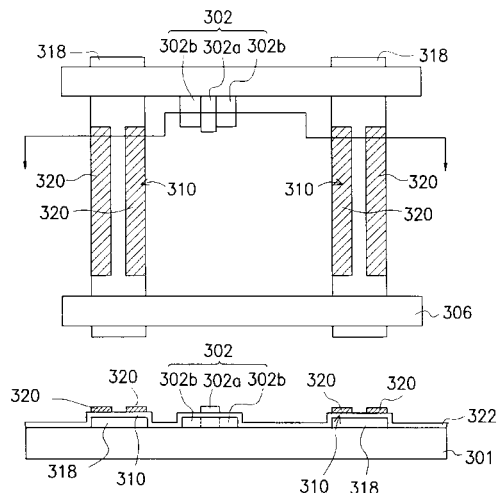
【 図 2 】



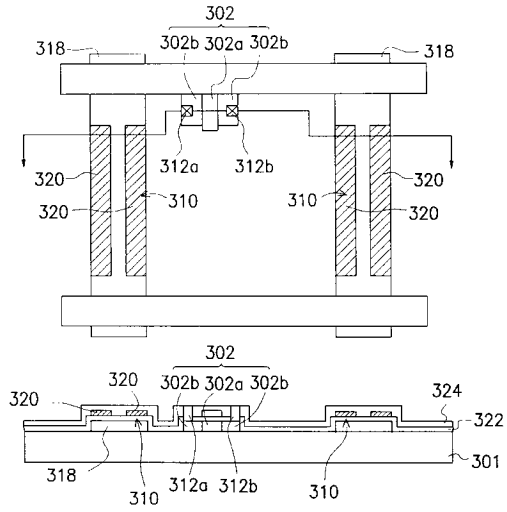
【 図 3 】



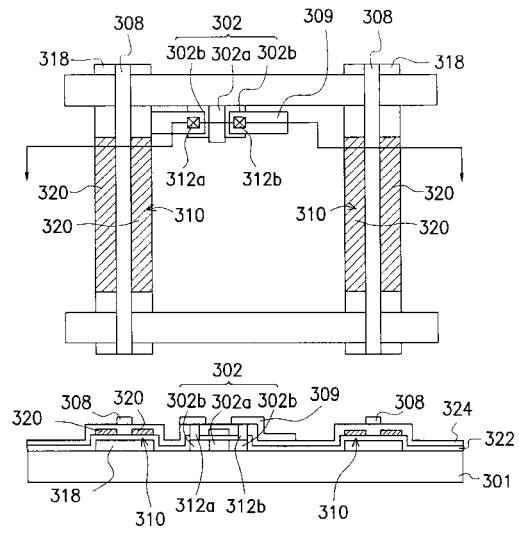
【 図 4 】



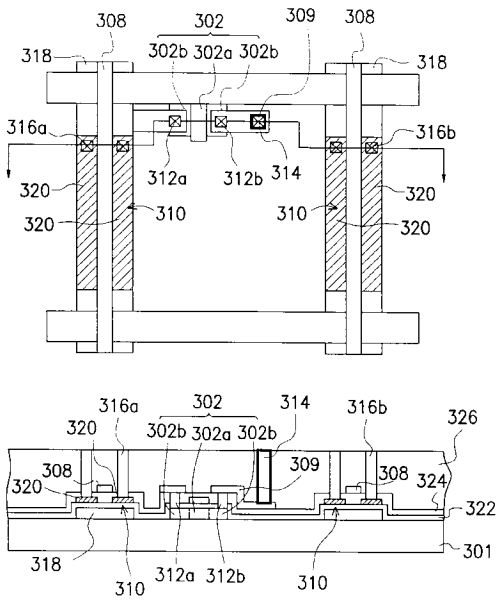
【 図 5 】



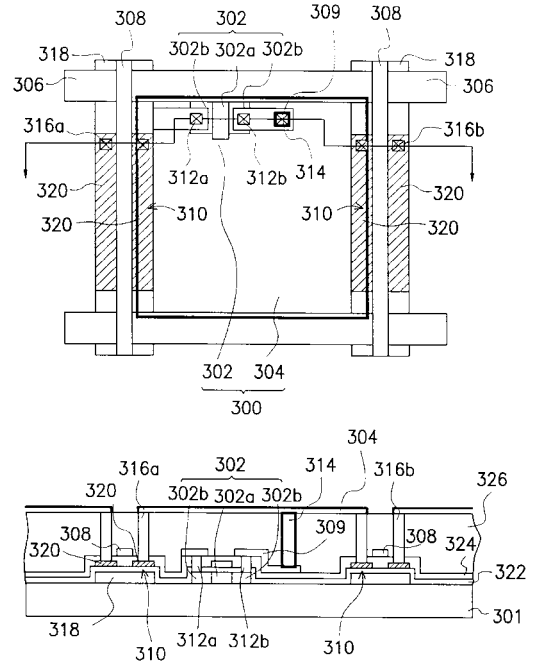
【 図 6 】



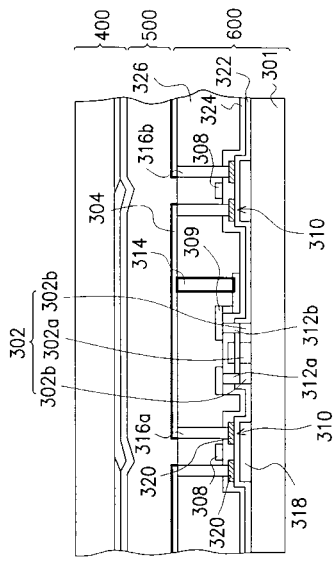
【 図 7 】



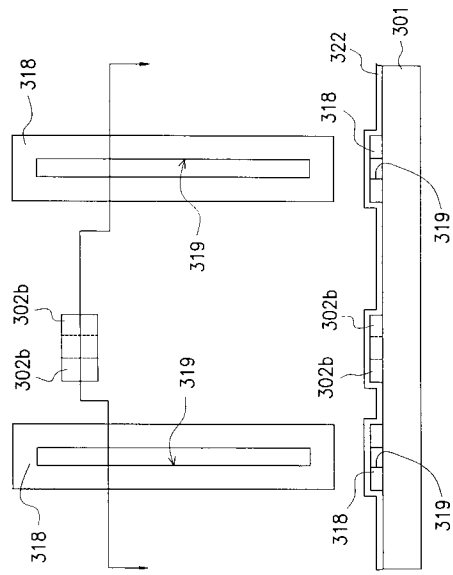
【 図 8 】



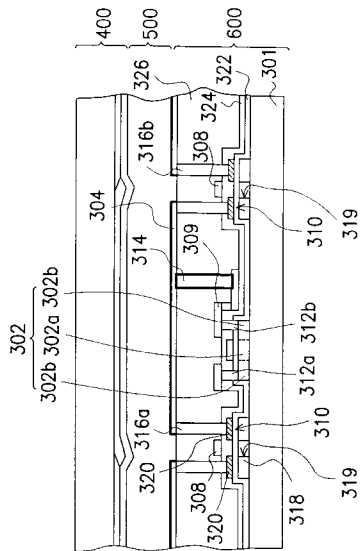
【 図 9 】



【 図 10 】



【 図 11 】



---

フロントページの続き

(74)代理人 100121186

弁理士 山根 広昭

(72)発明者 鄭 新安

台湾高雄縣林園鄉忠孝西路119巷13號

(72)発明者 邱 昌明

台湾桃園縣中壢市龍興路487號

Fターム(参考) 2H092 JA24 JA46 JB57 JB58 JB62 JB66 JB67 KA04 KA07 KA10

KB12 NA07 PA08

5F110 AA30 BB01 CC02 EE04 FF02 FF03 GG02 GG13 HJ12 NN03

NN23 NN24 NN72 NN73 QQ08

专利名称(译)	像素结构的薄膜晶体管液晶显示器		
公开(公告)号	<a href="#">JP2004109974A</a>	公开(公告)日	2004-04-08
申请号	JP2003126623	申请日	2003-05-01
[标]申请(专利权)人(译)	统宝光电股份有限公司		
申请(专利权)人(译)	统宝光电股份有限公司		
[标]发明人	鄭新安 邱昌明		
发明人	鄭新安 邱昌明		
IPC分类号	G02F1/1368 G02F1/1362 H01L29/786		
CPC分类号	G02F1/136213 G02F1/136209 G02F2202/104		
FI分类号	G02F1/1368 H01L29/78.612.C		
F-TERM分类号	2H092/JA24 2H092/JA46 2H092/JB57 2H092/JB58 2H092/JB62 2H092/JB66 2H092/JB67 2H092/KA04 2H092/KA07 2H092/KA10 2H092/KB12 2H092/NA07 2H092/PA08 5F110/AA30 5F110/BB01 5F110/CC02 5F110/EE04 5F110/FF02 5F110/FF03 5F110/GG02 5F110/GG13 5F110/HJ12 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN72 5F110/NN73 5F110/QQ08 2H192/AA24 2H192/BC31 2H192/CB02 2H192/DA14 2H192/DA15 2H192/DA42 2H192/DA72 2H192/EA04 2H192/EA43 2H192/GA03		
代理人(译)	田中 秀佳 熊野刚		
优先权	091120950 2002-09-13 TW		
其他公开文献	JP4141892B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种具有高开口率的低开口率多晶硅薄膜晶体管液晶显示器的像素结构。薄膜晶体管液晶显示器的像素结构。通过同时定义掺杂多晶硅层，介电层，屏蔽金属层和低温多晶硅薄膜晶体管的源/漏区来形成存储电容器。屏蔽金属层形成在掺杂的多晶硅层上并且电连接到像素电极。由于屏蔽金属层所占的面积是存储电容器的面积，因此大大提高了开口率。 [选择图]图11

