

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-29477

(P2004-29477A)

(43) 公開日 平成16年1月29日(2004.1.29)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
<b>G02F 1/133</b>	G02F 1/133 560	2H088
<b>G02F 1/141</b>	G02F 1/133 550	2H093
<b>G09G 3/20</b>	G02F 1/141	5C006
<b>G09G 3/36</b>	G09G 3/20 612K	5C080
	G09G 3/20 612L	

審査請求 未請求 請求項の数 11 O L (全 23 頁) 最終頁に続く

(21) 出願番号	特願2002-186841 (P2002-186841)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成14年6月26日 (2002.6.26)	(74) 代理人	100078868 弁理士 河野 登夫
		(72) 発明者	牧野 哲也 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	吉原 敏明 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	別井 圭一 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法及び液晶表示装置

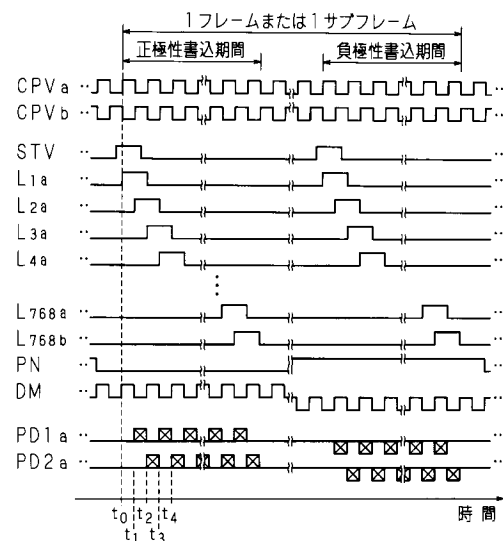
(57) 【要約】

【課題】 表示用のデータ電圧を全画素（全画面）に対し常に一定の状態から書き込むことにより、印加前の画素電圧値によって印加できる電圧値の差異を減少させ、所定の光透過率が得られる液晶表示装置の駆動方法及び液晶表示装置の提供を目的とする。

【解決手段】 TFTのオン期間において、前半オン期間中はリフレッシュ用のリセット電圧を画素電極に印加し、後半オン期間中は表示用のデータ電圧を画素電極に印加する。即ち、書込極性制御信号PNが”L”時に、奇数出力端子及び偶数出力端子は、前半オン期間中には負極0階調であるリセット電圧を画素電極に印加し、後半オン期間中には正極データ電圧を画素電極に印加する。また、書込極性制御信号PNが”H”時に、奇数出力端子及び偶数出力端子は、前半オン期間中には正極0階調であるリセット電圧を画素電極に印加し、後半オン期間中には負極データ電圧を画素電極に印加する。

【選択図】 図5

本発明の実施の形態1における駆動シーケンスを示す図



## 【特許請求の範囲】

## 【請求項 1】

画素電極、及び該画素電極への電圧印加をオン/オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入され、前記スイッチング素子のオン期間にデータ電圧を前記画素電極及び前記対向電極間に印加し、オフ期間に前記データ電圧を保持することにより、該データ電圧によって決定される前記液晶物質の光透過率を制御する液晶表示装置の駆動方法において、前記オン期間の内、前半期間には一定値のリセット電圧を印加し、後半期間には前記データ電圧を印加することを特徴とする液晶表示装置の駆動方法。

## 【請求項 2】

前記スイッチング素子を所定時間毎にオン/オフ制御し、前後するオン期間には、逆極性のデータ電圧を交互に印加し、同じオン期間には、データ電圧とは逆極性のリセット電圧を印加することを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

## 【請求項 3】

前記前半期間は、前記オン期間の略 1 / 2 であることを特徴とする請求項 1 又は請求項 2 に記載の液晶表示装置の駆動方法。

## 【請求項 4】

前記リセット電圧は、0 V であることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の液晶表示装置の駆動方法。

## 【請求項 5】

画素電極、及び該画素電極への電圧印加をオン/オフ制御するスイッチング素子をマトリックス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入され、前記スイッチング素子のオン期間にデータ電圧を前記画素電極及び前記対向電極間に印加し、オフ期間に前記データ電圧を保持することにより、該データ電圧によって決定される前記液晶物質の光透過率を制御する構成とした液晶表示装置において、前記オン期間の内、前半期間には一定値のリセット電圧を印加する手段と、後半期間には前記データ電圧を印加する手段とを備えることを特徴とする液晶表示装置。

## 【請求項 6】

前記スイッチング素子を所定時間毎にオン/オフ制御し、前記データ電圧は、該データ電圧を印加するオン期間に対し前後するオン期間におけるデータ電圧とは逆極性であり、前記リセット電圧は、同じオン期間におけるデータ電圧とは逆極性であることを特徴とする請求項 5 に記載の液晶表示装置。

## 【請求項 7】

前記前半期間は、前記オン期間の略 1 / 2 であることを特徴とする請求項 5 又は請求項 6 に記載の液晶表示装置。

## 【請求項 8】

前記リセット電圧は、0 V であることを特徴とする請求項 5 乃至請求項 7 のいずれかに記載の液晶表示装置。

## 【請求項 9】

同一マトリックス行の画素の内、奇数マトリックス列の画素に接続したスイッチング素子を接続した第 1 走査線及び偶数マトリックス列の画素に接続したスイッチング素子を接続した第 2 走査線と、スイッチング素子をオン/オフ制御する複数の出力部を有する第 1 走査回路及び第 2 走査回路と、第 1 走査回路及び第 2 走査回路の走査を制御する制御回路とを設け、第 1 走査線及び第 2 走査線は、夫々第 1 走査回路及び第 2 走査回路の出力部に接続され、前記制御回路は、極性が相補関係となる第 1 走査回路及び第 2 走査回路の走査周波数を決定する動作クロック信号を生成する手段と、

10

20

30

40

50

第1走査回路及び第2走査回路の走査開始タイミング及び前記オン時間を決定する共通の走査開始信号を生成する手段とを備えることを特徴とする請求項5乃至請求項8のいずれかに記載の液晶表示装置。

【請求項10】

同一マトリクス行の画素の内、奇数マトリクス列の画素に接続したスイッチング素子を接続した第1走査線及び偶数マトリクス列の画素に接続したスイッチング素子を接続した第2走査線と、

スイッチング素子をオン/オフ制御する複数の出力部を有する走査回路とを設け、

第1走査線及び第2走査線は、交互に前記走査回路の出力部に接続されていることを特徴とする請求項5乃至請求項8のいずれかに記載の液晶表示装置。

10

【請求項11】

前記走査回路の走査を制御する制御回路を設け、

該制御回路は、前記走査回路の走査周波数を決定する動作クロック信号を生成する手段と、

前記走査回路の走査開始タイミング及び前記オン時間を決定する信号幅が前記動作クロック信号の2クロック時間である走査開始信号を生成する手段とを備えることを特徴とする請求項10に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置の駆動方法及び液晶表示装置に関し、特に、自発分極を有する強誘電性液晶 ( Ferroelectric Liquid Crystal : FLC ) 又は反強誘電性液晶 ( Anti-Ferroelectric Liquid Crystal : AFLC ) を用いた液晶表示装置の駆動方法及び液晶表示装置に関する。

20

【0002】

【従来の技術】

一般的に普及しているTN ( Twisted Nematic ) 液晶は、印加電圧に対する応答速度が十~数十msであり、印加電圧が低い領域では応答速度が急激に遅くなり100msに近い値となる場合もある。従って、TN液晶を用いた液晶表示装置にて動画 ( 60画像/秒 ) 表示する場合には、液晶分子が動作しきれず画像がぼやけてしまうため、TN液晶はマルチメディア等の動画表示用途には不適である。

30

【0003】

そこで、自発分極を有し、印加電圧に対する応答速度が数十~数百 $\mu$ sと高速であるFLC又はAFLCを用いた液晶表示装置が実用化されている。これらの高速応答可能な液晶を液晶表示装置に用いた場合には、TFT ( Thin Film Transistor ) 又はMIM ( Metal Insulator Metal ) 等のスイッチング素子により各画素に印加する電圧を制御し、液晶分子の分極を短時間で完了させることにより優れた動画表示が可能である。

【0004】

【発明が解決しようとする課題】

FLC及びAFLCの駆動電圧は一般に十数Vであり、2~5Vと低電圧駆動可能なTN液晶に比較して駆動電圧が高い。また液晶の劣化及び液晶パネルの焼付きを防止するためには、液晶に印加する電圧の極性を表示期間 ( フレーム又はサブフレーム ) 毎に反転する交流駆動にて駆動する必要がある。例えば、図20 ( b ) に示すような光透過率 印加電圧特性 ( 以下、TV特性という ) を有する液晶を用いて、白表示データを書き込む場合には、"-7.5V"を書き込んだ画素に、次表示期間 ( 次フレーム又は次サブフレーム ) に"+7.5V"を書き込む必要がある。しかし、TFTは液晶駆動電圧をドライブする十分なオン電流特性を有しているとは限らず、書き込み時間が短時間 ( 例えば5 $\mu$ s ) になれば画素電極への書き込み不足が発生し、所定の電圧を液晶に印加することが困難となる。従って、電圧印加前の画素電圧値によって、画素に印加できる電圧値に差異が生じ

40

50

、所定の光透過率が得られず目的の階調表示ができないという問題があった。

【0005】

また、TN液晶は一般に図20(a)に示すように光透過率が印加電圧の極性に対して対称となるT-V特性を有しているが、FLC及びAFLCは図20(b)に示すように光透過率が印加電圧の極性に対して片極性となるT-V特性を有する。従って、FLC又はAFLCを用いた液晶パネルに、TN液晶パネル用に普及しているフリッカ対策に好適なドット反転駆動型のソースドライバを利用した場合には、負極電圧印加の画素は全黒表示になるので、夫々のフレームで市松模様(チェック模様)の黒表示が発生するという問題があった。

【0006】

本発明は斯かる事情に鑑みてなされたものであり、表示用のデータ電圧を全画素(全画面)に対し常に一定の状態から書き込むことにより、印加前の画素電圧値によって印加できる電圧値の差異を減少させ、所定の光透過率が得られる液晶表示装置の駆動方法及び液晶表示装置の提供を主たる目的とする。

【0007】

また本発明は、液晶駆動を前後する表示期間(フレーム又はサブフレーム)で極性が反転する交流駆動とすることにより、液晶物質の劣化及び液晶パネルの焼付きを防止することができる液晶表示装置の駆動方法及び液晶表示装置の提供を目的とする。

【0008】

更に本発明は、スイッチング素子のオン期間の内、リフレッシュ用の前半期間と表示用の後半期間とを略等しくすることにより、夫々の期間でのスイッチング素子の書き込み能力を効果的に利用することができる液晶表示装置の駆動方法及び液晶表示装置の提供を目的とする。

【0009】

また更に本発明は、画素の光透過率を変化させる必要の少ない動画(静止画を含む)の表示時には、画素に印加する正極電圧及び負極電圧の絶対値は略等しいため、リフレッシュするためのリセット電圧を0Vとすることにより、リフレッシュ効率を高めることができる液晶表示装置の駆動方法及び液晶表示装置の提供を目的とする。

【0010】

また更に本発明は、光透過率が印加電圧の極性に対して片極性となるT-V特性を有するFLC又はAFLCを用いた液晶パネルに、市販のドット反転駆動型のソースドライバを利用した場合でも、各表示期間(フレーム又はサブフレーム)での各画素電極に印加する電圧を同極性とすることにより、市松模様の黒表示が発生することのない液晶表示装置の提供を目的とする。

【0011】

【課題を解決するための手段】

請求項1に係る液晶表示装置の駆動方法は、画素電極、及び該画素電極への電圧印加をオン/オフ制御するスイッチング素子をマトリクス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入され、前記スイッチング素子のオン期間にデータ電圧を前記画素電極及び前記対向電極間に印加し、オフ期間に前記データ電圧を保持することにより、該データ電圧によって決定される前記液晶物質の光透過率を制御する液晶表示装置の駆動方法において、前記オン期間の内、前半期間には一定値のリセット電圧を印加し、後半期間には前記データ電圧を印加することを特徴とする。

【0012】

請求項2に係る液晶表示装置の駆動方法は、前記スイッチング素子を所定時間毎にオン/オフ制御し、前後するオン期間には、逆極性のデータ電圧を交互に印加し、同じオン期間には、データ電圧とは逆極性のリセット電圧を印加することを特徴とする。

【0013】

請求項3に係る液晶表示装置の駆動方法は、前記前半期間が、前記オン期間の略1/2であることを特徴とする。

10

20

30

40

50

## 【 0 0 1 4 】

請求項 4 に係る液晶表示装置の駆動方法は、前記リセット電圧が、0 Vであることを特徴とする。

## 【 0 0 1 5 】

請求項 5 に係る液晶表示装置は、画素電極、及び該画素電極への電圧印加をオン/オフ制御するスイッチング素子をマトリクス状に設けた基板と対向電極を設けた基板との空隙内に自発分極を有する液晶物質が封入され、前記スイッチング素子のオン期間にデータ電圧を前記画素電極及び前記対向電極間に印加し、オフ期間に前記データ電圧を保持することにより、該データ電圧によって決定される前記液晶物質の光透過率を制御する構成とした液晶表示装置において、前記オン期間の内、前半期間には一定値のリセット電圧を印加する手段と、後半期間には前記データ電圧を印加する手段とを備えることを特徴とする。

10

## 【 0 0 1 6 】

請求項 6 に係る液晶表示装置は、前記スイッチング素子を所定時間毎にオン/オフ制御し、前記データ電圧が、該データ電圧を印加するオン期間に対し前後するオン期間におけるデータ電圧とは逆極性であり、前記リセット電圧が、同じオン期間におけるデータ電圧とは逆極性であることを特徴とする。

## 【 0 0 1 7 】

請求項 7 に係る液晶表示装置は、前記前半期間が、前記オン期間の略 1 / 2 であることを特徴とする。

## 【 0 0 1 8 】

請求項 8 に係る液晶表示装置は、前記リセット電圧が、0 Vであることを特徴とする。

20

## 【 0 0 1 9 】

請求項 9 に係る液晶表示装置は、同一マトリクス行の画素の内、奇数マトリクス列の画素に接続したスイッチング素子を接続した第 1 走査線及び偶数マトリクス列の画素に接続したスイッチング素子を接続した第 2 走査線と、スイッチング素子をオン/オフ制御する複数の出力部を有する第 1 走査回路及び第 2 走査回路と、第 1 走査回路及び第 2 走査回路の走査を制御する制御回路とを設け、第 1 走査線及び第 2 走査線が、夫々第 1 走査回路及び第 2 走査回路の出力部に接続され、前記制御回路が、極性が相補関係となる第 1 走査回路及び第 2 走査回路の走査周波数を決定する動作クロック信号を生成する手段と、第 1 走査回路及び第 2 走査回路の走査開始タイミング及び前記オン時間を決定する共通の走査開始信号を生成する手段とを備えることを特徴とする。

30

## 【 0 0 2 0 】

請求項 10 に係る液晶表示装置は、同一マトリクス行の画素の内、奇数マトリクス列の画素に接続したスイッチング素子を接続した第 1 走査線及び偶数マトリクス列の画素に接続したスイッチング素子を接続した第 2 走査線と、スイッチング素子をオン/オフ制御する複数の出力部を有する走査回路とを設け、第 1 走査線及び第 2 走査線が、交互に前記走査回路の出力部に接続されていることを特徴とする。

## 【 0 0 2 1 】

請求項 11 に係る液晶表示装置は、前記走査回路の走査を制御する制御回路を設け、該制御回路が、前記走査回路の走査周波数を決定する動作クロック信号を生成する手段と、前記走査回路の走査開始タイミング及び前記オン時間を決定する信号幅が前記動作クロック信号の 2 クロック時間である走査開始信号を生成する手段とを備えることを特徴とする。

40

## 【 0 0 2 2 】

請求項 1 の液晶表示装置の駆動方法及び請求項 5 の液晶表示装置にあっては、表示用のデータ電圧を画素電極及び対向電極間に印加する前に、リフレッシュ用のリセット電圧を印加することにより、表示用のデータ電圧は、全画素（全画面）に対し常に一定の状態から書き込むことになるので、印加前の画素電圧値によって印加できる電圧値の差異を減少することができる。

## 【 0 0 2 3 】

請求項 2 の液晶表示装置の駆動方法及び請求項 6 の液晶表示装置にあっては、液晶にかか

50

る電圧を前後する表示期間（フレーム又はサブフレーム）で逆極性とする交流駆動とすることにより、液晶物質の劣化及び液晶パネルの焼付きを防止することができる。

【0024】

請求項3の液晶表示装置の駆動方法及び請求項7の液晶表示装置にあっては、スイッチング素子のオン期間の内、リフレッシュ用の前半期間と表示用の後半期間とを略等しくすることにより、夫々の期間でのスイッチング素子の書き込み能力を効果的に利用することができる。

【0025】

請求項4の液晶表示装置の駆動方法及び請求項8の液晶表示装置にあっては、画素の光透過率を変化させる必要の少ない動画（静止画を含む）の表示時には、画素に印加する正極電圧及び負極電圧の絶対値は略等しいため、リフレッシュするためのリセット電圧を0Vとすることにより、リフレッシュ効率を高めることができる。換言すれば、リフレッシュ用の前半期間の電荷供給量及び表示用の後半期間の電荷供給量を夫々略1/2に分担することにより、スイッチング素子の書き込み能力を効果的に利用することができる。

10

【0026】

請求項9及び請求項10の液晶表示装置にあっては、一の画素を制御するスイッチング素子の走査線と隣合う画素を制御するスイッチング素子の走査線とを別の走査線とすることにより、スイッチング素子のオン/オフ制御を隣合う画素で別の制御とすることができる。

。

【0027】

請求項11の液晶表示装置にあっては、リセット電圧及びデータ電圧を印加できる時間を2倍にすることにより、画素電極への書き込みを十分行うことができる。また、走査する前後段の走査線に接続されたスイッチング素子のオン期間にて、前段の走査線に接続された画素に表示用のデータ電圧を印加する後半期間と後段の走査線に接続された画素にリフレッシュ用のリセット電圧を印加する前半期間とをオーバーラップさせることにより、隣合う走査線に接続された画素に同時に所望の電圧を印加することができ、スイッチング素子の書き込み能力を効果的に利用することができる。

20

【0028】

【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて詳述する。図1は本発明による液晶パネルの模式的断面図、図2は液晶パネル及びバックライトの構成例を示す模式的斜視図である。

30

【0029】

（実施の形態1）

図1に示すように、液晶パネル1は、マトリクス状に配置されたITO（Indium Tin Oxide）製の光透過率に優れた画素電極5（ $(0.24 \times 0.24)$ （ $\text{mm}^2$ ））、画素数1024H×768V、対角12.1インチ）及び画素電極5の夫々に接続されたTFTを有するガラス基板6と対向電極2及びマトリクス状に配置されたカラーフィルタ3を有するガラス基板4とを備えている。画素電極5及びカラーフィルタ3上には夫々配向膜7及び配向膜8を備え、ガラス基板6及びガラス基板4はこれらの配向膜7及び配向膜8を対向して配置され、配向膜7及び配向膜8間に面内均一のギャップ（ $1.6 \mu\text{m}$ ）を保持するために球状のスペーサ10を散布して形成した空隙内に、FLCを充填して液晶層9が形成されている。図2に示すように、この液晶パネル1は2枚の偏光板11及び12で挟まれ、更にその下方にバックライト26が配置される。

40

【0030】

図3は本発明の実施の形態1による液晶表示装置の液晶パネルの模式的平面図、図4は液晶表示装置の全体のブロック図である。図3に示すように、画素電極5及びTFT21はガラス基板6上にマトリクス（1024H×768V）配置されており、各画素電極5はTFT21のドレイン端子と夫々接続されている。第*i*（ $i = 1, 2, 3, \dots, 768$ ）行目の奇数列のTFT21のゲート端子及び第*i*行目の偶数列のTFT21のゲート端

50

子は、夫々第1走査線 $L_{i_a}$ 及び第2走査線 $L_{i_b}$ に接続され、第 $j$  ( $j = 1, 2, 3, \dots, 1024$ )列のTF T 2 1のソース端子はデータ線 $D_j$ に接続されている。第1走査線 $L_{i_a}$ 及び第2走査線 $L_{i_b}$ は夫々第1ゲートドライバ24 a及び第2ゲートドライバ24 bの出力段に順次接続され、データ線 $D_j$ はソースドライバ22の出力段に順次接続されている。

【0031】

なお、対向電極2にはDC電圧が印加されていれば良いが、以下説明を簡略化できるように0V電圧が印加されており、画素電極5に印加する電圧は、即ち画素の光透過率を制御する画素電極5及び対向電極2間の電圧であるとする。

【0032】

奇数列のTF T 2 1は、第1ゲートドライバ24 aからライン順次に供給される走査信号を第1走査線 $L_{i_a}$ に入力することによってオン/オフ制御され、オン期間にはソースドライバ22から各データ線 $D_j$ に入力するデータ電圧を画素電極5に印加し、オフ期間にはそれまでのデータ電圧を保持する。同様に、偶数列のTF T 2 1は、第2ゲートドライバ24 bからライン順次に供給される走査信号を第2走査線 $L_{i_b}$ に入力することによってオン/オフ制御され、オン期間にはソースドライバ22から各データ線 $D_j$ に入力するデータ電圧を画素電極5に印加し、オフ期間にはそれまでのデータ電圧を保持する。そしてTF T 2 1を介して印加されたデータ電圧により、液晶の電気光学特性であるTV特性によって決定される液晶の光透過率を制御し画像を表示する。

【0033】

本実施形態における液晶表示装置は、上述したようなソースドライバ22、第1ゲートドライバ24 a、及び第2ゲートドライバ24 bに加えて、図4に示すように、制御信号発生回路31、画像メモリ32、第1論理積回路(AND回路)36 a及び第2論理積回路(AND回路)36 b、第1反転回路(INV回路)37 a及び第2反転回路(INV回路)37 b、排他的論理和回路(EX OR回路)38、並びにバックライト電源回路39の周辺回路を備えている。

【0034】

制御信号発生回路31は、入力される同期信号Syncから、画像メモリ32に蓄積された画像信号の出力タイミングを制御する画像制御信号CSと、画素電極5にデータ電圧を書き込む電圧極性を制御する書込極性制御信号PNと、ソースドライバ22の出力電圧極性を制御する出力極性制御信号DMと、ソースドライバ22の動作を制御するクロック信号CLK等と、第1ゲートドライバ24 a及び第2ゲートドライバ24 bの動作を制御する共通の走査周波数を決定する動作クロック信号CPV及び走査開始タイミングを決定する走査開始信号STV等とを生成する。また、生成した画像制御信号CSを画像メモリ32へ、書込極性制御信号PNを排他的論理和回路38へ、出力極性制御信号DMを排他的論理和回路38及びソースドライバ22へ、クロック信号CLK等をソースドライバ22へ、動作クロック信号CPVを第1ゲートドライバ24 a及び第2反転回路37 bへ、走査開始信号STV等を第1ゲートドライバ24 a及び第2ゲートドライバ24 bへ夫々出力する。

【0035】

画像メモリ32は、液晶パネル1に表示すべき表示データDataを一旦記憶し、制御信号発生回路31により生成された画像制御信号CSに同期して交互に、奇数列の表示用データPD1を第1論理積回路36 aへ出力し、偶数列の表示用データPD2を第2論理積回路36 bへ出力する。

【0036】

排他的論理和回路38は、制御信号発生回路31が生成した書込極性制御信号PN及び出力極性制御信号DMを入力し、この2つの信号の排他的論理和である信号を出力する。この信号が、画素電極5に印加する電圧として表示用のデータ電圧又はリフレッシュ用のリセット電圧のいずれかを決定する出力選択信号となる。

【0037】

10

20

30

40

50

第1論理積回路36aは、奇数列の表示用データ信号及びリフレッシュ用データ信号を生成するための回路であり、排他的論理和回路38が生成した出力選択信号を第1反転回路37aにて反転した信号と画像メモリ32から読み出した奇数列の表示用データPD1とから論理積信号を生成し、生成した信号PD1aをソースドライバ22にデータ信号DATAとして出力する。

【0038】

表示用データが8ビットの場合における第1論理積回路36aの動作を更に詳述すれば、入力される夫々のビット( $d_{in1}$ ,  $d_{in2}$ , ...,  $d_{in8}$ )と排他的論理和回路38が生成した出力選択信号の反転信号との論理積信号をデータ信号DATAの夫々のデータビット( $d_{out1}$ ,  $d_{out2}$ , ...,  $d_{out8}$ )として出力する。これにより、出力されるデータビット( $d_{out1}$ ,  $d_{out2}$ , ...,  $d_{out8}$ )は、出力選択信号が”H”時には、(L, L, ..., L)である0階調データとなり、出力選択信号が”L”時には、( $d_{in1}$ ,  $d_{in2}$ , ...,  $d_{in8}$ )である表示用データとなる。

10

【0039】

第2論理積回路36bは、偶数列の表示用データ信号及びリフレッシュ用データ信号を生成するための回路であり、排他的論理和回路38が生成した出力選択信号と画像メモリ32から読み出した偶数列の表示用データPD2とから論理積信号を生成し、生成した信号PD2aをソースドライバ22にデータ信号DATAとして出力する。

【0040】

表示用データが8ビットの場合における第2論理積回路36bの動作を更に詳述すれば、入力される夫々のビット( $d_{in1}$ ,  $d_{in2}$ , ...,  $d_{in8}$ )と排他的論理和回路38が生成した出力選択信号との論理積信号をデータ信号DATAの夫々のデータビット( $d_{out1}$ ,  $d_{out2}$ , ...,  $d_{out8}$ )として出力する。これにより、出力されるデータビット( $d_{out1}$ ,  $d_{out2}$ , ...,  $d_{out8}$ )は、出力選択信号が”L”時には、(L, L, ..., L)である0階調データとなり、出力選択信号が”H”時には、( $d_{in1}$ ,  $d_{in2}$ , ...,  $d_{in8}$ )である表示用データとなる。

20

【0041】

制御信号発生回路31が生成した走査開始信号STVを、第1ゲートドライバ24a及び第2ゲートドライバ24bに入力し、一方、動作クロック信号CPVを、第1ゲートドライバ24aに動作クロック信号CPVaとしてそのまま入力し、第2反転回路37bにて反転した信号バーCPVを第2ゲートドライバ24bに動作クロック信号CPVbとして入力する。

30

【0042】

ソースドライバ22がドット反転駆動型のソースドライバであるとして、その動作を詳述する。図18はドット反転駆動型のソースドライバの構成を示すブロック図である。ソースドライバは、コントロール回路51、データラッチ回路52、D/A変換回路53、出力アンプ回路54、データ反転回路55、及び階調電圧発生回路56を備えている。

【0043】

コントロール回路51は、外部から入力されるクロック信号CLK、出力極性制御信号DM、及びコントロール信号CL等から後述するデータ信号のデータラッチのタイミングを決定する信号をデータラッチ回路52に出力し、加えてデータラッチ回路52、D/A変換回路53、及び出力アンプ回路54の動作をコントロールする信号を出力する。データ反転回路55は、入力されたデータ信号DATAとデータ信号DATAの反転/非反転を制御するデータ反転信号INVとから生成した信号をクロック信号CLKに同期してデータラッチ回路52に入力する。データラッチ回路52は、コントロール信号CLの立ち上がり時にデータラッチ回路52に蓄積されたデータ信号DATAをD/A変換回路53へ転送する。階調電圧発生回路56は、外部から入力された階調基準電圧(8ビット時:正極側ref1~ref8, 負極側rref1~rref8)から正極階調電位(256階調)と負極階調電位(256階調)とを生成し、これらの正極階調電位及び負極階調電位をD/A変換回路53に夫々入力する。D/A変換回路53は、コントロール信号CLの

40

50

立ち下がり時に出力極性制御信号 DM の情報に基づきデータ信号 DATA をアナログ変換した正極電圧又は負極電圧を出力アンプ回路 54 へ転送する。

【0044】

出力極性制御信号 DM と出力電圧との関係は表 1 に示す通りである。出力極性制御信号 DM が " L " の場合には、奇数出力端子から正極電圧が出力され、偶数出力端子から負極電圧が出力される（出力極性タイプ A）。一方、出力極性制御信号 DM が " H " の場合には、奇数出力端子から負極電圧が出力され、偶数出力端子から正極電圧が出力される（出力極性タイプ B）。

【0045】

【表 1】

10

表 1

DM信号	奇数出力端子	偶数出力端子
L	正極電圧	負極電圧
H	負極電圧	正極電圧

【0046】

図 19 は、ソースドライバ 22 の階調データ 出力電圧特性を示すグラフである。0 階調データが入力された場合には出力電圧は 0 V であるが、階調電圧発生回路が正極性側回路を経由したか、負極性側回路を経由したかを区別するため夫々 " + 0 V "、" - 0 V " として記述する。

20

【0047】

図 5 は、本発明の実施の形態 1 における駆動シーケンスを示す図である。まず、第 1 走査線  $L_{i a}$  及び第 2 走査線  $L_{i b}$  のタイミングについて詳述する。CPV a は奇数列の TFT 21 を走査する第 1 ゲートドライバ 24 a の動作クロック信号である。CPV b は偶数列の TFT 21 を走査する第 2 ゲートドライバ 24 b の動作クロック信号であり、CPV a と周波数が等しく極性が反転した信号である。STV は、第 1 ゲートドライバ 24 a 及び第 2 ゲートドライバ 24 b の共通の走査開始信号であり、TFT 21 のオン期間を決定する " H " 期間幅は動作クロック信号 CPV a 及び CPV b の 1 クロックに略等しく、第 1 ゲートドライバ 24 a 及び第 2 ゲートドライバ 24 b のラッチミスを防ぐために動作クロック信号 CPV a の立上がりより略 1 / 4 クロック前に入力されている。

30

【0048】

第 1 ゲートドライバ 24 a 及び第 2 ゲートドライバ 24 b はシフトレジスタを内部に有しており、第 1 ゲートドライバ 24 a 及び第 2 ゲートドライバ 24 b の各出力段は、動作クロック信号 CPV a 及び CPV b の立上がりエッジでの入力信号の電圧値を夫々取得し、立上がりエッジ以外では取得した電圧値を夫々保持する。また、ゲートドライバ内部にて、その値を所定時間だけ遅延させて次段の入力信号とする。これにより走査開始信号 STV と動作クロック信号 CPV a 及び CPV b とに基づいて、オン期間 ( " H " 期間 ) を順次走査する信号が第 1 走査線  $L_{i a}$  及び第 2 走査線  $L_{i b}$  に入力される。

40

【0049】

つまり、走査開始信号 STV が " H " 状態で、動作クロック信号 CPV a が立上がったエッジを第 1 番目の立上がりエッジとすることにして、第 1 ゲートドライバ 24 a の出力段に接続された第 1 走査線  $L_{i a}$  に入力される信号は、動作クロック信号 CPV a の第 i 番目の立上がりエッジで立上がり、第 i + 1 番目の立上がりエッジで立下がる。同様に、走査開始信号 STV が " H " 状態で、動作クロック信号 CPV b が立上がったエッジを第 1 番目の立上がりエッジとして、第 2 ゲートドライバ 24 b の出力段に接続された第 2 走査線  $L_{i b}$  に入力される信号は、動作クロック信号 CPV b の第 i 番目の立上がりエッジで立上がり、第 i + 1 番目の立上がりエッジで立下がる。例えば、第 1 走査線  $L_{1 a}$  及び第

50

2 走査線  $L_{1b}$  は夫々動作クロック信号  $CPVa$  及び  $CPVb$  の第 1 番目の立上がりエッジで立上がり、第 2 番目の立上がりエッジで立下がる。第 1 走査線  $L_{2a}$  及び第 2 走査線  $L_{2b}$  は夫々動作クロック信号  $CPVa$  及び  $CPVb$  の第 2 番目の立上がりエッジで立上がり、第 3 番目の立上がりエッジで立下がる。

【0050】

従って、マトリクス状に配置された同一行の TFT21 を走査する走査線を奇数列用の第 1 走査線  $L_{ia}$  と偶数列用の第 2 走査線  $L_{ib}$  とにすることにより、同一行の TFT21 をオンする期間を奇数列の TFT21 と偶数列の TFT21 とで別にする事ができる。オーバーラップする時間が存在するが、オン期間の終了時に TFT21 を介して画素へ印加する電圧により表示階調が決定されるので、オン期間の終了時が異なるタイミングであることが重要となる。

10

【0051】

次に、データ線  $D_j$  のタイミングについて詳述する。書込極性制御信号 PN は正極性書き込み期間中には "L" が入力され、負極性書き込み期間中には "H" が入力される。出力極性制御信号 DM は第 1 ゲートドライバ 24a 及び第 2 ゲートドライバ 24b の動作クロック信号  $CPVa$  及び  $CPVb$  と同一周波数の信号である。書込極性制御信号 PN と出力極性制御信号 DM との排他的論理和の反転信号は、奇数列の書き込み電圧をリフレッシュ用のリセット電圧又は表示用のデータ電圧のいずれかに選択するための信号であり、書込極性制御信号 PN と出力極性制御信号 DM との排他的論理和信号は、偶数列の書き込み電圧をリフレッシュ用のリセット電圧又は表示用のデータ電圧のいずれかに選択するための信号である。

20

【0052】

書込極性制御信号 PN 及び出力極性制御信号 DM の各極性の組合せと出力電圧との関係は、表 2 に示す通りである。例えば、書込極性制御信号 PN が "L" かつ出力極性制御信号 DM が "L" である場合、奇数出力端子から正極データ電圧が出力され、偶数出力端子からリセット電圧である負極 0 階調電圧 (-0V) が出力される。

【0053】

【表 2】

表 2

30

PN信号	DM信号	奇数出力端子	偶数出力端子
L	L	正極データ電圧	負極0階調電圧(-0V)
L	H	負極0階調電圧(-0V)	正極データ電圧
H	L	正極0階調電圧(+0V)	負極データ電圧
H	H	負極データ電圧	正極0階調電圧(+0V)

【0054】

40

従って、TFT21 のオン期間において、前半オン期間中にはリフレッシュ用のリセット電圧を画素電極 5 に印加し、後半オン期間中には表示用のデータ電圧を画素電極 5 に印加することになる。より具体的に述べれば、書込極性制御信号 PN が "L" 時には、奇数出力端子及び偶数出力端子はともに、前半オン期間中には負極 0 階調であるリセット電圧 (-0V) を画素電極 5 に印加し、後半オン期間中には正極データ電圧を画素電極 5 に印加することになり、書込極性制御信号 PN が "H" 時には、奇数出力端子及び偶数出力端子はともに、前半オン期間中には正極 0 階調であるリセット電圧 (+0V) を画素電極 5 に印加し、後半オン期間中には負極データ電圧を画素電極 5 に印加することになる。なお、動作クロック信号  $CPVa$  及び  $CPVb$  のデューティ比を略 50% にすることで、前半オン期間及び後半オン期間を略等しくすることができる。

50

## 【0055】

図5のタイミングチャートにおける $t_0 \sim t_4$ 期間に、各画素に印加される電圧を図6～図9に示す。 $t_0 \sim t_1$ 期間には、第1走査線 $L_{1a}$ に“H”信号が入力されているので、第1走査線 $L_{1a}$ に接続された1行目奇数列のTF T 2 1がオンとなり、各データ線 $D_j$ に供給されている負極0階調であるリセット電圧( $-0V$ )を画素電極5に供給する(図6)。

## 【0056】

$t_1 \sim t_2$ 期間には、第1走査線 $L_{1a}$ 及び第2走査線 $L_{1b}$ に“H”信号が入力されているので、第1走査線 $L_{1a}$ に接続された1行目奇数列のTF T 2 1がオン状態を継続し、各データ線 $D_j$ に供給されている正極データ電圧( $+V_{11}, +V_{13}, \dots$ )を画素電極5に供給し、第2走査線 $L_{1b}$ に接続された1行目偶数列のTF T 2 1がオンとなり、各データ線 $D_j$ に供給されている負極0階調であるリセット電圧( $-0V$ )を画素電極5に供給する(図7)。

10

## 【0057】

$t_2 \sim t_3$ 期間には、第1走査線 $L_{1a}$ に“L”信号が入力されているので、第1走査線 $L_{1a}$ に接続された1行目奇数列のTF T 2 1がオフとなり、前期間( $t_1 \sim t_2$ 期間)に供給された正極データ電圧( $+V_{11}, +V_{13}, \dots$ )を保持する。また、第1走査線 $L_{1b}$ 及び第2走査線 $L_{2a}$ に“H”信号が入力されているので、第2走査線 $L_{1b}$ に接続された1行目偶数列のTF T 2 1がオン状態を継続し、各データ線 $D_j$ に供給されている正極データ電圧( $+V_{12}, +V_{14}, \dots$ )を画素電極5に供給し、第1走査線 $L_{2a}$ に接続された2行目奇数列のTF T 2 1がオンとなり、各データ線 $D_j$ に供給されている負極0階調であるリセット電圧( $-0V$ )を画素電極5に供給する(図8)。

20

## 【0058】

$t_3 \sim t_4$ 期間には、第2走査線 $L_{1b}$ に“L”信号が入力されているので、第2走査線 $L_{1b}$ に接続された1行目偶数列のTF T 2 1がオフとなり、前期間( $t_2 \sim t_3$ 期間)に供給された正極データ電圧( $+V_{12}, +V_{14}, \dots$ )を保持する。また、第1走査線 $L_{2a}$ 及び第2走査線 $L_{2b}$ に“H”信号が入力されているので、第1走査線 $L_{2a}$ に接続された2行目奇数列のTF T 2 1がオン状態を継続し、各データ線 $D_j$ に供給されている正極データ電圧( $+V_{21}, +V_{23}, \dots$ )を画素電極5に供給し、第2走査線 $L_{2b}$ に接続された2行目偶数列のTF T 2 1がオンとなり、各データ線 $D_j$ に供給されている負極0階調であるリセット電圧( $-0V$ )を画素電極5に供給する(図9)。

30

## 【0059】

この一連の動作により、データ電圧を印加する直前にリセット電圧を印加することになるので、前フレームのデータ電圧に依存することなく、所定のデータ電圧を印加することが可能となる。また、各画素に印加される電圧極性は図17に示すような極性となり、同一極性の表示が可能となる。

## 【0060】

より具体的に述べれば、1フレームでは、各画素電極5に印加される電圧はすべて正極電圧又は負極電圧であり、正極電圧印加時に表示用データ電圧が各画素電極5に印加され、負極電圧印加時に液晶パネルの焼付き及び液晶分子の劣化を防止する逆極性電圧が各画素電極5に印加される。

40

## 【0061】

ここで、図1及び図2に示されている液晶パネルの製造方法について説明する。ITO膜の画素電極5( $(0.24 \times 0.24)$ ( $\text{mm}^2$ )),画素数 $1024 \text{H} \times 768 \text{V}$ ,対角 $12.1$ インチ)及びTF Tを有するガラス基板6と、RGBの3色を有するカラーフィルタ3及び対向電極2を有するガラス基板4を洗浄した後、ポリイミドを塗布して $200$ で1時間の焼成をして $2000 \text{nm}$ のポリイミド膜を配向膜7及び8として成膜する。

## 【0062】

この配向膜7、8の表面をレーヨン製の布でラビングし、両者間に平均粒径 $1.6 \mu\text{m}$ の

50

シリカ製のスペーサ 10 でギャップを保持した状態で 2 枚を重ね合わせ空パネルを製造する。この空パネルにナフタレン系液晶を主成分とする FLC を封入して液晶層 9 とする。

【0063】

製造したパネルをクロスニコル状態の 2 枚の偏光板 11 及び 12 で、FLC の液晶分子の長軸方向が一方に傾いた場合に暗状態になるようにして挟んで液晶パネル 1 とする。この液晶パネル 1 の背面よりバックライトの光が入射できるようにバックライト 26 を配置して液晶表示装置を製造する。

【0064】

(実施の形態 2)

実施の形態 1 では、2 つのゲートドライバを用いて第 1 走査線及び第 2 走査線を夫々走査するようにしたが、1 つのゲートドライバを用いて第 1 走査線及び第 2 走査線を走査するようにしても良く、このようにしたものが実施の形態 2 である。図 10 は本発明の実施の形態 2 による液晶表示装置の液晶パネルの模式的平面図、図 11 は液晶表示装置の全体のブロック図である。

【0065】

図 10 に示すように、画素電極 5 及び TFT 21 はガラス基板 6 上にマトリックス (1024H × 768V) 配置されており、各画素電極 5 は TFT 21 のドレイン端子と夫々接続されている。第  $i$  ( $i = 1, 2, 3, \dots, 768$ ) 行目の奇数列の TFT 21 のゲート端子及び第  $i$  行目の偶数列の TFT 21 のゲート端子は、夫々走査線  $L_{2i-1}$  及び走査線  $L_{2i}$  (以下、走査線  $L_k$  ( $k = 1, 2, 3, \dots, 1536$ ) という) に接続され、第  $j$  ( $j = 1, 2, 3, \dots, 1024$ ) 列の TFT 21 のソース端子はデータ線  $D_j$  に接続されている。走査線  $L_k$  はゲートドライバ 24 の出力段に順次接続され、データ線  $D_j$  はソースドライバ 22 の出力段に順次接続されている。

【0066】

なお、対向電極 2 には DC 電圧が印加されていれば良いが、以下説明を簡略化できるように 0V 電圧が印加されており、画素電極 5 に印加する電圧は、即ち画素の光透過率を制御する画素電極 5 及び対向電極 2 間の電圧であるとする。

【0067】

TFT 21 は、ゲートドライバ 24 からライン順次に供給される走査信号を走査線  $L_k$  に入力することによってオン/オフ制御され、オン期間にはソースドライバ 22 から各データ線  $D_j$  に入力するデータ電圧を画素電極 5 に印加し、オフ期間にはそれまでのデータ電圧を保持する。そして TFT 21 を介して印加されたデータ電圧により、液晶の電気光学特性である  $T-V$  特性によって決定される液晶の光透過率を制御し画像を表示する。

【0068】

本実施形態における液晶表示装置は、上述したようなソースドライバ 22 及びゲートドライバ 24 に加えて、図 11 に示すように、制御信号発生回路 41、画像メモリ 42、第 1 論理積回路 (AND 回路) 46a 及び第 2 論理積回路 (AND 回路) 46b、反転回路 (INV 回路) 47、排他的論理和回路 (EXOR 回路) 48、並びにバックライト電源回路 49 の周辺回路を備えている。

【0069】

制御信号発生回路 41 は、入力される同期信号 Sync から、画像メモリ 42 に蓄積された画像信号の出力タイミングを制御する画像制御信号 CS と、画素電極 5 にデータ電圧を書き込む電圧極性を制御する書込極性制御信号 PN と、ソースドライバ 22 の出力電圧極性を制御する出力極性制御信号 DM と、ソースドライバ 22 の動作を制御するクロック信号 CLK 等と、ゲートドライバ 24 の動作を制御する走査周波数を決定する動作クロック信号 CPV 及び走査開始タイミングを決定する走査開始信号 STV 等を生成する。また、生成した画像制御信号 CS を画像メモリ 42 へ、書込極性制御信号 PN を排他的論理和回路 48 へ、出力極性制御信号 DM を排他的論理和回路 48 及びソースドライバ 22 へ、クロック信号 CLK 等をソースドライバ 22 へ、動作クロック信号 CPV 及び走査開始信号 STV 等をゲートドライバ 24 へ夫々出力する。

10

20

30

40

50

## 【0070】

画像メモリ42は、液晶パネル1に表示すべき表示データDataを一旦記憶し、制御信号発生回路41により生成された画像制御信号CSに同期して交互に、奇数列の表示用データPD1を第1論理積回路46aへ出力し、偶数列の表示用データPD2を第2論理積回路46bへ出力する。

## 【0071】

排他的論理和回路48は、制御信号発生回路41が生成した書込極性制御信号PN及び出力極性制御信号DMを入力し、この2つの信号の排他的論理和である信号を出力する。この信号が、画素電極5に印加する電圧として表示用のデータ電圧又はリフレッシュ用のリセット電圧のいずれかを決定する出力選択信号となる。

10

## 【0072】

第1論理積回路46aは、奇数列の表示用データ信号及びリフレッシュ用データ信号を生成するための回路であり、排他的論理和回路48が生成した出力選択信号を反転回路47にて反転した信号と画像メモリ42から読み出した奇数列の表示用データPD1とから論理積信号を生成し、生成した信号PD1aをソースドライバ22にデータ信号DATAとして入力する。

## 【0073】

第2論理積回路46bは、偶数列の表示用データ信号及びリフレッシュ用データ信号を生成するための回路であり、排他的論理和回路48が生成した出力選択信号と画像メモリ42から読み出した偶数列の表示用データPD2とから論理積信号を生成し、生成した信号PD2aをソースドライバ22にデータ信号DATAとして入力する。

20

## 【0074】

制御信号発生回路41が生成した走査開始信号STV及び動作クロック信号CPVをゲートドライバ24に入力する。

## 【0075】

なお、ソースドライバ22はドット反転駆動型のソースドライバであり、実施の形態1にて記述したものと同様であるのでその詳細な説明を省略する。

## 【0076】

図12は、本発明の実施の形態2における駆動シーケンスを示す図である。まず、走査線 $L_k$ のタイミングについて詳述する。CPVはTF21を走査するゲートドライバ24の動作クロック信号である。STVはゲートドライバ24の走査開始信号であり、TF21のオン期間を決定する"H"期間幅は動作クロック信号CPVの2クロックに略等しく、ゲートドライバ24のラッチミスを防ぐために動作クロック信号CPVの立上がりより略1/2クロック前に入力されている。

30

## 【0077】

ゲートドライバ24はシフトレジスタを内部に有しており、ゲートドライバ24の各出力段は、動作クロック信号CPVの立上がりエッジでの入力信号の電圧値を夫々取得し、立上がりエッジ以外では取得した電圧値を夫々保持する。また、ゲートドライバ内部にて、その値を所定時間だけ遅延させて次段の入力信号とする。これにより走査開始信号STVと動作クロック信号CPVとに基づいて、オン期間("H"期間)を順次走査する信号が走査線 $L_k$ に入力される。

40

## 【0078】

つまり、走査開始信号STVが"H"状態で、動作クロック信号CPVが立上がったエッジを第1番目の立上がりエッジとすることにして、ゲートドライバ24の出力段に接続された走査線 $L_k$ に入力される信号は、動作クロック信号CPVの第k番目の立上がりエッジで立上がり、第k+2番目の立上がりエッジで立下がる。例えば、走査線 $L_1$ は動作クロック信号CPVの第1番目の立上がりエッジで立上がり、第3番目の立上がりエッジで立下がる。走査線 $L_2$ は動作クロック信号CPVの第2番目の立上がりエッジで立上がり、第4番目の立上がりエッジで立下がる。

## 【0079】

50

従って、マトリックス状に配置された同一行の T F T 2 1 を走査する走査線  $L_k$  を奇数列用の走査線と偶数列用の走査線とにすることにより、同一行の T F T 2 1 をオンする期間を奇数列の T F T 2 1 と偶数列の T F T 2 1 とで別にするができる。オーバーラップする時間が存在するが、オン期間の終了時に T F T 2 1 を介して画素へ印加する電圧により表示階調が決定されるので、オン期間の終了時が異なるタイミングであることが重要となる。

【 0 0 8 0 】

次に、データ線  $D_j$  のタイミングについて詳述する。書込極性制御信号 P N は正極性書き込み期間中には " L " が入力され、負極性書き込み期間中には " H " が入力される。出力極性制御信号 D M の周波数は、ゲートドライバ 2 4 の動作クロック信号 C P V の周波数の  $1 / 2$  である。書込極性制御信号 P N と出力極性制御信号 D M との排他的論理和の反転信号は、奇数列の書き込み電圧をリフレッシュ用のリセット電圧又は表示用のデータ電圧のいずれかに選択するための信号であり、書込極性制御信号 P N と出力極性制御信号 D M との排他的論理和信号は、偶数列の書き込み電圧をリフレッシュ用のリセット電圧又は表示用のデータ電圧のいずれかに選択するための信号である。

10

【 0 0 8 1 】

書込極性制御信号 P N 及び出力極性制御信号 D M の各極性の組合せと出力電圧との関係は、表 3 に示す通りである。例えば、書込極性制御信号 P N が " L " かつ出力極性制御信号 D M が " L " である場合、奇数出力端子から正極データ電圧が出力され、偶数出力端子からリセット電圧である負極 0 階調であるリセット電圧 ( - 0 V ) が出力される。

20

【 0 0 8 2 】

【表 3】

表 3

P N 信号	D M 信号	奇数出力端子	偶数出力端子
L	L	正極データ電圧	負極 0 階調電圧 ( - 0 V )
L	H	負極 0 階調電圧 ( - 0 V )	正極データ電圧
H	L	正極 0 階調電圧 ( + 0 V )	負極データ電圧
H	H	負極データ電圧	正極 0 階調電圧 ( + 0 V )

30

【 0 0 8 3 】

従って、T F T 2 1 のオン期間において、前半オン期間中にはリフレッシュ用のリセット電圧を画素電極 5 に印加し、後半オン期間中には表示用のデータ電圧を画素電極 5 に印加することになる。より具体的に述べれば、書込極性制御信号 P N が " L " 時には、奇数出力端子及び偶数出力端子はともに、前半オン期間中には負極 0 階調であるリセット電圧 ( - 0 V ) を画素電極 5 に印加し、後半オン期間中には正極データ電圧を画素電極 5 に印加することになり、書込極性制御信号 P N が " H " 時には、奇数出力端子及び偶数出力端子はともに、前半オン期間中には正極 0 階調であるリセット電圧 ( + 0 V ) を画素電極 5 に印加し、後半オン期間中には負極データ電圧を画素電極 5 に印加することになる。なお、動作クロック信号 C P V のデューティ比を略 5 0 % にすることで、前半オン期間及び後半オン期間を略等しくすることができる。

40

【 0 0 8 4 】

図 1 2 のタイミングチャートにおける  $t_0 \sim t_4$  期間に、各画素に印加される電圧を図 1 3 ~ 図 1 6 に示す。  $t_0 \sim t_1$  期間には、走査線  $L_1$  に " H " 信号が入力されているので、走査線  $L_1$  に接続された 1 行目奇数列の T F T 2 1 がオンとなり、各データ線  $D_j$  に供給されている負極 0 階調であるリセット電圧 ( - 0 V ) を画素電極 5 に供給する ( 図 1 3 )。

50

## 【0085】

t<sub>1</sub> ~ t<sub>2</sub> 期間には、走査線 L<sub>1</sub> 及び L<sub>2</sub> に "H" 信号が入力されているので、走査線 L<sub>1</sub> に接続された 1 行目奇数列の TFT 21 がオン状態を継続し、各データ線 D<sub>j</sub> に供給されている正極データ電圧 (+V<sub>11</sub>, +V<sub>13</sub>, ...) を画素電極 5 に供給し、走査線 L<sub>2</sub> に接続された 1 行目偶数列の TFT 21 がオンとなり、各データ線 D<sub>j</sub> に供給されている負極 0 階調であるリセット電圧 (-0V) を画素電極 5 に供給する (図 14)。

## 【0086】

t<sub>2</sub> ~ t<sub>3</sub> 期間には、走査線 L<sub>1</sub> に "L" 信号が入力されているので、走査線 L<sub>1</sub> に接続された 1 行目奇数列の TFT 21 がオフとなり、前期間 (t<sub>1</sub> ~ t<sub>2</sub> 期間) に供給された正極データ電圧 (+V<sub>11</sub>, +V<sub>13</sub>, ...) を保持する。また、走査線 L<sub>2</sub> 及び L<sub>3</sub> に "H" 信号が入力されているので、走査線 L<sub>2</sub> に接続された 1 行目偶数列の TFT 21 がオン状態を継続し、各データ線 D<sub>j</sub> に供給されている正極データ電圧 (+V<sub>12</sub>, +V<sub>14</sub>, ...) を画素電極 5 に供給し、走査線 L<sub>3</sub> に接続された 2 行目奇数列の TFT 21 がオンとなり、各データ線 D<sub>j</sub> に供給されている負極 0 階調であるリセット電圧 (-0V) を画素電極 5 に供給する (図 15)。

## 【0087】

t<sub>3</sub> ~ t<sub>4</sub> 期間には、走査線 L<sub>2</sub> に "L" 信号が入力されているので、走査線 L<sub>2</sub> に接続された 1 行目偶数列の TFT 21 がオフとなり、前期間 (t<sub>2</sub> ~ t<sub>3</sub> 期間) に供給された正極データ電圧 (+V<sub>12</sub>, +V<sub>14</sub>, ...) を保持する。また、走査線 L<sub>3</sub> 及び L<sub>4</sub> に "H" 信号が入力されているので、走査線 L<sub>3</sub> に接続された 2 行目奇数列の TFT 21 がオン状態を継続し、各データ線 D<sub>j</sub> に供給されている正極データ電圧 (+V<sub>21</sub>, +V<sub>23</sub>, ...) を画素電極 5 に供給し、走査線 L<sub>4</sub> に接続された 2 行目偶数列の TFT 21 がオンとなり、各データ線 D<sub>j</sub> に供給されている負極 0 階調であるリセット電圧 (-0V) を画素電極 5 に供給する (図 16)。

## 【0088】

この一連の動作により、実施の形態 1 と同様に、データ電圧を印加する直前にリセット電圧を印加することになるので、前フレームのデータ電圧に依存することなく、所定のデータ電圧を印加することが可能となる。また、各画素に印加される電圧極性は図 17 に示すような極性となり、同一極性の表示が可能となる。

## 【0089】

図 5 及び図 12 が示すように、実施の形態 1 の走査信号は 2 相入力であり、実施の形態 2 の走査信号は 1 相入力であるので、実施の形態 2 のゲートドライバに用いる動作クロック信号の周波数は、実施の形態 1 の夫々のゲートドライバの略 2 倍のものが必要である。

## 【0090】

なお、実施の形態 1 及び実施の形態 2 にて、ドット反転駆動型のソースドライバを用いてフレーム反転駆動する場合について説明したが、ライン反転駆動にも適用できる。また、ソースドライバがデジタル信号入力型の場合について説明したが、アナログ信号入力型の場合であってもよい。更に、ゲートドライバ及びソースドライバ等の周辺駆動回路を TFT 基板上に形成しオンチップ化してもよい。

## 【0091】

## 【発明の効果】

以上詳述した如く本発明によれば、リフレッシュ機能により、夫々の画素は表示用のデータ電圧を画素電極に印加する前に一旦定電圧となるため、表示用のデータ電圧を全画素 (全画面) に対し常に一定の状態から書き込むことになるので、印加前の画素電圧値によって印加できる電圧値の差異を減少することができ、所定の光透過率が得られ優れた階調表示特性が得られる。

## 【0092】

また、液晶駆動を前後する表示期間 (フレーム又はサブフレーム) で極性が反転する交流駆動とすることにより、液晶物質の劣化及び液晶パネルの焼付きを防止することができ、

10

20

30

40

50

液晶表示装置の寿命を延ばすことができる。

【0093】

更に、スイッチング素子のオン期間の内、リフレッシュ用の前半期間と表示用の後半期間とを略等しくすることにより、夫々の期間でのスイッチング素子の書き込み能力を効果的に利用することができ、優れた階調表示特性が得られる。

【0094】

また更に、画素の光透過率を変化させる必要の少ない動画（静止画を含む）の表示時には、画素に印加する正極電圧及び負極電圧の絶対値は略等しいため、リフレッシュするためのリセット電圧を0Vとすることにより、リフレッシュ効率を高めることができ、優れた階調表示特性が得られる。

10

【0095】

また更に、光透過率が印加電圧の極性に対して片極性となるT-V特性を有するFLC又はAFLCを用いた液晶パネルに、ドット反転駆動型のソースドライバを利用した場合でも、各表示フレームでの各画素電極に印加する電圧を同極性とすることができ、市松模様の黒表示が発生することなく優れた表示品質が得られる等、優れた効果を奏する。

【図面の簡単な説明】

【図1】本発明による液晶パネルの模式的断面図である。

【図2】本発明による液晶パネル及びバックライトの構成例を示す模式的斜視図である。

【図3】本発明の実施の形態1による液晶表示装置の液晶パネルの模式的平面図である。

【図4】本発明の実施の形態1による液晶表示装置の全体構成のブロック図である。

20

【図5】本発明の実施の形態1における駆動シーケンスを示す図である。

【図6】図5の $t_0 \sim t_1$ 期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図7】図5の $t_1 \sim t_2$ 期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図8】図5の $t_2 \sim t_3$ 期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図9】図5の $t_3 \sim t_4$ 期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図10】本発明の実施の形態2による液晶表示装置の液晶パネルの模式的平面図である。

30

【図11】本発明の実施の形態2による液晶表示装置の全体構成のブロック図である。

【図12】本発明の実施の形態2における駆動シーケンスを示す図である。

【図13】図12の $t_0 \sim t_1$ 期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図14】図12の $t_1 \sim t_2$ 期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図15】図12の $t_2 \sim t_3$ 期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

【図16】図12の $t_3 \sim t_4$ 期間に、液晶パネルの各画素電極に印加される電圧値を示す図である。

40

【図17】本発明の実施の形態1及び実施の形態2における画素電圧極性を示す図である。

【図18】ドット反転駆動型のソースドライバの構成を示すブロック図である。

【図19】ソースドライバの階調データ出力電圧特性を示すグラフである。

【図20】液晶物質におけるT-V特性を示すグラフである。

【符号の説明】

- 1 液晶パネル
- 2 対向電極
- 4 ガラス基板

50

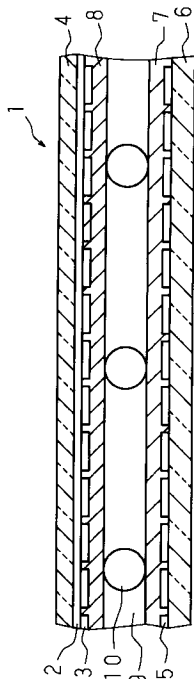
- 5 画素電極
- 6 ガラス基板
- 9 液晶層
- 2 1 TFT
- 2 2 ソースドライバ
- 2 4 ゲートドライバ
- 2 4 a 第1ゲートドライバ
- 2 4 b 第2ゲートドライバ
- 2 6 バックライト
- 3 1 制御信号発生回路
- 3 2 画像メモリ
- 3 6 a 第1論理積回路
- 3 6 b 第2論理積回路
- 3 7 a 第1反転回路
- 3 7 b 第2反転回路
- 3 8 排他的論理和回路
- 3 9 バックライト電源回路
- 4 1 制御信号発生回路
- 4 2 画像メモリ
- 4 6 a 第1論理積回路
- 4 6 b 第2論理積回路
- 4 7 反転回路
- 4 8 排他的論理和回路
- 4 9 バックライト電源回路

10

20

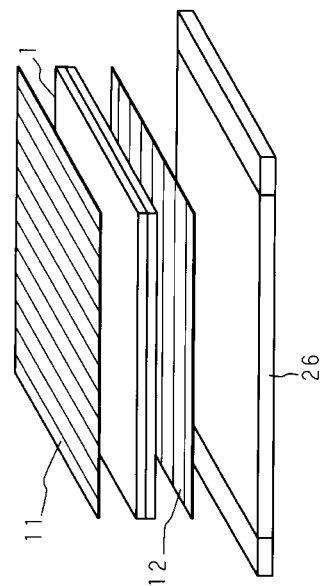
【 図 1 】

本発明による液晶パネルの模式的断面図

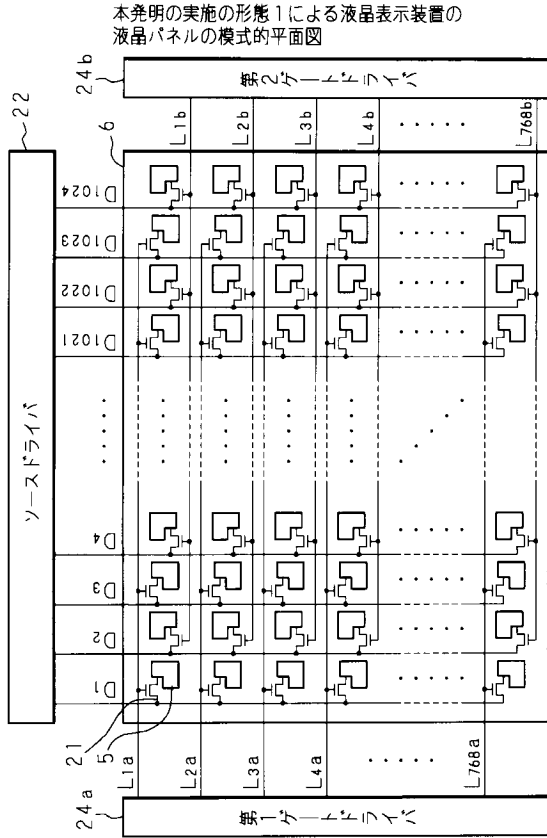


【 図 2 】

本発明による液晶パネル及びバックライトの構成例を示す模式的斜視図

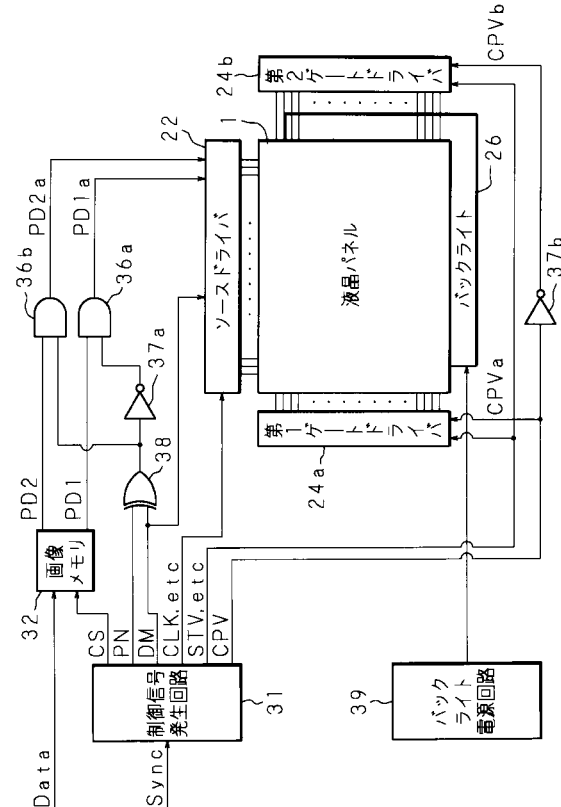


【 図 3 】



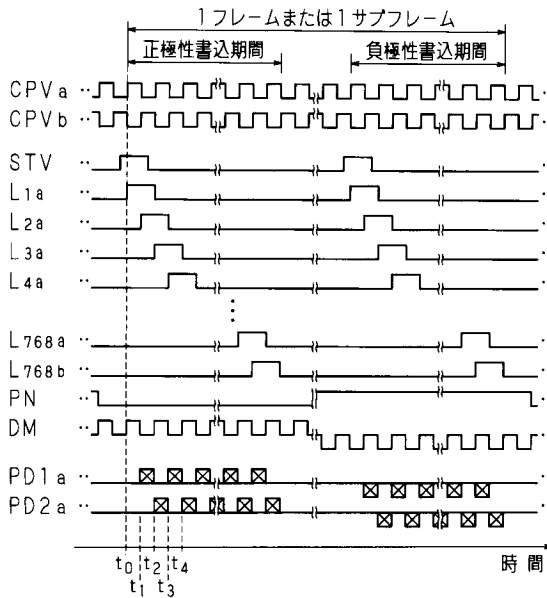
【 図 4 】

本発明の実施の形態1による液晶表示装置の全体構成のブロック図



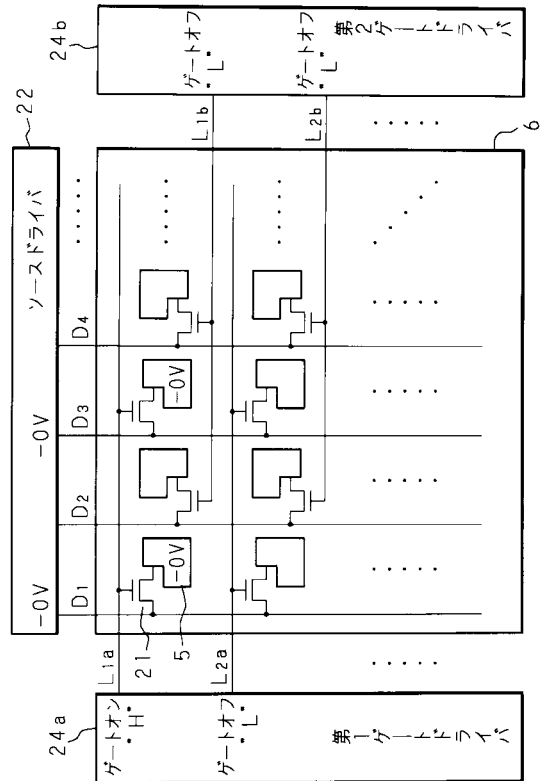
【 図 5 】

本発明の実施の形態1における駆動シーケンスを示す図



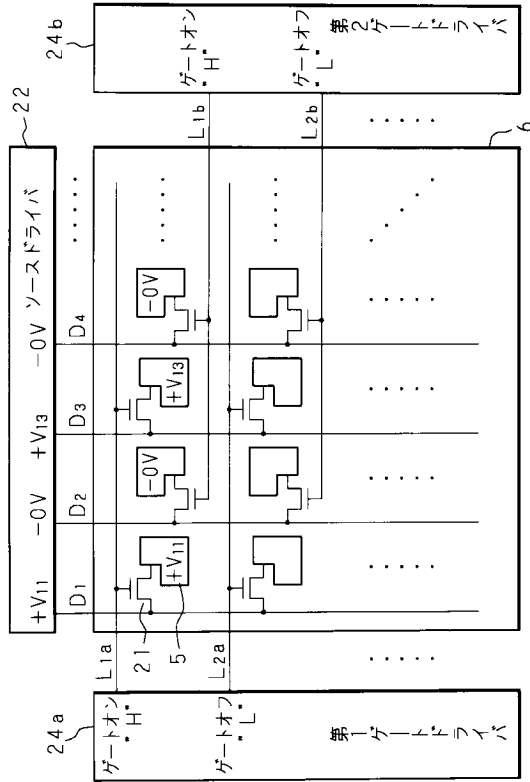
【 図 6 】

図5のt0~t1期間に、液晶パネルの各画素電極に印加される電圧値を示す図



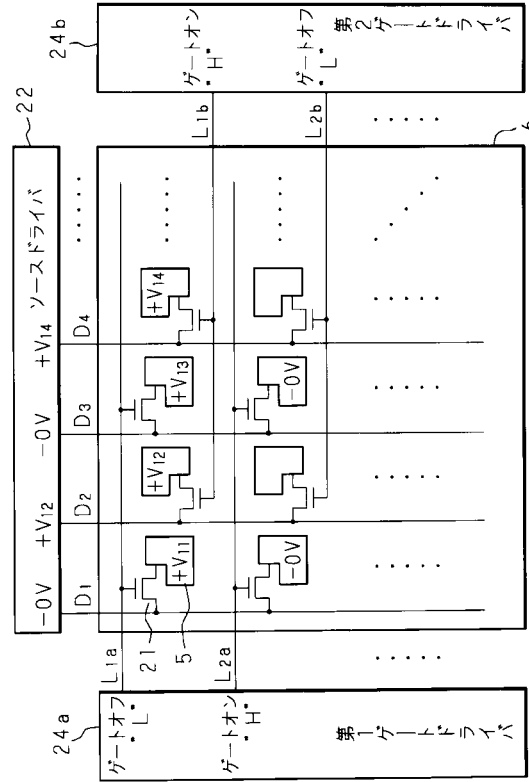
【 図 7 】

図5のt1～t2期間に、液晶パネルの各画素電極に印加される電圧値を示す図



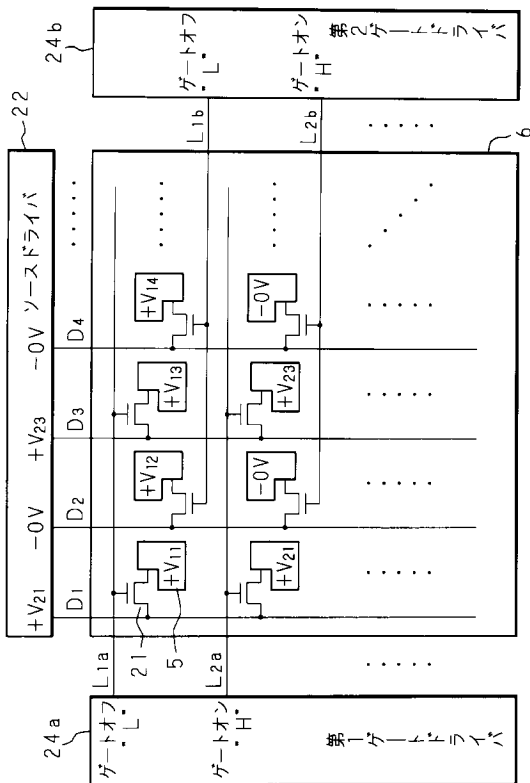
【 図 8 】

図5のt2～t3期間に、液晶パネルの各画素電極に印加される電圧値を示す図



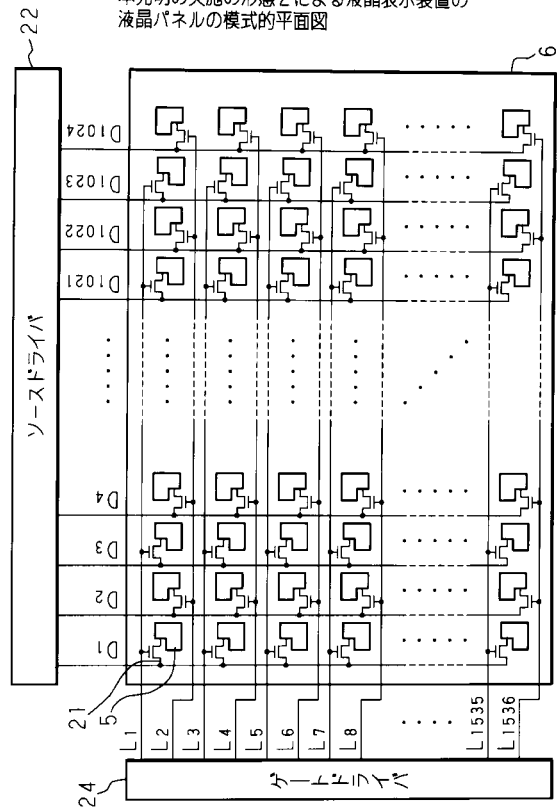
【 図 9 】

図5のt3～t4期間に、液晶パネルの各画素電極に印加される電圧値を示す図



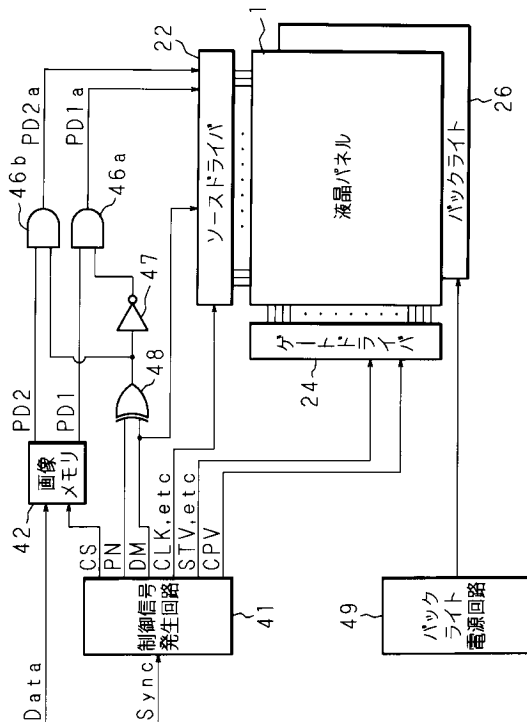
【 図 10 】

本発明の実施の形態2による液晶表示装置の液晶パネルの模式的平面図



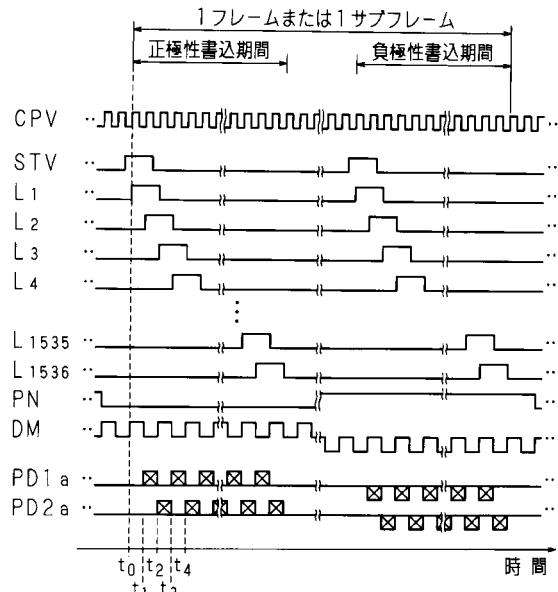
【 図 1 1 】

本発明の実施の形態2による液晶表示装置の全体構成のブロック図



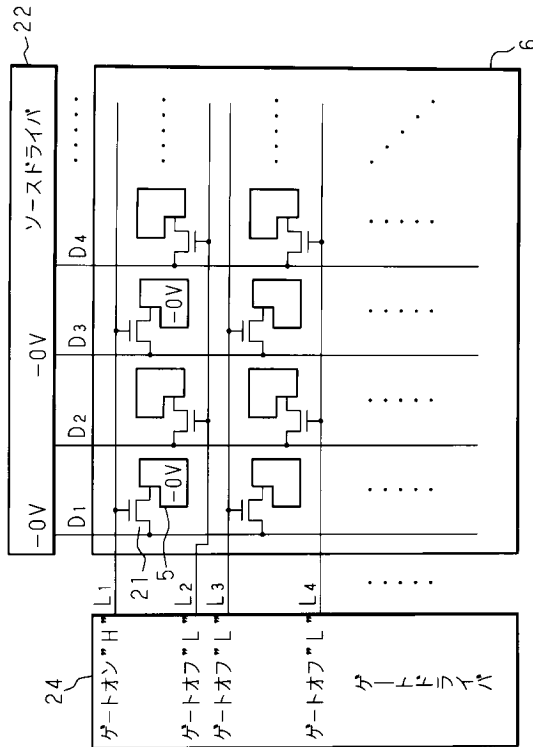
【 図 1 2 】

本発明の実施の形態2における駆動シーケンスを示す図



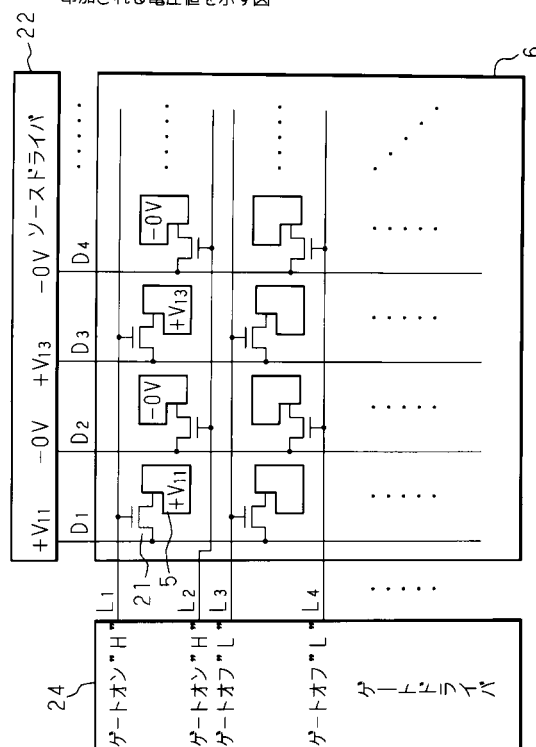
【 図 1 3 】

図12のt0～t1期間に、液晶パネルの各画素電極に印加される電圧値を示す図



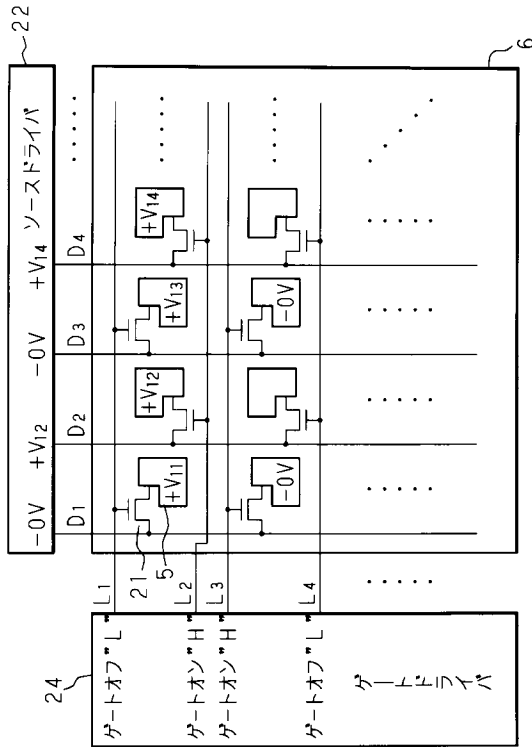
【 図 1 4 】

図12のt1～t2期間に、液晶パネルの各画素電極に印加される電圧値を示す図



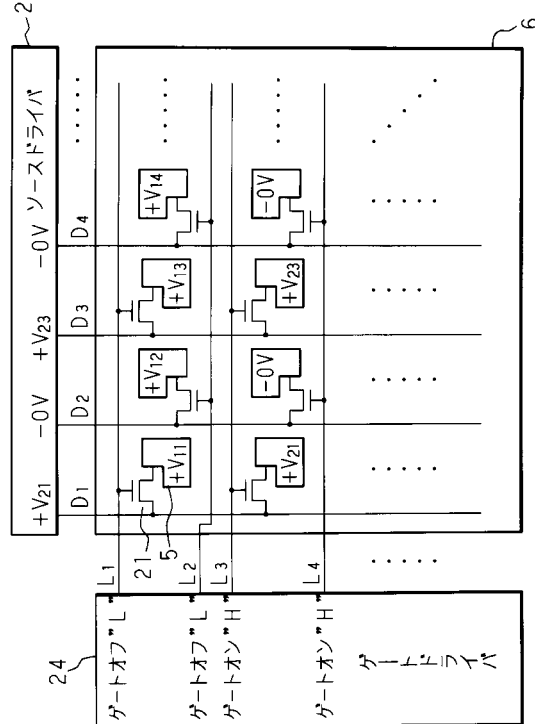
【 図 1 5 】

図12のt2~t3期間に、液晶パネルの各画素電極に印加される電圧値を示す図



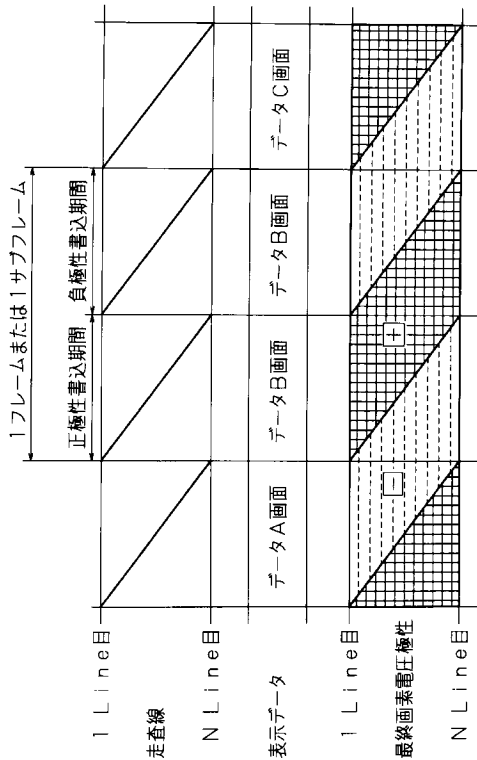
【 図 1 6 】

図12のt3~t4期間に、液晶パネルの各画素電極に印加される電圧値を示す図



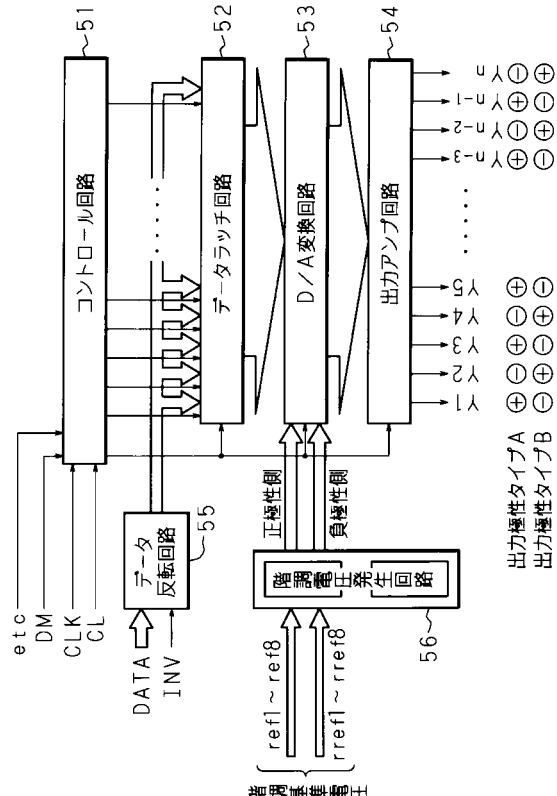
【 図 1 7 】

本発明の実施の形態1及び実施の形態2における画素電圧極性を示す図



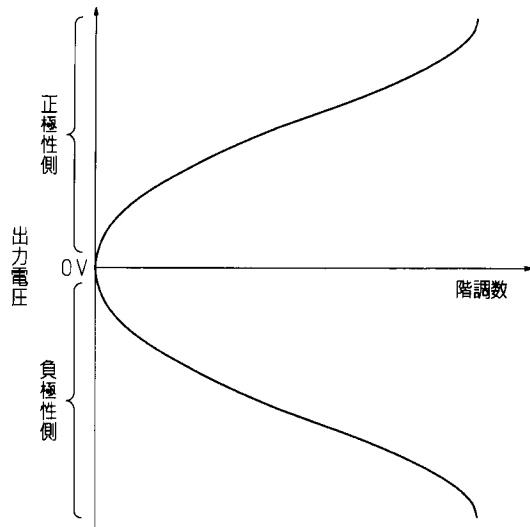
【 図 1 8 】

ドット反転駆動型のソースドライバの構成を示すブロック図



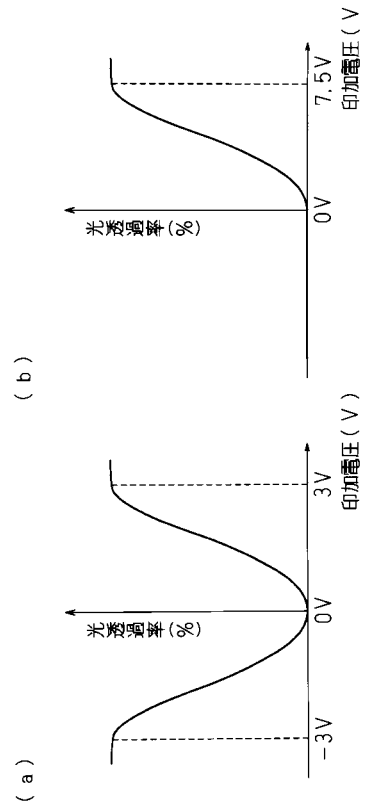
【 図 1 9 】

ソースドライバの階調データー出力電圧特性を示すグラフ



【 図 2 0 】

液晶物質におけるT-V特性を示すグラフ



## フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 2 M
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/36	

F ターム(参考)	2H088	GA04	HA08	JA18	MA12	MA13					
	2H093	NA16	NA79	NC13	NC65	NC90					
	5C006	AC11	AC15	AC24	AC27	AC28	AF43	BA12	BA13	BB16	BC03
		FA34	FA38	FA52	FA56						
	5C080	AA10	BB05	CC03	DD01	DD08	DD27	EE19	EE29	FF11	FF12
		JJ02	JJ04	JJ05							

专利名称(译)	驱动液晶显示装置的方法和液晶显示装置		
公开(公告)号	<a href="#">JP2004029477A</a>	公开(公告)日	2004-01-29
申请号	JP2002186841	申请日	2002-06-26
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
[标]发明人	牧野 哲也 吉原 敏明 别井 圭一		
发明人	牧野 哲也 吉原 敏明 别井 圭一		
IPC分类号	G02F1/141 G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3651 G09G3/3614 G09G3/3688 G09G2310/061		
FI分类号	G02F1/133.560 G02F1/133.550 G02F1/141 G09G3/20.612.K G09G3/20.612.L G09G3/20.621.B G09G3/20.622.M G09G3/20.622.Q G09G3/20.623.C G09G3/36		
F-TERM分类号	2H088/GA04 2H088/HA08 2H088/JA18 2H088/MA12 2H088/MA13 2H093/NA16 2H093/NA79 2H093/NC13 2H093/NC65 2H093/NC90 5C006/AC11 5C006/AC15 5C006/AC24 5C006/AC27 5C006/AC28 5C006/AF43 5C006/BA12 5C006/BA13 5C006/BB16 5C006/BC03 5C006/FA34 5C006/FA38 5C006/FA52 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD08 5C080/DD27 5C080/EE19 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ04 5C080/JJ05 2H093/NA14 2H093/NA33 2H093/NA34 2H093/NA43 2H093/NA51 2H093/NC12 2H093/NC26 2H093/NC29 2H093/NC34 2H093/ND12 2H093/ND35 2H093/NF17 2H093/NF20 2H193/ZA04 2H193/ZA08 2H193/ZC15 2H193/ZC20 2H193/ZD21 2H193/ZE20 2H193/ZF24 2H193/ZF36 2H193/ZQ26		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种液晶显示器的驱动方法，其中减小了施加数据电压之前取决于像素电压值的可应用电压值之间的差异，并且通过始终写入用于显示的数据电压来获得规定的透光率。固定状态到所有像素（全屏），并提供液晶显示器。解决方案：在TFT的“开启”时段中，用于刷新的复位电压在前半“开”周期施加到像素电极，并且用于显示的数据电压在后半“开”周期施加到像素电极。也就是说，当写极性控制信号PN为“L”时，奇数输出端子和偶数输出端子在前半“接通”期间向像素电极施加复位电压作为负极性零灰度电压。在后半“接通”期间，对像素电极施加正极性数据电压。当写入极性控制信号PN为“H”时，奇数输出端子和偶数输出端子在前半个“接通”时段向像素电极施加复位电压作为正极性零灰度电压，并且在后半“开”周期，像素电极的负极性数据电压。Z

