

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-4823

(P2004-4823A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int. Cl.⁷

G09G 3/36
G02F 1/133
G02F 1/1368
G09G 3/20

F I

G09G 3/36
 G02F 1/133 550
 G02F 1/1368
 G09G 3/20 622C
 G09G 3/20 623C

テーマコード(参考)

審査請求 有 請求項の数 16 O L (全 38 頁) 最終頁に続く

(21) 出願番号 特願2003-128088 (P2003-128088)
 (22) 出願日 平成15年5月6日(2003.5.6)
 (62) 分割の表示 特願平5-31782の分割
 原出願日 平成5年2月22日(1993.2.22)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅普
 (74) 代理人 100107076
 弁理士 藤綱 英吉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 松枝 洋二郎
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

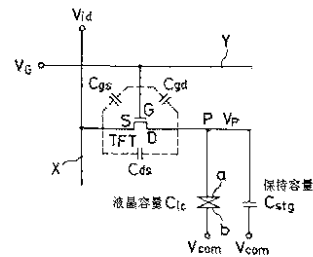
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】 (修正有)

【課題】 十分な書込み特性と保持特性を確保したまま、高精細化に伴うドライバのシフトレジスタの誤動作やノイズ発生を抑制する。

【構成】 走査線駆動回路の正側電源電圧 V_{ddy} を $V_{ddy} = Vid2 + Vy2$ のように設定する。また走査線駆動回路の負電源電圧 V_{ssy} を $V_{ssy} = Vid1 - Vy1$ のように設定する。このような電源バイアス条件によって寄生容量等の値に如何にかかわらず良好な保持特性を得ることができる。

【選択図】 図1



【特許請求の範囲】

【請求項1】

Nチャネル薄膜トランジスタである画素TFTとそのドレインに接続された画素電極とを各画素に備え、前記画素TFTのゲートに選択パルスを供給する走査線駆動回路と、前記画素TFTのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置において、

前記走査線駆動回路から供給される選択パルスの電圧が次の(1-1)式及び(1-2)式を満足するように設定されてなることを特徴とする液晶表示装置。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (1-1)$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (1-2) \quad 10$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 画素電極と液晶を挟んで対向する対向電極の電圧振幅(但し、対向電極の電圧が一定の場合は $V_{com}^* = 0$)

$Vy1$: 画素TFTのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3) \quad 20$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} は画素TFTのゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

$Vy2$: 画素TFTが画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TFTの書込み期間}) / (\text{画素TFTの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (1-4)$$

【請求項2】

Pチャネル薄膜トランジスタである画素TFTとそのドレインに接続された画素電極とを各画素に備え、前記画素TFTのゲートに選択パルスを供給する走査線駆動回路と、前記画素TFTのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置において、

前記走査線駆動回路から供給される選択パルスの電圧が次の(2-1)式及び(2-2)式を満足するように設定されてなることを特徴とする液晶表示装置。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (2-1)$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (2-2) \quad 30$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 画素電極と液晶を挟んで対向する対向電極の電圧振幅(但し、対向電極の電圧が一定の場合は $V_{com}^* = 0$)

$Vy1$: 画素TFTが画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TFTの書込み期間}) / (\text{画素TFTの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (2-3)$$

$Vy2$: 画素TFTのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3) \quad 40$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はゲート・ド

レイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

【請求項 3】

Nチャネル薄膜トランジスタである画素TFTとそのドレインに接続された画素電極とを各画素に備え、前記画素TFTのゲートに選択パルスを提供する走査線駆動回路と、前記画素TFTのソースに画像信号を提供する信号線駆動回路とを有する液晶表示装置において、

前記画素電極に対して液晶を挟んで対向する対向電極には交流駆動するための電圧振幅を与えてなり、前記走査線駆動回路から供給される選択パルスの電圧が次の(1-1)式及び(1-2)式を満足するように設定されてなることを特徴とする液晶表示装置。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (1-1) \quad 10$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (1-2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 対向電極の電圧振幅

$Vy1$: 画素TFTのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3) \quad 20$$

但し、 V_g は選択パルスの大きさ($V_{ddy} - V_{ssy}$)、 C_{gd} は画素TFTのゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

$Vy2$: 画素TFTが画像信号を書込み率k%以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TFTの書込み期間}) / (\text{画素TFTの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (1-4)$$

【請求項 4】

Pチャネル薄膜トランジスタである画素TFTとそのドレインに接続された画素電極とを各画素に備え、前記画素TFTのゲートに選択パルスを提供する走査線駆動回路と、前記画素TFTのソースに画像信号を提供する信号線駆動回路とを有する液晶表示装置において、

前記画素電極に対して液晶を挟んで対向する対向電極には交流駆動するための電圧振幅を与えてなり、前記走査線駆動回路から供給される選択パルスの電圧が次の(2-1)式及び(2-2)式を満足するように設定されてなることを特徴とする液晶表示装置。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (2-1) \quad 40$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (2-2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 対向電極の電圧振幅

$Vy1$: 画素TFTが画像信号を書込み率k%以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TFTの書込み期間}) / (\text{画素TFTの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (2-3)$$

$Vy2$: 画素TFTのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3)$$

但し、 V_g は選択パルスの大きさ($V_{ddy} - V_{ssy}$)、 C_{gd} はゲート・ド

レイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

【請求項 5】

前記保持容量に印加する保持容量電極電位を前記対向電極の電位を同一とすることを特徴とする請求項 4 または 5 に記載の液晶表示装置。

【請求項 6】

N チャネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、

前記画素電極に対して液晶を挟んで対向する対向電極には交流駆動するための電圧振幅を与えてなり、前記走査線駆動回路から供給される選択パルスの電圧が次の (1 - 1) 式及び (1 - 2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (1-1)$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (1-2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 対向電極の電圧振幅

$Vy1$: 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} は画素 T F T のゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

$Vy2$: 画素 T F T が画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (1-4)$$

【請求項 7】

P チャネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、

前記画素電極に対して液晶を挟んで対向する対向電極には交流駆動するための電圧振幅を与えてなり、前記走査線駆動回路から供給される選択パルスの電圧が次の (2 - 1) 式及び (2 - 2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (2-1)$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (2-2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 対向電極の電圧振幅

$Vy1$: 画素 T F T が画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (2-3)$$

V_{y2} : 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

【請求項 8】

前記保持容量に印加する保持容量電極電位を前記対向電極の電位を同一とすることを特徴とする請求項 6 または 7 に記載の液晶表示装置の駆動方法。

【請求項 9】

N チャネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、

前記走査線駆動回路から供給される選択パルスの電圧が次の (1-1) 式及び (1-2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (1-1)$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (1-2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 画素電極と液晶を挟んで対向する対向電極の電圧振幅 (但し、対向電極の電圧が一定の場合は $V_{com}^* = 0$)

$Vy1$: 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} は画素 T F T のゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

$Vy2$: 画素 T F T が画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (1-4)$$

【請求項 10】

P チャネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、

前記走査線駆動回路から供給される選択パルスの電圧が次の (2-1) 式及び (2-2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (2-1)$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (2-2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 画素電極と液晶を挟んで対向する対向電極の電圧振幅 (但し、対向電極の電圧が一定の場合は $V_{com}^* = 0$)

$Vy1$: 画素 T F T が画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たす

ようなゲート・ソース間電圧

$1 - \exp\{- (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数})\} \quad k / 100 \quad \dots (2 - 3)$

V_{y2} : 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (2 - 4)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

【請求項 1 1】

10

Nチャネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、

前記走査線駆動回路の電源電圧が次の (1 - 1) 式及び (1 - 2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$$V_{ddy} = V_{id2} + V_{com}^* + V_{y2} \quad \dots (1 - 1)$$

$$V_{ssy} = V_{id1} - V_{com}^* - V_{y1} \quad \dots (1 - 2)$$

V_{ddy} : 走査線駆動回路の正側電源電圧

V_{ssy} : 走査線駆動回路の負側電源電圧

20

V_{id1} : 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧

V_{com}^* : 画素電極と液晶を挟んで対向する対向電極の電圧振幅 (但し、対向電極の電圧が一定の場合は $V_{com}^* = 0$)

V_{y1} : 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1 - 3)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} は画素 T F T のゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

30

V_{y2} : 画素 T F T が画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$1 - \exp\{- (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数})\} \quad k / 100 \quad \dots (1 - 4)$

【請求項 1 2】

Pチャネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、

前記走査線駆動回路の電源電圧が次の (2 - 1) 式及び (2 - 2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

40

$$V_{ddy} = V_{id2} + V_{com}^* + V_{y2} \quad \dots (2 - 1)$$

$$V_{ssy} = V_{id1} - V_{com}^* - V_{y1} \quad \dots (2 - 2)$$

V_{ddy} : 走査線駆動回路の正側電源電圧

V_{ssy} : 走査線駆動回路の負側電源電圧

V_{id1} : 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧

V_{com}^* : 画素電極と液晶を挟んで対向する対向電極の電圧振幅 (但し、対向電極の電圧が一定の場合は $V_{com}^* = 0$)

V_{y1} : 画素 T F T が画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たす

50

ようなゲート・ソース間電圧

$1 - \exp\{- (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数})\} \quad k / 100 \quad \dots (2-3)$

V_{y2} : 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (2-4)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

【請求項13】

信号線に画像信号を供給する信号線駆動回路を有する液晶表示装置の駆動方法において、前記信号線駆動回路は、前記画像信号をサンプリングして前記信号線に供給するNチャネル薄膜トランジスタであるサンプリング用 T F T を備え、前記サンプリング用 T F T はドレインが前記信号線に接続されてなり、前記信号線駆動回路が次の(3-1)式及び(3-2)式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$$V_{ddx} \quad V_{id2} + \quad V_{x2} \quad \dots (3-1)$$

$$V_{ssx} \quad V_{id1} - \quad V_{x1} \quad \dots (3-2)$$

V_{ddx} : 信号線駆動回路の正側電源電圧

V_{ssx} : 信号線駆動回路の負側電源電圧

V_{id1} : 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧

V_{x1} : サンプリング用 T F T のオフ時に信号線における画像信号の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_s) \quad \dots (3-3)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はサンプリング用 T F T のゲート・ドレイン間寄生容量、 C_s はサンプルホールド容量(配線容量も含む)である。

V_{x2} : オン抵抗 R_{on} のサンプリング用 T F T が画像信号を書込み率 $k\%$ 以上で信号線に書込むための次式を満足するようなゲート・ソース間電圧

$$1 - \exp\{- (T_s / R_{on} C_s)\} \quad k / 100 \quad \dots (3-4)$$

但し、 T_s はサンプリング用 T F T の選択期間である。

【請求項14】

信号線に画像信号を供給する信号線駆動回路を有する液晶表示装置の駆動方法において、前記信号線駆動回路は、前記画像信号をサンプリングして前記信号線に供給するPチャネル薄膜トランジスタであるサンプリング用 T F T を備え、前記サンプリング用 T F T はドレインが前記信号線に接続されてなり、前記信号線駆動回路が次の式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$$V_{ddx} \quad V_{id2} + \quad V_{x2} \quad \dots (4-1)$$

$$V_{ssx} \quad V_{id1} - \quad V_{x1} \quad \dots (4-2)$$

V_{ddx} : 信号線駆動回路の正側電源電圧

V_{ssx} : 信号線駆動回路の負側電源電圧

V_{id1} : 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧

V_{x1} : オン抵抗 R_{on} のサンプリング用 T F T が画像信号を書込み率 $k\%$ 以上で信号線に書込むための次式を満足するようなゲート・ソース間電圧

$$1 - \exp\{- (T_s / R_{on} C_s)\} \quad k / 100 \quad \dots (4-4)$$

但し、 T_s はサンプリング用 T F T の選択期間、 C_s はサンプルホールド容量(配線容量も含む)である。

V_{x2} : サンプリング用 T F T のオフ時に信号線における画像信号の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値

10

20

30

40

50

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_s) \quad \dots (4-3)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はサンプリング用 TFT のゲート・ドレイン間寄生容量である。

【請求項 15】

信号線に画像信号を供給する信号線駆動回路を有する液晶表示装置の駆動方法において、前記信号線駆動回路は、前記画像信号をサンプリングして前記信号線に供給するサンプリング用 CMOS 型薄膜トランジスタであるサンプリング用 CMOS 型 TFT を備え、前記サンプリング用 CMOS 型 TFT はドレインが前記信号線に接続されてなり、前記信号線駆動回路が次の式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

10

$$V_{ddx} = (V_{id2} - V_{id1}) / 2 + V_{gsn} \quad \dots (5-1)$$

$$V_{ssx} = (V_{id2} - V_{id1}) / 2 - V_{gsp} \quad \dots (5-2)$$

$$V_{ddx} = V_{id2} + V_{x2} \quad \dots (5-3)$$

$$V_{ssx} = V_{id1} - V_{x1} \quad \dots (5-4)$$

V_{ddx} : 信号線駆動回路の正側電源電圧

V_{ssx} : 信号線駆動回路の負側電源電圧

V_{id1} : 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧

V_{gsn} : サンプリング用 CMOS 型 TFT におけるオン抵抗 R_{onn} の N チャネル TFT が画像信号を書込み率 $k\%$ で信号線に書込むための次式を満足するようなゲート・ソース間電圧

20

$$2 \{ 1 - \exp(-T_s / R_{onn} C_s) \} = k / 100 \quad \dots (5-5)$$

V_{gsp} : サンプリング用 CMOS 型 TFT におけるオン抵抗 R_{onp} の P チャネル TFT が画像信号を書込み率 $k\%$ で信号線に書込むための次式を満足するようなゲート・ソース間電圧

$$2 \{ 1 - \exp(-T_s / R_{onp} C_s) \} = k / 100 \quad \dots (5-6)$$

V_{x1} : (V_{gdn} の最大値) - (V_{gdp} の最小値)

V_{x2} : (V_{gdp} の最大値) - (V_{gdn} の最小値)

ここで、 V_{gdn} 及び V_{gdp} はそれぞれ次の式で与えられる。

$$V_{gdp} = (V_{ddx} - V_{ssx}) \times C_{gdp} / (C_{gdp} + C_s) \quad \dots (5-7)$$

30

$$V_{gdn} = (V_{ddx} - V_{ssx}) \times C_{gdn} / (C_{gdn} + C_s) \quad \dots (5-8)$$

但し、 C_{gdp} はサンプリング用 CMOS 型 TFT における P チャネル TFT のゲート・ドレイン間容量、 C_{gdn} はサンプリング用 CMOS 型 TFT における N チャネル TFT のゲート・ドレイン間容量、 C_s はサンプルホールド容量 (配線容量も含む) である。

【請求項 16】

信号線に画像信号を供給する信号線駆動回路を有する液晶表示装置の駆動方法において、前記信号線駆動回路は、シフトレジスタと、前記シフトレジスタから送出される選択パルスによって前記画像信号が書込まれる 1 段目のラッチ回路と、前記 1 段目のラッチ回路から一斉に前記画像信号が書込まれる 2 段目のラッチ回路と、前記 2 段目のラッチ回路の出力を入力して前記信号線に出力するアナログバッファ回路とを有し、前記信号線駆動回路の電源電圧が次の (6-1) 式及び (6-2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

40

$$V_{ddx} = V_{id2} + V_{x2} \quad \dots (6-1)$$

$$V_{ssx} = V_{id1} - V_{x1} \quad \dots (6-2)$$

V_{ddx} : 信号線駆動回路の正側電源電圧

V_{ssx} : 信号線駆動回路の負側電源電圧

V_{id1} : 画像信号の最小電圧

50

V i d 2 : 画像信号の最大電圧

ここで、V i d 1 及び V i d 2 は以下のように定義される。

V x 1 : アナログバッファの入出力信号の線形性を保ち、画像信号の最小値 V i d 1 を入力した場合にも、アナログバッファ回路が画像信号を書込み率 k % 以上で信号線に書込むための式 (6 - 3) を満たすために必要な電圧

V x 2 : アナログバッファの入出力信号の線形性を保ち、画像信号の最大値 V i d 2 を入力した場合にも、アナログバッファ回路が画像信号を書込み率 k % 以上で信号線に書込むための式 (6 - 3) を満たすために必要な電圧

$1 - \exp \{ - (1 \text{ 水平走査期間}) / ((\text{アナログバッファ回路の出力抵抗}) \times (\text{信号線の配線容量})) \} \quad k / 100 \quad \dots (6 - 3)$

10

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、T F T (薄膜トランジスタ) 型液晶表示装置に関し、特に所定の電源電圧条件に設定された走査ドライバ又はデータドライバに関する。

【0002】

【従来の技術】

一般に、一枚の絶縁基板上に駆動回路をも一体的に形成した T F T 型液晶表示装置の回路構成は、図 1 3 に示すように、絶縁基板 1 内に画素マトリクス部 1 0 , X ドライバ部 (データドライバ部又は信号線駆動回路部) 2 0 , Y ドライバ部 (走査線駆動回路部) 3 0 の 3 つの部分が薄膜技術により形成されている。画素マトリクス部 1 0 は、格子状に配置された信号線 X 1 , X 2 , X 3 ~ 及び走査線 Y 1 , Y 2 , ~ とそれらの交点に配置された画素 T F T (T_{1 1} ~) とを有している。各画素 T F T のソース電極 S は信号線 X に、ゲート電極 G は走査線 Y に、ドレイン電極 D は画素電極 a にそれぞれ接続されている。画素電極 a は対向電極 b と数 μ m の間隙を介して向かい合っており、この間隙には液晶が封入されている。この液晶の容量 C_{1 c} は画像信号を記憶する蓄積容量として働く。なお、液晶容量 C_{1 c} に蓄積された電荷は液晶のリーク電流によって放電してしまうため、液晶に書き込まれた電圧の何割かが失われることになるが、これを防止するために、画素マトリクス部では液晶容量 C_{1 c} と並列に保持容量を付加する場合も多い (図示せず) 。

20

【0003】

一方、X ドライバ部 2 0 は信号線 X 1 , X 2 , X 3 ~ に画像データを書き込むデータドライバである。この X ドライバ部 2 0 はデータ信号の方式によりアナログ方式とデジタル方式とがある。また、信号線 1 本ずつに順番にデータ信号を書き込む点順次駆動方式と、すべての信号線に一齐にデータ信号を書き込む線順次駆動方式とがある。図 1 3 の回路はアナログ点順次駆動方式の一例を示し、X ドライバ部 2 0 は、シフトレジスタ 2 2 とアナログスイッチを用いたサンプリング回路 2 4 とで構成されている。このサンプリング回路 2 4 はシフトレジスタ 2 2 から送出された選択パルス Q₁ , Q₂ , Q₃ ~ のタイミングに応じてビデオライン 2 6 a , 2 6 b , 2 6 c の画像信号 (3 原色信号 V i d (R) , V i d (G) , V i d (B)) を信号線 X 1 , X 2 , X 3 ~ に書き込む。他方、Y ドライバ部 3 0 は走査線 Y 1 , Y 2 , ~ を選択する回路で、シフトレジスタ 3 2 とバッファ回路 3 4 とを有している。なお、C L X はシフトレジスタ 2 2 のタイミングパルスの転送速度を決定する転送クロックの入力端子、C L X (バー) はその反転クロックの入力端子、V_{d d x} は X ドライバ部 2 0 の正電源端子、V_{s s x} は X ドライバ部 2 0 の負電源端子、D X I N はシフトレジスタ 2 2 のスタートパルス入力端子、D Y I N はシフトレジスタ 3 2 のスタートパルス入力端子、V_{d d y} は Y ドライバ部 3 0 の正電源端子、V_{s s y} は Y ドライバ部 3 0 の負電源端子、C L Y はシフトレジスタ 3 2 のタイミングパルスの転送速度を決定する転送クロックの入力端子、C L Y (バー) はその反転クロックの入力端子、V_{c o m} は対向電極 b に電圧を印加する共通電源端子である。

40

【0004】

ドライバ内蔵型の T F T 液晶表示装置は、駆動用 I C が不要であり、その I C の実装工程

50

も必要ないので、製造工程の短縮化による低コストの液晶表示装置が実現できる。また、TFT駆動回路はICを実装できないような微細な画素ピッチにも充分対応できるため、高精細化に適し、しかもその面積は必要最低限で済むため装置の小型軽量化も可能となる。更に、駆動回路を一体形成することによって強固な表示装置モジュールが実現でき、高い信頼性が得られる。

【0005】

【発明が解決しようとする課題】

このように、TFTによる周辺駆動回路の一体形成化には多くの利点があるが、TFT回路には通常のICには無い問題点がある。即ち、TFTは通常は非結晶や多結晶の半導体膜を用いるため、電界効果移動度が低く、特性のバラツキも大きい。これを解消するには高い電圧で駆動する必要が生じ、特性バラツキに対しても動作マージンを大きくとる必要がある。また表示パネルは絶縁基板を用いているので、TFT回路に対しシールドするのが困難であり、ノイズの影響を受け易い。従って、TFT回路は最適化された駆動条件でなければ十分な性能を発揮できない。

10

【0006】

一方、どの方式の駆動回路もすべてシフトレジスタ22, 32によってタイミングパルスを転送し、Xドライバ部20のサンプリング回路24やYドライバ部30のバッファ34を動作させている。これらシフトレジスタ22, 32の動作速度は画素数に依存し、画素数が増大するとともにその動作速度も速くしなければならない。そして近年、TFT表示パネルの高精細化より画素数(10万画素以上)が増大し、Xドライバ部20及びYドライバ部30の一層の高速化が要求される。そこで、TFTの製造プロセスの改良(固相成長法, レーザ・アニールによる結晶性の改善や水素化処理によるダングリングボンドの解消など)によって移動度を向上させる試みがなされている。ところが、このようにTFTの移動度を向上させ駆動回路の動作速度の高速化を図ると、前述した問題点が助長され、例えば次のような問題点が顕在化することが分かった。

20

【0007】

1 シフトレジスタの誤動作

シフトレジスタの誤動作は、図14に示すようなクロックCLと180°位相のずれた反転クロックCL(バー)との間のタイミングのずれ(クロックのずれ)や立ち上がり又は立ち下がり波形のなまりによって生じるが、一般にTFTの移動度が向上するとTFTの動作が非常にセンシティブになるので、クロックの波形の微妙なずれや波形なまりによってTFTは簡単に誤動作してしまう。また、PチャンネルFFTとNチャンネルTFTのしきい値電圧が非対称な場合にも誤動作を生じるが、移動度が高くなるほど両チャンネルのしきい値の非対称性が大きく影響し、誤動作が生じ易くなる。

30

【0008】

2 表示画像にノイズが発生

TFT液晶表示装置の内蔵駆動回路などでは絶縁基板上に長い配線を引き回すため、基板がシールド層として働く半導体基板とは異なり、配線容量等などによるノイズの影響を受け易く、表示画像にノイズが発生し、表示品質の劣化を招く。例えば、図15に示すXドライバ部20においてはすべてのクロックラインとビデオラインとの間に配線容量が寄生する。そして各ビデオラインの配線容量はそれぞれ異なるため、表示画像には固定パターンノイズやジッタが生じ易い。

40

【0009】

上述のように、ドライバ内蔵型のTFT液晶表示装置においては高精細度を追求すればするほど例えばシフトレジスタの誤動作やノイズ発生により表示品質が問題となる。シフトレジスタの誤動作は入力されるクロック波形などに起因するものであるが、クロックラインの配線容量も影響している。従って、ドライバ内蔵型のTFT液晶表示装置においては不可避免的にシフトレジスタの誤動作やノイズ発生が生じるものと言える。このような不具合の他、後述するように、高精細化(高速駆動化)に伴い画素TFTなどへの書込み不足や保持特性の劣化も顕在化する。かかる状況に鑑み、本発明者は長年の液晶表示装置の研

50

究において、これらの誤動作やノイズ発生等が電源電圧の値や信号強度等の電圧に敏感に影響されるものであり、特に電源電圧を上げると増大する傾向にあることを見出した。

【0010】

そこで、本発明の課題は、TFT液晶表示装置の所要の電源電圧に着眼し、これを最適化することにより更なる高精細化に対応可能なTFT液晶表示装置を実現することにある。

【0011】

【課題を解決するための手段】

本発明は、Nチャネル薄膜トランジスタである画素TFTとそのドレインに接続された画素電極とを各画素に備え、前記画素TFTのゲートに選択パルスを供給する走査線駆動回路と、前記画素TFTのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置において、前記走査線駆動回路から供給される選択パルスの電圧が次の(1-1)式及び(1-2)式を満足するように設定されてなることを特徴とする。

$$\begin{aligned} V_{d d y} & V_{i d 2} + V_{c o m}^* + V_{y 2} & \dots (1-1) \\ V_{s s y} & V_{i d 1} - V_{c o m}^* - V_{y 1} & \dots (1-2) \end{aligned}$$

$V_{d d y}$: 選択パルスの高レベル電圧

$V_{s s y}$: 選択パルスの低レベル電圧

$V_{i d 1}$: 画像信号の最小電圧

$V_{i d 2}$: 画像信号の最大電圧

$V_{c o m}^*$: 画素電極と液晶を挟んで対向する対向電極の電圧振幅(但し、対向電極の電圧が一定の場合は $V_{c o m}^* = 0$)

$V_{y 1}$: 画素TFTのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 $V_{g d}$ の最大値または平均的なシフト電圧

$$V_{g d} = V_g \times C_{g d} / (C_{g d} + C_{l c} + C_{s t g}) \quad \dots (1-3)$$

但し、 V_g は選択パルスの大きさ ($V_{d d y} - V_{s s y}$)、 $C_{g d}$ は画素TFTのゲート・ドレイン間寄生容量、 $C_{l c}$ は液晶容量、 $C_{s t g}$ は保持容量である。

$V_{y 2}$: 画素TFTが画像信号を書込み率k%以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TFTの書込み期間}) / (\text{画素TFTの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (1-4)$$

【0012】

本発明は、Pチャネル薄膜トランジスタである画素TFTとそのドレインに接続された画素電極とを各画素に備え、前記画素TFTのゲートに選択パルスを供給する走査線駆動回路と、前記画素TFTのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置において、前記走査線駆動回路から供給される選択パルスの電圧が次の(2-1)式及び(2-2)式を満足するように設定されてなることを特徴とする。

$$\begin{aligned} V_{d d y} & V_{i d 2} + V_{c o m}^* + V_{y 2} & \dots (2-1) \\ V_{s s y} & V_{i d 1} - V_{c o m}^* - V_{y 1} & \dots (2-2) \end{aligned}$$

$V_{d d y}$: 選択パルスの高レベル電圧

$V_{s s y}$: 選択パルスの低レベル電圧

$V_{i d 1}$: 画像信号の最小電圧

$V_{i d 2}$: 画像信号の最大電圧

$V_{c o m}^*$: 画素電極と液晶を挟んで対向する対向電極の電圧振幅(但し、対向電極の電圧が一定の場合は $V_{c o m}^* = 0$)

$V_{y 1}$: 画素TFTが画像信号を書込み率k%以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TFTの書込み期間}) / (\text{画素TFTの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (2-3)$$

$V_{y 2}$: 画素TFTのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 $V_{g d}$ の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

【0013】

また、本発明は、Nチャネル薄膜トランジスタである画素TF Tとそのドレインに接続された画素電極とを各画素に備え、前記画素TF Tのゲートに選択パルスを供給する走査線駆動回路と、前記画素TF Tのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、前記走査線駆動回路から供給される選択パルスの電圧が次の(1-1)式及び(1-2)式を満足するように設定されてなることを特徴とする。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (1-1)$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (1-2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 画素電極と液晶を挟んで対向する対向電極の電圧振幅(但し、対向電極の電圧が一定の場合は $V_{com}^* = 0$)

$Vy1$: 画素TF Tのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} は画素TF Tのゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

$Vy2$: 画素TF Tが画像信号を書込み率k%以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TF Tの書込み期間}) / (\text{画素TF Tの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (1-4)$$

【0014】

また、本発明は、Pチャネル薄膜トランジスタである画素TF Tとそのドレインに接続された画素電極とを各画素に備え、前記画素TF Tのゲートに選択パルスを供給する走査線駆動回路と、前記画素TF Tのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、前記走査線駆動回路から供給される選択パルスの電圧が次の(2-1)式及び(2-2)式を満足するように設定されてなることを特徴とする。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (2-1)$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (2-2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 画素電極と液晶を挟んで対向する対向電極の電圧振幅(但し、対向電極の電圧が一定の場合は $V_{com}^* = 0$)

$Vy1$: 画素TF Tが画像信号を書込み率k%以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TF Tの書込み期間}) / (\text{画素TF Tの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (2-3)$$

$Vy2$: 画素TF Tのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (2-4)$$

4)

10

20

30

40

50

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

【0015】

また、本発明は、Nチャネル薄膜トランジスタである画素TF Tとそのドレインに接続された画素電極とを各画素に備え、前記画素TF Tのゲートに選択パルスを供給する走査線駆動回路と、前記画素TF Tのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、前記走査線駆動回路の電源電圧が次の(1-1)式及び(1-2)式を満足するように設定されてなることを特徴とする。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (1-1)$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (1-2) \quad 10$$

V_{ddy} : 走査線駆動回路の正側電源電圧
 V_{ssy} : 走査線駆動回路の負側電源電圧
 $Vid1$: 画像信号の最小電圧
 $Vid2$: 画像信号の最大電圧
 V_{com}^* : 画素電極と液晶を挟んで対向する対向電極の電圧振幅 (但し、対向電極の電圧が一定の場合は $V_{com}^* = 0$)

$Vy1$: 画素TF Tのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3) \quad 20$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} は画素TF Tのゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

$Vy2$: 画素TF Tが画像信号を書込み率k%以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TF Tの書込み期間}) / (\text{画素TF Tの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (1-4)$$

【0016】

また、本発明は、Pチャネル薄膜トランジスタである画素TF Tとそのドレインに接続された画素電極とを各画素に備え、前記画素TF Tのゲートに選択パルスを供給する走査線駆動回路と、前記画素TF Tのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、前記走査線駆動回路の電源電圧が次の(2-1)式及び(2-2)式を満足するように設定されてなることを特徴とする。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (2-1)$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (2-2) \quad 30$$

V_{ddy} : 走査線駆動回路の正側電源電圧
 V_{ssy} : 走査線駆動回路の負側電源電圧
 $Vid1$: 画像信号の最小電圧
 $Vid2$: 画像信号の最大電圧
 V_{com}^* : 画素電極と液晶を挟んで対向する対向電極の電圧振幅 (但し、対向電極の電圧が一定の場合は $V_{com}^* = 0$)

$Vy1$: 画素TF Tが画像信号を書込み率k%以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TF Tの書込み期間}) / (\text{画素TF Tの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (2-3)$$

$Vy2$: 画素TF Tのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (2-4) \quad 40$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

【0017】

また、本発明は、Nチャネル薄膜トランジスタである画素TFTとそのドレインに接続された画素電極とを各画素に備え、前記画素TFTのゲートに選択パルスを供給する走査線駆動回路と、前記画素TFTのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置において、前記画素電極に対して液晶を挟んで対向する対向電極には交流駆動するための電圧振幅を与えてなり、前記走査線駆動回路から供給される選択パルスの電圧が次の(1-1)式及び(1-2)式を満足するように設定されてなることを特徴とする。

$$V_{dd} = V_{id2} + V_{com}^* + V_{y2} \quad \dots (1-1)$$

$$V_{ss} = V_{id1} - V_{com}^* - V_{y1} \quad \dots (1-2) \quad 10$$

V_{dd} : 選択パルスの高レベル電圧

V_{ss} : 選択パルスの低レベル電圧

V_{id1} : 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧

V_{com}^* : 対向電極の電圧振幅

V_{y1} : 画素TFTのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3)$$

但し、 V_g は選択パルスの大きさ ($V_{dd} - V_{ss}$)、 C_{gd} は画素TFTのゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。 20

V_{y2} : 画素TFTが画像信号を書込み率k%以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TFTの書込み期間}) / (\text{画素TFTの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (1-4)$$

【0018】

また、本発明は、Pチャネル薄膜トランジスタである画素TFTとそのドレインに接続された画素電極とを各画素に備え、前記画素TFTのゲートに選択パルスを供給する走査線駆動回路と、前記画素TFTのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置において、前記画素電極に対して液晶を挟んで対向する対向電極には交流駆動するための電圧振幅を与えてなり、前記走査線駆動回路から供給される選択パルスの電圧が次の(2-1)式及び(2-2)式を満足するように設定されてなることを特徴とする。

$$V_{dd} = V_{id2} + V_{com}^* + V_{y2} \quad \dots (2-1)$$

$$V_{ss} = V_{id1} - V_{com}^* - V_{y1} \quad \dots (2-2) \quad 30$$

V_{dd} : 選択パルスの高レベル電圧

V_{ss} : 選択パルスの低レベル電圧

V_{id1} : 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧 40

V_{com}^* : 対向電極の電圧振幅

V_{y1} : 画素TFTが画像信号を書込み率k%以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TFTの書込み期間}) / (\text{画素TFTの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (2-3)$$

V_{y2} : 画素TFTのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3)$$

但し、 V_g は選択パルスの大きさ ($V_{dd} - V_{ss}$)、 C_{gd} はゲート・ド 50

レイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

【0020】

また、本発明は、Nチャネル薄膜トランジスタである画素TF Tとそのドレインに接続された画素電極とを各画素に備え、前記画素TF Tのゲートに選択パルスを供給する走査線駆動回路と、前記画素TF Tのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、前記画素電極に対して液晶を挟んで対向する対向電極には交流駆動するための電圧振幅を与えてなり、前記走査線駆動回路から供給される選択パルスの電圧が次の(1-1)式及び(1-2)式を満足するように設定されてなることを特徴とする。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (1-1) \quad 10$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (1-2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 対向電極の電圧振幅

$Vy1$: 画素TF Tのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3) \quad 20$$

但し、 V_g は選択パルスの大きさ($V_{ddy} - V_{ssy}$)、 C_{gd} は画素TF Tの

ゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

$Vy2$: 画素TF Tが画像信号を書込み率k%以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TF Tの書込み期間}) / (\text{画素TF Tの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (1-4)$$

【0021】

また、本発明は、Pチャネル薄膜トランジスタである画素TF Tとそのドレインに接続された画素電極とを各画素に備え、前記画素TF Tのゲートに選択パルスを供給する走査線駆動回路と、前記画素TF Tのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、前記画素電極に対して液晶を挟んで対向する対向電極には交流駆動するための電圧振幅を与えてなり、前記走査線駆動回路から供給される選択パルスの電圧が次の(2-1)式及び(2-2)式を満足するように設定されてなることを特徴とする。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (2-1) \quad 30$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (2-2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 対向電極の電圧振幅

$Vy1$: 画素TF Tが画像信号を書込み率k%以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TF Tの書込み期間}) / (\text{画素TF Tの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (2-3) \quad 40$$

$Vy2$: 画素TF Tのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3) \quad 50$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

【0022】

また、本発明は、信号線に画像信号を供給する信号線駆動回路を有する液晶表示装置の駆動方法において、前記信号線駆動回路は、前記画像信号をサンプリングして前記信号線に供給するNチャンネル薄膜トランジスタであるサンプリング用TFTを備え、前記サンプリング用TFTはドレインが前記信号線に接続されてなり、前記信号線駆動回路が次の(3-1)式及び(3-2)式を満足するように設定されてなることを特徴とする。

$$V_{ddx} = Vid2 + Vx2 \quad \dots (3-1)$$

$$V_{ssx} = Vid1 - Vx1 \quad \dots (3-2)$$

V_{ddx} : 信号線駆動回路の正側電源電圧

V_{ssx} : 信号線駆動回路の負側電源電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

$Vx1$: サンプリング用TFTのオフ時に信号線における画像信号の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_s) \quad \dots (3-3)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はサンプリング用TFTのゲート・ドレイン間寄生容量、 C_s はサンプルホールド容量(配線容量も含む)である。

$Vx2$: オン抵抗 R_{on} のサンプリング用TFTが画像信号を書込み率 $k\%$ 以上で信号線に書込むための次式を満足するようなゲート・ソース間電圧

$$1 - \exp\{- (T_s / R_{on} C_s)\} = k / 100 \quad \dots (3-4)$$

但し、 T_s はサンプリング用TFTの選択期間である。

【0023】

また、本発明は、信号線に画像信号を供給する信号線駆動回路を有する液晶表示装置の駆動方法において、前記信号線駆動回路は、前記画像信号をサンプリングして前記信号線に供給するPチャンネル薄膜トランジスタであるサンプリング用TFTを備え、前記サンプリング用TFTはドレインが前記信号線に接続されてなり、前記信号線駆動回路が次の式を満足するように設定されてなることを特徴とする。

$$V_{ddx} = Vid2 + Vx2 \quad \dots (4-1)$$

$$V_{ssx} = Vid1 - Vx1 \quad \dots (4-2)$$

V_{ddx} : 信号線駆動回路の正側電源電圧

V_{ssx} : 信号線駆動回路の負側電源電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

$Vx1$: オン抵抗 R_{on} のサンプリング用TFTが画像信号を書込み率 $k\%$ 以上で信号線に書込むための次式を満足するようなゲート・ソース間電圧

$$1 - \exp\{- (T_s / R_{on} C_s)\} = k / 100 \quad \dots (4-4)$$

但し、 T_s はサンプリング用TFTの選択期間、 C_s はサンプルホールド容量(配線容量も含む)である。

$Vx2$: サンプリング用TFTのオフ時に信号線における画像信号の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_s) \quad \dots (4-3)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はサンプリング用TFTのゲート・ドレイン間寄生容量である。

【0024】

また、本発明は、信号線に画像信号を供給する信号線駆動回路を有する液晶表示装置の駆動方法において、前記信号線駆動回路は、前記画像信号をサンプリングして前記信号線に供給するサンプリング用CMOS型薄膜トランジスタであるサンプリング用CMOS型T

10

20

30

40

50

FTを備え、前記サンプリング用CMOS型TF Tはドレインが前記信号線に接続されたり、前記信号線駆動回路が次の式を満足するように設定されてなることを特徴とする。

$$V_{ddx} = (V_{id2} - V_{id1}) / 2 + V_{gsn} \quad \dots (5-1)$$

$$V_{ssx} = (V_{id2} - V_{id1}) / 2 - V_{gsp} \quad \dots (5-2)$$

$$V_{ddx} = V_{id2} + V_{x2} \quad \dots (5-3)$$

$$V_{ssx} = V_{id1} - V_{x1} \quad \dots (5-4)$$

V_{ddx} : 信号線駆動回路の正側電源電圧

V_{ssx} : 信号線駆動回路の負側電源電圧

V_{id1} : 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧

V_{gsn} : サンプリング用CMOS型TF Tにおけるオン抵抗 R_{onn} のNチャネルTF Tが画像信号を書込み率k%で信号線に書込むための次式を満足するようなゲート・ソース間電圧

$$2 \{ 1 - \exp(-T_s / R_{onn} C_s) \} = k / 100 \quad \dots (5-5)$$

V_{gsp} : サンプリング用CMOS型TF Tにおけるオン抵抗 R_{onp} のPチャネルTF Tが画像信号を書込み率k%で信号線に書込むための次式を満足するようなゲート・ソース間電圧

$$2 \{ 1 - \exp(-T_s / R_{onp} C_s) \} = k / 100 \quad \dots (5-6)$$

$$V_{x1} : (V_{gdn} \text{の最大値}) - (V_{gdp} \text{の最小値})$$

$$V_{x2} : (V_{gdp} \text{の最大値}) - (V_{gdn} \text{の最小値})$$

ここで、 V_{gdn} 及び V_{gdp} はそれぞれ次の式で与えられる。

$$V_{gdp} = (V_{ddx} - V_{ssx}) \times C_{gdp} / (C_{gdp} + C_s) \quad \dots (5-7)$$

$$V_{gdn} = (V_{ddx} - V_{ssx}) \times C_{gdn} / (C_{gdn} + C_s) \quad \dots (5-8)$$

但し、 C_{gdp} はサンプリング用CMOS型TF TにおけるPチャネルTF Tのゲート・ドレイン間容量、 C_{gdn} はサンプリング用CMOS型TF TにおけるNチャネルTF Tのゲート・ドレイン間容量、 C_s はサンプルホールド容量(配線容量も含む)である。

【0025】

また、本発明は、信号線に画像信号を供給する信号線駆動回路を有する液晶表示装置の駆動方法において、前記信号線駆動回路は、シフトレジスタと、前記シフトレジスタから送出される選択パルスによって前記画像信号が書込まれる1段目のラッチ回路と、前記1段目のラッチ回路から一斉に前記画像信号が書込まれる2段目のラッチ回路と、前記2段目のラッチ回路の出力を入力して前記信号線に出力するアナログバッファ回路とを有し、前記信号線駆動回路の電源電圧が次の(6-1)式及び(6-2)式を満足するように設定されてなることを特徴とする。

$$V_{ddx} = V_{id2} + V_{x2} \quad \dots (6-1)$$

$$V_{ssx} = V_{id1} - V_{x1} \quad \dots (6-2)$$

V_{ddx} : 信号線駆動回路の正側電源電圧

V_{ssx} : 信号線駆動回路の負側電源電圧

V_{id1} : 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧

ここで、 V_{id1} 及び V_{id2} は以下のように定義される。

V_{x1} : アナログバッファの入出力信号の線形性を保ち、画像信号の最小値 V_{id1} を入力した場合にも、アナログバッファ回路が画像信号を書込み率k%以上で信号線に書込むための式(6-3)を満たすために必要な電圧

V_{x2} : アナログバッファの入出力信号の線形性を保ち、画像信号の最大値 V_{id2} を入力した場合にも、アナログバッファ回路が画像信号を書込み率k%以上で信号線に書込むための式(6-3)を満たすために必要な電圧

$1 - \exp\{- (1 \text{ 水平走査期間}) / ((\text{アナログバッファ回路の出力抵抗}) \times (\text{信号線の配線容量}))\} \quad k / 100 \quad \dots (6-3)$

【0026】

かかる本発明は、TFT液晶表示装置において走査線駆動回路の電源バイアスと信号線駆動回路の電源バイアスとを以下のように設定した点に特徴を有する。

【0027】

まず第1に、Nチャンネル画素TFTを備える画素マトリクス部の走査線に選択パルスを供給する走査線駆動回路と信号線に画像信号を供給する信号線駆動回路とを有し、アナログ点順次駆動方式を採用するTFT型液晶表示装置においては、その走査線駆動回路の電源電圧のバイアス条件が次の式を満足するように設定する。

$$V_{d d y} \quad V_{i d 2} + V_{c o m}^* \quad + \quad V_{y 2} \quad \dots (1-1)$$

$$V_{s s y} \quad V_{i d 1} - V_{c o m}^* \quad - \quad V_{y 1} \quad \dots (1-2)$$

$V_{d d y}$: 走査線駆動回路の正電源電圧

$V_{s s y}$: 走査線駆動回路の負電源電圧

$V_{i d 1}$: 画像信号の最小電圧

$V_{i d 2}$: 画像信号の最大電圧

$V_{c o m}^*$: 対向電極の駆動電圧振幅

$V_{y 1}$: 非選択時における画素TFTの次式で表されるゲート・ドレイン間のシフト電圧 $V_{g d}$ の最大値 (または平均的なシフト電圧) $V_{g d} = V_g \times C_{g d} / (C_{g d} + C_{l c} + C_{s t g})$... (1-3) 但し、 V_g は選択パルスの大きさ ($V_{d d y} - V_{s s y}$)、 $C_{g d}$ は画素TFTのゲート・ドレイン間寄生容量である。

$V_{y 2}$: 選択時における画素TFTのオン抵抗 $R_{o n}$ が書込み率 $k\%$ 以上の次式を満足するような画素TFTのゲート・ソース間電圧

$$1 - \exp\{- (T_1 / R_{o n} (C_{l c} + C_{s t g}))\} \quad k / 100 \quad \dots (1-4)$$

但し、 T_1 は画素TFTの書込み期間、 $C_{l c}$ は液晶容量、 $C_{s t g}$ は保持容量である。

【0028】

また第2に、Pチャンネル画素TFTを備える画素マトリクス部の走査線に選択パルスを供給する走査線駆動回路と信号線に画像信号を供給する信号線駆動回路とを有し、アナログ点順次駆動方式を採用するTFT型液晶表示装置においては、その走査線駆動回路の電源電圧のバイアス条件が次の式を満足するように設定する。

【0029】

$$V_{d d y} \quad V_{i d 2} + V_{c o m}^* \quad + \quad V_{y 2} \quad \dots (2-1)$$

$$V_{s s y} \quad V_{i d 1} - V_{c o m}^* \quad - \quad V_{y 1} \quad \dots (2-2)$$

$V_{d d y}$: 走査線駆動回路の正電源電圧

$V_{s s y}$: 走査線駆動回路の負電源電圧

$V_{i d 1}$: 画像信号の最小電圧

$V_{i d 2}$: 画像信号の最大電圧

$V_{c o m}^*$: 対向電極の駆動電圧振幅

$V_{y 1}$: 選択時における画素TFTのオン抵抗 $R_{o n}$ が書込み率 $k\%$ 以上の次式を満足するような画素TFTのゲート・ソース間電圧

$$1 - \exp\{- (T_1 / R_{o n} (C_{l c} + C_{s t g}))\} \quad k / 100 \quad \dots (2-4)$$

但し、 T_1 は画素TFTの書込み期間である。

$V_{y 2}$: 非選択時における画素TFTの次式で表されるゲート・ドレイン間のシフト電圧 $V_{g d}$ の最大値

$$V_{g d} = V_g \times C_{g d} / (C_{g d} + C_{l c} + C_{s t g}) \quad \dots (2-3)$$

但し、 V_g は選択パルスの大きさ ($V_{d d y} - V_{s s y}$)、 $C_{g d}$ は画素TFTのゲート・ドレイン間寄生容量、 $C_{l c}$ は液晶容量、 $C_{s t g}$ は保持容量である。

【0030】

更に第3に、画素TFTを備える画素マトリクス部の走査線に選択パルスを供給する走査線駆動回路と信号線に画像信号を供給する信号線駆動回路とを有し、アナログ点順次駆動方式を採用するTFT型液晶表示装置において、その信号線駆動回路のサンプリング回路がサンプリング用N型チャンネルTFTから構成する場合には、その信号線駆動回路の電源電圧のバイアス条件が次の式を満足するように設定する。

$$V_{ddx} = Vid2 + Vx2 \quad \dots (3-1)$$

$$V_{ssx} = Vid1 - Vx1 \quad \dots (3-2)$$

V_{ddx} : 信号線駆動回路の正電源電圧

V_{ssx} : 信号線駆動回路の負電源電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

$Vx1$: 非選択時におけるサンプリング用N型チャンネルTFTの次式で表されるゲート・ドレイン間のシフト電圧 V_{gd} の最大値 $V_{gd} = V_g \times C_{gd} / (C_{gd} + C_s)$ $\dots (3-3)$ 但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はサンプリング用N型チャンネルTFTのゲート・ドレイン間寄生容量、 C_s はサンプルホールド容量 (配線容量も含む) である。

$Vx2$: サンプリング用N型チャンネルTFTのオン抵抗 R_{on} が書込み率 $k\%$ 以上の次式を満足するようなゲート・ソース間電圧

$$1 - \exp\{- (T_s / R_{on} C_s)\} = k / 100 \quad \dots (3-4)$$

但し、 T_s はサンプリング用N型チャンネルTFTの選択期間である。

【0031】

また第4に、画素TFTを備える画素マトリクス部の走査線に選択パルスを供給する走査線駆動回路と信号線に画像信号を供給する信号線駆動回路とを有し、アナログ点順次駆動方式を採用するTFT型液晶表示装置において、その信号線駆動回路のサンプリング回路がサンプリング用P型チャンネルTFTから構成する場合には、その信号線駆動回路の電源電圧のバイアス条件が次の式を満足する。

$$V_{ddx} = Vid2 + Vx2 \quad \dots (4-1)$$

$$V_{ssx} = Vid1 - Vx1 \quad \dots (4-2)$$

V_{ddx} : 信号線駆動回路の正電源電圧

V_{ssx} : 信号線駆動回路の負電源電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

$Vx1$: サンプリング用P型チャンネルTFTのオン抵抗 R_{on} が書込み率 $k\%$ 以上の次式を満足するようなゲート・ソース間電圧

$$1 - \exp\{- (T_s / R_{on} C_s)\} = k / 100 \quad \dots (4-4)$$

但し、 T_s はサンプリング用P型チャンネルTFTの選択期間、 C_s はサンプルホールド容量 (配線容量も含む) である。

$Vx2$: 非選択時におけるサンプリング用P型チャンネルTFTの次式で表されるゲート・ドレイン間のシフト電圧 V_{gd} の最大値 $V_{gd} = V_g \times C_{gd} / (C_{gd} + C_s)$ $\dots (4-3)$ 但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はサンプリング用P型チャンネルTFTのゲート・ドレイン間寄生容量である。

【0032】

更に第5に、画素TFTを備える画素マトリクス部の走査線に選択パルスを供給する走査線駆動回路と信号線に画像信号を供給する信号線駆動回路とを有し、アナログ点順次駆動方式を採用するTFT型液晶表示装置において、その信号線駆動回路のサンプリング回路がサンプリング用CMOS型TFTから構成する場合には、その信号線駆動回路の電源電圧のバイアス条件が次の式を満足するように設定する。

$$V_{ddx} = (Vid2 - Vid1) / 2 + V_{gsn} \quad \dots (5-1)$$

$$V_{s s x} = (V_{i d 2} - V_{i d 1}) / 2 - V_{g s p} \quad \dots (5 - 2)$$

$$V_{d d x} = V_{i d 2} + V_{x 2} \quad \dots (5 - 3)$$

$$V_{s s x} = V_{i d 1} - V_{x 1} \quad \dots (5 - 4)$$

$V_{d d x}$: 信号線駆動回路の正電源電圧

$V_{s s x}$: 信号線駆動回路の負電源電圧

$V_{i d 1}$: 画像信号の最小電圧

$V_{i d 2}$: 画像信号の最大電圧

$V_{g s n}$: サンプリング用CMOS型TFTのNチャンネルTFTのオン抵抗 $R_{o n n}$ が書き込み率 $k\%$ の次式を満たすようなゲート・ソース間電圧である。

$$2 \{ 1 - \exp(-T_s / R_{o n n} C_s) \} = k / 100 \quad \dots (5 - 5) \quad 10$$

$V_{g s p}$: サンプリング用CMOS型TFTのPチャンネルTFTのオン抵抗 $R_{o n p}$ が書き込み率 $k\%$ の次式を満たすようなゲート・ソース間電圧である。

$$2 \{ 1 - \exp(-T_s / R_{o n p} C_s) \} = k / 100 \quad \dots (5 - 6)$$

$V_{x 1}$: ($V_{g d n}$ の最大値) - ($V_{g d p}$ の最小値) $V_{x 2}$: ($V_{g d p}$ の最大値) - ($V_{g d n}$ の最小値) ここで、 $V_{g d n}$ 及び $V_{g d p}$ はそれぞれ次の式で与えられる。

$$V_{g d p} = (V_{d d x} - V_{s s x}) \times C_{g d p} / (C_{g d p} + C_s) \quad \dots (5 - 7)$$

$$V_{g d n} = (V_{d d x} - V_{s s x}) \times C_{g d n} / (C_{g d n} + C_s) \quad \dots (5 - 8)$$

但し、 $C_{g d p}$ はサンプリング用CMOS型TFTのPチャンネルTFTのゲート・レイン間容量、 $C_{g d n}$ はそのNチャンネルTFTのゲート・ドレイン間容量、 C_s はサンプルホールド容量(配線容量も含む)である。 20

【0033】

また第6に、画素TFTを備える画素マトリクス部の走査線に選択パルスを供給する走査線駆動回路と信号線に画像信号を供給する信号線駆動回路とを有し、アナログ線順次駆動方式を採用するTFT型液晶表示装置であって、その信号線駆動回路は、シフトレジスタから送出される選択パルスによって前記画像信号が書き込まれる1段目のラッチ回路と、ラッチパルスによって一斉に前記画像信号が書き込まれる2段目のラッチ回路と、この2段目のラッチ回路の出力を入力電圧とし前記信号線に出力電圧を出力するアナログバッファ回路とを有する構成においては、信号線駆動回路の電源電圧のバイアス条件が次の式を満足するように設定する。 30

$$V_{d d x} = V_{i d 2} + V_{x 2} \quad \dots (6 - 1)$$

$$V_{s s x} = V_{i d 1} - V_{x 1} \quad \dots (6 - 2)$$

$V_{d d x}$: 信号線駆動回路の正電源電圧

$V_{s s x}$: 信号線駆動回路の負電源電圧

$V_{i d 1}$: 画像信号の最小電圧

$V_{i d 2}$: 画像信号の最大電圧

ここで、 $V_{i d 1}$ 及び $V_{i d 2}$ は以下のように定義される。

$V_{x 1}$: アナログバッファの入出力信号の線形性を保ち、画像信号の最小値

$V_{i d 1}$ を入力した場合にも書き込み率 $k\%$ 以上の式(6-3)を満たすために必要な電圧 40

$V_{x 2}$: アナログバッファの入出力信号の線形性を保ち、画像信号の最大値 $V_{i d 2}$ を入力した場合にも書き込み率 $k\%$ 以上の式(6-3)を満たすために必要な電圧

$$1 - \exp(-T_1 /) = k / 100 \quad \dots (6 - 3)$$

【0034】

【作用】

まず第1の手段によれば、アナログ点順次駆動方式でNチャンネル画素TFTを用いたTFT型液晶表示装置において走査線駆動回路の電源電圧 $V_{d d y}$ 及び $V_{s s y}$ の最適化が図れる。すなわち、式(1-1)を満足するよう電源電圧 $V_{d d y}$ を設定すると、書き込み時間や画素TFTのオン抵抗、液晶容量及び保持容量の値の如何にかかわらず、書込 50

み率 $k\%$ 以上の画素 T F T による書き込みを実現させることができる。また式 (1 - 2) を満足するよう電源電圧 $V_{s s y}$ を設定すると、画素 T F T のカップリング容量や液晶容量及び保持容量の値の如何にかかわらず、画素 T F T がオフする際に生じる所謂突き抜け電圧による影響を無くし、保持特性の劣化を防止することができる。書き込み時間や画素 T F T のオン抵抗、液晶容量及び保持容量の値に如何にかかわらず、書き込み率 $k\%$ 以上の画素 T F T による書き込みを実現させることができる。

【 0 0 3 5 】

また第 2 の手段によれば、アナログ点順次駆動方式で P チャンネル画素 T F T を用いた T F T 型液晶表示装置において走査線駆動回路の電源電圧 $V_{d d y}$ 及び $V_{s s y}$ の最適化が図れる。すなわち、式 (2 - 1) を満足するよう電源電圧 $V_{d d y}$ を設定すると、画素 T F T のカップリング容量や液晶容量及び保持容量の値の如何にかかわらず、画素 T F T がオフする際に生じる所謂突き抜け電圧による影響を無くし、保持特性の劣化を防止することができる。また式 (2 - 2) を満足するよう電源電圧 $V_{s s y}$ を設定すると、書き込み時間や画素 T F T のオン抵抗、液晶容量及び保持容量の値に如何にかかわらず、書き込み率 $k\%$ 以上の画素 T F T による書き込みを実現させることができる。このような電源バイアス条件によって画素数の増大による高速駆動が可能となり、更なる高精細化の液晶表示装置を実現できる。

更に、第 3 の手段によれば、アナログ点順次駆動方式で信号線駆動回路のサンプリング回路がサンプリング用 N 型チャンネル T F T から構成される T F T 型液晶表示装置において信号線駆動回路の電源電圧 $V_{d d x}$ 及び $V_{s s x}$ の最適化が図れる。すなわち、式 (3 - 1) を満足するよう $V_{d d x}$ を設定すると、そのサンプリング用 N 型チャンネル T F T の選択時間、オン抵抗及びサンプルホールド容量の値にかかわらず、書き込み率 $k\%$ 以上の信号線への書き込みを行うことができる。また式 (3 - 2) を満足するよう電源電圧 $V_{s s x}$ を設定すると、カップリング容量やサンプルホールド容量の値の如何にかかわらず、そのサンプリング用 N 型チャンネル T F T がオフする際に生じる所謂突き抜け電圧による影響を無くし、保持特性の劣化を防止することができる。

【 0 0 3 6 】

また更に、第 4 の手段によれば、アナログ点順次駆動方式で信号線駆動回路のサンプリング回路がサンプリング用 P 型チャンネル T F T から構成される T F T 型液晶表示装置においても信号線駆動回路の電源電圧 $V_{d d x}$ 及び $V_{s s x}$ の最適化が図れる。すなわち、N チャンネルチャンネル T F T の場合とは逆に、式 (4 - 1) を満足するよう電源電圧 $V_{d d x}$ を設定すると、サンプリング用 P 型チャンネル T F T がオフする際に生じる所謂突き抜け電圧による影響を無くし、保持特性の劣化を防止することができる。また、式 (4 - 2) を満足するよう電源電圧 $V_{s s x}$ を設定すると、サンプルホールド容量等の値の如何にかかわらず、そのサンプリング用 P 型チャンネル T F T がオフする際に生じる所謂突き抜け電圧による影響を無くし、保持特性の劣化を防止することができる。

【 0 0 3 7 】

更に第 5 の手段によれば、アナログ点順次駆動方式で信号線駆動回路のサンプリング回路がサンプリング用 C M O S 型 T F T から構成される T F T 型液晶表示装置においては信号線駆動回路の電源電圧 $V_{d d x}$ 及び $V_{s s x}$ の最適化が図れる。すなわち、式 (5 - 1) , (5 - 2) を満足するよう電源電圧 $V_{d d x}$ を設定すると、サンプルホールド容量等にかかわらず、書き込み率 $k\%$ 以上の信号線への書き込みが実現できる。また式 (5 - 3) , (5 - 4) を満足するよう電源電圧 $V_{s s x}$ を設定すると、C M O S 型 T F T がオフする際に生じる所謂突き抜け電圧による影響を無くし、保持特性の劣化を防止することができる。

【 0 0 3 8 】

また更に第 6 の手段によれば、アナログ線順次駆動方式で、信号線駆動回路が、シフトレジスタから送出される選択パルスによって前記画像信号が書き込まれる 1 段目のラッチ回路と、ラッチパルスによって一斉に前記画像信号が書き込まれる 2 段目のラッチ回路と、この 2 段目のラッチ回路の出力を入力電圧とし信号線に出力電圧を出力するアナログパッ

10

20

30

40

50

ファ回路とを有する構成においても、信号線駆動回路の電源電圧 V_{ddx} 及び V_{ssx} の最適化が図れる。すなわち、式(6-1)及び式(6-2)を満足するよう電源電圧 V_{ddx} 及び V_{ssx} を設定すると、信号線の配線抵抗等の値の如何にかかわらず、書込み率 $k\%$ 以上の信号線への書込み特性を得ることができると共に保持特性を改善することができる。

【0039】

【実施例】

次に、本発明の実施例を添付図面に基づいて説明する。まず、走査ドライバ部の電源バイアス条件について説明するが、図13に示すように、走査ドライバ部30には正電源 V_{ddy} と負電源 V_{ssy} が供給されており、画素マトリクス部10の対向電極bには対向電極電位 V_{com} が供給されている。 10

【0040】

(第1実施例)

図1は本発明において画素TFTとしてNチャンネルTFTを用いた場合の画素TFTの等価回路図である。画素TFTのソース電極Sは信号線Xに、ゲート電極Gは走査線Yに、ドレイン電極Dは画素電極aと保持容量 C_{stg} に接続されている。画素電極aと対向電極bとの間隙には液晶が封入されており、この液晶容量を C_{lc} とする。保持容量 C_{stg} の回路構成としては、図2(a)に示すように前段の走査線と画素電極を絶縁膜を介して重ねる付加容量方式と、図2(b)に示すように走査線と独立した容量線を設けてこの容量線に絶縁膜を介して重ねる蓄積容量方式とがある。一方、画素TFTのソース電極S、ドレイン電極D、ゲート電極Gの間には図1に示すような寄生容量(カップリング容量) C_{ds} 、 C_{gd} 、 C_{gs} が存在する。図3には代表的なTFT液晶表示装置の駆動波形を示す。液晶は交流駆動する必要があるため、信号線Xに印加される画像信号 V_{id} はビデオ中心 V_{idc} に対して交流反転させたものを用いる。ここでは交流反転の周期として1フィールドに合わせてあるが、1水平走査期間 T_1 ごとに反転させても構わない。走査線Yに印加される選択パルス(ゲート信号) V_g は、1水平走査期間 T_1 において高レベルとなり、Nチャンネル画素TFTをオンさせる。画素TFTが導通状態になると、画素電極P点の電位 V_p は画像信号 V_{id} と同じになる。ここで、この水平走査期間(書込み期間) T_1 において画素TFTを介して画像信号 V_{id} が液晶容量及び保持容量に書込み $k\%$ 以上書き込まれるための条件は次式で与えられる。 20 30

$$1 - \exp(-T_1 / \tau) \geq k / 100 \quad \dots (1)$$

【0041】

但し、 τ は画素TFTの導通時における時定数である。ここで、画素TFTのオン抵抗を R_{on} とすると、

$$\tau = R_{on} (C_{lc} + C_{stg}) \quad \dots (2)$$

【0042】

書込み率 $k\%$ は一般的に 95% が多用されているので、因みに $k = 95$ とすれば、(1)式は次式のように表される。

$$3 R_{on} (C_{lc} + C_{stg}) \leq T_1 \quad \dots (3)$$

【0043】

この式が満足されないと画素の書き込み不足が生じ、十分なコントラスト比が得られない。周知のように、画素TFTのオン抵抗 R_{on} はゲート・ソース間の電圧 V_{gs} に大きく依存する。このため式(3)からオン抵抗 R_{on} を媒介に十分な書込みに必要な選択パルスの電位 V_{gs} を以下のように限定することができる。ところで、駆動回路内蔵型のTFT液晶表示装置の場合には、走査ドライバ部(Yドライバ部)の正電源 V_{ddy} が選択パルスの高レベルに対応すると共に、その負電源 V_{ssy} が選択パルスの低レベルに対応する。ここで画像信号 V_{id} の最大電位を V_{id2} 、その最小電位を V_{id1} とすると、 V_{gs} は次の式を満足している。

$$V_{ddy} - V_{id2} \leq V_{gs} \leq V_{ddy} - V_{id1} \quad \dots (4)$$

【0044】

前段の $V_{ddy} - Vid2$ は最小のゲート・ソース間の電位であり、後段の $V_{ddy} - Vid1$ は最大のゲート・ソース間の電位である。一般に V_{gs} が増加すると TFT のオン抵抗 R_{on} は減少するので、式 (4) の最小電位において式 (3) が満たされていれば良いことになる。逆に式 (3) において左辺と右辺が等しくなるようにオン抵抗 R_{on} を媒介にして V_{gs} の値を $Vy2$ とすると、 $V_{gs} = Vy2$ が満たされていれば良い。即ち、書込み不足を生じないための条件は次式で与えられる。

$$V_{ddy} = Vid2 + Vy2 \quad \dots (5)$$

ここで、 $Vy2$ は画素 TFT のオン抵抗 R_{on} が次式を満たすゲート・ソース間の電位である。

【0045】

$$R_{on} = T_1 / \{ 3 \times (C_{lc} + C_{stg}) \} \quad \dots (6)$$

式 (6) は書込み率 95% の 1 例を示すが、一般的には、十分な書込み率を $k\%$ とすると、 $Vy2$ は画素 TFT のオン抵抗 R_{on} が次式を満たすゲート・ソース間の電位である。

【0046】

$$1 - \exp\{-T_1 / R_{on} (C_{lc} + C_{stg})\} = k / 100 \quad \dots (7)$$

ここで、 T_1 は画素 TFT の書込み期間で、線順次駆動方式では 1 水平走査期間と一致するが、点順次駆動方式の場合には輝線消去 (ブランキング) 期間に一致する。これは点順次駆動において最も右側の画素はブランキング期間の直前になって初めて本来のデータが書き込まれるためである。

【0047】

このように、書込み不足を生じないための条件は式 (5) で表されるが、画素 TFT には書込み特性だけでなく、保持特性 (書き込まれた信号が非選択期間中にリークしないための条件) も要求される。駆動回路内蔵型 TFT 液晶表示装置では駆動回路に CMOS 型の TFT を用いるため、画素 TFT も必然的にエンハンスメント型となる。従って、非選択期間においてゲート・ソース間電圧が負であれば、画素 TFT のオフ抵抗は高く保たれるため、十分な保持特性が得られるが、寄生容量による突き抜け電圧 (シフト電圧) の問題を考慮しなければならない。この突き抜け電圧は図 3 において V_{gd} として示されるが、画素 TFT のゲート・ドレイン間寄生容量 C_{gd} と液晶容量 C_{lc} 及び保持容量 C_{stg} との容量結合によって、画素 TFT がオフする瞬間に生じるものである。この突き抜け電圧の大きさは次式で表される。

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (8)$$

【0048】

ここで、 V_g は走査線 Y に印加される選択パルス V_g の大きさ ($V_{ddy} - V_{ssy}$) である。この式 (8) において、液晶容量 C_{lc} は液晶の誘電異方性により画像信号 Vid に応じて変化し、また保持容量 C_{stg} も画素 TFT のチャネル容量がゲート・ドレイン間電圧によって変化するため、突き抜け電圧 V_{gd} も変化する。一般的には画像信号 Vid の振幅が小さく、ゲート・ドレイン間電圧が大きいほど、突き抜け電圧 V_{gd} の値は大きくなる。この突き抜け電圧 V_g は常に画素電極電位 V_p を下げることになるので、この電圧 V_{gd} 分だけを予め走査線 Y の非選択レベル (駆動回路内蔵型では走査ドライバ部 30 の負電源電位) を低く設定しておけば良い。すなわち、走査ドライバ部 30 の負電源電位 V_{ssy} が次式を満足しなければならない。

【0049】

$$V_{ssy} = Vid1 - Vy1 \quad \dots (9)$$

ここで、 $Vid1$ は画像信号 Vid の最小電位であり、 $Vy1$ は式 (8) で表されるシフト電圧の最大値である。この式 (8) が満たされないと、非選択状態の画素 TFT のオフリーク電流によって信号線 X のデータが画素電極 a に漏れ、縦クロストークや画面の上下輝度むらを生じる。なお、画素 TFT の寄生容量 C_{gd} や 1 画素分の液晶容量 C_{lc} を実際に測定するのは困難であるので、 $Vy1$ としてシフト電圧の平均的な値を用いることもできる。具体的には、

10

20

30

40

50

$$V_{y1} = V_{idc} - V_{com} \quad \dots (10)$$

と表される。ここで V_{idc} は画像信号の平均値でビデオ中心である。高画質と高信頼性を実現するためには対向電極（共通電極）電位は画素電極電位の平均値に設定しなければならないから、この式の右辺はシフト電圧の平均値を示すことになる。

【0050】

以上述べたように、画素 T F T の書き込み特性と保持特性とを満足させる走査ドライバ部 30 の電源バイアス条件は式 (5) 及び式 (9) で表すことができる。但し、両式は対向電極電位が一定の場合にのみ成立する。そこで、以下では対向電極電位（及び保持容量電極電位）も交流駆動した場合の同様なバイアス条件を導出する。

10

【0051】

図 5 は保持容量の回路構成が蓄積容量方式の場合において対向電極電位（及び保持容量電極電位）を画像信号と 180°位相をずらして交流反転させる駆動方法（以下、コモン振り駆動と略記する）を示すタイミングチャートである。このようなコモン振り駆動によると、データドライバ部 20 の書き込む画像信号 V_{id} の電圧範囲を狭くすることができるので、データドライバ部 20 の駆動電圧（正電源 V_{ddx} ）を下げる可以降低ることができる。データドライバ部 20 の動作速度は走査ドライバ部 30 のその数百倍以上と高速であり、駆動電圧を下げると、前述したように T F T 回路や外部回路の構成が容易で誤動作も生じにくく、消費電力が低減されるというメリットがある。ところで、コモン振り駆動において対向電極電位の最大電圧を V_{com2} 、駆動最小電圧を V_{com1} 、駆動電圧範囲を $V_{com}^* = V_{com2} - V_{com1}$ とすれば、対向電極電位を振った分 V_{com}^* だけ、画素電極電位が画像信号電圧範囲 ($V_{id2} - V_{id1}$) から上下に広がることになるため、式 (5) は式 (11) として、また式 (9) は式 (12) としてそれぞれ書換えられる。

20

$$V_{ddy} = V_{id2} + V_{com}^* + V_{y2} \quad \dots (11)$$

$$V_{ssy} = V_{id1} - V_{com}^* - V_{y1} \quad \dots (12)$$

ここで、対向電極電位が一定の場合には $V_{com}^* = 0$ であるので、式 (11) は式 (5) に、式 (12) は式 (9) にそれぞれ一致する。従って、式 (11)、(12) はコモン振り駆動でない場合も適用できる一般式である。

【0052】

上記のコモン振り駆動は蓄積容量方式の場合で、図 2 (b) に示すように、保持容量が走査線から独立した容量線に接続されているため、この容量線を対向電極と同じ電位にすればコモン振り駆動を実現することができる。ところが図 2 (a) のような付加容量方式の場合には、保持容量が前段の走査線に接続されているため、その走査線を対向電極と同電位にすることはできない。そこで、図 6 に示すように、走査ドライバ部の負電源を 2 レベル (V_{ssy1} と V_{ssy2}) 設け、その負電源を対向電極電位と同期させて矩形波の状態に交流駆動させる。かかる場合、 $V_{ssy2} - V_{ssy1} = V_{com}^*$ とすれば、式 (11) は満足する。

30

【0053】

(第 2 実施例)

第 1 実施例は画素 T F T が N チャンネル T F T の場合であったが、本例においては P チャンネルの画素 T F T を用いた場合について走査ドライバ部の電源バイアス条件を説明する。図 7 は対向電極の電位一定の場合における P チャンネル画素 T F T を用いた場合の駆動タイミングチャートである。この場合、走査パルス波形は P チャンネルの場合と上下逆になる。なお、容易に理解できるように、コモン振り駆動の場合における走査パルス波形も図 5 や図 6 に示す波形と上下逆にすれば良い。但し、図 6 に示す付加容量方式の場合には、走査ドライバ部の正電源 V_{ddy1} を 2 レベル (V_{ddy1} と V_{ddy2}) 設け、その負電源は 1 レベル (V_{ssy}) とする。

40

P チャンネル画素 T F T の場合のバイアス条件も N チャンネル画素 T F T の場合の式 (11)、(12) で表すことができる。但し、この場合、式 (11)、(12) 中の V_{y1} と

50

V_{y2}の内容が入れ替わり、式(11)が保持特性の条件式に、式(12)が書込み不足防止の条件式になる。ここでV_{y1}とV_{y2}はNチャンネル画素TFTの場合と逆で、以下のようになる。

V_{y1}:画素TFTのオン抵抗R_{on}が式(7)を満たすソース・ゲート間電圧

V_{y2}:式(8)で表されるシフト電圧の最大値(または平均的なシフト電圧=画像信号の平均値V_{idc}-対向電極電位V_{com})

以上述べたように、Pチャンネル画素TFT又はNチャンネル画素TFTを最適駆動するための走査ドライバ部30の電源バイアス条件は、データドライバ部20の形式によらず、式(11)、(12)で与えられる。この電源バイアス条件を満足する液晶表示装置によれば、書込み不足を抑制できると共に保持特性を改善することができる。このような改善によって、画素数の増大に伴うTFTの高速駆動が可能となり、高画質の表示性能を得ることができる。

次に、データドライバ部の電源バイアス条件について説明する。図13に示すように、データドライバ部20には正電源V_{ddx}と負電源V_{ssx}が供給されている。

【0054】

(第3実施例)

本例におけるデータドライバ部20のサンプリング回路24は図8に示すようにN型チャンネルのアナログスイッチ(TFT)S_{wi}を用いた回路構成で、画素TFTは点順次駆動方式で駆動される。すなわち、選択パルスQ_iによってアナログスイッチS_{wi}が導通し、画像信号V_{id}が信号線に送られ、サンプルホールド容量C_sに書き込まれる。なお、C_{gd}はゲート・ドレイン間の寄生容量である。ここで、サンプルホールド容量C_sに対する書込み不足防止や保持特性の改善の問題は、第1及び第2実施例に説明したように、画素TFTの場合のアナロジーとして論じることができる。すなわち、図8のビデオラインを図1の信号線Xに、図8の選択パルスQ_iの信号線を図1の走査線Yに、サンプルホールド容量C_s(信号線の配線容量も含む)を液晶容量C_{lc}及び保持容量C_{stg}に置き換えれば、アナログスイッチS_{wi}は画素TFTと同等に扱えることができる。つまり、走査ドライバ部の電源電圧の最適化するのと同じようにデータドライバ部20の電源電圧(正電源V_{ddx}と負電源V_{ssx})を最適化することができる。

まず、アナログスイッチS_{wi}の選択期間をT_sとすると、この期間内にビデオラインの画像信号が信号線X_iに書込み率k%(例えば95%)で書き込まれるための条件は、式(5)と同様に、次式が成立する。

$$V_{ddx} - V_{id} = 2 + V_{x2} \quad \dots (13)$$

ここでV_{x2}はアナログスイッチS_{wi}のオン抵抗R_{on}が書込み率kの下式を満たすようなゲート・ソース間電圧である。

$$1 - \exp(-T_s / R_{on} C_s) = k / 100 \quad \dots (14)$$

これらの式が満たされなければ、信号線X_iへの画像信号の書込みが不足すなわち水平解像の低下を招く。

一方、アナログスイッチS_{wi}がオフする際には突き抜け電圧(シフト電圧)V_{gd}が存在する。その大きさは、

$$V_{gd} = (V_{ddx} - V_{ssx}) \times C_{gd} / (C_{gd} + C_s) \quad \dots (15)$$

と表される。このシフト電圧の最大値をV_{x1}とすると、アナログスイッチS_{wi}の非選択期間(ほぼ水平走査期間)に信号線X_iに一旦書き込まれたデータがリークしない(横クロストークを生じない)ための条件は、

$$V_{ssx} - V_{id} = 1 - V_{x1} \quad \dots (16)$$

となる。なお、Pチャンネルのアナログスイッチを用いる場合にも第2実施例で説明したように、式(13)、(16)が電源バイアス条件となるが、ただ、V_{x1}とV_{x2}の内容が入れ替わることに留意されたい。

【0055】

10

20

30

40

50

(第4実施例)

本例におけるデータドライバ部20のサンプリング回路24は図9に示すようにCMOSアナログスイッチ T_i を用いた回路構成で、画素TF Tは点順次駆動方式で駆動される。すなわち、選択パルス Q_i がCMOSアナログスイッチ T_i のNチャンネルTF Tのゲートへ、その反転パルス Q_i （バー）がPチャンネルTF Tのゲートへ供給され、2つのTF Tは同時にオン又はオフする。サイプリング回路がCMOS構成の場合、片方のTF Tのオン抵抗が高くなるようなゲート電圧でも他方のTF Tのオン抵抗は必ず低くなるため、第3実施例における単一チャンネルのTF Tの場合に比して伝送できるアナログ信号（画像信号）の電圧範囲が広がる。ただ、素子数が増大し回路構成が複雑化する。

【0056】

まず、このCMOSアナログスイッチ T_i で信号線 X_i に書込み不足を生じない（水平解像度が低下しない）ための条件について吟味する。ここで、PチャンネルTF TとNチャンネルTF Tのオン抵抗をそれぞれ R_{onp} 、 R_{onn} とすると、2つのTF Tの並列抵抗 $R_{onp} \cdot R_{onn} / (R_{onp} + R_{onn})$ は、両チャンネルのTF Tの特性が対称とすればビデオ中心 $(V_{id2} - V_{id1}) / 2$ 付近で最も高くなる。このとき、PチャンネルTF Tのオン抵抗 R_{onp} は高いが、NチャンネルTF Tのオン抵抗 R_{onn} が十分低くなり、これによる書込み不足を生じない条件は前述のアナロジから次式で表されることが容易に理解できる。

$$V_{ddx} = (V_{id2} - V_{id1}) / 2 + V_{gsn} \quad \dots (17)$$

ここで、 V_{gsn} はNチャンネルTF Tのオン抵抗 R_{onn} が書込み率 k の次式を満たすようなゲート・ソース間電圧である。

$$2 \{ 1 - \exp(-T_s / R_{onn} C_s) \} = k / 100 \quad \dots (18)$$

因に $k = 95$ のときは、 $R_{onn} = 2 T_s / 3 C_s$ である。

一方、NチャンネルTF Tのオン抵抗 R_{onn} は高いが、PチャンネルTF Tのオン抵抗 R_{onp} が十分低くなり、これによる書込み不足が生じない条件は、

$$V_{ssx} = (V_{id2} - V_{id1}) / 2 - V_{gsp} \quad \dots (19)$$

ここで、 V_{gsp} はPチャンネルTF Tのオン抵抗 R_{onp} が書込み率 k の次式を満たすようなゲート・ソース間電圧である。

$$2 \{ 1 - \exp(-T_s / R_{onp} C_s) \} = k / 100 \quad \dots (20)$$

因みに $k = 95$ のときは、 $R_{onp} = 2 T_s / 3 C_s$ である。従って、式(17)、(19)が満たされていれば、書込み率 $k\%$ 以上の書込みが可能である。

【0057】

次に、CMOSアナログスイッチ T_i の非選択期間に信号線 X_i に一旦書き込まれたデータがリークしない（横クロストークを生じない）ための条件を求める。CMOSの場合にもそれがオフする瞬間に突き抜け電圧（シフト電圧）が生じる。NチャンネルTF Tのシフト電圧を V_{gdn} 、PチャンネルTF Tのシフト電圧を V_{gdp} とすると、Nチャンネルによるシフトは負側へ、Pチャンネルによるシフトは正側へシフトするから、全体のシフト量は $V_{gdp} - V_{gdn}$ となる。従って、すべてのバイアス条件でアナログスイッチがリークしないための条件は式(13)、(16)で表され、ここで V_{x1} 及び V_{x2} は下式のようになる。

$$V_{x1} = (V_{gdn} \text{の最大値}) - (V_{gdp} \text{の最小値}) \quad \dots (21)$$

$$V_{x2} = (V_{gdp} \text{の最大値}) - (V_{gdn} \text{の最小値}) \quad \dots (22)$$

ここで、 V_{gdp} 及び V_{gdn} は下式で与えられる。

$$V_{gdp} = (V_{ddx} - V_{ssx}) \times C_{gdp} / (C_{gdp} + C_s) \quad \dots (24)$$

$$V_{gdn} = (V_{ddx} - V_{ssx}) \times C_{gdn} / (C_{gdn} + C_s) \quad \dots (25)$$

但し、 C_{gdp} はPチャンネルTF Tのゲート・ドレイン間容量、 C_{gdn} はNチャンネルTF Tのゲート・ドレイン間容量、 C_s はサンプルホールド容量（配線容量も含む）である。

10

20

30

40

50

【0058】

(第5実施例)

上記第3及び第4実施例は、アナログ点順次駆動方式におけるデータドライバ部の電源バイアス条件について説明したが、本例はアナログ線順次駆動方式におけるデータドライバ部の電源バイアス条件について説明する。図10はアナログ線順次駆動方式によるデータドライバ部40のブロック図である。シフトレジスタ22からの送出された選択パルス $Q_1, Q_2, Q_3 \sim$ によって1段目のラッチAに順次書き込まれたアナログ画像信号 V_{id} はラッチパルス LP によって一斉に2段目のラッチBに送られる。2段目のラッチBはアナログバッファCに接続されており、ラッチBに取り込まれた各画像信号は1水平走査期間中に信号線 $X_1, X_2, X_3 \sim$ を常に駆動し続ける。アナログバッファCとして最も簡単な構成は図11に示すようになっている。この回路構成においてPチャンネルの TFT_2 は電流源として働き、Pチャンネルの TFT_1 はソース・ホロワによりラッチBに保持されている画像信号を入力電圧 V_{in_i} としこれに応じた出力電圧 V_{out_i} として出力する。ここで、注意しなければならないことは、図12に示すように入出力電圧の差 V_{sh} と立ち上がり・立ち下がり時間である。この例では出力電圧 V_{out_i} が入力電圧 V_{in_i} より V_{sh} だけ高くなるため、データドライバ部の正電源 V_{ddx} を画像信号電圧の最大値 V_{id2} よりも少なくとも V_{sh} だけ高くしなければならない。また、出力電圧 V_{out_i} の立ち上がりが遅いので、1水平走査期間内に立ち上がる TFT_2 の電源電圧やチャンネル幅を設定する必要がある。アナログバッファCの別の回路構成としては各種のオペレーション・アンプを用いたものがある。ここで、アナログバッファの回路構成にかかわらず、アナログバッファの出力抵抗を R_{out} 、信号線の配線容量を C_{s1} 、1水平走査期間を T_H とすると、書込み率 $k\%$ 以上の条件は次式で与えられる。

$$1 - \exp\{- (T_H / R_{out} \cdot C_{s1})\} \geq k / 100 \quad \dots (26)$$

因みに書込み率95%以上の場合は次式で与えられる。

$$R_{out} \times C_{s1} \times 3 < T_H \quad \dots (27)$$

【0059】

しかし、出力抵抗 R_{out} はアナログバッファの具体的な回路構成に関係しており、電源電圧 V_{ddx} 、 V_{ssx} と出力抵抗 R_{out} との関係は回路構成によって異なるので、この式から電源電圧を直接限定することはできない。ただ、 V_{x1} 及び V_{x2} を以下のように定義すると、書き込み不足の防止及び保持特性の改善のためのデータドライバ部の電源電圧 V_{ddx} 、 V_{ssx} のバイアス条件は式(13)、(16)を満足しなければならない。

V_{x1} ：アナログバッファの入出力信号の線形性を保ち、画像信号の最小値 V_{id1} を入力した場合にも式(26)を満たすために必要な電圧

V_{x2} ：アナログバッファの入出力信号の線形性を保ち、画像信号の最大値 V_{id2} を入力した場合にも式(26)を満たすために必要な電圧

なお、デジタル方式で点順次駆動を行う液晶表示装置はないが、デジタル線順次駆動方式はある。この場合には、基本的に外部から与えられた電源電圧を選択するだけであるので、アナログ方式の場合に問題となる書き込み不足やシフト電圧などが存在しない。従って、式(13)、(16)中の V_{x1} 及び V_{x2} はともに0で良い。

【0060】

【発明の効果】

以上説明したように、本発明に係る TFT 型液晶表示装置は、アナログ点順次駆動方式又はアナログ線順次方式にかかわらず、走査線駆動回路の電源電圧 V_{ddy} 及び V_{ssy}

又は信号線駆動回路の電源電圧 V_{ddx} 及び V_{ssx} を前述のように最適値に設定してなる点に特徴を有するものであることから、次の効果を奏する。すなわち、書込み時間や画素 TFT やサンプリング用 TFT のオン抵抗、液晶容量及び保持容量の値に如何にかかわらず、書込み率 $k\%$ 以上の充分書き込み特性を実現させることができる。また画素 TFT やサンプリング用 TFT のカップリング容量や液晶容量及び保持容量の値の如何に

かかわらず、画素 T F T やサンプリング用 T F T がオフする際に生じる所謂突き抜け電圧による影響を無くし、保持特性の劣化を防止することができる。このような電源バイアス条件によって画素数の増大による高速駆動が可能となり、更なる高精細化の液晶表示装置を実現できる。特に、ドライバ内蔵型の T F T 型液晶表示装置においては電源電圧の値がシフトレジスタの誤動作やノイズ発生に敏感に影響するので、上記の電源バイアスに設定された走査線駆動回路や信号線駆動回路を用いると、誤動作やノイズ発生を抑制することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例において画素 T F T として N チャンネル T F T を用いた場合の画素 T F T の等価回路図である。

10

【図 2】(a) は画素の保持容量が付加容量方式の場合の等価回路図で、(b) は画素の保持容量が蓄積容量方式の等価回路図である。

【図 3】T F T 液晶表示装置の代表的な駆動波形を示す波形図である。

【図 4】本発明の第 1 実施例において画素 T F T として N チャンネル T F T を用いた場合の走査線駆動回路の電源電圧バイアスを示すタイミングチャートである。

【図 5】本発明の第 1 実施例において画素 T F T として N チャンネル T F T を用い保持容量の回路構成が蓄積容量方式の場合の走査線駆動回路の電源電圧バイアスを示すタイミングチャートである。

【図 6】本発明の第 1 実施例において画素 T F T として N チャンネル T F T を用い保持容量の回路構成が付加容量方式の場合の走査線駆動回路の電源電圧バイアスを示すタイミングチャートである。

20

【図 7】本発明の第 2 実施例において画素 T F T として P チャンネル T F T を用いた場合の走査線駆動回路の電源電圧バイアスを示すタイミングチャートである。

【図 8】本発明の第 3 実施例においてデータドライバのサンプリング回路として N チャンネル T F T のアナログスイッチを用いた場合のデータドライバの電源電圧バイアスを示すタイミングチャート図である。

【図 9】本発明の第 4 実施例においてデータドライバのサンプリング回路として C M O S ・ T F T のアナログスイッチを用いた場合のデータドライバの電源電圧バイアスを示すタイミングチャート図である。

【図 10】本発明の第 5 実施例においてアナログ点順次駆動方式のデータドライバの構成を示すブロック図である。

30

【図 11】図 10 に示すアナログバッファの詳細な構成を示す回路図である。

【図 12】図 11 に示すアナログバッファの入力電圧と出力電圧の立ち上がり・立ち下がり状態を示す波形図である。

【図 13】ドライバ内蔵型の T F T 型液晶表示装置の回路構成を示すブロック図である。

【図 14】図 13 に示すシフトレジスタのクロックと反転クロックの相互関係を示す波形図である。

【図 15】図 13 に示すデータドライバの構成を示すブロック図である。

【符号の説明】

1 ... 絶縁基板

10 ... 画素マトリクス部

20, 40 ... X ドライバ部

30 ... Y ドライバ部

X ... 走査線

Y ... 信号線

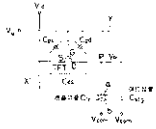
T F T ... 薄膜トランジスタ

S W_i ... T F T アナログスイッチ

T_i ... T F T の C M O S アナログスイッチ

40

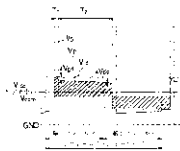
【 図 1 】



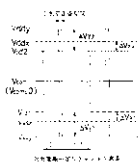
【 図 2 】



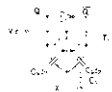
【 図 3 】



【 図 4 】



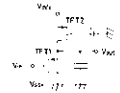
【 図 9 】



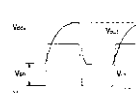
【 図 10 】



【 図 11 】



【 図 12 】



【 図 5 】



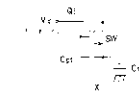
【 図 6 】



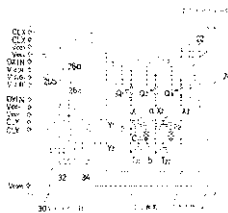
【 図 7 】



【 図 8 】



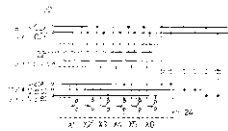
【 図 13 】



【 図 14 】



【 図 15 】



【手続補正書】

【提出日】平成15年6月5日(2003.6.5)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

Nチャンネル薄膜トランジスタである画素TFTとそのドレインに接続された画素電極とを各画素に備え、前記画素TFTのゲートに選択パルスを供給する走査線駆動回路と、前記画素TFTのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置において、

前記走査線駆動回路から供給される選択パルスの電圧が次の(1-1)式及び(1-2)式を満足するように設定されてなることを特徴とする液晶表示装置。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (1-1)$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (1-2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 画素電極と液晶を挟んで対向する対向電極の電圧振幅(但し、対向電極の電圧が一定の場合は $V_{com}^* = 0$)

$Vy1$: 画素TFTのオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1-3)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} は画素TFTのゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

$Vy2$: 画素TFTが画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素TFTの書込み期間}) / (\text{画素TFTの導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (1-4)$$

【請求項2】

Pチャンネル薄膜トランジスタである画素TFTとそのドレインに接続された画素電極とを各画素に備え、前記画素TFTのゲートに選択パルスを供給する走査線駆動回路と、前記画素TFTのソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置において、

前記走査線駆動回路から供給される選択パルスの電圧が次の(2-1)式及び(2-2)式を満足するように設定されてなることを特徴とする液晶表示装置。

$$V_{ddy} = Vid2 + V_{com}^* + Vy2 \quad \dots (2-1)$$

$$V_{ssy} = Vid1 - V_{com}^* - Vy1 \quad \dots (2-2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

V_{com}^* : 画素電極と液晶を挟んで対向する対向電極の電圧振幅(但し、対向電極の電圧が一定の場合は $V_{com}^* = 0$)

$Vy1$: 画素TFTが画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$1 - \exp \{ - (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数}) \} \quad k / 100 \quad \dots (2 - 3)$

V_{y2} : 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1 - 3)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

【請求項 3】

Nチャネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置において、

前記画素電極に対して液晶を挟んで対向する対向電極には交流駆動するための電圧振幅を与えてなり、前記走査線駆動回路から供給される選択パルスの電圧が次の (1 - 1) 式及び (1 - 2) 式を満足するように設定されてなることを特徴とする液晶表示装置。

$$V_{ddy} - V_{ssy} = V_{id2} + V_{com}^* + V_{y2} \quad \dots (1 - 1)$$

$$V_{ssy} - V_{id1} = V_{com}^* - V_{y1} \quad \dots (1 - 2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

V_{id1} : 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧

V_{com}^* : 対向電極の電圧振幅

V_{y1} : 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1 - 3)$$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} は画素 T F T のゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

V_{y2} : 画素 T F T が画像信号を書込み率 k % 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$1 - \exp \{ - (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数}) \} \quad k / 100 \quad \dots (1 - 4)$

【請求項 4】

Pチャネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置において、

前記画素電極に対して液晶を挟んで対向する対向電極には交流駆動するための電圧振幅を与えてなり、前記走査線駆動回路から供給される選択パルスの電圧が次の (2 - 1) 式及び (2 - 2) 式を満足するように設定されてなることを特徴とする液晶表示装置。

$$V_{ddy} - V_{ssy} = V_{id2} + V_{com}^* + V_{y2} \quad \dots (2 - 1)$$

$$V_{ssy} - V_{id1} = V_{com}^* - V_{y1} \quad \dots (2 - 2)$$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

V_{id1} : 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧

V_{com}^* : 対向電極の電圧振幅

V_{y1} : 画素 T F T が画像信号を書込み率 k % 以上で画素に書込むための次式を満たす

ようなゲート・ソース間電圧

$1 - \exp\{- (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数})\} \quad k / 100 \quad \dots (2 - 3)$

V_{y2} : 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1 - 3)$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} はゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

【請求項 5】

前記保持容量に印加する保持容量電極電位を前記対向電極の電位と同一とすることを特徴とする請求項 3 または 4 に記載の液晶表示装置。

【請求項 6】

N チャンネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、

前記画素電極に対して液晶を挟んで対向する対向電極には交流駆動するための電圧振幅を与えてなり、前記走査線駆動回路から供給される選択パルスの電圧が次の (1 - 1) 式及び (1 - 2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$V_{ddy} = V_{id2} + V_{com}^* + V_{y2} \quad \dots (1 - 1)$

$V_{ssy} = V_{id1} - V_{com}^* - V_{y1} \quad \dots (1 - 2)$

V_{ddy} : 選択パルスの高レベル電圧

V_{ssy} : 選択パルスの低レベル電圧

V_{id1} : 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧

V_{com}^* : 対向電極の電圧振幅

V_{y1} : 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値または平均的なシフト電圧

$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_{lc} + C_{stg}) \quad \dots (1 - 3)$

但し、 V_g は選択パルスの大きさ ($V_{ddy} - V_{ssy}$)、 C_{gd} は画素 T F T のゲート・ドレイン間寄生容量、 C_{lc} は液晶容量、 C_{stg} は保持容量である。

V_{y2} : 画素 T F T が画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$1 - \exp\{- (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数})\} \quad k / 100 \quad \dots (1 - 4)$

【請求項 7】

P チャンネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、

前記画素電極に対して液晶を挟んで対向する対向電極には交流駆動するための電圧振幅を与えてなり、前記走査線駆動回路から供給される選択パルスの電圧が次の (2 - 1) 式及び (2 - 2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$V_{ddy} = V_{id2} + V_{com}^* + V_{y2} \quad \dots (2 - 1)$

$V_{ssy} = V_{id1} - V_{com}^* - V_{y1} \quad \dots (2 - 2)$

V_{ddy} : 選択パルスの高レベル電圧

$V_{s s y}$: 選択パルスの低レベル電圧

$V_{i d 1}$: 画像信号の最小電圧

$V_{i d 2}$: 画像信号の最大電圧

$V_{c o m}^*$: 対向電極の電圧振幅

$V_{y 1}$: 画素 T F T が画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$1 - \exp\{- (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数})\} \geq k / 100 \quad \dots (2 - 3)$

$V_{y 2}$: 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 $V_{g d}$ の最大値または平均的なシフト電圧

$V_{g d} = V_g \times C_{g d} / (C_{g d} + C_{l c} + C_{s t g}) \quad \dots (1 - 3)$

但し、 V_g は選択パルスの大きさ ($V_{d d y} - V_{s s y}$)、 $C_{g d}$ はゲート・ドレイン間寄生容量、 $C_{l c}$ は液晶容量、 $C_{s t g}$ は保持容量である。

【請求項 8】

前記保持容量に印加する保持容量電極電位を前記対向電極の電位と同一とすることを特徴とする請求項 6 または 7 に記載の液晶表示装置の駆動方法。

【請求項 9】

N チャネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、

前記走査線駆動回路から供給される選択パルスの電圧が次の (1 - 1) 式及び (1 - 2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$V_{d d y} = V_{i d 2} + V_{c o m}^* + V_{y 2} \quad \dots (1 - 1)$

$V_{s s y} = V_{i d 1} - V_{c o m}^* - V_{y 1} \quad \dots (1 - 2)$

$V_{d d y}$: 選択パルスの高レベル電圧

$V_{s s y}$: 選択パルスの低レベル電圧

$V_{i d 1}$: 画像信号の最小電圧

$V_{i d 2}$: 画像信号の最大電圧

$V_{c o m}^*$: 画素電極と液晶を挟んで対向する対向電極の電圧振幅 (但し、対向電極の電圧が一定の場合は $V_{c o m}^* = 0$)

$V_{y 1}$: 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 $V_{g d}$ の最大値または平均的なシフト電圧

$V_{g d} = V_g \times C_{g d} / (C_{g d} + C_{l c} + C_{s t g}) \quad \dots (1 - 3)$

但し、 V_g は選択パルスの大きさ ($V_{d d y} - V_{s s y}$)、 $C_{g d}$ は画素 T F T のゲート・ドレイン間寄生容量、 $C_{l c}$ は液晶容量、 $C_{s t g}$ は保持容量である。

$V_{y 2}$: 画素 T F T が画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$1 - \exp\{- (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数})\} \geq k / 100 \quad \dots (1 - 4)$

【請求項 10】

P チャネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、

前記走査線駆動回路から供給される選択パルスの電圧が次の (2 - 1) 式及び (2 - 2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$V_{d d y} = V_{i d 2} + V_{c o m}^* + V_{y 2} \quad \dots (2 - 1)$

$$V_{s s y} = V_{i d 1} - V_{c o m}^* - V_{y 1} \quad \dots (2-2)$$

$V_{d d y}$: 選択パルスの高レベル電圧

$V_{s s y}$: 選択パルスの低レベル電圧

$V_{i d 1}$: 画像信号の最小電圧

$V_{i d 2}$: 画像信号の最大電圧

$V_{c o m}^*$: 画素電極と液晶を挟んで対向する対向電極の電圧振幅(但し、対向電極の電圧が一定の場合は $V_{c o m}^* = 0$)

$V_{y 1}$: 画素 T F T が画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (2-3)$$

$V_{y 2}$: 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 $V_{g d}$ の最大値または平均的なシフト電圧

$$V_{g d} = V_g \times C_{g d} / (C_{g d} + C_{l c} + C_{s t g}) \quad \dots (2-4)$$

但し、 V_g は選択パルスの大きさ ($V_{d d y} - V_{s s y}$)、 $C_{g d}$ はゲート・ドレイン間寄生容量、 $C_{l c}$ は液晶容量、 $C_{s t g}$ は保持容量である。

【請求項 11】

Nチャネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、

前記走査線駆動回路の電源電圧が次の (1-1) 式及び (1-2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$$V_{d d y} = V_{i d 2} + V_{c o m}^* + V_{y 2} \quad \dots (1-1)$$

$$V_{s s y} = V_{i d 1} - V_{c o m}^* - V_{y 1} \quad \dots (1-2)$$

$V_{d d y}$: 走査線駆動回路の正側電源電圧

$V_{s s y}$: 走査線駆動回路の負側電源電圧

$V_{i d 1}$: 画像信号の最小電圧

$V_{i d 2}$: 画像信号の最大電圧

$V_{c o m}^*$: 画素電極と液晶を挟んで対向する対向電極の電圧振幅(但し、対向電極の電圧が一定の場合は $V_{c o m}^* = 0$)

$V_{y 1}$: 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 $V_{g d}$ の最大値または平均的なシフト電圧

$$V_{g d} = V_g \times C_{g d} / (C_{g d} + C_{l c} + C_{s t g}) \quad \dots (1-3)$$

但し、 V_g は選択パルスの大きさ ($V_{d d y} - V_{s s y}$)、 $C_{g d}$ は画素 T F T のゲート・ドレイン間寄生容量、 $C_{l c}$ は液晶容量、 $C_{s t g}$ は保持容量である。

$V_{y 2}$: 画素 T F T が画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (1-4)$$

【請求項 12】

Pチャネル薄膜トランジスタである画素 T F T とそのドレインに接続された画素電極とを各画素に備え、前記画素 T F T のゲートに選択パルスを供給する走査線駆動回路と、前記画素 T F T のソースに画像信号を供給する信号線駆動回路とを有する液晶表示装置の駆動方法において、

前記走査線駆動回路の電源電圧が次の (2-1) 式及び (2-2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$$V_{d d y} = V_{i d 2} + V_{c o m}^* + V_{y 2} \quad \dots (2-1)$$

$$V_{s s y} = V_{i d 1} - V_{c o m}^* - V_{y 1} \quad \dots (2-2)$$

$V_{d d y}$: 走査線駆動回路の正側電源電圧

$V_{s s y}$: 走査線駆動回路の負側電源電圧

$V_{i d 1}$: 画像信号の最小電圧

$V_{i d 2}$: 画像信号の最大電圧

$V_{c o m}^*$: 画素電極と液晶を挟んで対向する対向電極の電圧振幅(但し、対向電極の電圧が一定の場合は $V_{c o m}^* = 0$)

$V_{y 1}$: 画素 T F T が画像信号を書込み率 $k\%$ 以上で画素に書込むための次式を満たすようなゲート・ソース間電圧

$$1 - \exp\{- (\text{画素 T F T の書込み期間}) / (\text{画素 T F T の導通時に画像信号を画素に書込む時定数})\} = k / 100 \quad \dots (2-3)$$

$V_{y 2}$: 画素 T F T のオフ時に画素電極の電圧がシフトする際の次式で表されるシフト電圧 $V_{g d}$ の最大値または平均的なシフト電圧

$$V_{g d} = V_g \times C_{g d} / (C_{g d} + C_{l c} + C_{s t g}) \quad \dots (2-4)$$

但し、 V_g は選択パルスの大きさ ($V_{d d y} - V_{s s y}$)、 $C_{g d}$ はゲート・ドレイン間寄生容量、 $C_{l c}$ は液晶容量、 $C_{s t g}$ は保持容量である。

【請求項 13】

信号線に画像信号を供給する信号線駆動回路を有する液晶表示装置の駆動方法において、前記信号線駆動回路は、前記画像信号をサンプリングして前記信号線に供給する N チャンネル薄膜トランジスタであるサンプリング用 T F T を備え、前記サンプリング用 T F T はドレインが前記信号線に接続されてなり、前記信号線駆動回路が次の (3-1) 式及び (3-2) 式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$$V_{d d x} = V_{i d 2} + V_{x 2} \quad \dots (3-1)$$

$$V_{s s x} = V_{i d 1} - V_{x 1} \quad \dots (3-2)$$

$V_{d d x}$: 信号線駆動回路の正側電源電圧

$V_{s s x}$: 信号線駆動回路の負側電源電圧

$V_{i d 1}$: 画像信号の最小電圧

$V_{i d 2}$: 画像信号の最大電圧

$V_{x 1}$: サンプリング用 T F T のオフ時に信号線における画像信号の電圧がシフトする際の次式で表されるシフト電圧 $V_{g d}$ の最大値

$$V_{g d} = V_g \times C_{g d} / (C_{g d} + C_s) \quad \dots (3-3)$$

但し、 V_g は選択パルスの大きさ ($V_{d d y} - V_{s s y}$)、 $C_{g d}$ はサンプリング用 T F T のゲート・ドレイン間寄生容量、 C_s はサンプルホールド容量(配線容量も含む)である。

$V_{x 2}$: オン抵抗 $R_{o n}$ のサンプリング用 T F T が画像信号を書込み率 $k\%$ 以上で信号線に書込むための次式を満足するようなゲート・ソース間電圧

$$1 - \exp\{- (T_s / R_{o n} C_s)\} = k / 100 \quad \dots (3-4)$$

但し、 T_s はサンプリング用 T F T の選択期間である。

【請求項 14】

信号線に画像信号を供給する信号線駆動回路を有する液晶表示装置の駆動方法において、前記信号線駆動回路は、前記画像信号をサンプリングして前記信号線に供給する P チャンネル薄膜トランジスタであるサンプリング用 T F T を備え、前記サンプリング用 T F T はドレインが前記信号線に接続されてなり、前記信号線駆動回路が次の式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$$V_{d d x} = V_{i d 2} + V_{x 2} \quad \dots (4-1)$$

$$V_{s s x} = V_{i d 1} - V_{x 1} \quad \dots (4-2)$$

$V_{d d x}$: 信号線駆動回路の正側電源電圧

$V_{s s x}$: 信号線駆動回路の負側電源電圧

$V_{i d 1}$: 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧

V_{x1} : オン抵抗 R_{on} のサンプリング用 T F T が画像信号を書込み率 $k\%$ 以上で信号線に書込むための次式を満足するようなゲート・ソース間電圧

$$1 - \exp\{- (T_s / R_{on} C_s)\} = k / 100 \quad \dots (4-4)$$

但し、 T_s はサンプリング用 T F T の選択期間、 C_s はサンプルホールド容量（配線容量も含む）である。

V_{x2} : サンプリング用 T F T のオフ時に信号線における画像信号の電圧がシフトする際の次式で表されるシフト電圧 V_{gd} の最大値

$$V_{gd} = V_g \times C_{gd} / (C_{gd} + C_s) \quad \dots (4-3)$$

但し、 V_g は選択パルスの大きさ（ $V_{ddy} - V_{ssy}$ ）、 C_{gd} はサンプリング用 T F T のゲート・ドレイン間寄生容量である。

【請求項 15】

信号線に画像信号を供給する信号線駆動回路を有する液晶表示装置の駆動方法において、前記信号線駆動回路は、前記画像信号をサンプリングして前記信号線に供給するサンプリング用 C M O S 型薄膜トランジスタであるサンプリング用 C M O S 型 T F T を備え、前記サンプリング用 C M O S 型 T F T はドレインが前記信号線に接続されてなり、前記信号線駆動回路が次の式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$$V_{ddx} = (V_{id2} - V_{id1}) / 2 + V_{gsn} \quad \dots (5-1)$$

$$V_{ssx} = (V_{id2} - V_{id1}) / 2 - V_{gsp} \quad \dots (5-2)$$

$$V_{ddx} = V_{id2} + V_{x2} \quad \dots (5-3)$$

$$V_{ssx} = V_{id1} - V_{x1} \quad \dots (5-4)$$

V_{ddx} : 信号線駆動回路の正側電源電圧

V_{ssx} : 信号線駆動回路の負側電源電圧

V_{id1} : 画像信号の最小電圧

V_{id2} : 画像信号の最大電圧

V_{gsn} : サンプリング用 C M O S 型 T F T におけるオン抵抗 R_{onn} の N チャネル T F T が画像信号を書込み率 $k\%$ で信号線に書込むための次式を満足するようなゲート・ソース間電圧

$$2 \{ 1 - \exp(- T_s / R_{onn} C_s) \} = k / 100 \quad \dots (5-5)$$

V_{gsp} : サンプリング用 C M O S 型 T F T におけるオン抵抗 R_{onp} の P チャネル T F T が画像信号を書込み率 $k\%$ で信号線に書込むための次式を満足するようなゲート・ソース間電圧

$$2 \{ 1 - \exp(- T_s / R_{onp} C_s) \} = k / 100 \quad \dots (5-6)$$

$$V_{x1} : (V_{gdn} \text{ の最大値}) - (V_{gdp} \text{ の最小値})$$

$$V_{x2} : (V_{gdp} \text{ の最大値}) - (V_{gdn} \text{ の最小値})$$

ここで、 V_{gdn} 及び V_{gdp} はそれぞれ次の式で与えられる。

$$V_{gdp} = (V_{ddx} - V_{ssx}) \times C_{gdp} / (C_{gdp} + C_s) \quad \dots (5-7)$$

$$V_{gdn} = (V_{ddx} - V_{ssx}) \times C_{gdn} / (C_{gdn} + C_s) \quad \dots (5-8)$$

但し、 C_{gdp} はサンプリング用 C M O S 型 T F T における P チャネル T F T のゲート・ドレイン間容量、 C_{gdn} はサンプリング用 C M O S 型 T F T における N チャネル T F T のゲート・ドレイン間容量、 C_s はサンプルホールド容量（配線容量も含む）である。

【請求項 16】

信号線に画像信号を供給する信号線駆動回路を有する液晶表示装置の駆動方法において、前記信号線駆動回路は、シフトレジスタと、前記シフトレジスタから送出される選択パルスによって前記画像信号が書込まれる 1 段目のラッチ回路と、前記 1 段目のラッチ回路から一斉に前記画像信号が書込まれる 2 段目のラッチ回路と、前記 2 段目のラッチ回路の出

力を入力して前記信号線に出力するアナログバッファ回路とを有し、前記信号線駆動回路の電源電圧が次の(6-1)式及び(6-2)式を満足するように設定されてなることを特徴とする液晶表示装置の駆動方法。

$$V_{ddx} = Vid2 + Vx2 \quad \dots (6-1)$$

$$V_{ssx} = Vid1 - Vx1 \quad \dots (6-2)$$

V_{ddx} : 信号線駆動回路の正側電源電圧

V_{ssx} : 信号線駆動回路の負側電源電圧

$Vid1$: 画像信号の最小電圧

$Vid2$: 画像信号の最大電圧

ここで、 $Vid1$ 及び $Vid2$ は以下のように定義される。

$Vx1$: アナログバッファの入出力信号の線形性を保ち、画像信号の最小値 $Vid1$ を入力した場合にも、アナログバッファ回路が画像信号を書込み率 $k\%$ 以上で信号線に書込むための式(6-3)を満たすために必要な電圧

$Vx2$: アナログバッファの入出力信号の線形性を保ち、画像信号の最大値 $Vid2$ を入力した場合にも、アナログバッファ回路が画像信号を書込み率 $k\%$ 以上で信号線に書込むための式(6-3)を満たすために必要な電圧

$$1 - \exp\left\{-\left(1 \text{ 水平走査期間} \right) / \left(\left(\text{アナログバッファ回路の出力抵抗} \right) \times \left(\text{信号線の配線容量} \right) \right)\right\} = k / 100 \quad \dots (6-3)$$

フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 L
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 D

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2004004823A	公开(公告)日	2004-01-08
申请号	JP2003128088	申请日	2003-05-06
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	松枝洋二郎		
发明人	松枝 洋二郎		
IPC分类号	G02F1/1368 G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G09G3/20.622.C G09G3/20.623.C G09G3/20.623.H G09G3/20.623.L G09G3/20.624.B G09G3/20.624.D		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/JB69 2H092/NA05 2H092/NA22 2H092/PA06 2H093/NA16 2H093/NB08 2H093/NB12 2H093/NB13 2H093/NB15 2H093/NC09 2H093/NC11 2H093/NC18 2H093/NC22 2H093/NC23 2H093/NC27 2H093/NC34 2H093/NC35 2H093/ND32 2H093/ND35 2H093/ND40 2H093/NH12 2H093/NH18 2H192/AA24 2H192/DA02 2H192/DA12 2H192/FB02 2H192/FB06 2H192/GD61 2H193/ZA04 2H193/ZF59 5C006/AC09 5C006/AC11 5C006/AC22 5C006/AC24 5C006/AF51 5C006/AF75 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC13 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF42 5C006/FA23 5C006/FA31 5C006/FA33 5C006/FA38 5C006/GA02 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD07 5C080/DD08 5C080/DD09 5C080/FF03 5C080/FF07 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ04		
代理人(译)	须泽 修		
外部链接	Espacenet		

摘要(译)

要解决的问题：在确保足够的写入特性和保持特性的同时，抑制由于高
 清导致的驱动器移位寄存器的故障和噪声产生。[结构]将扫描线驱动电
 路的正电源电压 V_{DD} 设置为 $V_{DD} \geq V_{id2} + \Delta V_{y2}$ 。此外，将扫描线驱动
 电路的负电源电压 V_{SS} 设置为 $V_{SS} \leq V_{id1} - \Delta V_{y1}$ 。在这种电源偏置条件
 下，不管寄生电容等的值如何，都可以获得良好的保持特性。[选型图]
 图1

