

(19)日本国特許庁（J P）

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003－347558
(P2003－347558A)

(43)公開日 平成15年12月5日(2003.12.5)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 29/786		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		H 0 1 L 29/78	617 K 5 F 1 1 0
H 0 1 L 21/336			612 D

審査請求 有 請求項の数 19 O L (全 7 数)

(21)出願番号	特願2003－143836(P2003－143836)	(71)出願人	599127667 エルジー フィリップス エルシーディー カンパニー リミテッド 大韓民国 ソウル, ヨンドンポーク, ヨ イドードン 20
(22)出願日	平成15年5月21日(2003.5.21)	(72)発明者	クァンスン・パク 大韓民国、701－81 テグ、ドング、シナ ム5－ドン 54－35
(31)優先権主張番号	2002－028605	(74)代理人	100057874 弁理士 曾我 道照 (外 4 名)
(32)優先日	平成14年5月23日(2002.5.23)		
(33)優先権主張国	韓国(KR)		

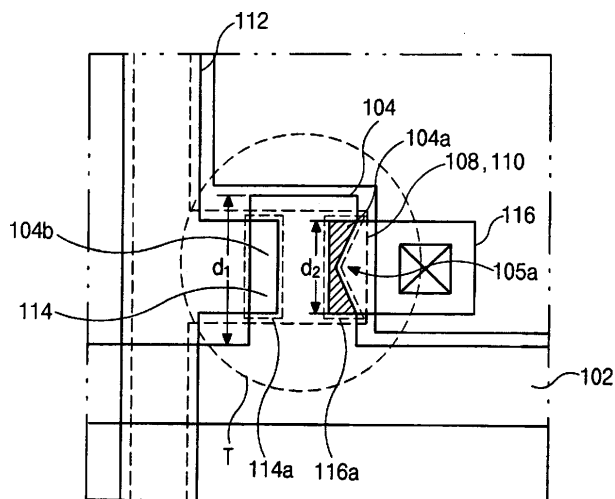
最終頁に続く

(54)【発明の名称】 液晶表示装置用アレイ基板及びその製造方法、並びに薄膜トランジスタ

(57)【要約】

【課題】 ゲート電極とドレーン電極の形状を新しい構造に設計して、ドレーン電極とゲート電極間の寄生容量 C_{GD} を最小化し高画質の液晶パネルを提供する。

【解決手段】 本発明は、液晶表示装置に係り、特に液晶表示装置の動作特性を決定するスイッチング素子の構成に関する。ゲート電極とアクティブ層とソース電極及びドレーン電極で構成されるスイッチング素子において、ゲート電極の一辺の中上記ドレーン電極と重なる部分の一辺を内側に折れた形状で構成する。このようにすれば、上記ドレーン電極とゲート電極が重なりながら発生する寄生キャパシタンス値 C_{gs} が小さくなるのでフリッカー (f l i c k e r) が発生しない。したがって、高画質の液晶表示装置を製作できる。



【特許請求の範囲】

【請求項1】 基板と；上記基板上に相互交差して画素領域を定義するゲート配線とデータ配線と；上記二つの配線に連結して、ゲート電極、アクティブ層、オーミックコンタクト層、ソース及びドレーン電極で構成される薄膜トランジスタと、

上記薄膜トランジスタと接触しながら上記画素領域上に構成された画素電極とを含む液晶表示装置用アレイ基板において、

上記ゲート電極は、上記ドレーン電極と重なる第1重畳部と上記ソース電極と重なる第2重畳部を有し、上記第1重畳部は、第1凹部を含むことを特徴とする液晶表示装置用アレイ基板。

【請求項2】 上記ゲート電極は、ゲート配線から突出されて上記データ配線の方向に第1長さを有し、上記ソース電極は上記データ配線から突出されることを特徴とする請求項1に記載の液晶表示装置用アレイ基板。

【請求項3】 上記アクティブ層とオーミックコンタクト層は、上記データ配線の下部に延長形成されたことを特徴とする請求項2に記載の液晶表示装置用アレイ基板。

【請求項4】 上記アクティブ層は、純粋な非晶質シリコンであって、上記オーミックコンタクト層は不純物が混合された非晶質シリコンで構成されたことを特徴とする請求項3に記載の液晶表示装置用アレイ基板。

【請求項5】 上記第1凹部は、"V"字形状であることを特徴とする請求項2に記載の液晶表示装置用アレイ基板。

【請求項6】 上記第2重畳部は、第2凹部を含むことを特徴とする請求項5に記載の液晶表示装置用アレイ基板。

【請求項7】 上記第2凹部は、"V"字形状であることを特徴とする請求項6に記載の液晶表示装置用アレイ基板。

【請求項8】 上記第1凹部は、上記データ配線の方向に第2長さを有し、上記第2長さは上記第1長さより小さくて約4 μ mより大きいことを特徴とする請求項5に記載の液晶表示装置用アレイ基板。

【請求項9】 第1凹部を有する第1辺と上記第1辺と向い合う第2辺を有するゲート電極とゲート配線を基板上に形成する段階と；上記ゲート電極とゲート配線を覆うゲート絶縁膜を形成する段階と；上記ゲート絶縁膜上にアクティブ層を形成する段階と；上記アクティブ層上部にオーミックコンタクト層を形成する段階と；上記ゲート配線と垂直で交差して画素領域を定義するデータ配線と、上記ゲート電極の第2辺と重なるソース電極と、上記ゲート電極の第1辺と重なるドレーン電極を上記オーミックコンタクト層上部に形成する段階と；上記データ配線とソース及びドレーン電極が構成された基板の全面に、上記ドレーン電極の一部を露出するドレーンコン

*タクトホールを有する保護膜を形成する段階と；上記ドレーンコンタクトホールを通して上記ドレーン電極と接触して上記画素領域上に配置する画素電極を形成する段階とを含むことを特徴とする液晶表示装置用アレイ基板の製造方法。

【請求項10】 上記ゲート電極は、上記第1辺に沿ってゲート配線から突出されて第1長さを有し、上記ソース電極は、上記データ配線から突出されることを特徴とする請求項9に記載の液晶表示装置用アレイ基板の製造方法。

【請求項11】 上記アクティブ層とオーミックコンタクト層は、上記データ配線の下部に延長形成されたことを特徴とする請求項10に記載の液晶表示装置用アレイ基板の製造方法。

【請求項12】 上記アクティブ層は、純粋な非晶質シリコンであって、上記オーミックコンタクト層は不純物が混合された非晶質シリコンで形成されたことを特徴とする請求項11に記載の液晶表示装置用アレイ基板の製造方法。

【請求項13】 上記第1凹部は、"V"字形状であることを特徴とする請求項10に記載の液晶表示装置用アレイ基板の製造方法。

【請求項14】 上記第2辺は、第2凹部を含むことを特徴とする請求項13に記載の液晶表示装置用アレイ基板の製造方法。

【請求項15】 上記第2凹部は、"V"字形状であることを特徴とする請求項14に記載の液晶表示装置用アレイ基板の製造方法。

【請求項16】 上記第1凹部は、上記データ配線の方向に第2長さを有し、上記第2長さは、上記第1長さより小さく約4 μ mより大きいことを特徴とする請求項13に記載の液晶表示装置用アレイ基板の製造方法。

【請求項17】 基板と；上記基板上部に形成されて第1凹部を有する第1辺と上記第1辺と向い合う第2辺を有するゲート電極と；上記ゲート電極上部のアクティブ層と；上記アクティブ層上部に形成されて、上記ゲート電極と上記第1辺で重なるドレーン電極と上記ゲート電極と上記第2辺で重なるソース電極とを含むことを特徴とする薄膜トランジスタ。

【請求項18】 上記第1凹部は、"V"字形状であることを特徴とする請求項17に記載の薄膜トランジスタ。

【請求項19】 上記第1辺は第1長さを有して、上記第1凹部は第2長さを有し、上記第2長さは上記第1長さより小さくて約4 μ mより大きいことを特徴とする請求項18に記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置（LCD）用アレイ基板に関して、特にアレイ基板上に形成されたスイッチング素子（Switching dev

ice)に係り、上記スイッチング素子でゲート電極 (gate electrode) とドレーン電極 (drain electrode) の重なる面積部分に発生する寄生容量 C_{GD} を減らしてキックバック電圧 ΔV_p の値を減らす方法に関する。

【0002】

【従来の技術】図1は、一般的な液晶表示装置を概略的に示した図面である。図示した通り、一般的なカラー液晶表示装置11は、サブカラーフィルタ7と上記各カラーフィルタ7間に構成されたブラックマトリックス6と

上記サブカラーフィルタとブラックマトリックス上部に蒸着された共通電極18が形成された上部基板5と、画素領域Pと画素領域上に形成された画素電極17とスイッチング素子Tとアレイ配線が形成された下部基板22で構成され、上記上部基板5と下部基板22間には液晶14が充填されている。

【0003】上記下部基板22は、アレイ基板 (array substrate) とも言い、スイッチング素子である薄膜トランジスタTをマトリックス形態 (matrix type) で配置して、このような多数の薄

膜トランジスタTと交差するゲート配線13とデータ配線15が形成される。この時、上記画素領域Pは、上記ゲート配線13とデータ配線15が交差して定義される領域であり、上記画素領域P上には前述したように、透明な画素電極17が形成される。上記画素電極17は、インジウムスズオキシド (indium-tin-oxide: ITO) のように光の透過率が比較的優れた透明導電性金属を用いる。

【0004】前述したような構成を有する液晶パネルは、液晶の電気光学的効果に起因した駆動を行う。詳細

に説明すれば、上記液晶層 (図1の14) は、自発分極 (Spontaneous polarization) 特性を有する誘電異方性物質であり、電圧が印加されれば自発分極により双極子 (Bipolar) を形成することによって電界の印加方向によって分子の配列方向が変わる特性を有する。したがって、このような配列状態によって光学的特性が変わることによって電気的な光変調が生じるようになる。このような液晶の光変調現象により、光を遮断または通過させる方法でイメージを具現するようになる。

【0005】図2は、図1の構成中、アレイ基板の一部を概略的に示した拡大平面図である。前述した構成中、上記液晶層 (図1の14) を駆動するために必要な要素は、走査信号 (scanning signal、ゲート電圧) を伝達するゲート配線13と、映像信号 (Image signal、データ電圧) を伝達するデータ配線15と、上記ゲート配線とデータ配線に各々連結して、上記ゲート配線13とデータ配線15が交差する地点に配置するスイッチング素子である薄膜トランジスタTと、上記薄膜トランジスタに連結した画素電極 (pi

xel electrode) 17である。

【0006】上記薄膜トランジスタTは、上記ゲート配線13と連結したゲート電極31と、上記ゲート電極31上部で上記ゲート電極31と所定面積重なって形成されるソース電極33及びドレーン電極35で構成され、上記ソース電極33とドレーン電極35は、半導体層 (以下"アクティブ層; active layer"と称する) 32を間に置いて離隔して形成される。上記アクティブ層32は、一般的に非晶質シリコン (a-Si: H) を用いて形成し、場合によってはポリシリコン (poly silicon) で形成できる。

【0007】上記ソース電極33は、データ配線15と連結して形成されて、上記ドレーン電極35は上記画素領域P上に配置した画素電極17と連結する。ここで、上記画素電極17の一部は、上記画素領域Pを定義するゲート配線13の上部まで延びて上記ゲート配線と一緒にストレージキャパシタ C_{ST} (C) をなす。(場合によってストレージキャパシタの構成は多様に変形できる。)

【0008】前述した構成において、上記液晶パネルは、上記ゲート配線13に接続されたゲート電極31に走査信号 (ゲート電圧) を印加してスイッチング素子をオン状態にし、上記走査信号により同期されてドレーン電極から振幅が変調された映像信号が画素に伝達されれば、上記伝えられた信号により上記画素電極上に分布した液晶 (図1の14) が分極して再配列するようになる。

【0009】もし、ゲート配線13が選択されないとオフ状態になって、薄膜トランジスタTを通して画素領域Pに蓄積された電荷 (データ電圧) がオフ状態において薄膜トランジスタT及び液晶 (図1の14) に放電するようになる。このような現象を防止するために、上記ストレージキャパシタCは、上記画素電極17に並列で連結して用いるようになり、上記ストレージキャパシタは放電された電荷を補充してデータ電圧を維持する役割をするようになる。

【0010】前述したアレイ基板の構成中、上記ドレーン電極に入力された映像信号は、上記薄膜トランジスタTの端子間寄生容量 (parasitic capacitance) により影響を受けて変動する。上記薄膜トランジスタTの端子間寄生容量成分は、上記ゲート電極31とソース電極33が重なる部分と上記ゲート電極31とドレーン電極35が重なる部分で発生する。特に、上記ゲート電極31とソース電極33間のキャパシタに蓄積される容量を C_{GS} とし、上記ゲート電極31と上記ドレーン電極35が重なる部分で発生する寄生容量を C_{GD} とする。この時、上記半導体領域が飽和状態の時、上記パネルの電荷は上記ドレーン電極35側に集中するために上記寄生容量 C_{GD} 成分が大きくなる。

【0011】以下、上記アクティブチャンネルでの電子

移動度による薄膜トランジスタの動作特性と、上記薄膜トランジスタの寄生容量 C_{GD} に対して、図3を参照して説明する。図3は、図2中薄膜トランジスタが構成された領域を拡大した拡大平面図である。薄膜トランジスタTは、ゲート電極31とソース電極33及びドレーン電極35と、上記ゲート電極31とソース電極33及び上記ゲート電極31とがともに重なって構成されるアクティブ層32で構成される。

【0012】上記薄膜トランジスタTの構成において、上記ゲート電極31に入力されるゲート電圧がオン状態で、データ配線15を通して流れる信号電圧は、上記ドレーン電極35を通じて上記液晶キャパシタ(LC capacitor)及びストレージキャパシタ(storage capacitor)(図2の C_{ST})に印加される。この時、印加された信号電圧は、ゲート電圧が

$$\Delta V_p = C_{GD} (V_{GH} - V_{GL}) / (C_{LC} + C_{ST} + C_{GD}) \quad ($$

ここで、 C_{LC} :液晶のキャパシタ容量、 C_{ST} :ストレージキャパシタンス、 V_{GH} :ゲートハイ電圧(T ON)、 V_{GL} :ゲートロー電圧(T OFF)、 C_{GD} :ゲート電極とドレーン電極の重なる面積部分に発生する寄生容量である。このようなオフセット電圧は、液晶ディスプレイにおいてパネルのちらつき(flicker)とイメージ固着(image sticking)と画面明るさの不均一性などを起こす。したがって、画質不良を誘発する問題がある。

【0015】このような問題点を解決するために、本発明は、上記ゲート電極とドレーン電極の形状を新しい構造に設計して、ドレーン電極とゲート電極間の寄生容量 C_{GD} を最小化して高画質の液晶パネルを製作するのにその目的がある。

【0016】

【課題を解決するための手段】前述したような目的を達成するための本発明による液晶表示装置用アレイ基板は、透明な絶縁基板と；上記基板上に相互交差して画素領域を定義するゲート配線とデータ配線と；上記二配線の交差点に構成されて、上記ゲート配線から突出形成されたゲート電極と、アクティブ層と、上記データ配線から突出形成されたソース電極とこれとは所定間隔離隔されたドレーン電極と、上記ソース及びドレーン電極と上記アクティブ層間に介在されたオーミックコンタクト層で構成された薄膜トランジスタにおいて、上記ドレーン電極と重なるゲート電極の一侧辺は所定の角で内側に折れた形状である薄膜トランジスタと；上記ドレーン電極と接触しながら上記画素領域上に構成された透明電極を含む。

【0017】上記アクティブ層とオーミックコンタクト層は、上記データ配線の下部に延長形成して構成する。

【0018】上記アクティブ層は、純粋な非晶質シリコンであって、上記オーミックコンタクト層はn+またはp+不純物が混合された非晶質シリコンで構成する。

オフされた後にも続けて維持される。

【0013】

【発明が解決しようとする課題】しかし、上記ゲート電極31とドレーン電極33の重なる面積D部分に発生する寄生容量 C_{GD} のために、画素電圧 V_p は、 ΔV_p の電圧移動(voltage shift)が発生する。これを、一般的に、レベル移動電圧(level shift voltage)またはキックバック電圧(kick back voltage)という。このようなキックバック電圧 ΔV_p は、寄生容量により交流駆動する画素電圧 V_p に発生する直流電圧オフセット(voltage offset) ΔV である。

【0014】このようなオフセットは、下記のような式(1)により表現される。

【0019】上記ソース及びドレーン電極と重なるゲート電極は、両側辺が所定の角を有して内側に折れた形状で構成することもできる。

【0020】本発明の特徴による液晶表示装置用アレイ基板の製造方法は、透明な絶縁基板を準備する段階と；上記基板上にゲート配線と上記ゲート配線から突出されたゲート電極を形成することにおいて、上記ゲート電極の一侧辺は所定の角を有して内側に折れた形状で形成する段階と；上記ゲート電極とゲート配線を覆うゲート絶縁膜を形成する段階と；上記ゲート電極上部のゲート絶縁膜上に平面的に重なったアクティブ層とオーミックコンタクト層を形成する段階と；上記ゲート配線と垂直で交差して画素領域を定義するデータ配線と、上記データ配線から所定面積突出されて上記ゲート電極の一侧辺と重なるソース電極とこれとは所定間隔離隔されて上記ゲート電極の折れた他側辺と重なったドレーン電極を形成する段階と；上記ソース電極及びドレーン電極の離隔された間にアクティブ層を露出する段階と；上記ソース電極及びドレーン電極などが構成された基板の全面に、上記ドレーン電極の一部を露出する絶縁膜である保護膜を形成する段階と；上記露出されたドレーン電極と接触しながら上記画素領域上に配置するように透明画素電極を形成する段階を含む。

【0021】本発明の特徴による薄膜トランジスタは、ゲート電極とアクティブ層と上記データ配線から突出形成されたソース電極とこれとは所定間隔離隔されたドレーン電極で構成された薄膜トランジスタにおいて、上記ソース及びドレーン電極と重なるゲート電極の両側辺は内側に所定の角を有して折れて形成する。

【0022】

【発明の実施の形態】以下、添付した図面を参照しながら本発明による望ましい実施の形態を説明する。

--実施の形態--

本発明は、上記ドレーン電極とゲート電極間に発生する

寄生容量を減らすために、上記ゲート電極の一辺中、ドレーン電極と重なる部分は内側に折って形成することを特徴とする。

【0023】図4は、本発明による薄膜トランジスタが構成されたアレイ基板の一部を概略的に示した図面であって、図5は、図4中、薄膜トランジスタが構成された領域を拡大した拡大平面図である。以下、図4と図5を参照して説明する。図示した通り、本発明による薄膜トランジスタTが構成されたアレイ基板100は、相互交差して画素領域Pを定義するゲート配線102とデータ配線112を構成して、上記二つの配線の交差点に薄膜トランジスタTを構成する。

【0024】上記薄膜トランジスタTは、ゲート配線102と連結して走査信号の入力を受けるゲート電極104と、上記ゲート電極104の上部に構成して、露出された部分がアクティブチャンネル(active channel)の役割を有するアクティブ層108と、アクティブ層108の上部の上部に構成し、上記データ配線112に連結して映像信号の入力を受けるソース電極114と、これとは所定間隔離隔されたドレーン電極116と、上記アクティブ層108と上記ソース電極及びドレーン電極114、116間に設けられたオーミックコンタクト層110を備える。上記画素領域P上には、上記ドレーン電極116と接触する透明画素電極120を構成する。

【0025】前述した構成において、上記ゲート電極104は、データ配線112方向と平行した第1及び第2辺104a、104bを有し、上記第1及び第2辺104a、104b上部に上記ドレーン電極116の一部と上記ソース電極114の一部が各々平面的に重なって第1及び第2重畳部116a、114aを形成する。この時、上記ゲート電極104は、ゲート配線102からデータ配線112と平行した方向に第1長さ d_1 を有するように延びている。

【0026】このような構造において、上記ゲート電極104の第1辺104aと上記ドレーン電極116が重なる部分は、内側に所定の角を有して折れたV字形状の第1凹部105aが形成されるように構成される。この時、上記ゲート電極104の第1辺104aの第1凹部105aは、データ配線112と平行した方向に第2長さ d_2 を有し、第2長さは、 $4\mu\text{m}$ より大きくて第1長さ d_1 より小さな値を有する。

【0027】図面では提示しなかったが、上記ゲート電極104の第1凹部105aと対称な形状の第2凹部をソース電極112と重なる第2辺104bにも同様に適用できる。

【0028】前述した構成において、上記ゲート電極104を内側に折って形成するために、上記ゲート電極104と重なるドレーン電極116の面積は、既存のものに比べて略1/2に減ることができる。結果的に、キッ

クバック電圧 ΔV_p 値が減る効果により液晶パネルに発生するちらつき(flicker)現象またはイメージ固着(image sticking; 残像)現象を防止できるようになる。

【0029】以下、図6を参照して、前述した構成で製作されるアレイ基板の製造工程を簡単に説明する。図6は、図4のVI-VI線に沿って切断した断面図である。(非晶質シリコン層をアクティブ層として用いる逆スタガ(inverted staggered)型薄膜トランジスタが構成された液晶表示装置用アレイ基板を例を挙げて説明する。)

【0030】図示した通り、不透明な導電性金属を用いて透明な絶縁基板101上にゲート電極104と、上記ゲート電極から一方向へ延びたゲート配線(図4の102)を形成する。この時、上記ゲート電極104は、以後形成されるドレーン電極116と重なる一側辺を内側に所定の角で折って形成する。

【0031】場合によって、上記ソース及びドレーン電極114、116と接触するゲート電極104の両側辺をすべて内側に所定の角で折って形成することができる。

【0032】また、ゲート電極の折れた形状は安定した薄膜トランジスタの特性を確保するためにゲート電極の突出された長さよりは小さく、 $4\mu\text{m}$ 以上のピッチを有することが有利である。なお、図6には、第1重畳部116aの幅W1と第2重畳部114aの幅W2が描かれている。

【0033】上記ゲート配線102が形成された基板101の全面に窒化シリコン(SiN_x)または酸化シリコン(SiO_2)を蒸着してゲート絶縁膜106を形成する。次に、上記ゲート電極104上部のゲート絶縁膜106上に非晶質シリコン(a-Si:H)と不純物が含まれた非晶質シリコン(n+a-Si:H)を連続して蒸着し、アクティブ層(active layer)108とオーミックコンタクト層(ohmic contact layer)110を形成する。

【0034】この時、上記アクティブ層108とオーミックコンタクト層110は、以後の工程で形成されるデータ配線とソースドレーン部(ソース電極とドレーン電極が構成される領域)と同一な形状でパターン化する。このようにする理由は、以後の工程で蒸着される金属の付着(adhesion)をさらに改善するためである。

【0035】上記アクティブ層108がパターン化された基板101の全面に導電性金属を蒸着してパターン化し、上記オーミックコンタクト層110と平面的に重なるデータ配線112と、上記データ配線112から一方向へ延びたソース電極114とこれとは所定間隔離隔されたドレーン電極116を形成する。

【0036】前述した構成において、上記ドレーン電極

116とゲート電極104の重なる面積は、既存のものに比べて略1/2の面積に該当するので、既存のものに比べて寄生キャパシタンス値 C_{GD} が少なくなる効果を得ることができる。したがって、上記ドレーン電極116とゲート電極104の重なる面積から発生する寄生容量 C_{GD} による ΔV_p を減らすことができるために、鮮明な画質を見せる液晶パネルを製作することが可能である。

【0037】上記データ配線112とソース電極及びドレーン電極114、116を形成した後、連続して上記ソース電極とドレーン電極間に露出されたオーミックコンタクト層を除去してアクティブ層の一部（すなわち、アクティブチャンネル）を露出する。

【0038】次に、上記ソース及びドレーン電極114、116などが形成された基板101の全面に、ベンゾシクロブテン（BCB）とアクリル（acryl）系樹脂（resin）を含んだ有機絶縁物質グループの中選択された一つをコーティングして保護膜（passivation layer）118を形成する。

【0039】連続して、上記保護膜118をエッチングして上記ドレーン電極116の一部を露出するコンタクトホール118aを形成する。

【0040】次に、上記コンタクトホール118aが形成された保護膜118の上部に、インジウムスズオキサイド（ITO）とインジウムジンクオキサイド（IZO）で構成された透明導電性金属グループの中選択された一つを蒸着してパターン化し、上記コンタクトホール118aを通して上記ドレーン電極116と接触する画素電極（pixel electrode）120を形成する。前述したような工程を通して液晶表示装置用アレイ基板100を製作できる。

*【0041】

【発明の効果】前述したように、本発明によって上記ソース電極及びドレーン電極の構造を変更してアレイ基板を製作すれば下記のような効果がある。上記ゲート電極とソース及びドレーン電極の重なる面積が減少するために、上記ゲート電極とドレーン電極の重なる面積から発生する寄生容量を減らすことができるのでちらつきやイメージ固着現象を防止できる。したがって、鮮明な画質の大面积液晶パネルを製作できる。

【図面の簡単な説明】

【図1】 一般的な液晶表示装置を概略的に示した図面である。

【図2】 液晶表示装置用アレイ基板の一部を概略的に示した平面図である。

【図3】 図1の中薄膜トランジスタが構成された領域を拡大した拡大平面図である。

【図4】 本発明による液晶表示装置用アレイ基板の一部を概略的に示した平面図である。

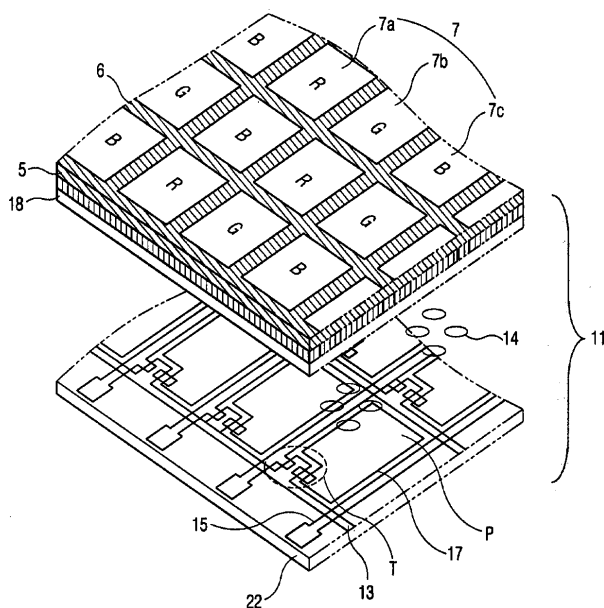
【図5】 図4の中薄膜トランジスタが構成された領域を拡大した拡大平面図である。

【図6】 図4のVI-VI線に沿って切断した断面図である。

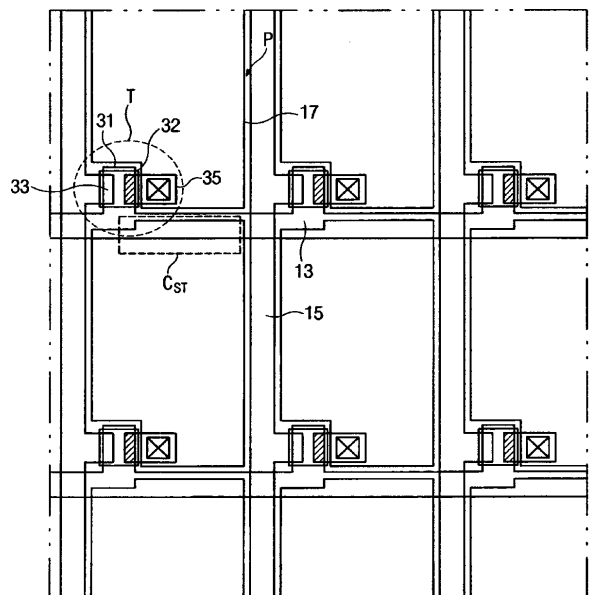
【符号の説明】

102：ゲート配線、
104：ゲート電極
108：アクティブ層
110：オーミックコンタクト層
112：データ配線
114：ソース電極
116：ドレーン電極

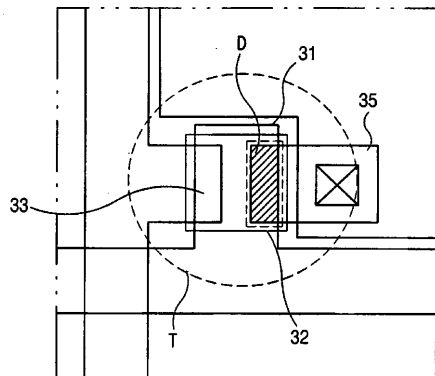
【図1】



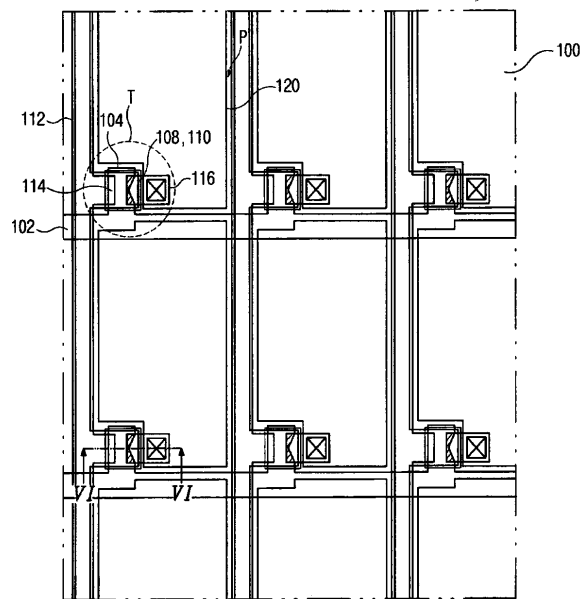
【図2】



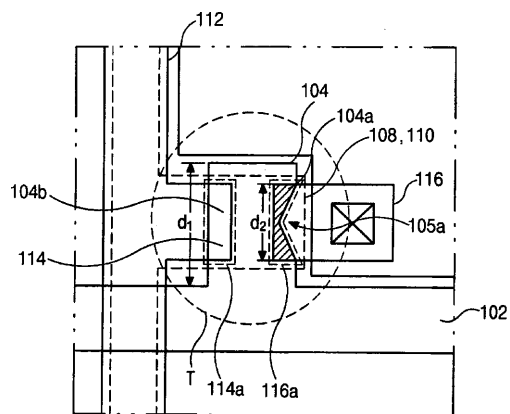
【図3】



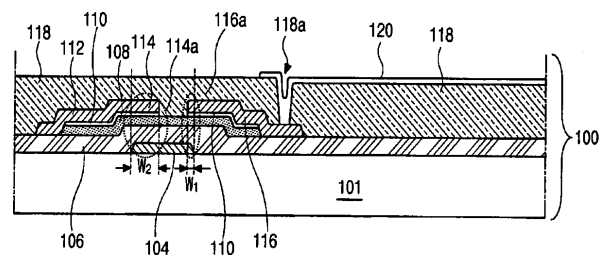
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 チュルーウ・イム
大韓民国、730-300 キョンサンブク
ド、グミーシ、グピョンードン、ブー
ン・アパートメント 103-504

(72)発明者 サンム・ソン
大韓民国、705-816 テグ、ナムグ、テ
ミョン7ードン 2151-19

(72)発明者 チョルーミン・ウ
大韓民国、742-853 キョンサンブク
ド、サンギューシ、ネソーミョン、ニョ
ンガムーリ 289-1

(72)発明者 ソンギュー・チェ
大韓民国、702-793 テグ、プクーク、パ
ルダルドン、チョンギユ2001・アパー
トメント 112-103

Fターム(参考) 2H092 GA29 JA26 JA38 JA42 JA46
KA05 KA12 KA13 MA04 MA12
NA01 NA23
5F110 AA02 BB01 CC07 EE02 EE24
FF02 FF03 FF27 GG02 GG15
GG42 HK02 HK09 HK16 HK21
HK24 HK32 HL07 HL22 NN02
NN27 NN36 QQ01 QQ09

专利名称(译)	用于液晶显示装置的阵列基板及其制造方法，薄膜晶体管		
公开(公告)号	JP2003347558A	公开(公告)日	2003-12-05
申请号	JP2003143836	申请日	2003-05-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	クアンスンパク チュルウイム サンムソン チョルミンウ ソンギュチェ		
发明人	クアン-スン-パク チュル-ウ-イム サン-ム-ソン チョル-ミン-ウ ソン-ギュ-チェ		
IPC分类号	G02F1/136 G02F1/1368 H01L21/336 H01L27/12 H01L29/417 H01L29/423 H01L29/786		
CPC分类号	H01L29/42384 G02F1/1368 H01L27/12 H01L29/41733 H01L29/78618 H01L29/78669		
FI分类号	G02F1/1368 H01L29/78.617.K H01L29/78.612.D		
F-TERM分类号	2H092/GA29 2H092/JA26 2H092/JA38 2H092/JA42 2H092/JA46 2H092/KA05 2H092/KA12 2H092/KA13 2H092/MA04 2H092/MA12 2H092/NA01 2H092/NA23 5F110/AA02 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE24 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG02 5F110/GG15 5F110/GG42 5F110/HK02 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK24 5F110/HK32 5F110/HL07 5F110/HL22 5F110/NN02 5F110/NN27 5F110/NN36 5F110/QQ01 5F110/QQ09 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB46 2H192/CC02 2H192/DA72		
优先权	1020020028605 2002-05-23 KR		
外部链接	Espacenet		

摘要(译)

解决的问题：通过将栅电极和漏电极的形状设计成新的结构以最小化漏电极和栅电极之间的寄生电容CGD，来提供高图像质量的液晶面板。开关元件的结构技术领域本发明涉及一种液晶显示装置，更具体地，涉及一种确定液晶显示装置的工作特性的开关元件的结构。在由栅电极，有源层，源电极和漏电极组成的开关元件中，栅电极的与漏电极重叠的一侧形成为向内弯曲。通过这样做，在漏电极和栅电极彼此重叠的同时产生的寄生电容值C_s变小，从而不会发生闪烁。因此，可以制造高质量的液晶显示装置。

