

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2003 - 309269

(P2003 - 309269A)

(43)公開日 平成15年10月31日(2003.10.31)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-コ-ト* (参考)
H 0 1 L 29/786		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		H 0 1 L 29/78	618 C 5 F 1 1 0
			616 T

審査請求 有 請求項の数 17 O L (全 12数)

(21)出願番号 特願2003 - 100565(P2003 - 100565)

(22)出願日 平成15年4月3日(2003.4.3)

(31)優先権主張番号 2002 - 018961

(32)優先日 平成14年4月8日(2002.4.8)

(33)優先権主張国 韓国(KR)

(71)出願人 599127667

エルジー フィリップス エルシーディー
カンパニー リミテッド

大韓民国 ソウル, ヨンドンポーク, ヨ
イドードン 20

(72)発明者 ビョン・テ・チェ

大韓民国、701 - 821 テグ、トン - グ、シ
ナム4 - ドン 651 - 18

(74)代理人 100057874

弁理士 曾我 道照 (外 4 名)

最終頁に続く

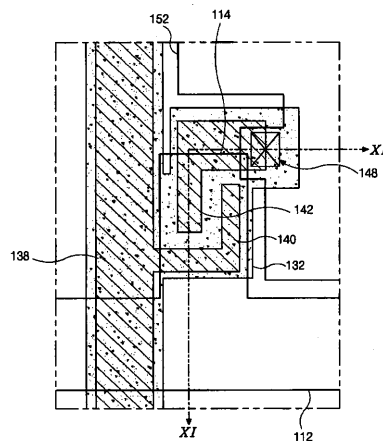
(54)【発明の名称】 液晶表示装置用アレー基板とその製造方法

(57)【要約】

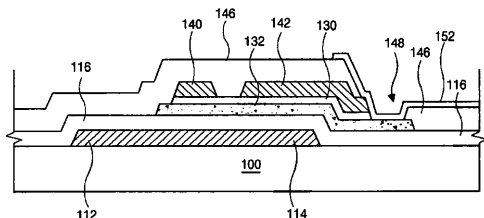
【課題】 ドレイン電極の一側に下部のアクティブ層をさらに延ばして、保護膜をエッチングする工程中ドレイン電極下部のゲート絶縁膜がエッチングされることを防止する。

【解決手段】 本発明は液晶表示装置に係り、特に液晶表示装置用アレー基板の製造方法に関する。従来の4マスク工程で製作されたアレー基板は、ドレイン電極の側面において、その下部のゲート絶縁膜がオーバーエッチングされてあらわれる段差により画素電極がオープンされる不良が発生した。これを解決するために、本発明はドレイン電極をあらわすコンタクトホールをアクティブ層上部に形成する構成を提案する。このような構成は、前記コンタクトホール下部のゲート絶縁膜がエッチングされることを防止できるために、画素電極がオープンされる不良を防ぐことができる。

(A)



(B)



【特許請求の範囲】

【請求項1】 基板と；前記基板上に相互交差して画素領域を定義するデータ配線及びゲート配線と；前記ゲート配線とデータ配線に電氣的に連結されてなり、ゲート電極とソース及びドレイン電極、及びアクティブ層を含む薄膜トランジスタと；前記ゲート配線とデータ配線及び薄膜トランジスタを覆って、前記アクティブ層上部に形成されて前記ドレイン電極と前記アクティブ層を露出させるコンタクトホールを有する保護膜と；前記保護膜上部に形成されて、前記コンタクトホールを通して前記ドレイン電極と接触する画素電極とを含むことを特徴とする液晶表示装置用アレー基板。

【請求項2】 前記アクティブ層は、前記ソース及びドレイン電極間の第1部分と前記コンタクトホールに対応する第2部分を除いて、前記データ配線、前記ソース及びドレイン電極と同一な形態を有することを特徴とする請求項1に記載の液晶表示装置用アレー基板。

【請求項3】 前記ソース電極は、“U”字形態を有して前記ドレイン電極を囲んでいることを特徴とする請求項1に記載の液晶表示装置用アレー基板。

【請求項4】 前記コンタクトホールは、前記ドレイン電極の側面を露出することを特徴とする請求項1に記載の液晶表示装置用アレー基板。

【請求項5】 前記アクティブ層は、非晶質シリコンで形成されることを特徴とする請求項1に記載の液晶表示装置用アレー基板。

【請求項6】 前記アクティブ層と前記ソース及びドレイン電極間にオーミックコンタクト層をさらに含むことを特徴とする請求項1に記載の液晶表示装置用アレー基板。

【請求項7】 前記オーミックコンタクト層は、前記データ配線、前記ソース及びドレイン電極と同一な形態を有することを特徴とする請求項6に記載の液晶表示装置用アレー基板。

【請求項8】 前記オーミックコンタクト層は、不純物非晶質シリコンで形成されることを特徴とする請求項6に記載の液晶表示装置用アレー基板。

【請求項9】 基板上に第1マスク工程で、ゲート配線とゲート電極を形成する段階と；前記ゲート配線とゲート電極上部にゲート絶縁膜と純粋非晶質シリコン層、不純物非晶質シリコン層、及び金属層を順に蒸着する段階と；前記金属層上部にフォトリソ層を塗布する段階と；第2マスク工程を通して前記フォトリソ層を露光及び現像して、第1厚さと前記第1厚さより薄い第2厚さを有するフォトリソパターンを形成する段階と；前記フォトリソパターンにより露出された前記金属層、不純物非晶質シリコン層及び前記非晶質シリコン層をパターン化してソース及びドレインパターンと、データ配線、不純物非晶質シリコンパターン及びアクティブ層を形成する段階と；除灰工程を通して前記フォト*50

*レジストパターンの第2厚さを除去して前記ソース及びドレインパターンを露出させる段階と；前記フォトリソパターンにより露出された前記ソース及びドレインパターンと不純物非晶質シリコンパターンをパターンングして、ソース及びドレイン電極とオーミックコンタクト層を形成する段階と；前記ソース及びドレイン電極上部に保護膜を形成する段階と；第3マスク工程で前記保護膜をパターン化し、前記アクティブ層上部に配置して前記ドレイン電極と前記アクティブ層を露出させるコンタクトホールを形成する段階と；第4マスク工程で、前記保護膜上に前記コンタクトホールを通してドレイン電極と接触する画素電極を形成する段階とを含むことを特徴とする液晶表示装置用アレー基板の製造方法。

【請求項10】 前記第2マスク工程は、マスクを利用してなされ、前記マスクは透過領域と遮断領域、及び半透過領域を含むことを特徴とする請求項9に記載の液晶表示装置用アレー基板の製造方法。

【請求項11】 前記フォトリソパターンの第1厚さは、前記マスクの遮断領域に対応し、前記フォトリソパターンの第2厚さは、前記マスクの半透過領域に対応することを特徴とする請求項10に記載の液晶表示装置用アレー基板の製造方法。

【請求項12】 前記アクティブ層は、前記ソース及びドレイン電極間の第1部分と前記コンタクトホールに対応する第2部分を除いて前記データ配線、ソース及びドレイン電極と同一な形態を有することを特徴とする請求項9に記載の液晶表示装置用アレー基板の製造方法。

【請求項13】 前記ソース電極は、“U”字形態を有し、前記ドレイン電極を囲んでいることを特徴とする請求項9に記載の液晶表示装置用アレー基板の製造方法。

【請求項14】 前記コンタクトホールは、前記ドレイン電極の側面を露出させることを特徴とする請求項9に記載の液晶表示装置用アレー基板の製造方法。

【請求項15】 前記アクティブ層は、非晶質シリコンで形成されることを特徴とする請求項9に記載の液晶表示装置用アレー基板の製造方法。

【請求項16】 前記オーミックコンタクト層は、前記データ配線、前記ソース及びドレイン電極と同一な形態を有することを特徴とする請求項9に記載の液晶表示装置用アレー基板の製造方法。

【請求項17】 前記オーミックコンタクト層は、不純物非晶質シリコンで形成されることを特徴とする請求項16に記載の液晶表示装置用アレー基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、特に液晶表示装置用アレー基板及びその製造方法に関する。

【0002】

【従来の技術】図1は、一般的な液晶表示装置を概略的

に示した平面図である。図示したように、一般的な液晶表示装置11は、ブラックマトリックス6と赤(R)、緑(G)、青(B)のサブカラーフィルタでなされたカラーフィルタ層7、及び前記カラーフィルタ層7の上部に蒸着された共通電極9が形成された上部基板5と、画素領域Pと画素領域上に形成された画素電極52とスイッチング素子Tを含んだアレー配線が形成された下部基板22で構成され、前記上部基板5と下部基板22間には液晶15が充填されている。

【0003】前記下部基板22は、アレー基板とも言い、スイッチング素子である薄膜トランジスタTをマトリックス状(matrix type)に配置してなり、このような複数の薄膜トランジスタを交差して経由するゲート配線12とデータ配線38が形成される。

【0004】前記画素領域Pは、前記ゲート配線12とデータ配線38が交差して定義される領域である。前記画素領域P上に形成される画素電極52はインジウム-スズ-オキサイド(indium-tin-oxide:ITO)のように光の透過率が比較的優れた透明導電性金属を用いる。

【0005】前述したように構成される液晶表示装置は、前記薄膜トランジスタTと前記薄膜トランジスタに連結された画素電極52がマトリックス内に存在することによって映像を表示する。

【0006】前記ゲート配線12は、前記薄膜トランジスタTの第1電極であるゲート電極を駆動するパルス電圧を伝達し、前記データ配線38は前記薄膜トランジスタTの第2電極であるソース電極を駆動する信号電圧を伝達する手段である。

【0007】前述したような構成を有する液晶パネルは、液晶の電気光学的効果に起因して駆動される。詳細に説明すれば、前記液晶15層は、自発分極(Spontaneous Polarization)特性を有する誘電異方性物質であり、電圧が印加されれば自発分極により双極子(dipole)を形成することにより電界の印加方向によって分子の配列方向が変わる特性を有する。したがって、このような配列状態により光学的特性が変わることによって電気的な光変調が生じるようになる。このような液晶の光変調現象により、光を遮断または通過させる方法でイメージを具現するようになる。

【0008】図2を参照して前述したアレー基板の構成をさらに詳細に説明する。図2は、液晶表示装置用アレー基板の一部を概略的に示した拡大平面図である。図示したように、ゲート配線12とデータ配線38が直交して画素領域Pを定義し、前記ゲート配線12とデータ配線38の交差点にスイッチング素子である薄膜トランジスタTを配置する。前記薄膜トランジスタTは、前記ゲート配線12と連結されて走査信号の印加を受けるゲート電極14と、前記データ配線38と連結されてデータ

信号の印加を受けるソース電極40及びこれとは所定間隔離されたドレイン電極42で構成される。また、前記ゲート電極14上部に構成されて前記ソース電極40及びドレイン電極42と接触するアクティブ層32を含む。

【0009】前記ゲート配線12の上部にはアイランド状の金属パターン28が形成されていて、前記金属パターン28は画素領域P内に形成された透明画素電極52と接触する。このような構成で、前記ゲート配線12の一部は、第1ストレージキャパシタ電極として機能し、前記画素電極52と側面接触する金属パターン28は第2ストレージキャパシタ電極として機能する。

【0010】前記第1ストレージキャパシタ電極と前記第2ストレージキャパシタ電極間には誘電体の役割を有するゲート絶縁膜(図示せず)を配置し、第1及び第2ストレージキャパシタ電極はストレージキャパシタ(storage capacitor:Cst)を構成することができる。このとき、図示しなかったが、前記アクティブ層32とソース及びドレイン電極40、42間にはオーミックコンタクト層(図示せず)が構成され、前記アクティブ層とオーミックコンタクト層を形成する純粋非晶質シリコン層と不純物非晶質シリコン層がパターン化されて前記データ配線38の下部に延びた第1パターン35が形成されると同時に、前記金属パターン28の下部には第2パターン29が形成される。

【0011】前述したようなアレー基板の構成は、従来の4マスク工程で製作されたものであり、前記ドレイン電極と接触する部分の画素電極が断線される場合が発生して表示不良を誘発する場合がある。これは4マスク工程上発生しやすい不良であり、以下、工程を通して詳細に説明する。

【0012】図面を参照して従来の4マスク工程を利用したアレー基板の製造工程を説明する。図3(A)ないし(C)、図4(A)ないし(C)、図5(A)と(B)、及び図6(A)と(B)は、従来の液晶表示装置用アレー基板の製造方法を図示したものであって、図2のD領域に対応する。図3(A)と図4(A)、図5(A)及び図6(A)は、従来のアレー基板の製造方法を示した平面図であって、図3(B)と(C)、図4(B)と(C)、図5(B)、及び図6(B)は各々図3(A)のIII-III線、図4(A)のIV-IV線、図5(A)のV-V線、及び図6(A)のVI-VI線に沿って切断した断面図である。

【0013】まず、図3(A)と(B)に示したように、透明な絶縁基板22上に第1金属層を形成した後、第1マスク工程で、ゲート配線12とゲート電極14を形成する。前記ゲート電極の物質としては、アルミニウム(Al)、アルミニウム合金、モリブデン(Mo)、タングステン(W)、クロム(Cr)のような多様な導電性金属を用いることができ、特にアルミニウム(A

10

20

30

40

50

1)とアルミニウム合金を用いる場合にはモリブデン(Mo)やクロム(Cr)等を用いて二重層で構成する。

【0014】前記ゲート配線12とゲート電極14が形成された基板22の全面に第1絶縁膜であるゲート絶縁膜16と、純粋非晶質シリコン層18と、不純物非晶質シリコン層20と、第2金属層24を積層する。このとき、前記ゲート絶縁膜16は、窒化シリコン(SiNx)と酸化シリコン(SiO₂)を含む無機絶縁物質グループ中選択された一つを蒸着して形成し、前記第2金属層24は、クロム(Cr)、モリブデン(Mo)、タン

10 ングステン(W)、タンタル(Ta)などの導電性金属物質中選択された一つを蒸着して形成する。

【0015】次に、図3(C)に示したように、前記第2金属層24が形成された基板の全面にフォトレジスト(photo-resist:以下“PR”層と称する)を塗布してPR層26を形成する。このとき、前記PR層26は、光を受けた部分が露光されて現像されるポジティブ型(positive type)を用いることとする。

【0016】前記PR層26が形成された基板22の上部に透過領域Aと遮断領域Bとスリット領域である半透過領域Cで構成されたマスク50を配置させる。前記半透過領域Cは、前記ゲート電極14上部の一部領域に対応して配置するようにする。続いて、前記マスク50の上部に光を照射する露光工程(exposure)を進める。このとき、前記半透過領域Cに対応するPR層26は、前記透過領域Aに比べて一部分のみ露光される。

【0017】次に、図4(A)と(B)に示したように、露光された部分を除去する現像工程(develop)を進める。したがって、前記ゲート電極14の上部には相異なる厚さを有するPRパターン26aが形成される。前記PRパターン26a中厚さが薄い部分は、前記マスク50の半透過領域Cに対応した部分である。

【0018】続いて、前記PRパターン26a間に露出された第2金属層24を湿式エッチング方式でエッチングした後、下部の不純物非晶質シリコン層20と純粋非晶質シリコン層18を乾式エッチングを通して除去する工程を進めて、前記ゲート電極14の上部にソース/ド

10 レイン電極パターン28を形成して、前記ソース/ドレイン電極パターン28から1方向に延びたデータ配線38を形成する。

【0019】同時に、前記純粋非晶質シリコン層18と、不純物非晶質シリコン層20は、前記ソース/ドレイン電極パターン28とデータ配線38の下部に同一な形状でパターン化されてアクティブ層32と不純物非晶質シリコンパターン30aが形成される。

【0020】続いて、図示しなかったが前記PRパターン26aの一部を除去する除灰工程(ashing processing)を進めて、前記薄い厚さのPRパ

ターン26a一部を除去して下部のソース/ドレイン電極パターン28の一部を露出する工程を進める。前記除灰工程中、前記PRパターン26aの縁も一部除去されてその下部のソース/ドレイン電極パターン28が露出される。

【0021】次に、図4(C)に示す工程を進める。この工程は、露出されたソース/ドレイン電極パターン(図4(B)の28)の一部とその下部の不純物非晶質シリコンパターン30aを除去する工程であって、相互

20 分離されたソース及びドレイン電極40、42とオーミックコンタクト層30が形成される。このとき、前記ソース電極40とドレイン電極42間の分離された領域は、前記マスク(図3Cの50)の半透過領域Cに対応する領域である。また、前記ソース電極40は、“U”状で構成して、前記ドレイン電極42は一部が前記ソース電極42の内部に所定間隔離されてソース電極40がドレイン電極42を囲むように構成する。

【0022】前述したような第2マスク工程で、ソース及びドレイン電極40、42とアクティブ層32とオーミックコンタクト層30とデータ配線38を形成することができる。

【0023】次に、図5(A)と(B)に示したように、前記ソース及びドレイン電極40、42が形成された基板22の全面にベンゾシクロブテン(BCB)とアクリル(acryl)系樹脂(resin)を含む透明な有機絶縁物質グループまたは窒化シリコン(SiNx)と酸化シリコン(SiO₂)を含む無機絶縁物質グループ中選択された一つを蒸着して保護膜46を形成する。前記保護膜46を第3マスク工程でパターン化して、前記ドレイン電極42の一部を露出するドレインコンタクトホール48を形成する。

【0024】前述したように、ソース電極40が“U”字形態に形成されるので、前記ソース電極40とドレイン電極42間のチャンネル長さLを短くし、チャンネル幅Wを広くして電荷の移動度(mobility)を改善することができる構成である。

【0025】前記ドレインコンタクトホール48は、ドレイン電極42の側面にかけて形成されるが、このとき、前記保護膜46をエッチングする間下部のゲート絶縁膜16がエッチングされる。このような場合には、ゲート絶縁膜16による前記ドレイン電極42の側面に段差Eが発生するために、これによる上部層の蒸着不良を誘発できる。

【0026】次に、図6(A)と(B)に示したように、前記保護膜46の上部にインジウム-スズ-オキサイド(ITO)と、インジウム-酸化亜鉛(IZO)を含んだ透明な有機絶縁物質グループ中選択された一つを蒸着してパターン化し、前記ドレイン電極42と接触する画素電極52を形成する。このとき、前記画素電極52は、ドレインコンタクトホール48の段差Eにより断

線される不良が発生する。

【0027】

【発明が解決しようとする課題】前記したような従来の4マスク製造工程でアレー基板を製作すれば、ドレインコンタクトホール48が形成される部分でドレイン電極42の内側に前記ゲート絶縁膜16がアンダーエッチ(under etch)されて、前記ドレイン電極42と接触する画素電極52が断線される不良が発生する。

【0028】本発明は前記したような問題を解決するために提案されたものであって、前記ドレイン電極の一侧に下部のアクティブ層をさらに延ばして、前記保護膜をエッチングする工程中ドレイン電極下部のゲート絶縁膜がエッチングされることを防止することを目的とする。

【0029】

【課題を解決するための手段】前記した目的を達成するための本発明による液晶表示装置用アレー基板は、基板と、前記基板上に相互交差して画素領域を定義するデータ配線及びゲート配線と、前記ゲート配線とデータ配線に電気的に連結されてなり、ゲート電極とソース及びドレイン電極及びアクティブ層を含む薄膜トランジスタと、前記ゲート配線とデータ配線及び薄膜トランジスタを覆い、前記アクティブ層上部に形成されて前記ドレイン電極と前記アクティブ層を露出させるコンタクトホールを有する保護膜、及び前記保護膜上部に形成されて、前記コンタクトホールを通して前記ドレイン電極と接触する画素電極を含む。

【0030】ここで、前記アクティブ層は、前記ソース及びドレイン電極間の第1部分と前記コンタクトホールに対応する第2部分を除いて、前記データ配線、前記ソース及びドレイン電極と同一な形態を有する。

【0031】前記ソース電極は、“U”字形態を有して前記ドレイン電極を囲んでいる。

【0032】一方、前記コンタクトホールは、前記ドレイン電極の側面を露出する。

【0033】本発明で、前記アクティブ層は、非晶質シリコンでなされることができる。

【0034】前記アクティブ層と前記ソース及びドレイン電極間にオーミックコンタクト層をさらに含むことができ、前記オーミックコンタクト層は、前記データ配線、前記ソース及びドレイン電極と同一な形態を有する。前記オーミックコンタクト層は不純物非晶質シリコンでなされることができる。

【0035】本発明による液晶表示装置用アレー基板の製造方法は、基板上に第1マスク工程で、ゲート配線とゲート電極を形成する段階、前記ゲート配線とゲート電極上部にゲート絶縁膜と純粋非晶質シリコン層、不純物非晶質シリコン層、及び金属層を順に蒸着する段階、前記金属層上部にフォトリソ層を塗布する段階、第2マスク工程を通して前記フォトリソ層を露光及び現

像して、第1厚さと前記第1厚さより薄い第2厚さを有するフォトリソパターンを形成する段階、前記フォトリソパターンにより露出された前記金属層、不純物非晶質シリコン層及び前記非晶質シリコン層をパターン化してソース及びドレインパターンと、データ配線、不純物非晶質シリコンパターン及びアクティブ層を形成する段階、除灰工程を通して前記フォトリソパターンの第2厚さを除去して前記ソース及びドレインパターンを露出させる段階、前記フォトリソパターンにより露出された前記ソース及びドレインパターンと不純物非晶質シリコンパターンをパターニングして、ソース及びドレイン電極とオーミックコンタクト層を形成する段階、前記ソース及びドレイン電極上部に保護膜を形成する段階と、第3マスク工程で前記保護膜をパターン化し、前記アクティブ層上部に配置して前記ドレイン電極と前記アクティブ層を露出させるコンタクトホールを形成する段階と、第4マスク工程で、前記保護膜上に前記コンタクトホールを通してドレイン電極と接触する画素電極を形成する段階を含む。

【0036】前記第2マスク工程は、マスクを利用してなされ、前記マスクは透過領域と遮断領域、及び半透過領域を含む。

【0037】ここで、前記フォトリソパターンの第1厚さは、前記マスクの遮断領域に対応し、前記フォトリソパターンの第2厚さは、前記マスクの半透過領域に対応する。

【0038】一方、前記アクティブ層は、前記ソース及びドレイン電極間の第1部分と前記コンタクトホールに対応する第2部分を除いて前記データ配線、ソース及びドレイン電極と同一な形態を有する。

【0039】前記ソース電極は、“U”字形態を有し、前記ドレイン電極を囲んでいる。

【0040】本発明で、前記コンタクトホールは、前記ドレイン電極の側面を露出させる。

【0041】前記アクティブ層は、非晶質シリコンで形成することができる。

【0042】また、前記オーミックコンタクト層は、前記データ配線、前記ソース及びドレイン電極と同一な形態を有し、前記オーミックコンタクト層は不純物非晶質シリコンで形成することができる。

【0043】

【発明の実施の形態】以下、添付した図面を参照しながら本発明の望ましい実施の形態を詳細に説明する。図7は、本発明による液晶表示装置用アレー基板の一部を概略的に示した平面図である。図示したように、基板100上にゲート配線112とデータ配線138が直交して画素領域Pを定義し、前記ゲート配線112とデータ配線138の交差点にスイッチング素子である薄膜トランジスタTを配置する。

【0044】前記薄膜トランジスタTは、前記ゲート配

線112と連結されて走査信号の印加を受けるゲート電極114と、前記データ配線134と連結されてデータ信号の印加を受ける“U”状のソース電極140と、前記ソース電極140の内部で所定間隔離されたドレイン電極142を構成する。また、前記ゲート電極114上部に構成されて前記ソース電極140及びドレイン電極142と接触するアクティブ層132を含む。前記ゲート配線112の上部にはアイランド状の金属パターン128を構成する。前記金属パターン128は、前記画素領域P内に形成された画素電極152と接触する。

【0045】このとき、前記ゲート配線112の一部は、第1ストレージ電極の機能をし、前記画素電極152と直接接触する金属パターン128が第2ストレージ電極の機能をする。前記第1ストレージ電極と前記第2ストレージ電極間に誘電体の役割を有するゲート絶縁膜(図示せず)を配置して前記第1及び第2ストレージ電極はストレージキャパシタを構成することができる。図示しなかったが、前記アクティブ層132とソース及びドレイン電極140、142間にはオーミックコンタクト層(図示せず)が構成され、前記アクティブ層132とオーミックコンタクト層を形成する純粋非晶質シリコン層と不純物非晶質シリコン層はパターン化されて前記データ配線138の下部に延びた第1パターン135が形成されると同時に、前記金属パターン128の下部には第2パターン129が形成される。

【0046】前述した構成において、前記アクティブ層132を前記ドレイン電極142の一侧である画素領域Pに延ばして構成し、前記延びたアクティブ層132の上部にコンタクトホール148を形成する。前記コンタクトホール148を通して透明画素電極152とドレイン電極142を接触するようにする。このような構成は、従来とは異なりコンタクトホール148がアクティブ層132上部に形成されてゲート絶縁膜(図示せず)がエッチングされることを防止できるために、画素電極152が断線される不良を防止できる。

【0047】以下、図8(A)ないし(C)と図9(A)ないし(C)、図10(A)及び(B)、及び図11(A)及び(B)を参照して本発明の工程順序による液晶表示装置用アレー基板の製造方法を説明する。図8(A)ないし(C)、図9(A)ないし(C)、図10(A)と(B)、及び図11(A)と(B)は、本発明の液晶表示装置用アレー基板の製造方法を図示したものであって、図7のF領域に対応する。図8(A)と図9(A)、図10(A)及び図11(A)は、本発明のアレー基板の製造方法を示した平面図であって、図8(B)と(C)、図9(B)と(c)、図10(B)、及び図11(B)は各々図8(A)のVIII-VII I線、図9(A)のIX-IX線、図10(A)のX-X線、及び図11(A)のXI-XI線を沿って切断した断面図である。

【0048】まず、図8(A)と(B)に示したように、透明な絶縁基板100上に第1金属層を形成した後、第1マスク工程で、ゲート配線112とゲート電極114を形成する。前記ゲート電極の物質としては、アルミニウム(Al)、アルミニウム合金、モリブデン(Mo)、タングステン(W)、クロム(Cr)のような多様な導電性金属を用いることができ、特にアルミニウム(Al)とアルミニウム合金を用いる場合にはモリブデン(Mo)やクロム(Cr)等を用いて二重層で構成する。

【0049】前記ゲート配線112とゲート電極114が形成された基板100の全面に第1絶縁膜であるゲート絶縁膜116と、純粋非晶質シリコン層118と、不純物非晶質シリコン層120と、第2金属層124を積層する。このとき、前記ゲート絶縁膜116は、窒化シリコン(SiNx)と酸化シリコン(SiO2)を含む有機絶縁物質グループ中選択された一つを蒸着して形成し、前記第2金属層124は、クロム(Cr)、モリブデン(Mo)、タングステン(W)、タンタル(Ta)などの導電性金属物質中選択された一つを蒸着して形成する。

【0050】次に、図8(C)に示したように、前記第2金属層124が形成された基板100の全面にフォトリジストを塗布してPR層126を形成する。このとき、前記PR層126は、光を受けた部分が露光されて現像されるポジティブ型を用いることにする。

【0051】前記PR層126が形成された基板100の上部に透過領域Gと遮断領域Hとスリット領域である半透過領域Iで構成されたマスク150を配置させる。前記半透過領域Iは、前記ゲート電極114の上部の一部領域に対応して配置するようにする。このとき、前記半透過領域Iに対応するPR層126は、前記透過領域Gに比べて一部分のみ露光される。

【0052】続いて、図9(A)と(B)に示したように、前記マスク150の上部に光を照射する露光工程と、露光された部分を除去する現像工程を進める。前記ゲート電極の上部には相異なる厚さを有するPRパターン126aが形成される。前記PRパターン126a中厚さが薄い部分は、前記マスク(図8(C)の150)の半透過領域Iに対応した部分である。

【0053】続いて、前記PRパターン126aにより露出された第2金属層124を湿式エッチング方式でエッチングした後、下部の不純物非晶質シリコン層120と純粋非晶質シリコン層118を乾式エッチングを通して除去する工程を進めて、前記ゲート電極114の上部にソース/ドレイン電極パターン128を形成して、前記ソース/ドレイン電極パターン128から1方向に延びたデータ配線138を形成する。

【0054】同時に、前記純粋非晶質シリコン層118と不純物非晶質シリコン層120は、前記ソース/ドレ

イン電極パターン128とデータ配線138の下部に同一な形状でパターン化されてアクティブ層132と不純物非晶質シリコンパターン130aが形成される。

【0055】続いて、図示しなかったが前記PRパターン126aの一部を除去する除灰工程を進めて、前記薄い厚さのPRパターン126aの一部を除去して下部のソース/ドレイン電極パターン128の一部を露出する工程を進める。前記除灰工程中、前記PRパターン126aの縁も一部除去されてその下部のソース/ドレイン電極パターン128がまた露出される。

【0056】図9(C)に示したように、露出されたソース/ドレイン電極パターン(図9(B)の128)の一部とその下部の不純物非晶質シリコンパターン130aを除去する工程で、相互離隔されたソース及びドレイン電極140、142とオーミックコンタクト層130を形成する。

【0057】前記ソース及びドレイン電極140、142により露出されたアクティブ層132は、前記マスク(図8(C)の150)の半透過領域Iに対応する領域である。このとき、前記ソース電極140は、“U”状で構成して、前記ドレイン電極142は一部が前記ソース電極142の内部に所定間隔離隔されてソース電極140がドレイン電極142を囲むように構成する。

【0058】このような構成は、前記ソース電極140とドレイン電極142間のチャンネル長さを短くし、チャンネル幅を広くして電荷の移動度を改善することができる構成である。

【0059】前述したような第2マスク工程で、ソース及びドレイン電極140、142、アクティブ層132、オーミックコンタクト層130及びデータ配線3138を形成することができる。

【0060】次に、図10(A)及び(B)に示したように、前記ソース及びドレイン電極140、142が形成された基板100の全面にベンゾシクロブテン(BCB)とアクリル系樹脂を含む透明な有機絶縁物質グループまたは窒化シリコン(SiNx)と酸化シリコン(SiO₂)を含む無機絶縁物質グループ中選択された一つを蒸着して保護膜146を形成する。

【0061】前記保護膜146を第3マスク工程でパターン化して、前記ドレイン電極142の一部を露出するドレインコンタクトホール148を形成する。このとき、前記ドレインコンタクトホール148は、アクティブ層132上部に形成されて、前記ドレイン電極142の側面のみならず、前記アクティブ層132も露出するように形成される。したがって、従来とは異なり、前記ドレインコンタクトホール148を形成する間下部のゲート絶縁膜116がエッチングされることはない。

【0062】次に、図11(A)と(B)に示したよう*

*に、前記保護膜146の上部にインジウム-スズ-オキサイド(ITO)と、インジウム-酸化亜鉛(IZO)を含んだ透明な有機絶縁物質グループ中選択された一つを蒸着してパターン化し、前記ドレイン電極142と接触する画素電極152を形成する。

【0063】本発明ではドレインコンタクトホール148がアクティブ層132上部に形成されて、ドレインコンタクトホール148に対応するゲート絶縁膜116がエッチングされない。したがって、ゲート絶縁膜116内に段差が生じないので、前記画素電極150が断線される不良が発生しない。前述したような工程を通して本発明の4マスク工程で液晶表示装置用アレー基板を製作することができる。

【0064】

【発明の効果】前述したような本発明の4マスク工程でアレー基板を製作すれば、ドレイン電極の一侧段差により画素電極が断線される不良を防止できるので、製品の収率を改善することができる。

【図面の簡単な説明】

【図1】 一般的な液晶表示装置を概略的に示した平面図である。

【図2】 従来の液晶表示装置用アレー基板の一部を概略的に示した平面図である。

【図3】 従来の液晶表示装置用アレー基板の製造方法を示した図面である。

【図4】 従来の液晶表示装置用アレー基板の製造方法を示した図面である。

【図5】 従来の液晶表示装置用アレー基板の製造方法を示した図面である。

【図6】 従来の液晶表示装置用アレー基板の製造方法を示した図面である。

【図7】 本発明による液晶表示装置用アレー基板の一部を概略的に示した平面図である。

【図8】 本発明の液晶表示装置用アレー基板の製造方法を示した図面である。

【図9】 本発明の液晶表示装置用アレー基板の製造方法を示した図面である。

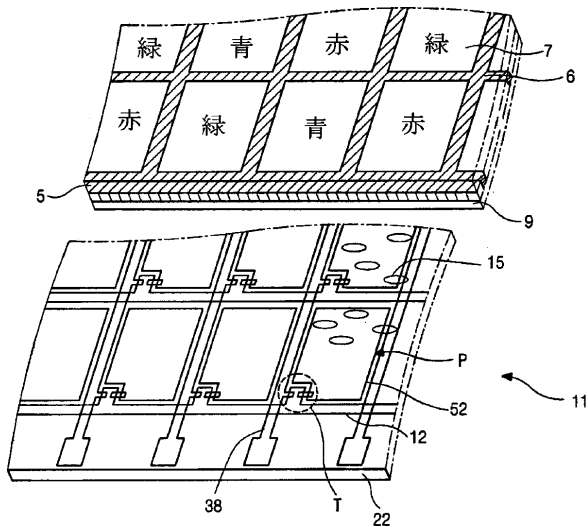
【図10】 本発明の液晶表示装置用アレー基板の製造方法を示した図面である。

【図11】 本発明の液晶表示装置用アレー基板の製造方法を示した図面である。

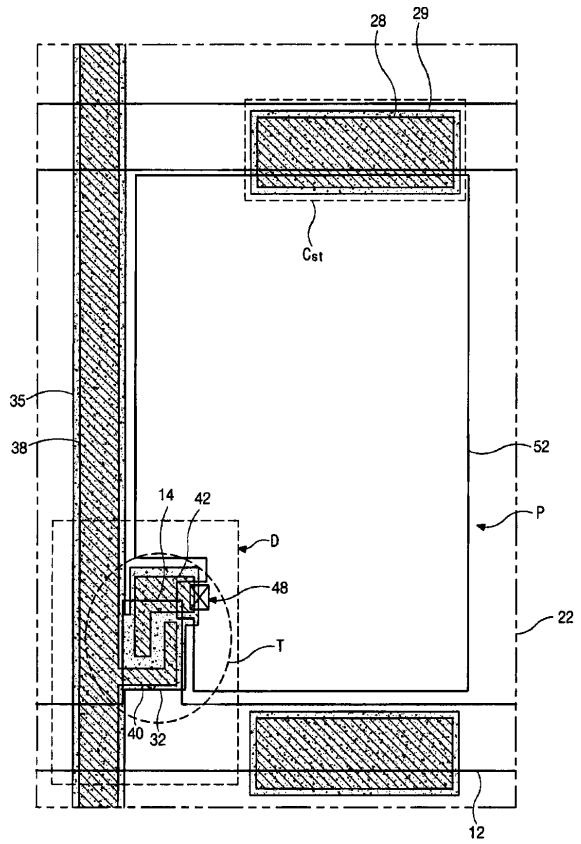
【符号の説明】

100：基板、112：ゲート配線、114：ゲート電極、116：ゲート絶縁膜、118：純粹非晶質シリコン層、120：不純物非晶質シリコン層、124：第2金属層、126：フォトリジスト層、128：ソース/ドレイン電極パターン、130：オーミックコンタクト層、132：アクティブ層。

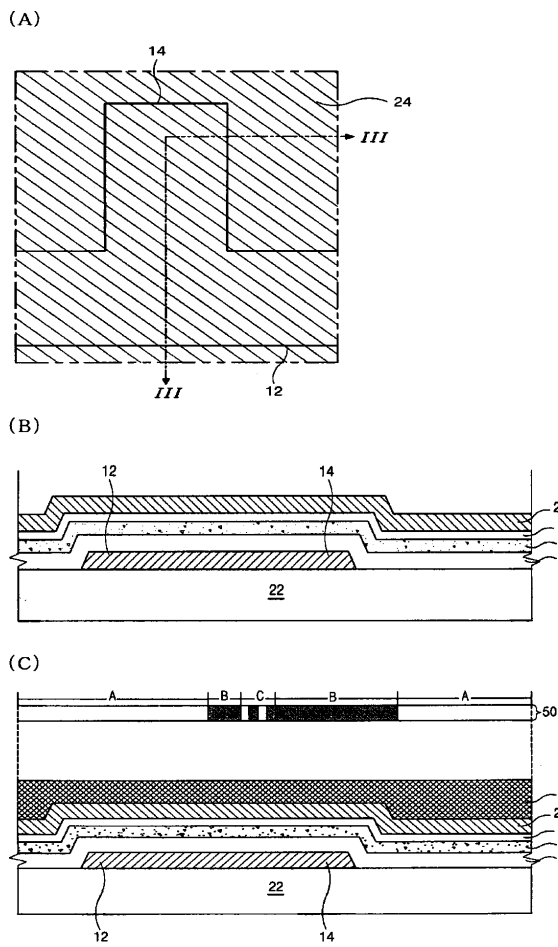
【図1】



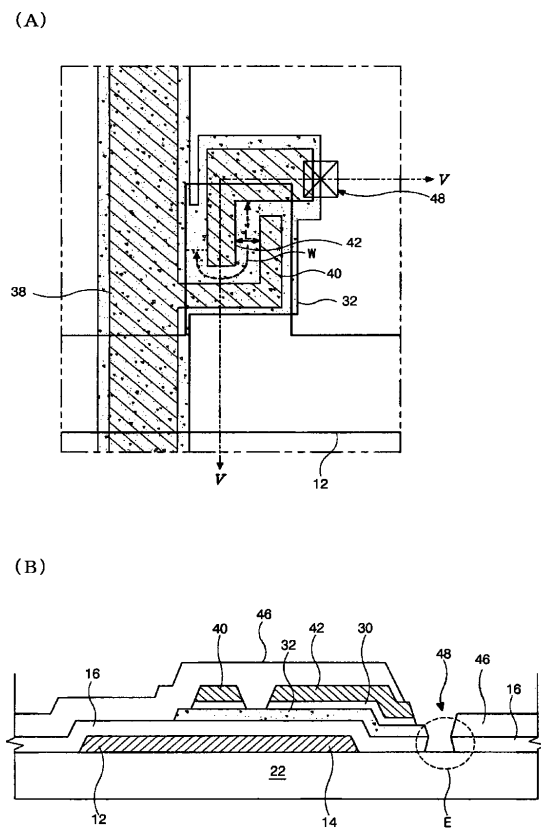
【図2】



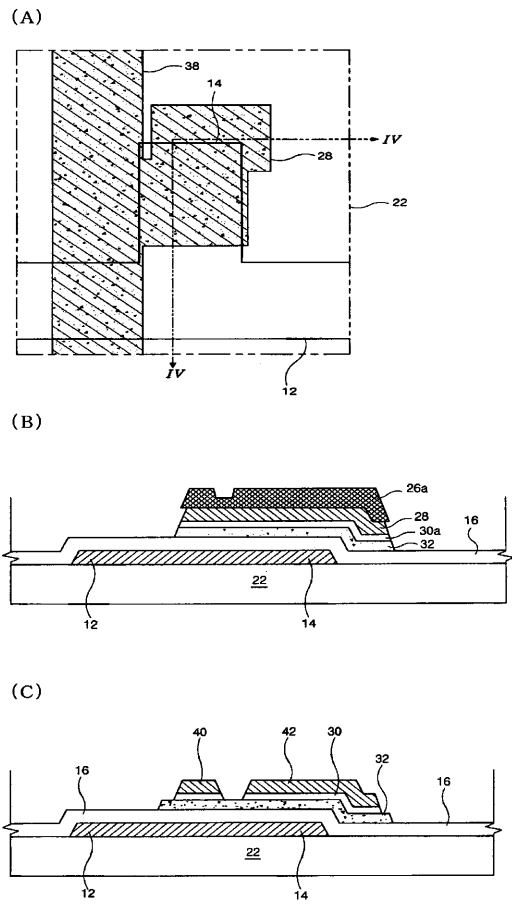
【図3】



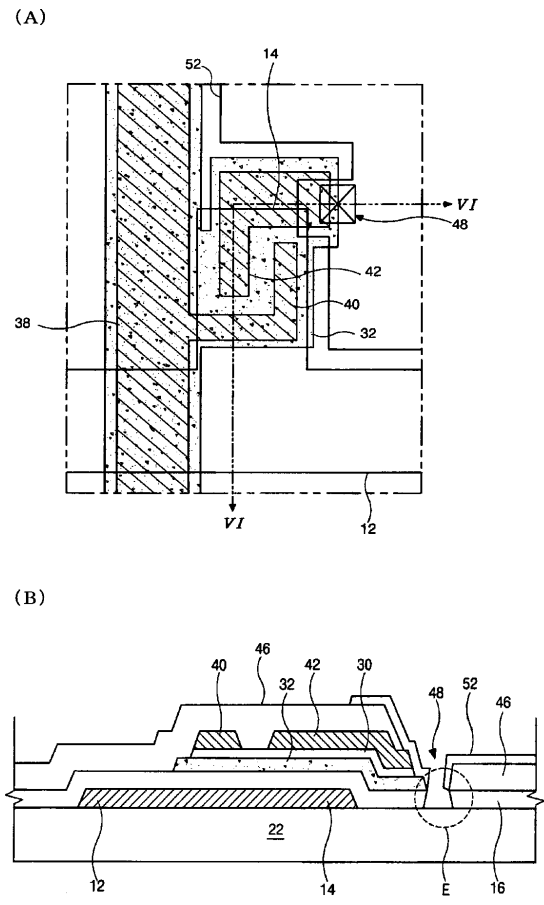
【図5】



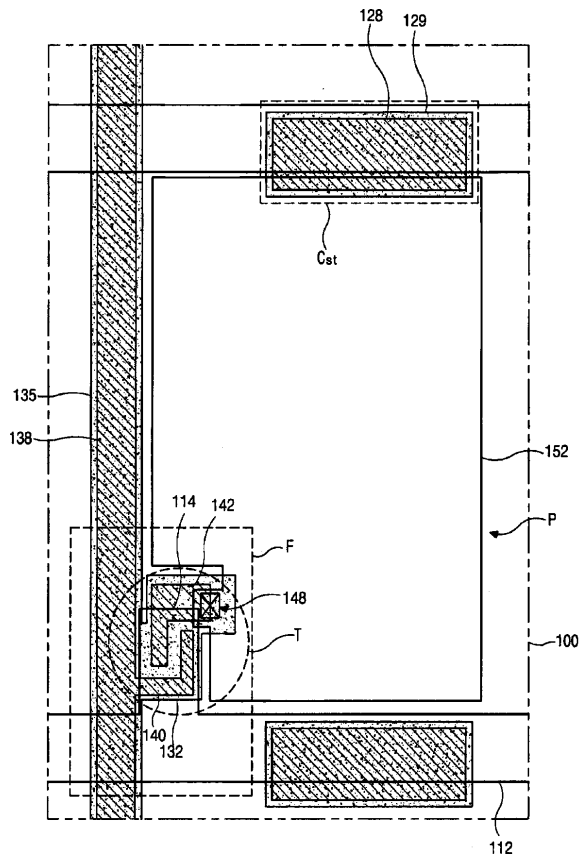
【図4】



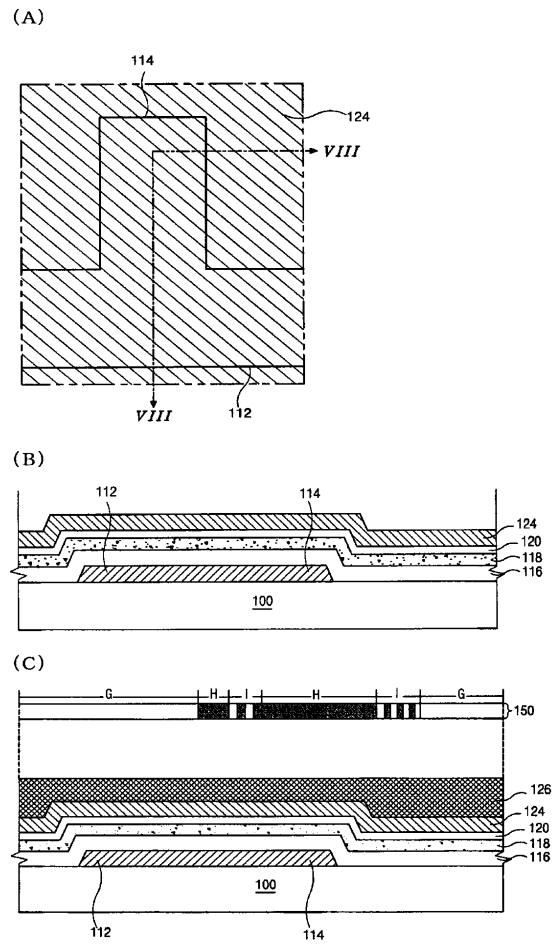
【図6】



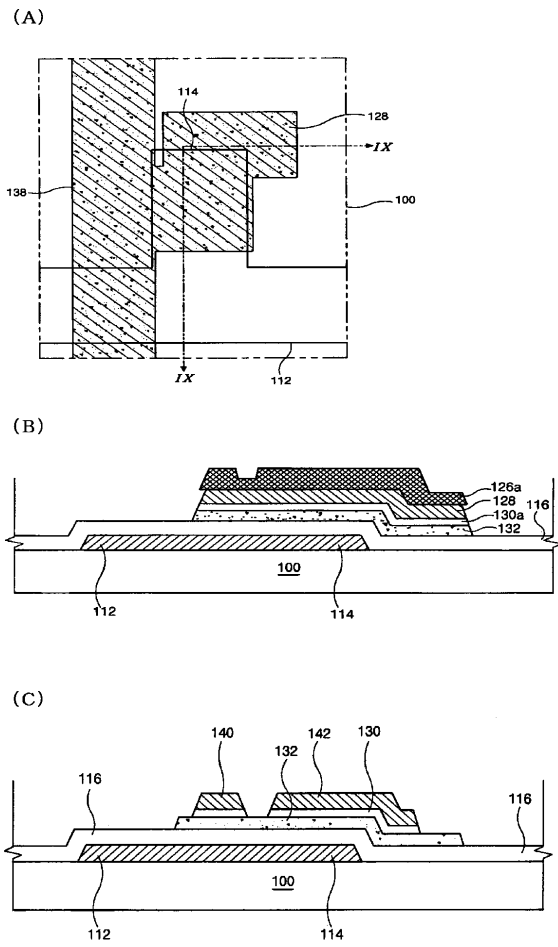
【図7】



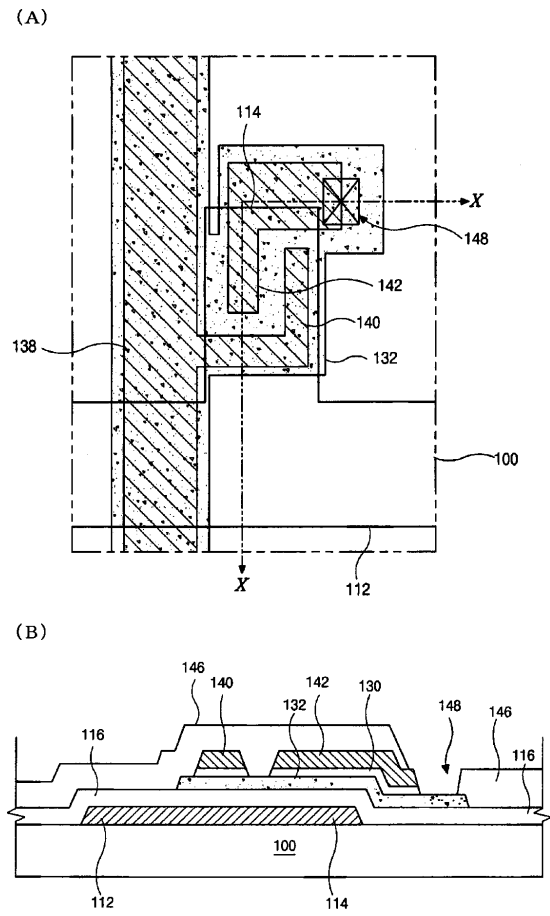
【図8】



【図9】

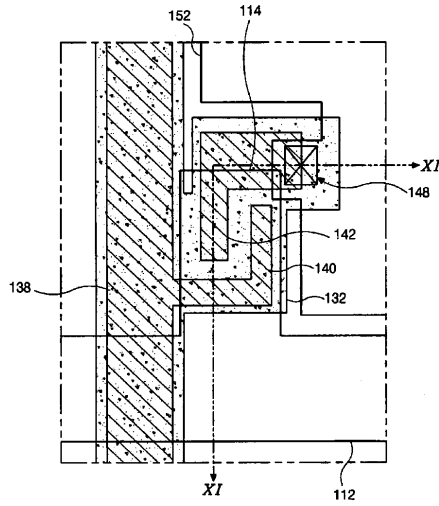


【図10】

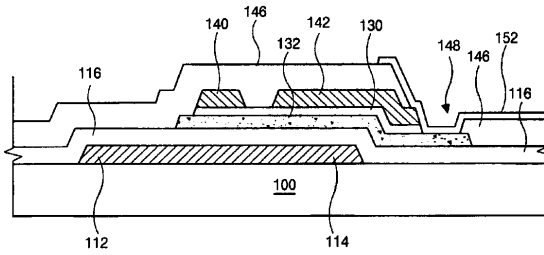


【図11】

(A)



(B)



フロントページの続き

- Fターム(参考) 2H092 GA29 JA26 JA29 JA42 JA46
 JA47 JB61 KA05 KA12 KA13
 KA18 KB25 MA04 MA13 MA15
 MA17 NA15 NA21 PA08 PA09
 QA06 QA13 QA14
 5F110 AA30 BB01 CC07 EE03 EE04
 EE06 EE14 FF02 FF03 FF27
 GG02 GG15 GG23 HK04 HK09
 HK21 HK32 HL14 NN02 NN23
 NN24 NN27 NN33 NN72 NN73

专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	JP2003309269A	公开(公告)日	2003-10-31
申请号	JP2003100565	申请日	2003-04-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	ビヨンテチエ		
发明人	ビヨン・テ・チエ		
IPC分类号	G02F1/1368 G02F1/136 G02F1/1362 H01L29/786		
CPC分类号	G02F1/136286 G02F1/136227		
FI分类号	G02F1/1368 H01L29/78.618.C H01L29/78.616.T		
F-TERM分类号	2H092/GA29 2H092/JA26 2H092/JA29 2H092/JA42 2H092/JA46 2H092/JA47 2H092/JB61 2H092/KA05 2H092/KA12 2H092/KA13 2H092/KA18 2H092/KB25 2H092/MA04 2H092/MA13 2H092/MA15 2H092/MA17 2H092/NA15 2H092/NA21 2H092/PA08 2H092/PA09 2H092/QA06 2H092/QA13 2H092/QA14 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG02 5F110/GG15 5F110/GG23 5F110/HK04 5F110/HK09 5F110/HK21 5F110/HK32 5F110/HL14 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN72 5F110/NN73 2H192/AA24 2H192/BC35 2H192/CB05 2H192/CB42 2H192/CB45 2H192/CB46 2H192/CC32 2H192/CC42 2H192/DA02 2H192/DA42 2H192/GA41 2H192/HA44 5F110/EE27 5F110/HM18		
优先权	1020020018961 2002-04-08 KR		
其他公开文献	JP4452453B2		
外部链接	Espacenet		

摘要(译)

解决的问题：通过进一步将下部有源层延伸到漏极的一侧，来防止在蚀刻保护膜的过程中漏极下方的栅绝缘膜被蚀刻。液晶显示装置的阵列基板的制造方法技术领域本发明涉及液晶显示装置，尤其涉及液晶显示装置的阵列基板的制造方法。通过常规的4-掩模工艺制造的阵列基板具有如下缺陷：由于在漏极下方的栅极绝缘膜的过度蚀刻而在漏极的侧面上出现台阶，因此像素电极被打开。为了解决这个问题，本发明提出一种结构，其中在有源层上形成代表漏电极的接触孔。这种构造可以防止接触孔下方的栅极绝缘膜被蚀刻，从而防止在打开像素电极时出现缺陷。

