

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2002 - 236280

(P2002 - 236280A)

(43)公開日 平成14年8月23日(2002.8.23)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)
G 0 2 F 1/133	550	G 0 2 F 1/133	550 2 H 0 9 2
	1/1368		1/1368 2 H 0 9 3
G 0 9 G 3/20	611	G 0 9 G 3/20	611 J 5 C 0 0 6
	622		622 G 5 C 0 8 0
3/36		3/36	
審査請求 未請求 請求項の数 10 O L (全 6 数)			

(21)出願番号 特願2001 - 112125(P2001 - 112125)

(22)出願日 平成13年4月11日(2001.4.11)

(31)優先権主張番号 2001 - 420

(32)優先日 平成13年1月4日(2001.1.4)

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 朴 倅 源

大韓民国京畿道城南市壽井区新興2洞漢信ア
パート3棟708号

(72)発明者 李 仲 ヘ

大韓民国京畿道水原市長安区栗田洞三星ア
パート203棟204号

(74)代理人 100094145

弁理士 小野 由己男 (外 1 名)

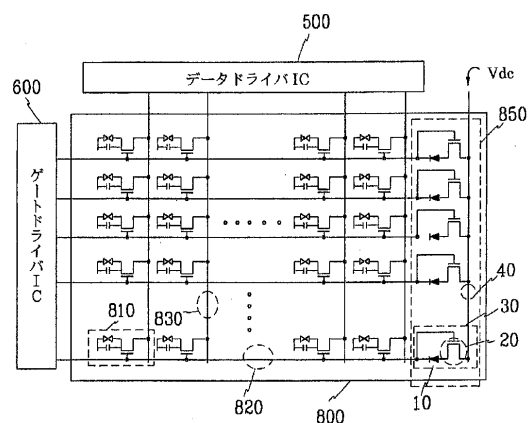
最終頁に続く

(54)【発明の名称】 ゲート信号遅延補償機能を有する液晶ディスプレイ装置、液晶ディスプレイパネル、ゲート信号遅延補償回路及びその方法

(57)【要約】

【課題】 液晶ディスプレイ装置において、簡単な回路構成により、ゲートオン信号の遅延を補償することである。また、生産費用の上昇を招く別途駆動ICの付加なく既存の液晶ディスプレイパネルの製造とともに容易に形成することである。

【解決手段】 ゲートライン端部にダイオード10と遅延補償薄膜トランジスタ20と補償電圧伝達ライン40とを設け、ゲート信号をゲートラインに印加したとき、遅延補償薄膜トランジスタ20のゲート電極に遅延ゲート信号が印加され、薄膜トランジスタ20のソース電極とドレイン電極とが導通してソース電極にVdcが印加される。これにより、ダイオード10が導通してVdcからゲートライン端部に電流が供給されることにより、ゲート信号の遅延を補償できる。



【特許請求の範囲】

【請求項 1】多数のゲートライン、前記多数のゲートラインと絶縁されて交差する多数のデータライン、前記ゲートラインに連結されるゲート電極と前記データラインに連結されるソース電極とを有する多数の薄膜トランジスタ、前記薄膜トランジスタのドレーン電極に連結される画素電極、及び前記画素電極に対向して共通電圧を印加するための共通電極が形成されており、前記画素電極と前記共通電極との間に液晶が注入されており、前記多数のゲートラインの端部に連結されてゲート信号遅延を補償するための信号遅延補償部を含む液晶ディスプレイパネル；前記液晶ディスプレイパネルを駆動させるために前記ゲートラインに薄膜トランジスタをオン／オフさせるゲート信号を印加するゲートドライバー；前記液晶ディスプレイパネルを駆動させるために前記データラインに画像信号を現わすデータ信号を印加するデータドライバー；前記信号遅延補償部にゲート信号遅延補償のための所定のパルスを出力する信号源；前記ゲートドライバーから前記薄膜トランジスタをオンさせるための信号を印加するようにし、前記データドライバーから前記画素にデータ信号を印加するようにする信号制御部；を含むことを特徴とするゲート信号遅延補償機能を有する液晶ディスプレイ装置。

【請求項 2】前記液晶ディスプレイパネルの前記信号遅延補償部は、前記多数のゲートラインの各々の端部に連結される多数の遅延補償要素；前記遅延補償要素と連結され、前記液晶ディスプレイパネルの外部から所定の直流電圧の供給を受けて前記多数の遅延補償要素の各々に伝達するための補償電圧伝達ライン；を含むことを特徴とする請求項 1 に記載のゲート信号遅延補償機能を有する液晶ディスプレイ装置。

【請求項 3】前記遅延補償要素は、電流入力端子及び電流出力端子を有しており、電流出力端子が前記ゲートラインの端部に連結されたダイオード素子；ゲートが前記ダイオード素子の電流出力端子及び前記ゲートラインの端部に連結され、ソースが前記ダイオード素子の電流入力端子に連結され、ドレーンが前記補償電圧伝達ラインに連結されて、前記ゲートと前記ソースとの間の電圧差によって前記ドレーンから前記ソースに電圧補償のための電流が流れる遅延補償薄膜トランジスタ；を含むことを特徴とする請求項 2 に記載のゲート信号遅延補償機能を有する液晶ディスプレイ装置。

【請求項 4】多数のゲートライン；前記多数のゲートラインと絶縁して交差する多数のデータライン；前記ゲートラインに連結されるゲート電極と前記データラインに連結されるソース電極とを有する多数の薄膜トランジスタ；前記薄膜トランジスタのドレーン電極に連結される画素電極；前記画素電極に対向して共通電圧を印加するための共通電極；前記画素電極と前記共通電極との間に

注入される液晶；前記多数のゲートラインの端部に連結されてゲート信号遅延を補償するための信号遅延補償部；を含むことを特徴とするゲート信号遅延補償機能を有する液晶ディスプレイパネル。

【請求項 5】前記信号遅延補償部は、前記多数のゲートラインの各々の端部に連結される多数の遅延補償要素；前記遅延補償要素と連結され、前記液晶ディスプレイパネルの外部から所定の直流電圧の供給を受けて前記多数の遅延補償要素の各々に伝達するための補償電圧伝達ライン；を含むことを特徴とする請求項 4 に記載のゲート信号遅延補償機能を有する液晶ディスプレイパネル。

【請求項 6】前記遅延補償要素は、電流入力端子及び電流出力端子を有しており、電流出力端子が前記ゲートラインの端部に連結されたダイオード素子；ゲートが前記ダイオード素子の電流出力端子及び前記ゲートラインの端部に連結され、ソースが前記ダイオード素子の電流入力端子に連結され、ドレーンが前記補償電圧伝達ラインに連結されて、前記ゲートと前記ソースとの間の電圧差によって前記ドレーンから前記ソースに電圧補償のための電流が流れる遅延補償薄膜トランジスタ；を含むことを特徴とする請求項 5 に記載のゲート信号遅延補償機能を有する液晶ディスプレイパネル。

【請求項 7】液晶ディスプレイパネルに付加されてゲートラインの信号遅延を補償するための信号遅延補償回路において、

多数のゲートラインの各々の端部に連結される多数の遅延補償要素；前記遅延補償要素と連結され、前記液晶ディスプレイパネルの外部から所定の直流電圧の供給を受けて前記多数の遅延補償要素の各々に伝達するための補償電圧伝達ライン；を含むことを特徴とするゲート信号遅延補償回路。

【請求項 8】前記遅延補償要素は電流入力端子及び電流出力端子を有しており、電流出力端子が前記ゲートラインの端部に連結されたダイオード素子；ゲートが前記ダイオード素子の電流出力端子及び前記ゲートラインの端部に連結され、ソースが前記ダイオード素子の電流入力端子に連結され、ドレーンが前記補償電圧伝達ラインに連結されて、前記ゲートと前記ソースとの間の電圧差によって前記ドレーンから前記ソースに電圧補償のための電流が流れる遅延補償薄膜トランジスタ；を含むことを特徴とする請求項 7 に記載のゲート信号遅延補償回路。

【請求項 9】液晶ディスプレイパネルに付加されてゲートラインの信号遅延を補償するための多数の遅延補償要素と補償電圧伝達ラインとを含む信号遅延補償回路を用いるゲート信号遅延補償方法において、前記補償電圧伝達ラインに所定の直流電圧を印加する第 1 段階；前記各々の遅延補償要素によって遅延されたゲート信号が入力されているゲートラインだけを前記補償電圧伝達ラインと通じるようにして前記遅延されたゲート

ト信号が前記所定の直流電圧によって上昇するようにする第 2 段階；を含むことを特徴とするゲート信号遅延補償方法。

【請求項 10】前記遅延補償要素は、電流入力端子及び電流出力端子を有しており、電流出力端子が前記ゲートラインの端部に連結されたダイオード素子；ゲートが前記ダイオード素子の電流出力端子及び前記ゲートラインの端部に連結され、ソースが前記ダイオード素子の電流入力端子に連結され、ドレーンが前記補償電圧伝達ラインに連結された遅延補償薄膜トランジスタを含んでお

り、前記ゲートと前記ソースとの間の電圧差によって前記ドレーンから前記ソースに電圧補償のための電流が流れるようにする、ことを特徴とする請求項 9 に記載のゲート信号遅延補償方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶ディスプレイ装置、液晶パネル、より詳しくは、ゲートラインの抵抗及び容量によるゲートオン信号の遅延を補償するためのゲート信号遅延補償機能を有する液晶ディスプレイ装置、液晶ディスプレイパネルに関する。また本発明は、ゲート信号遅延補償方法、より詳しくは、液晶ディスプレイパネルにおいてゲート信号の遅延を補償する方法に関する。

【0002】

【従来の技術】薄膜トランジスタ型液晶表示装置（TFT-LCD）は現在生産されているメイン機種となる液晶ディスプレイ装置であり、液晶ディスプレイパネルの大型化と高解像度化が今後の最も大きな課題である。このように液晶ディスプレイパネルが大型化し解像度が高くなるほど、パネル内のデータラインとゲートラインとが長くなってライン抵抗が増加し、各ライン間に交差（crossover）する地点が多くなるので各ラインの寄生容量（capacitance）も増加し、特に今後に要求される高開口率のパネルの設計時には画素と各ラインとの間の重畳（overlap）が増加して信号遅延が非常に深刻になる。

【0003】図 3 では従来の技術の液晶ディスプレイパネルでの前記ゲート信号遅延を図示している。前記図 3 を参照すると、ゲート信号は入力地点では矩形波であるが、パネル上の該当ラインに伝送されながらゲートラインの端部では前記ラインの抵抗及び容量によって信号遅延が発生し、それに基づいて前記矩形波が歪曲される結果を招く。前記図 3（b）に示すように、ゲートライン端部のゲート信号は歪曲によって遅延された波形を有し、このようなゲート信号遅延は液晶ディスプレイパネル内の各画素での充電特性を悪化させるようになるが、これは信号遅延が著しいほどゲート信号のゲートオン区間が短くなり、これによって各画素の充電量が不十分に

なるためである。

【0004】高解像度の大型液晶ディスプレイパネルではこのような信号遅延により画質が低下する問題を解決するために、液晶ディスプレイパネル内のゲートラインの両側で信号を印加する駆動方法が主に用いられている。

【発明が解決しようとする課題】しかし、このような方法は駆動集積回路（Driver IC）の数が 2 倍に増加するために製品の価格競争力が低下するようになる問題点がある。

【0005】本発明はこのような問題点を解決するためのものであって、生産費用の上昇を招く別途の駆動 IC の付加なく既存の液晶ディスプレイパネルの製造とともに容易に形成することができ、簡単な回路で構成されて液晶ディスプレイパネルの特性に不必要な影響を与えず、ゲートラインの抵抗及び容量によるゲートオン信号の遅延を補償するためのゲート信号遅延補償機能を備えた液晶ディスプレイ装置、液晶ディスプレイパネル及びゲート信号遅延補償方法を提供することにある。

【0006】

【課題を解決するための手段】このような目的を達成するために、本発明に係るゲート信号遅延補償機能を有する液晶ディスプレイ装置は、多数のゲートライン、前記多数のゲートラインと絶縁されて交差する多数のデータライン、前記ゲートラインに連結されるゲート電極と前記データラインに連結されるソース電極とを有する多数の薄膜トランジスタ、前記薄膜トランジスタのドレーン電極に連結される画素電極、及び前記画素電極に対向して共通電圧を印加するための共通電極が形成されており、前記画素電極と前記共通電極との間に液晶が注入されており、前記多数のゲートラインの端部に連結されてゲート信号遅延を補償するための信号遅延補償部を含む液晶ディスプレイパネル；前記液晶ディスプレイパネルを駆動させるために前記ゲートラインに薄膜トランジスタをオン／オフさせるゲート信号を印加するゲートドライバー；前記液晶ディスプレイパネルを駆動させるために前記データラインに画像信号を現わすデータ信号を印加するデータドライバー；前記信号遅延補償部にゲート信号遅延補償のための所定のパルスを出力する信号源；前記ゲートドライバーから前記薄膜トランジスタをオンさせるための信号を印加するようにし、前記データドライバーから前記画素にデータ信号を印加するようにする信号制御部；を含んでいる。

【0007】また本発明に係るゲート信号遅延補償機能を有する液晶ディスプレイパネルは、多数のゲートライン；前記多数のゲートラインと絶縁されて交差する多数のデータライン；前記ゲートラインに連結されるゲート電極と前記データラインに連結されるソース電極とを有する多数の薄膜トランジスタ；前記薄膜トランジスタのドレーン電極に連結される画素電極；前記画素電極に対

向して共通電圧を印加するための共通電極、前記画素電極と前記共通電極との間に注入される液晶；前記多数のゲートラインの端部に連結されてゲート信号遅延を補償するためのゲート信号遅延補償部；を含んでいる。

【0008】好ましくはゲート信号遅延補償部は、前記多数のゲートラインの各々の端部に連結される多数の遅延補償要素、及び前記遅延補償要素と連結され、前記液晶ディスプレイパネルの外部から所定の直流電圧の供給を受けて前記多数の遅延補償要素の各々に伝達するための補償電圧伝達ラインを含むことを特徴とする。

【0009】本発明のまた他の一つ特徴によるゲート信号遅延補償回路は、液晶ディスプレイパネルに付加されてゲートラインの信号遅延を補償するための信号遅延補償回路であり、多数のゲートラインの各々の端部に連結される多数の遅延補償要素、及び前記遅延補償要素と連結され、前記液晶ディスプレイパネルの外部から所定の直流電圧の供給を受けて前記多数の遅延補償要素の各々に伝達するための補償電圧伝達ラインを含む。

【0010】本発明のまた他の一つ特徴によるゲート信号遅延補償方法は、液晶ディスプレイパネルに付加されてゲートラインの信号遅延を補償するための多数の遅延補償要素と補償電圧伝達ラインとを含む信号遅延補償回路を用いるゲート信号遅延補償方法であり、前記補償電圧伝達ラインに所定の直流電圧を印加する第1段階、及び前記各々の遅延補償要素によって遅延されたゲート信号が入力されているゲートラインだけを前記補償電圧伝達ラインと通じるようにして前記遅延されたゲート信号が前記所定の直流電圧によって上昇するようにする第2段階を含む。

【0011】好ましくは、前記遅延補償要素は、電流入力端子及び電流出力端子を有しており、電流出力端子が前記ゲートラインの端部に連結されたダイオード素子；ゲートが前記ダイオード素子の電流出力端子及び前記ゲートラインの端部に連結され、ソースが前記ダイオード素子の電流入力端子に連結され、ドレーンが前記補償電圧伝達ラインに連結された遅延補償薄膜トランジスタを含んでいることを特徴とする。また好ましくは、ゲート信号遅延補償方法において、前記第2段階は、前記ゲートと前記ソースとの間の電圧差によって前記ドレーンから前記ソースに電圧補償のための電流が流れるようにすることを特徴とする。

【0012】

【発明の実施の形態】以下、図面を参照して本発明による好ましい実施例を詳細に説明する。

【0013】図1は、本発明のゲート信号遅延補償機能を備えた液晶ディスプレイ装置の好ましい実施例の構成を示す。

【0014】前記図1に示したように、本発明のゲート信号遅延補償機能を備えた液晶ディスプレイ装置の好ましい実施例は、多数のゲートライン820、多数のデ

ータライン830、ゲート電極とソース電極とを有する多数の薄膜トランジスタ(TFT)、画素電極、及び共通電極が形成されており、画素電極と共通電極との間に液晶が注入されており、多数のゲートライン820の端部に連結されてゲート信号遅延を補償するための信号遅延補償部850を含む液晶ディスプレイパネル800と、ゲートドライバー600と、データドライバー500と、信号源100と、信号制御部300とを含む。

【0015】図2は、本発明のゲート信号遅延補償機能を備えた液晶ディスプレイパネルの好ましい実施例の構成を示す。

【0016】前記図2に示したように、ゲート信号遅延補償液晶ディスプレイパネルの好ましい実施例は、多数のゲートライン820、多数のデータライン830、多数の薄膜トランジスタ、画素電極、共通電極、液晶、及び前記多数のゲートライン820の端部に連結されてゲート信号遅延を補償するための信号遅延補償部850を含むが、ここで、前記信号遅延補償部850は、前記多数のゲートライン820の各々の端部に連結される多数の遅延補償要素30、及び前記遅延補償要素30と連結され、前記液晶ディスプレイパネルの外部から所定の直流電圧の供給を受けて前記多数の遅延補償要素の各々に伝達するための補償電圧伝達ライン40を含む。

【0017】また、ここで前記遅延補償要素30は、電流出力端子が前記ゲートライン820の端部に連結され、電流入力端子が薄膜トランジスタ20のソースと連結されて、前記電流入力端子から前記電流出力端子の方向にだけ電流が流れるようにするダイオード素子10、及びゲートが前記ダイオード素子10の電流出力端子及び前記ゲートラインの共通端に連結され、ソースが前記ダイオード素子10の電流入力端子に連結され、ドレーンが前記補償電圧伝達ライン40に連結されて、前記ゲートと前記ソースとの間の電圧差によって前記ドレーンから前記ソースに電圧補償のための電流が流れるようにする遅延補償薄膜トランジスタ20を含む。

【0018】図3は、本発明によって信号遅延が補償されたゲート信号を、従来の技術の遅延されたゲート信号と比較して示す。

【0019】本発明によるゲート信号遅延補償機能を備えた液晶ディスプレイ装置、液晶ディスプレイパネル及びゲート信号遅延補償方法によれば、前記図3(c)に示したように、ゲート信号遅延が補償され、ゲートがハイレベルに維持される。即ち、ゲートオン区間でのゲート波形が、図3(a)のゲートライン入力波形と同等な程度に回復可能であり、ゲート信号遅延による充電時間の不足問題を克服することができる。

【0020】ゲートラインの端部から前記遅延されたゲート信号が入力されると、前記遅延補償要素30内のダイオード素子10には逆方向の電圧がかかって電流は前記ダイオード素子10を通じて流れることができず、そ

れによってゲートラインに連結された遅延補償薄膜トランジスタ 20 のゲート電圧のみが上昇して前記遅延補償薄膜トランジスタ 20 のゲートとソースとの間の電圧差が発生し、一般的な MOS トランジスタの特性上、前記ゲートとソースとの間の電圧差がしきい電圧 (threshold voltage) を越える場合に、前記遅延補償薄膜トランジスタ 20 はオン状態になる。

【0021】従って、前記遅延補償薄膜トランジスタ 20 のドレインに連結された補償電圧伝達ライン 40 から前記ドレインの電位と前記ソースの電位とが同等になるまで補償電流が流れるようになり、この電流によって前記ゲートラインの電位が上昇して前記ゲート信号遅延は補償されて最終的に前記図 3 の下段のようなゲート信号の波形を得るようになる。

【0022】また、前記ゲート信号が全く印加されない他のゲートラインに連結された遅延補償薄膜トランジスタ 20 のゲートでは前記遅延された信号程度の電圧上昇さえも起こらないので、遅延補償薄膜トランジスタ 20 がオンにならず、その結果、前記遅延されたゲート信号が印加されるゲートラインのみが選択的に前記補償電圧伝達ライン 40 と通じるので、駆動されてはならない他のゲートラインが同時に駆動されて画像の質を低下させる問題は発生しない。

【0023】本発明によるゲート信号遅延補償機能を備えた液晶ディスプレイ装置、液晶ディスプレイパネル及びゲート信号遅延補償方法は、本発明の技術的思想の範囲内で多様な形態に変形、応用可能であり、前記好ましい実施例に限定されない。

【0024】また、前記実施例と図面は発明の内容を詳細に説明するためだけであり、発明の技術的思想の範囲を限定しようとする目的ではなく、以上で説明した本発明は本発明の属する技術分野における通常の知識を有する者が本発明の技術的思想をはずれない範囲内で多様な置換、変形及び変更可能であるので、前記実施例及び添付した図面に限定されるわけではない。

*【0025】

【発明の効果】本発明によるゲート信号遅延補償機能を備えた液晶ディスプレイ装置、液晶ディスプレイパネル及びゲート信号遅延補償方法によって、生産費用の上昇を招く別途の駆動 IC の付加なく既存の液晶ディスプレイパネルの製造とともに容易に形成することができ、簡単な回路で構成されて液晶ディスプレイパネルの特性に不必要な影響を与えず、ゲートラインの抵抗及び容量によるゲートオン信号の遅延を補償するためのゲート信号遅延補償機能を備えた液晶ディスプレイ装置、液晶ディスプレイパネル及びゲート信号遅延補償方法を提供することができる。

【図面の簡単な説明】

【図 1】本発明のゲート信号遅延補償機能を備えた液晶ディスプレイ装置の好ましい一実施例の構成を示す図面である。

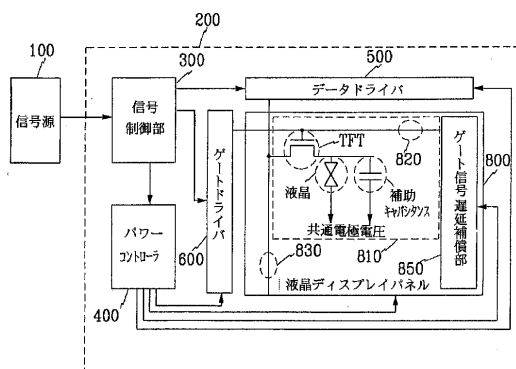
【図 2】本発明のゲート信号遅延補償液晶ディスプレイパネルの好ましい一実施例の構成を示す図面である。

【図 3】本発明によって信号遅延が補償されたゲート信号を従来の技術の遅延されたゲート信号と比較して示す図面である。

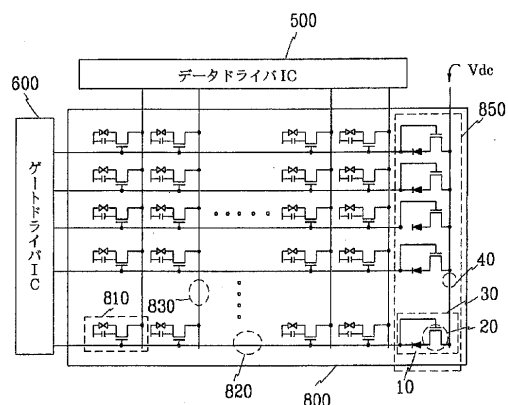
【符号の説明】

- 10 ダイオード素子
- 20 遅延補償薄膜トランジスタ
- 30 遅延補償要素
- 40 補償電圧伝達ライン
- 100 信号源
- 300 信号制御部
- 500 データドライバー
- 600 ゲートドライバー
- 800 液晶ディスプレイパネル
- 820 ゲートライン
- 830 データライン
- 850 信号遅延補償部

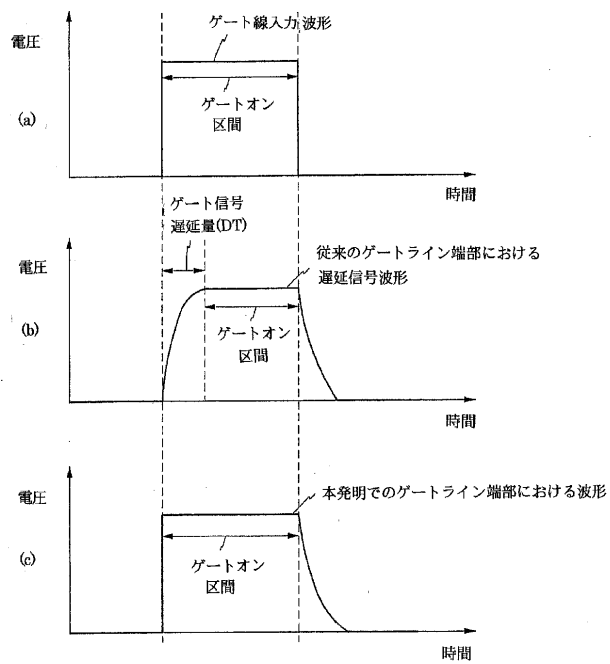
【図 1】



【図 2】



【図 3】



フロントページの続き

F ターム(参考) 2H092 GA40 JA24 JA37 JA41 NA25
 PA06
 2H093 NC34 NC37 NC51 ND54 ND60
 5C006 AF46 BB16 BC06 FA14 FA18
 FA37
 5C080 AA10 BB05 DD30 JJ02 JJ04

专利名称(译)	具有栅极信号延迟补偿功能的液晶显示装置，液晶显示面板，栅极信号延迟补偿电路及其方法		
公开(公告)号	JP2002236280A	公开(公告)日	2002-08-23
申请号	JP2001112125	申请日	2001-04-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	朴倅源 李仲へ		
发明人	朴倅源 李仲 ▲へ▼		
IPC分类号	G02F1/1368 G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3688 G09G3/3648 G09G2320/0223		
FI分类号	G02F1/133.550 G02F1/1368 G09G3/20.611.J G09G3/20.622.G G09G3/36		
F-TERM分类号	2H092/GA40 2H092/JA24 2H092/JA37 2H092/JA41 2H092/NA25 2H092/PA06 2H093/NC34 2H093/NC37 2H093/NC51 2H093/ND54 2H093/ND60 5C006/AF46 5C006/BB16 5C006/BC06 5C006/FA14 5C006/FA18 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD30 5C080/JJ02 5C080/JJ04 2H192/AA24 2H192/FB03 2H192/FB27 2H193/ZA04 2H193/ZA07 2H193/ZA12 2H193/ZF22 2H193/ZH46		
优先权	1020010000420 2001-01-04 KR		
其他公开文献	JP4790926B2		
外部链接	Espacenet		

摘要(译)

解决的问题：以简单的电路配置来补偿液晶显示装置中的栅极导通信号的延迟。另外，可以在不添加导致生产成本增加的单独的驱动IC的情况下，与现有的液晶显示面板的制造一起容易地形成。在栅极线的末端设置有二极管，延迟补偿薄膜晶体管和补偿电压传输线，并且当将栅极信号施加到栅极线时，延迟栅极信号施加到延迟补偿薄膜晶体管的栅极。薄膜晶体管20的源电极和漏电极彼此电连接，并且Vdc被施加到源电极。结果，二极管10导通，并且从Vdc向栅极线的端部提供电流，从而可以补偿栅极信号的延迟。

