

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002 - 14371

(P2002 - 14371A)

(43)公開日 平成14年1月18日 (2002.1.18)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ド* (参考)	
G 0 2 F 1/1368		G 0 9 F 9/30	338	2 H 0 9 2
G 0 9 F 9/30	338	G 0 2 F 1/136	500	5 C 0 9 4
H 0 1 L 29/786		H 0 1 L 29/78	616 T	5 F 1 1 0
			618 C	

審査請求 未請求 請求項の数 7 O L (全 8 数)

(21)出願番号 特願2000 - 193453(P2000 - 193453)

(22)出願日 平成12年6月27日(2000.6.27)

(71)出願人 595059056

株式会社アドバンスト・ディスプレイ
熊本県菊池郡西合志町御代志997番地

(72)発明者 橋口 隆史

熊本県菊池郡西合志町御代志997番地 株式
会社アドバンスト・ディスプレイ内

(72)発明者 山口 偉久

熊本県菊池郡西合志町御代志997番地 株式
会社アドバンスト・ディスプレイ内

(74)代理人 100073759

弁理士 大岩 増雄

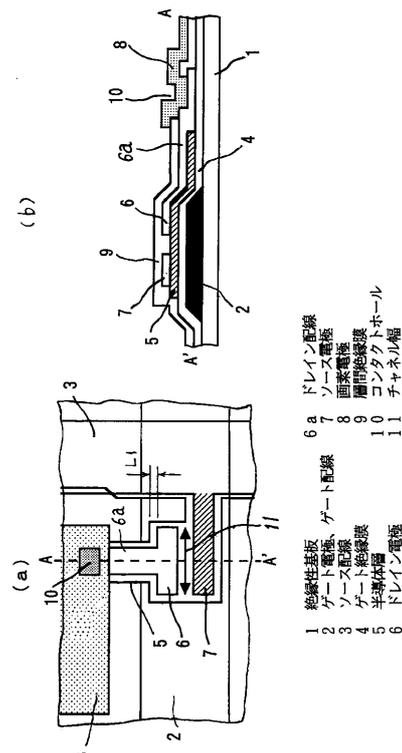
最終頁に続く

(54)【発明の名称】 T F T アレイ基板およびこれを用いた液晶表示装置

(57)【要約】

【課題】 製造工程における写真製版装置のアライメントずれに起因するショットムラやフリッカー等の表示不良が発生しないT F Tアレイ基板を得る。

【解決手段】 半導体層5およびこれに重なるドレイン配線6 aのゲート電極2端を跨ぐ部分の幅を、薄膜トランジスタのチャネル幅1 5であるドレイン電極6の幅よりも狭く設けた。これにより、ゲート配線2、ドレイン電極6およびソース電極7をパターン形成する際に用いる写真製版装置のアライメントずれにより生じる各ショット間のゲート電極2とドレイン電極6の重なり面積の差が、従来のT F T構造(図8)よりも小さくなり、フィードスルー電圧のパラメーターであるゲート電極とドレイン電極の寄生容量の変動を低減できるため、ショットムラやフリッカー等の表示不良の発生を抑制できる。



【特許請求の範囲】

【請求項1】 絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線、

上記ゲート配線と交差する複数本のソース電極を備えたソース配線、

上記ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続された上記ソース電極及びドレイン電極よりなる薄膜トランジスタ、

上記ドレイン電極から延びたドレイン配線に接続された画素電極を備えたTFTアレ基板において、

上記半導体層およびこれに重なる上記ドレイン配線の上記ゲート電極端を跨ぐ部分の幅を、上記薄膜トランジスタのチャンネル幅である上記ドレイン電極幅よりも狭く設けたことを特徴とするTFTアレ基板。

【請求項2】 ドレイン電極およびドレイン配線は、ゲート電極上において半導体層と重ならない部分を有することを特徴とする請求項1記載のTFTアレ基板。

【請求項3】 絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線、

上記ゲート配線と交差する複数本のソース電極を備えた

ソース配線、

上記ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続された上記ソース電極及びドレイン電極よりなる薄膜トランジスタ、

上記ドレイン電極に接続された画素配線を有する画素電極を備えたTFTアレ基板において、

上記半導体層およびこれに重なる上記画素配線の上記ゲート電極端を跨ぐ部分の幅を、上記薄膜トランジスタのチャンネル幅である上記ドレイン電極幅よりも狭く設けたことを特徴とするTFTアレ基板。

【請求項4】 ドレイン電極および画素配線は、ゲート電極上において半導体層と重ならない部分を有することを特徴とする請求項3記載のTFTアレ基板。

【請求項5】 絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線、

上記ゲート配線と交差する複数本のソース電極を備えた

ソース配線、

上記ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続された上記ソース電極及びドレイン電極よりなる薄膜トランジスタ、

上記ドレイン電極に接続された画素配線を有する画素電極を備えたTFTアレ基板において、

上記画素配線の上記ゲート電極端を跨ぐ部分の幅を、上記薄膜トランジスタのチャンネル幅である上記ドレイン電極幅よりも狭く設けたことを特徴とするTFTアレ基板。

【請求項6】 ドレイン電極は、ゲート電極上において半導体層と重ならない部分を有することを特徴とする請求項5記載のTFTアレ基板。

【請求項7】 請求項1～請求項6のいずれか一項に記

載のTFTアレ基板と、透明電極およびカラーフィルタ等を有する対向電極基板または透明電極を有する対向電極基板の間に液晶が配置されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以後TFTと記す）をスイッチング素子として搭載したアクティブマトリクス型のTFTアレ基板およびこれをを用いた液晶表示装置に関する。

【0002】

【従来の技術】従来のTFTアレ基板の構造を図8を用いて説明する。図8(a)は従来のTFTアレ基板の1画素を示す平面図、図8(b)はスイッチング素子であるTFT部を示す平面図、図8(c)は図8(b)中D-D'で示す部分の断面図である。図において、1は透明絶縁性基板、2は透明絶縁性基板1上に複数本形成されたゲート配線およびこのゲート配線に備えられたゲート電極、3はゲート配線2と交差する複数本のソース電極7を備えたソース配線、5はゲート電極2上にゲート絶縁膜4を介して設けられた半導体層であり、この半導体層5に接続されたソース電極7及びドレイン電極6によりTFTが構成されている。また、8は透明導電膜よりなる画素電極で、層間絶縁膜9に設けられたコンタクトホール10を介してドレイン電極6に接続されている。なお、11はチャンネル幅を示している。以下に、従来のTFTアレ基板の製造方法を簡単に説明する。まず、透明絶縁性基板1上に、スパッタ法等によりCr等からなる金属膜を堆積後、写真製版法等によりパターンニングし、ゲート電極を備えたゲート配線2を形成する。次に、プラズマCVD法等によりゲート絶縁膜4と半導体層5を連続して堆積し、半導体層5をパターンニングした後、金属膜を堆積しドレイン電極6、ソース電極7およびソース配線3を形成する。次に、TFTを覆うように窒化シリコン等よりなる層間絶縁膜9を成膜し、コンタクトホール10を形成後、スパッタ法等によりITO等の透明導電膜よりなる画素電極8を形成し、TFTアレ基板が完成する。

【0003】

【発明が解決しようとする課題】液晶表示装置は、上記のTFTアレ基板と対向電極基板の間に配置された液晶を、アレ基板上の画素電極8と対向電極に印加した電圧で制御することにより映像表示を行うものである。この時、画素電極8への印加電圧が表示エリア内で異なると、輝度ムラやショットムラ、フリッカー等の表示不良を起こす。図8に画素電極電圧と各信号電圧の関係を示す。図において、Aはゲート電極電圧、Bは画素電極電圧、Cはソース電極電圧を示している。ゲート電極電圧AがTFTをオンさせる充電期間に、画素電極電圧Bがソース電極7に印加され、ドレイン電極6を介して画

素電極 8 に伝達される。画素電極電圧 B は充電期間中にソース電極電圧 C に到達しているが、充電期間から保持期間へゲート電極電圧 A がターンオフするとき、容量カップリング等により画素電極電圧 B が低下している。この画素電極 8 の電圧降下はフィードスルー電圧 D であり、以下の式で簡易的に表せられる。なお、式中、 V_{gd} : フィードスルー電圧、 C_{gd} : ゲート電極とドレイン電極の寄生容量、 C_s : 画素電極の補助容量、 C_{lc} : 液晶容量をそれぞれ示している。

$$V_{gd} = V \times C_{gd} / (C_{lc} + C_s + C_{gd})$$

【0004】表示エリア内でフィードスルー電圧に差が起る原因のひとつに、ゲート電極 2 とドレイン電極 6 の寄生容量 (以下 C_{gd} と記す) の変動がある。画素や TFT がマトリクス状に配置されているアレイ基板は、写真製版法を用いて各パターンを形成しており、複数のショットを適用して 1 つの工程が完了する。各ショットにおいて写真製版装置のアライメントずれが生じた場合、ゲート電極 2、半導体層 5、ソース電極 7 およびドレイン電極 6 等のパターン配置関係が各ショット間で異なる。このためゲート電極 2 とドレイン電極 6 の重なり面積によって決定される C_{gd} がショット間で異なり、その結果各ショット間でフィードスルー電圧に差が生じ、ショットムラやフリッカー等が視認され易くなる。また、ゲート電極電圧 A がターンオフされるまで、ゲート電極 2 上のドレイン電極 6 の外部に形成された半導体層 5 がドレイン電極 6 と同電位になり、これも C_{gd} 変動に寄与している。図 8 に示す従来の TFT 構造では、TFT のチャンネル幅 11 に平行な方向へのアライメントずれによるゲート配線 2 とドレイン電極 6 および半導体層 5 の重なり面積の変動は小さいが、チャンネル幅 11 に垂直な方向へのアライメントずれに対しては配慮がなされておらず面積の変動が大きいという問題があった。さらに、従来構造では、ゲート配線 2 に対する負荷容量が大きく、低減することが望ましかった。また、例えば特開平 2 - 10331 号公報では、ゲート電極により生じる段差部上でゲート絶縁膜を介して設けられるドレイン電極の段差部上の長さを、他の部分のドレイン電極幅よりも狭くすることにより、段差部に起因する上下層の短絡発生を低減した TFT アレイ基板が提案されているが、同段差部上の半導体層の幅については記載されていなかった。

【0005】本発明は、上記のような問題点を解消するためになされたもので、アレイ基板製造工程における写真製版装置のアライメントずれに起因するショットムラやフリッカー等の表示不良が低減されると共に、ゲート配線に対する負荷容量が低減される高開口率の TFT アレイ基板およびこれを用いた液晶表示装置を得ることを目的とする。

【0006】

【課題を解決するための手段】本発明に係わる TFT アレイ基板は、絶縁性基板上に複数本形成されたゲート電

極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極から延びたドレイン配線に接続された画素電極を備えた TFT アレイ基板において、半導体層およびこれに重なるドレイン配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたものである。さらに、ドレイン電極およびドレイン配線は、ゲート電極上において半導体層と重ならない部分を有するものである。

【0007】また、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極に接続された画素配線を有する画素電極を備えた TFT アレイ基板において、半導体層およびこれに重なる画素配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたものである。さらに、ドレイン電極および画素配線は、ゲート電極上において半導体層と重ならない部分を有するものである。

【0008】また、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極に接続された画素配線を有する画素電極を備えた TFT アレイ基板において、画素配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたものである。さらに、ドレイン電極は、ゲート電極上において半導体層と重ならない部分を有するものである。

【0009】また、本発明に係わる液晶表示装置は、上記いずれかの TFT アレイ基板と、透明電極およびカラーフィルタ等を有する対向電極基板または透明電極を有する対向電極基板の間に液晶が配置されているものである。

【0010】

【発明の実施の形態】実施の形態 1 . 以下に、本発明の実施の形態を図面に基づいて説明する。図 1 (a) は、本発明の実施の形態 1 における TFT アレイ基板のスイッチング素子である TFT 部を示す平面図、図 1 (b) は図 1 (a) 中 A - A ' で示す部分の断面図である。図において、1 は透明絶縁性基板、2 は透明絶縁性基板 1 上に複数本形成されたゲート配線およびこのゲート配線

に備えられたゲート電極、3はゲート配線2と交差する複数本のソース配線で、ソース電極7を備えている。5はゲート電極2上にゲート絶縁膜4を介して設けられた半導体層であり、この半導体層5に接続されたソース電極7及びドレイン電極6によりTFTが構成されている。また、8は透明導電膜よりなる画素電極で、層間絶縁膜9に設けられたコンタクトホール10を介してドレイン電極6から延びたドレイン配線6aに接続されている。また、11はTFTのチャンネル幅を示している。本実施の形態では、半導体層5およびこれに重なるドレイン配線6aのゲート電極2端を跨ぐ部分の幅を、TFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設けたものである。

【0011】本実施の形態におけるTFTアレイ基板の製造方法を簡単に説明する。まず、透明絶縁性基板1上に、スパッタ法等によりCr等からなる金属膜を堆積後、写真製版法等によりレジストを露光後パターニングし、ゲート電極を備えたゲート配線2を形成する。次に、プラズマCVD法等によりゲート絶縁膜4と半導体層5を連続して堆積し、半導体層5をパターニングした後、Cr等からなる金属膜をスパッタ法等により堆積し、ドレイン電極6及びドレイン配線6a、ソース配線3およびソース電極7を形成する。次に、TFTを覆うように窒化シリコン等よりなる層間絶縁膜9を成膜し、ドレイン配線6aと画素電極8を接続するコンタクトホール10を形成後、スパッタ法等によりITO等の透明導電膜を成膜し、画素電極8をパターン形成して本実施の形態におけるTFTアレイ基板が完成する。さらに、このTFTアレイ基板と、透明電極およびカラーフィルタ等を有する対向電極基板または透明電極を有する対向電極基板の間に液晶を配置することにより、本実施の形態における液晶表示装置が得られる。

【0012】本実施の形態では、半導体層5およびこれに重なるドレイン配線6aのゲート電極2端を跨ぐ部分の幅を、TFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設けた。これにより、ゲート電極2、ドレイン電極6およびソース電極7をパターン形成する際に用いる写真製版装置のアライメントずれにより生じる各ショット間のゲート電極2とドレイン電極6の重なり面積の差が、従来のTFT構造(図7(b)参照)に比べ小さくなるため、フィードスルー電圧のパラメータであるCgdの変動を低減でき、ショットムラやフリッカー等の表示不良の発生を抑制できる。また、Cgdに寄与するゲート電極2端を跨ぐ半導体層5の幅も狭く設けることにより、Cgd変動を防ぐことができる。特に、従来のTFT構造では、チャンネル幅に平行な方向のアライメントずれしか考慮されていなかったが、本実施の形態では垂直方向のアライメントずれを考慮したことにより、あらゆる方向のアライメントずれによるCgdの変動を低減できるものである。なお、ゲート電極2上に形成された

半導体層5はCgdに寄与しており、図1(a)中L1で示すドレイン電極6の一边と半導体層5の一边の距離について、L1が約5 μ m以上になると半導体層5に起因するフィードスルー電圧が急激に増加するため、L1は5 μ m以下に設計することが望ましい。また、従来のTFT構造では、ドレイン電極6がゲート絶縁膜4を介してゲート電極2端を跨ぐ段差部分において、ゲート電極2とドレイン電極6の短絡が発生しやすいという問題があったが、本実施の形態ではドレイン配線6aを採用することにより段差部分におけるドレイン電極の幅を狭くしたので、短絡の発生確率が減少し、さらにドレイン配線6aの膜厚を厚くすることにより断線も防止できる。

【0013】実施の形態2. 図2は、本発明の実施の形態2におけるTFTアレイ基板のスイッチング素子であるTFT部を示す平面図である。図中、同一、相当部分には同一符号を付し、説明を省略する。本実施の形態では、上記実施の形態1と同様に、半導体層5およびこれに重なるドレイン配線6aのゲート電極2端を跨ぐ部分の幅を、TFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設け、さらに、ドレイン電極6およびドレイン配線6aがゲート電極2上において半導体層5と重ならない部分を有するようにした。これにより、ゲート電極2上においてドレイン電極6からはみ出した半導体層5の面積を上記実施の形態1よりも小さくしている。

【0014】上記実施の形態1に示したTFT構造(図1(a))では、ゲート電極2上において、ドレイン電極6からはみ出した半導体層5の面積が大きいため、フィードスルー電圧に影響を与える可能性がある。そこで、本実施の形態では、ゲート電極2上においてドレイン電極6及びドレイン配線6aの一部を半導体層5と重ならないように配置し、ドレイン電極6からはみ出した半導体層5すなわちドレイン電極6と同電位になる半導体層5の面積を小さくすることで、フィードスルー電圧のパラメータであるCgdの値がドレイン電極6とゲート電極2の重なり面積でほぼ決定されるようにしたものである。

【0015】本実施の形態によれば、上記実施の形態1と同様の効果に加え、ドレイン電極6からはみ出した半導体層5の面積を小さくすることにより、Cgdに寄与するドレイン電極6からはみ出した半導体層5とゲート電極2で形成される容量を小さくすることができるため、フィードスルー電圧の増加を抑制でき、ショットムラやフリッカーの発生をさらに抑制できる。

【0016】実施の形態3. 図3(a)は、本発明の実施の形態3におけるTFTアレイ基板のスイッチング素子であるTFT部を示す平面図、図3(b)は図3(a)中B-B'で示す部分の断面図である。図において、8aは画素電極8から延びてドレイン電極6に接続された画素配線である。なお、図中、同一、相当部分に

は同一符号を付している。また、本実施の形態におけるTFTアレ基板の製造方法は、画素配線8aを有する画素電極8をパターン形成し、コンタクトホール10にてドレイン電極6と画素配線8aを接続する以外は上記実施の形態1とほぼ同様であるため説明を省略する。

【0017】本実施の形態では、TFTのドレイン電極6をゲート電極2上の半導体層5上に設け、このドレイン電極6上にコンタクトホール10を設け、ドレイン電極6と画素配線8aを電気的に接続したTFTアレ基板において、半導体層5およびこれに重なる画素配線8aのゲート電極2端を跨ぐ部分の幅を、TFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設けたものである。これにより、従来のTFT構造(図7(b)参照)に比べ、写真製版装置のアライメントずれにより生じる各ショット間のゲート電極2とドレイン電極6(および画素配線8a)の重なり面積の差が小さくなるため、フィードスルー電圧のパラメータであるCgdの変動を低減でき、ショットムラやフリッカーの発生を抑制できる。なお、ゲート電極2上に形成された半導体層5はCgdに寄与しており、図3(a)中L2で示すドレイン電極6の一边と半導体層5の一边の距離について、L2が約5μm以上になると半導体層5に起因するフィードスルー電圧が急激に増加するため、L2は5μm以下に設計することが望ましい。

【0018】実施の形態4

図4は、本発明の実施の形態4におけるTFTアレ基板のスイッチング素子であるTFT部を示す平面図である。図中、同一、相当部分には同一符号を付し、説明を省略する。本実施の形態では、上記実施の形態3と同様に、半導体層5およびこれに重なる画素配線8aのゲート電極2端を跨ぐ部分の幅を、TFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設け、さらに、ドレイン電極6および画素配線8aがゲート電極2上において半導体層5と重ならない部分を有するようにした。これにより、ゲート電極2上においてドレイン電極6および画素配線8aからはみ出した半導体層5の面積を上記実施の形態3よりも小さくしている。本実施の形態によれば、上記実施の形態3と同様の効果に加え、Cgdの要因となるドレイン電極6および画素配線8aからはみ出した半導体層5とゲート電極2で形成される容量を小さくすることができるため、フィードスルー電圧の増加を抑制でき、ショットムラやフリッカーの発生をさらに抑制できる。

【0019】実施の形態5. 図5(a)は、本発明の実施の形態5におけるTFTアレ基板のスイッチング素子であるTFT部を示す平面図、図5(b)は図5(a)中C-C'で示す部分の断面図である。図中、同一、相当部分には同一符号を付し説明を省略する。本実施の形態では、TFTのドレイン電極6をゲート電極2上の半導体層5上に設け、このドレイン電極6上にコン

タクトホール10を設け、ドレイン電極6と画素配線8aを電気的に接続したTFTアレ基板において、画素配線8aのゲート電極2端を跨ぐ段差部分の幅を、TFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設けたものである。これにより、従来のTFT構造(図7(b)参照)に比べ、写真製版装置のアライメントずれにより生じる各ショット間のゲート電極2とドレイン電極6(および画素配線8a)の重なり面積の差が小さくなるため、フィードスルー電圧のパラメータであるCgd変動を低減でき、ショットムラやフリッカーの発生を抑制できる。なお、ゲート電極2上に形成された半導体層5はCgdに寄与しており、図5(a)中L3で示すドレイン電極6の一边と半導体層5の一边の距離について、L3が約5μm以上になると半導体層5に起因するフィードスルー電圧が急激に増加するため、L3は5μm以下に設計することが望ましい。

【0020】実施の形態6. 図7は、本発明の実施の形態6におけるTFTアレ基板のスイッチング素子であるTFT部を示す平面図である。図中、同一、相当部分には同一符号を付し、説明を省略する。本実施の形態では、上記実施の形態5と同様に、画素配線8aのゲート電極2端を跨ぐ部分の幅を、TFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設け、さらに、ドレイン電極6がゲート電極2上において半導体層5と重ならない部分を有するようにした。これにより、ゲート電極2上においてドレイン電極6からはみ出した半導体層5の面積を上記実施の形態5よりも小さくしている。本実施の形態によれば、上記実施の形態5と同様の効果に加え、Cgdに寄与するドレイン電極6からはみ出した半導体層5とゲート電極2で形成される容量を小さくすることができるため、フィードスルー電圧の増加を抑制でき、ショットムラやフリッカーの発生をさらに抑制できる。

【0021】なお、上記実施の形態1～実施の形態6におけるドレイン電極6、ドレイン配線6aおよび画素配線8a、半導体層5の形状は、図に示す形状に限定されるものではなく、ドレイン配線6aまたは画素配線8aのゲート電極2端を跨ぐ部分の幅がTFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設けられていれば、任意のパターンでも同様の効果が期待できる。また、TFTを形成するゲート電極2、半導体層5およびドレイン電極6のパターンを設計するにあたり、ショット間のアライメントずれ発生によるフィードスルー電圧の変化を約150mV以下にすることが望ましい。また、本発明は上記実施の形態1～実施の形態6で説明したTFT構造にのみ適用されるものではなく、例えば、ゲート配線から突起状に引き出されたゲート電極上にドレイン電極およびソース電極を形成して構築したTFTにおいても、ゲート電極による段差部上の画素と電気的に接続されているドレイン配線または画素配線等の金属

パターンと半導体層の幅をTFTのチャンネル幅よりも狭く設けることにより、同様の効果が得られる。

【0022】

【発明の効果】以上のように、本発明によれば、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極から延びたドレイン配線に接続された画素電極を備えたTFTアレイ基板において、半導体層およびこれに重なるドレイン配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたので、ゲート配線、ドレイン電極およびソース電極をパターン形成する際に用いる写真製版装置のアライメントずれにより生じる各ショット間のゲート電極とドレイン電極の重なり面積の差が小さくなり、これによりフィードスルー電圧のパラメータであるゲート電極とドレイン電極の寄生容量の変動を低減できるため、ショットムラやフリッカー等の表示不良の発生を抑制できる。

【0023】また、ドレイン電極およびドレイン配線がゲート電極上において半導体層と重ならない部分を有するようにし、これによりゲート電極上においてドレイン電極およびドレイン配線からはみ出した半導体層の面積を小さくしたので、ドレイン電極からはみ出した半導体層とゲート電極で形成される容量が小さくなり、フィールドスルー電圧にほとんど影響を与えないため、ショットムラやフリッカー等の表示不良の発生をさらに抑制で*

*きる。また、本発明によれば、従来のTFT構造よりもゲート配線に対する負荷容量を低減することができる。さらに、画素配線を採用することにより、従来よりも高開口率のTFTアレイ基板を得ることができ、表示特性に優れた液晶表示装置が得られる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1であるTFTアレイ基板の構造を示す平面図および断面図である。

【図2】 本発明の実施の形態2であるTFTアレイ基板の構造を示す平面図である。

【図3】 本発明の実施の形態3であるTFTアレイ基板の構造を示す平面図および断面図である。

【図4】 本発明の実施の形態4であるTFTアレイ基板の構造を示す平面図である。

【図5】 本発明の実施の形態5であるTFTアレイ基板の構造を示す平面図および断面図である。

【図6】 本発明の実施の形態6であるTFTアレイ基板の構造を示す平面図である。

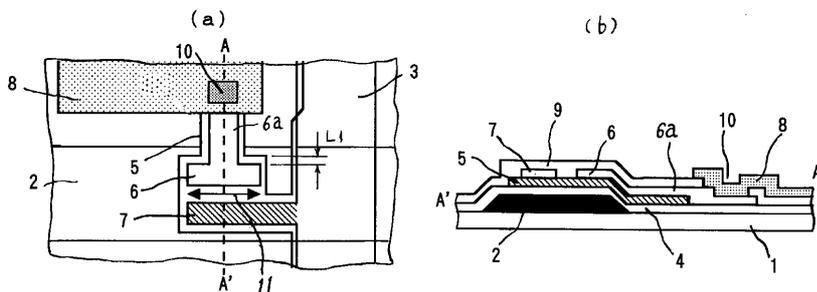
【図7】 従来のTFTアレイ基板の構造を示す平面図および断面図である。

【図8】 画素電極電圧と各信号電圧の関係を示す図である。

【符号の説明】

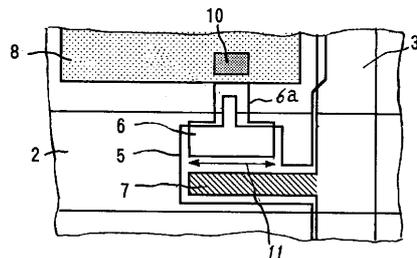
- 1 透明絶縁性基板、
- 2 ゲート電極およびゲート配線、
- 3 ソース配線、
- 4 ゲート絶縁膜、
- 5 半導体層、
- 6 ドレイン電極、
- 6a ドレイン配線、
- 7 ソース電極、
- 8 画素電極、
- 8a 画素配線、
- 9 層間絶縁膜、
- 10 コンタクトホール、
- 11 チャンネル幅。

【図1】

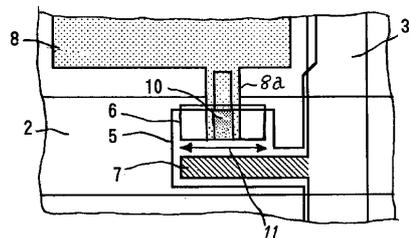


- | | |
|---------------|-------------|
| 1 絶縁性基板 | 6a ドレイン配線 |
| 2 ゲート電極、ゲート配線 | 7 ソース電極 |
| 3 ソース配線 | 8 画素電極 |
| 4 ゲート絶縁膜 | 9 層間絶縁膜 |
| 5 半導体層 | 10 コンタクトホール |
| 6 ドレイン電極 | 11 チャンネル幅 |

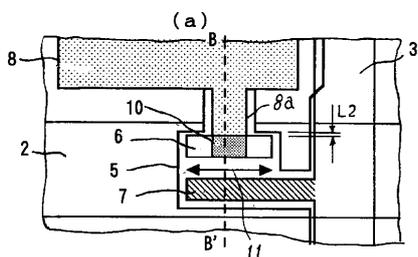
【図2】



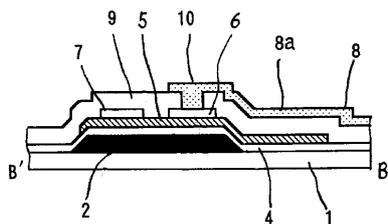
【図4】



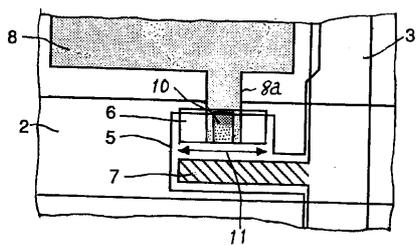
【図3】



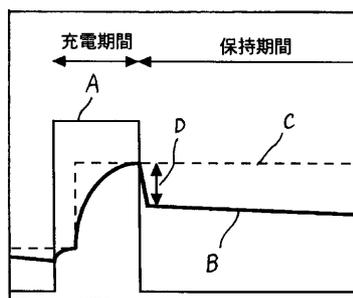
(b)



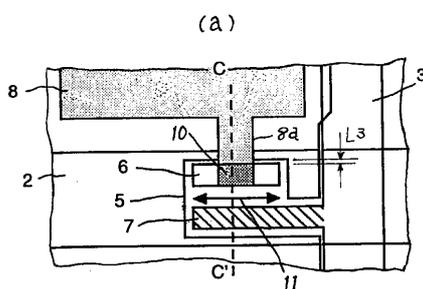
【図6】



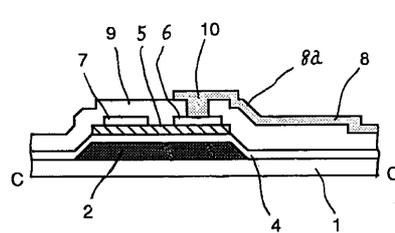
【図8】



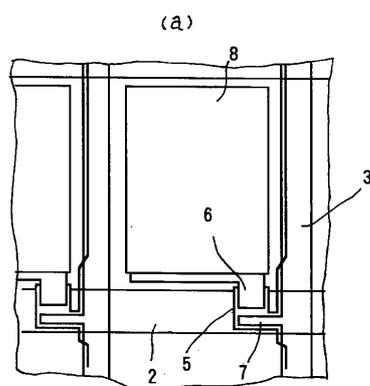
【図5】



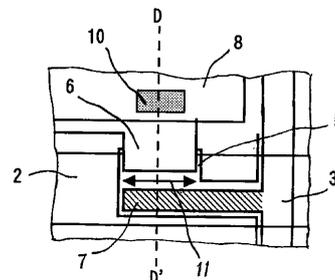
(b)



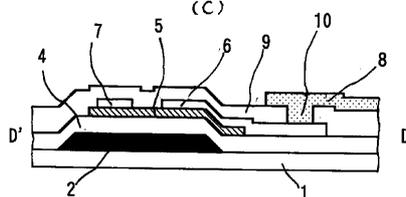
【図7】



(b)



(c)



フロントページの続き

(72)発明者 中川 直紀
 熊本県菊池郡西合志町御代志997番地 株
 式会社アドバンスト・ディスプレイ内

F ターム(参考) 2H092 JA26 JA29 JA30 JA32 JA36
JA42 JA44 JA46 JB23 JB38
NA01 NA23
5C094 AA42 BA03 BA43 CA19 DA13
EA04 EA05 EA07 EB02 ED02
5F110 AA02 AA30 CC07 EE04 EE44
FF30 GG23 GG26 GG45 HK04
HK33 HL07 HM02 HM05 NN02
NN24 NN72 QQ09

专利名称(译)	TFT阵列基板和使用其的液晶显示装置		
公开(公告)号	JP2002014371A	公开(公告)日	2002-01-18
申请号	JP2000193453	申请日	2000-06-27
申请(专利权)人(译)	有限公司高级显示		
[标]发明人	橋口隆史 山口偉久 中川直紀		
发明人	橋口 隆史 山口 偉久 中川 直紀		
IPC分类号	G02F1/136 G02F1/1343 G02F1/1368 G09F9/30 H01L27/12 H01L29/423 H01L29/786		
CPC分类号	G02F1/1368 H01L27/12 H01L29/42384		
FI分类号	G09F9/30.338 G02F1/136.500 H01L29/78.616.T H01L29/78.618.C G02F1/1368		
F-TERM分类号	2H092/JA26 2H092/JA29 2H092/JA30 2H092/JA32 2H092/JA36 2H092/JA42 2H092/JA44 2H092/JA46 2H092/JB23 2H092/JB38 2H092/NA01 2H092/NA23 5C094/AA42 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/EA04 5C094/EA05 5C094/EA07 5C094/EB02 5C094/ED02 5F110/AA02 5F110/AA30 5F110/CC07 5F110/EE04 5F110/EE44 5F110/FF30 5F110/GG23 5F110/GG26 5F110/GG45 5F110/HK04 5F110/HK33 5F110/HL07 5F110/HM02 5F110/HM05 5F110/NN02 5F110/NN24 5F110/NN72 5F110/QQ09 2H092/JB56 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB44 2H192/CC04 2H192/CC42 2H192/DA72 2H192/EA43 2H192/GA42		
其他公开文献	JP3881160B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：获得一种TFT阵列基板，其中在制造过程中不会出现诸如由于光刻设备的未对准引起的散粒不均匀和闪烁之类的显示缺陷。半导体层5的一部分的厚度和与跨越栅极电极2的端部的半导体层5重叠的漏极布线6a的宽度被设定为比漏极电极6的宽度窄，该漏极电极6是薄膜晶体管的沟道宽度15。结果，由用于对栅极布线2，漏极6和源极7进行构图的光刻设备的未对准导致的各次曝光之间的栅电极2和漏电极6之间的重叠区域的差异与常规TFT中的相同。由于尺寸小于结构的尺寸（图8），并且可以减小栅电极和漏电极的寄生电容的变化（作为馈通电压的参数），因此可以抑制诸如击打不均匀和闪烁之类的显示缺陷的发生。

