

(19)日本国特許庁 ( J P )

# (12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号

特開2000 - 347221

(P2000 - 347221A)

(43)公開日 平成12年12月15日(2000.12.15)

| (51)Int.Cl <sup>7</sup>                | 識別記号 | 庁内整理番号 | F I           | 技術表示箇所 |
|----------------------------------------|------|--------|---------------|--------|
| G 0 2 F 1/1368                         |      |        | G 0 2 F 1/136 | 500    |
|                                        |      |        | 1/1343        |        |
| H 0 1 L 21/28                          | 301  |        | H 0 1 L 21/28 | 301 R  |
|                                        |      |        | 21/306        | F      |
|                                        |      |        | 21/3205       | R      |
| 審査請求 未請求 請求項の数 21 O L ( 全 14数 ) 最終頁に続く |      |        |               |        |

(21)出願番号 特願2000 - 121367(P2000 - 121367)

(22)出願日 平成12年4月21日(2000.4.21)

(31)優先権主張番号 09/321.525

(32)優先日 平成11年5月27日(1999.5.27)

(33)優先権主張国 米国(US)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 シューシャン ヒー

アメリカ合衆国 ワシントン 98683, バ

ンクーバー, エスイー 168ティーエイチ

アベニュー 1820

(72)発明者 テュー ヌーエン

アメリカ合衆国 ワシントン 98683, バ

ンクーバー, エスイー 17ティーエイチ

プレイス 1603

(74)代理人 100078282

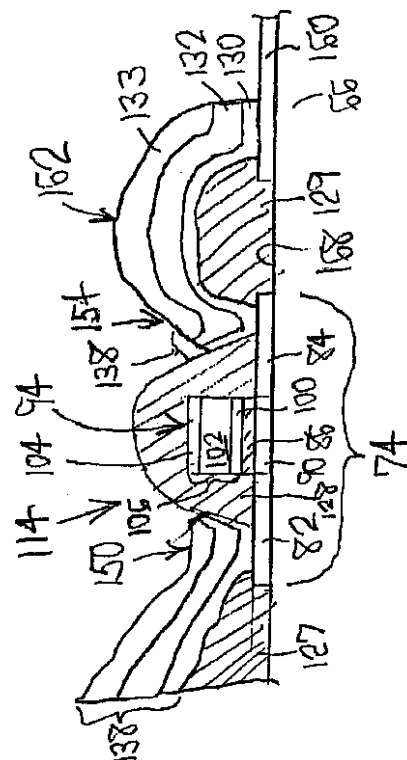
弁理士 山本 秀策

(54)【発明の名称】 液晶ディスプレイ画素アレイのための、銅金属配線を用いた多結晶シリコンT F Tを形成する方法。

(57)【要約】 (修正有)

【課題】 T F T L C D構造および多結晶シリコンT F T上に銅導電体を用いる。

【解決手段】 T F Tのソース、ドレインおよびチャネル領域を含むアクティブ領域と、チャネル領域に隣接する各アクティブ領域上のゲート電極ならびに各アクティブ領域のそれぞれのソースおよびドレイン領域上のソースおよびドレイン電極と、基板上の選択されたT F Tに作動的相互接続を提供するために基板上に形成された複数の導電線であって、導電線がゲート電極に作動的に接続された複数の第1の導電線と、各選択されたT F Tの第2の電極に作動的に接続された複数の第2の導電線とを含み、第2の電極がソースまたはドレイン電極である複数の導電線とを含み、基板上の第1および第2の導電線ならびに各T F T上で線が作動的に接続されるそれぞれのゲートおよび第2の電極が、T i N / C u / T i Nである第1 / 第2 / 第3の層を有する。



## 【特許請求の範囲】

【請求項 1】 複数の薄膜トランジスタ（ＴＦＴ）および作動的相互接続が基板上に形成された、液晶ディスプレイ（ＬＣＤ）構造であって、  
基板上に形成された多結晶シリコンの複数のアクティブ領域であって、それぞれのアクティブ領域がＴＦＴのソース、ドレインおよびチャネル領域を含むアクティブ領域と、  
該チャネル領域に隣接する各該アクティブ領域上のゲート電極ならびに各アクティブ領域のそれぞれのソースおよびドレイン領域上のソースおよびドレイン電極と、  
該基板上の選択されたＴＦＴに作動的相互接続を提供するために、該基板上に形成された複数の導電線であって、該導電線が、該ゲート電極に作動的に接続された複数の第 1 の導電線と、各選択されたＴＦＴの第 2 の電極に作動的に接続された複数の第 2 の導電線とを含み、該第 2 の電極が該ソースまたはドレイン電極である、複数の導電線と、を含み、  
該基板上の該第 1 および第 2 の導電線ならびに各ＴＦＴ上で該線が作動的に接続される該それぞれのゲートおよび第 2 の電極が、 $TiN/Cu/TiN$  である第 1 / 第 2 / 第 3 の層を有する、液晶ディスプレイ構造。

【請求項 2】 各ＴＦＴにおいて、前記ゲート電極、前記ソース電極、および前記ドレイン電極がすべて、 $TiN/Cu/TiN$  である第 1 / 第 2 / 第 3 の層を有する、請求項 1 に記載のＬＣＤ構造。

【請求項 3】 前記第 1 および第 2 の導電線の層、ならびに作動的に接続される前記それぞれのゲートおよび第 2 の電極が、以下の厚さ、 $TiN$  の第 1 の層が約 100 から 1500 の範囲の厚さであり、銅の第 2 の層が約 1000 から 10,000 の範囲の厚さであり、 $TiN$  の第 3 の層が約 100 から 1500 の範囲の厚さ、を有する、請求項 1 に記載のＬＣＤ構造。

【請求項 4】 基板上に形成された複数の薄膜トランジスタ（ＴＦＴ）を含む液晶ディスプレイ（ＬＣＤ）画素アレイであって、各ＴＦＴが、  
該基板上の多結晶シリコンのアクティブ領域であって、該ＴＦＴのソース、ドレインおよびチャネル領域を含むアクティブ領域と、  
該アクティブ領域上のゲート、ソースおよびドレイン電極であって、該ゲート、ソースおよびドレイン電極が、それぞれ $TiN/Cu/TiN$  の第 1 / 第 2 / 第 3 の層を有するゲート、ソースおよびドレイン電極と、を含む、液晶ディスプレイ（ＬＣＤ）画素アレイ。

【請求項 5】 前記ゲート、ソースおよびドレイン電極の層が、以下の厚さ、 $TiN$  の第 1 の層が約 100 から 1500 の範囲の厚さであり、銅の第 2 の層が約 1000 から 10,000 の範囲の厚さであり、 $TiN$  の第 3 の層が約 100 から 1500 の範囲の厚さ、を有する、請求項 4 に記載のＬＣＤ画素アレイ。

【請求項 6】 基板上に形成された複数の薄膜トランジスタ（ＴＦＴ）を含む液晶ディスプレイ（ＬＣＤ）画素アレイであって、各ＴＦＴが、  
該基板上の多結晶シリコンのアクティブ領域であって、該ＴＦＴのソース、ドレインおよびチャネル領域を含むアクティブ領域と、  
該チャネル領域と、該それぞれのソースおよびドレイン領域上のソースおよびドレイン電極とに隣接した該アクティブ領域上のゲート電極であって、該ゲート、ソースおよびドレイン電極がそれぞれ $TiN/Cu/TiN$  の第 1 / 第 2 / 第 3 の層を有するゲート、ソースおよびドレイン電極と、  
該基板上にわたって行および列を形成する第 1 および第 2 の導電線のグリッドであって、該導電線が該ＴＦＴに作動的に接続されており、これにより個々のＴＦＴがアドレス可能であり、該導電線がそれぞれ $TiN/Cu/TiN$  の第 1 / 第 2 / 第 3 の層を有する、グリッドと、を含む液晶ディスプレイ（ＬＣＤ）画素アレイ。

【請求項 7】 前記ゲート、ソースおよびドレイン電極の層、ならびに前記導電線が、以下の厚さ、 $TiN$  の第 1 の層が約 100 から 1500 の範囲の厚さであり、銅の第 2 の層が約 1000 から 10,000 の範囲の厚さであり、 $TiN$  の第 3 の層が約 100 から 1500 の範囲の厚さ、を有する、請求項 6 に記載のＬＣＤ画素アレイ。

【請求項 8】 多結晶シリコンの層を形成されたＬＣＤ基板上の液晶ディスプレイ（ＬＣＤ）構造を形成する方法であって、該方法が、  
該多結晶シリコンをパターニングして、該基板上に複数のアクティブ領域を形成し、各アクティブ領域上にソース、ドレインおよびチャネル領域を形成し、それぞれのチャネル領域上にゲート誘電体を堆積することにより、複数の薄膜トランジスタ（ＴＦＴ）を提供する工程と、  
基板および構造上に、第 1 の導電体を堆積させる工程であって、該第 1 の導電体が、 $TiN/Cu/TiN$  である第 1 / 第 2 / 第 3 の層を有する、工程と、  
該第 1 の導電体をパターニングし、該基板上に複数の第 1 の導電線を形成して、各該ＴＦＴ構造上に第 1 の電極を形成する工程であって、該線および電極が $TiN/Cu/TiN$  である第 1 / 第 2 / 第 3 の層を有する、工程と、  
誘電層を堆積およびパターニングし、導体間絶縁を提供する工程と、  
 $TiN/Cu/TiN$  である第 1 / 第 2 / 第 3 の層を有する第 2 の導電体を堆積させる工程と  
該第 2 の導電体をパターニングし、該基板上に複数の第 2 の導電線を形成して、各該ＴＦＴ構造上に第 2 の電極を形成する工程であって、該線および電極が $TiN/Cu/TiN$  である第 1 / 第 2 / 第 3 の層を有する、工程と、を含む、方法。

【請求項 9】 前記第 1 の導電体を堆積する前記工程が、物理蒸着法（PVD）により、TiN の第 1 の層を堆積する工程と、CVD により、TiN の該第 1 の層上に Cu の第 2 の層を堆積する工程と、PVD により、Cu の該第 2 の層上に TiN の第 3 の層を堆積する工程と、を包含する、請求項 8 に記載の方法。

【請求項 10】 前記第 1 の導電体を堆積する前記工程 10 が、TiN の第 1 の層を約 100 から 1500 の範囲の厚さで堆積する工程と、銅の第 2 の層を約 1000 から 10,000 の範囲の厚さで TiN の第 1 の層上に堆積する工程と、TiN の第 3 の層を約 100 から 1500 の範囲の厚さで Cu の第 2 の層上に堆積する工程と、をさらに含む、請求項 8 に記載の方法。

【請求項 11】 前記第 1 の導電体を堆積する前記工程の後に、CVD により前記誘電層を堆積する工程を含 20 む、請求項 8 に記載の方法。

【請求項 12】 前記第 2 の導電体を堆積する前記工程が、物理蒸着法（PVD）により、TiN の第 1 の層を堆積する工程と、CVD により、TiN の該第 1 の層上に Cu の第 2 の層を堆積する工程と、PVD により、Cu の該第 2 の層上に TiN の第 3 の層を堆積する工程と、を包含する、請求項 11 に記載の方法。 30

【請求項 13】 前記第 2 の導電体を堆積する前記工程が、TiN の第 1 の層を約 100 から 1500 の範囲の厚さで堆積する工程と、Cu の第 2 の層を約 1000 から 10,000 の範囲の厚さで TiN の第 1 の層上に堆積する工程と、TiN の第 3 の層を約 100 から 1500 の範囲の厚さで Cu の第 2 の層上に堆積する工程と、をさらに含む、請求項 12 に記載の方法。

【請求項 14】 前記第 1 の導電体をパターニングする 40 前記工程が、該第 1 の導電体上にフォトリソパターンを形成する工程と、TiN をエッチングするためにウェットエッチングプロセスを用いて、前記第 3 の層をエッチングする工程と、Cu をエッチングするためにウェットエッチングプロセスを用いて、前記第 2 の層をエッチングする工程と、TiN をエッチングするためにウェットエッチングプロセスを用いて、前記第 1 の層をエッチングする工程と、該フォトリソパターンを除去する工程と、を包含す 50

る、請求項 8 に記載の方法。

【請求項 15】 前記第 2 の導電体をパターニングする前記工程が、該第 2 の導電体上にフォトリソパターンを形成する工程と、TiN をエッチングするためにウェットエッチングプロセスを用いて、前記第 3 の層をエッチングする工程と、Cu をエッチングするためにウェットエッチングプロセスを用いて、前記第 2 の層をエッチングする工程と、TiN をエッチングするためにウェットエッチングプロセスを用いて、前記第 1 の層をエッチングする工程と、該フォトリソパターンを除去する工程と、をさらに含む、請求項 14 に記載の方法。

【請求項 16】 前記 LCD 画素アレイ構造の前記 TFT が、ゲート、ソースおよびドレイン電極を含み、前記第 1 の導電体をパターニングする前記工程は、該ゲート、ソースまたはドレイン電極のいずれかである第 1 の電極を形成し、前記第 2 の導体をパターニングする前記工程は、形成された該第 1 の電極が該ソースまたはドレイン電極である場合には該ゲート電極として、形成された該第 1 の電極が該ゲート電極である場合、該ソースまたはドレイン電極のいずれかとして、第 2 の電極を形成し、形成された該第 1 の電極が該ソースまたはドレイン電極のいずれかである場合、該第 1 の導体をパターニングする該工程の間に第 3 の電極を形成する工程であって、形成された該第 1 の電極が該ドレイン電極である場合には、該第 3 の電極は該ソース電極であり、形成された該第 1 の電極が該ソース電極である場合には、該第 3 の電極は該ドレイン電極である工程、または、形成された該第 1 の電極が該ゲート電極である場合、該第 2 の導体をパターニングする該工程の間に第 3 の電極を形成する工程であって、形成された該第 2 の電極が該ドレイン電極である場合には、該第 3 の電極は該ソース電極であり、形成された該第 2 の電極が該ソース電極である場合には、該第 3 の電極は該ドレイン電極である工程、を、さらに含み、該第 3 の電極が、TiN / Cu / TiN の第 1 / 第 2 / 第 3 の層を有する、請求項 8 に記載の方法。

【請求項 17】 多結晶シリコンの層が形成された LCD 上の液晶ディスプレイ（LCD）画素アレイ構造を形成する方法であって、該方法が、該多結晶シリコンをパターニングして、該基板上に複数のアクティブ領域を形成し、各アクティブ領域上にソース、ドレインおよびチャネル領域を形成し、それぞれのチャネル領域上にゲート誘電体を堆積することにより、複数の薄膜トランジスタ（TFT）構造を提供する工程と、基板および構造上に、第 1 の導電体を形成する工程であって、該第 1 の導電体が、TiN / Cu / TiN である

第 1 / 第 2 / 第 3 の層を有する、工程と、  
 該第 1 の導電体をパターニングし、該基板上に複数の第 1 の導電線を形成して、各該 T F T 構造上にゲート電極を形成する工程であって、該ゲート電極が該第 1 の導電線の選択された線と一体であり、該線およびゲート電極が T i N / C u / T i N である第 1 / 第 2 / 第 3 の層を有する、工程と、  
 誘電層を堆積およびパターニングし、導体間絶縁を提供する工程と、  
 T i N / C u / T i N である第 1 / 第 2 / 第 3 の層を有 10 する第 2 の導電体を堆積する工程と、  
 該第 2 の導電体をパターニングし、該基板上に複数の第 2 の導電線を形成して、各該 T F T 構造上にソースおよびドレイン電極を形成する工程であって、各該 T F T 構造の該ソースおよびドレイン電極のいずれか 1 つが、該第 2 の導電線の選択された線と一体であり、該線ならびに該ソースおよびドレイン電極が T i N / C u / T i N である第 1 / 第 2 / 第 3 の層を有する、工程と、を含む、方法。  
 【請求項 18】 前記第 1 の導電体を堆積する前記工程 20 が、  
 約 100 から 1500 の範囲の厚さを有する T i N の第 1 の層を堆積する工程と、  
 約 1000 から 10,000 の範囲の厚さを有する C u の第 2 の層を T i N の第 1 の層に堆積する工程と、  
 約 100 から 1500 の範囲の厚さを有する T i N の第 3 の層を C u の第 2 の層に堆積する工程と、をさらに含む、請求項 17 に記載の方法。  
 【請求項 19】 前記第 2 の導電体を堆積する前記工程 30 が、  
 約 100 から 1500 の範囲の厚さを有する T i N の第 1 の層を堆積する工程と、  
 約 1000 から 10,000 の範囲の厚さを有する C u の第 2 の層を T i N の第 1 の層に堆積する工程と、  
 約 100 から 1500 の範囲の厚さを有する T i N の第 3 の層を C u の第 2 の層に堆積する工程と、をさらに含む、請求項 17 に記載の方法。  
 【請求項 20】 前記第 1 の導電体をパターニングする前記工程が、  
 該第 1 の導電体上にフォトリソパターンを形成する 40 工程と、  
 T i N をエッチングするためにウェットエッチングプロセスを用いて、前記第 3 の層をエッチングする工程と、  
 C u をエッチングするためにウェットエッチングプロセスを用いて、前記第 2 の層をエッチングする工程と、  
 T i N をエッチングするためにウェットエッチングプロセスを用いて、前記第 1 の層をエッチングする工程と、  
 該フォトリソパターンを除去する工程と、を含む、請求項 17 に記載の方法。  
 【請求項 21】 前記第 2 の導電体をパターニングする 50

前記工程が、  
 該第 2 の導電体上にフォトリソパターンを形成する工程と、  
 T i N をエッチングするためにウェットエッチングプロセスを用いて、前記第 3 の層をエッチングする工程と、  
 C u をエッチングするためにウェットエッチングプロセスを用いて、前記第 2 の層をエッチングする工程と、  
 T i N をエッチングするためにウェットエッチングプロセスを用いて、前記第 1 の層をエッチングする工程と、  
 該フォトリソパターンを除去する工程と、をさらに含む、請求項 20 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的に液晶ディスプレイ ( L C D ) に関し、より詳細には、多結晶シリコン薄膜トランジスタ ( T F T ) L C D 上への銅電極および導電線の形成に関する。

【0002】

【従来の技術】液晶ディスプレイ ( L C D ) は、矩形のアレイ内に多数の画素要素または画素を有する。各画素は、好ましくは薄膜トランジスタ ( T F T ) などの能動素子により制御される。ディスプレイを制御するドライバ回路は、行と列で配列された金属線のグリッドにより個々の画素 T F T に接続される。各ピクセルは、能動マトリックス L C D 内で個別にアドレス可能である。平行線 ( 「ゲート線」 ) の一組は、画素アレイ内の T F T のゲートに作動的に接続されている。交差線は、各 T F T のソースまたはドレインに接続されている ( 本明細書では便宜上「ソース線」と称する ) 。ソース線に接続されていない、各 T F T の他のソース / ドレイン電極は画素電極に結合され、T F T がオンになると画素電極に電圧が印加される。

【0003】大画面 L C D パネルの開発および製造の限界は、ディスプレイの個々の画素にアドレスするために使用される金属ゲートおよびソース線における高い抵抗である。アルミニウムおよびアルミニウム合金が、比較的低抵抗 ( 3 ~ 4  $\mu\Omega$  - c m ) なので、ゲートおよびソース線にしばしば用いられてきた。しかしアルミニウムは、ヒロック形成に関して加工の問題を提起する。タンタルまたはクロムなど他の金属は、高抵抗など異なる問題を提起する。

【0004】ゲートおよびソース線の抵抗は、L C D がサイズにおいて大きくなるにつれ、ますます問題となっている。配線抵抗は、信号パルスの減衰および歪みを生じ、不均一な画像および輝度むらの原因となる。より幅広く太い配線に変更することは、多くの L C D アプリケーションにおいて選択肢ではない。より幅広いゲートおよびソース線は、L C D 上の画素アパーチャを低減する。金属線の太さを増大させることは、加工の困難を提起する。L C D パネルは集積回路 ( I C ) チップより遙

かに長い配線を有するので、配線抵抗の問題は、ICよりもLCDにおける方が深刻である。

#### 【0005】

【発明が解決しようとする課題】現在ICには銅金属配線が使用されており、銅の加工に関する問題と利点は現在公知である。半導体加工において使用される銅のアルミニウムおよび他の金属に対する利点は、銅が低抵抗を有することである( $1.7\mu\Omega\cdot\text{cm}$ )。しかし、非常に扱いが困難である。銅は酸化物やガラスへの付着が不十分である。銅からの汚染物質は、薄膜トランジスタ(TFT)チャネル領域内のシリコンを著しく劣化させ、小数担体の寿命を低減し、素子の性能を著しく劣化させる。ICおよび多くのLCD製造プロセスにおいて必要な加熱工程は、隣接するシリコン領域への銅拡散の割合と深刻さを増大させる。これらの接着および拡散問題の解決策の1つは、障壁材料で銅を覆うか、または包むことである。

【0006】銅導電体は、非晶質シリコンTFTのLCDにおいて使用されてきた。非晶質シリコンTFTは、窒化シリコン(SiN)をゲート絶縁体とする底面ゲートアーキテクチャを用いる。そのような非晶質シリコンTFTは、TFTの加工に必要な加熱工程の間においてさえ、窒化シリコンが効果的な拡散障壁として働くので、幾分便利であることが証明されてきた。そのような底面ゲートアーキテクチャは、金属導電体がまず堆積され、シリコンを結晶化させるのに必要な温度が金属を溶かしてしまうので、多結晶シリコンTFTでは不可能である。多結晶シリコン(「ポリシリコン」または「ポリSi」とも呼ばれる)TFTは、多結晶シリコンのより高い担体移動度ゆえに、非晶質シリコンTFTに対し性能面において利点を有する。しかし、多結晶シリコンを使用するためには、上面ゲートTFTアーキテクチャを使用する必要がある。上面ゲートTFTアーキテクチャは、ガラス基板に付けたシリコンが、金属電極ならびにゲートおよびソース配線の取り付けより前に結晶化されることを可能にする。

【0007】多結晶シリコン中に形成された上面ゲートTFTでは、好適なゲート絶縁体は二酸化シリコンであり、二酸化シリコンは窒化シリコンに伴う過度の欠陥密度を回避する。しかしながら、二酸化シリコンは、銅に対する拡散障壁として、窒化シリコンほど効果的ではない。これは、これまで多結晶シリコンTFTに銅ゲートが使用されてこなかった理由の1つである。別な理由は、銅と二酸化シリコンとの間の不十分な付着である。

【0008】LCD上の多結晶シリコンにおいて、アルミニウムや他のほとんどの金属と比べた銅の低抵抗率を利用して、銅ゲートおよびソース配線を使用したTFTを形成するプロセスを有することは有利である。

【0009】また、ウェットエッチングプロセスを用いて、ゲートおよびソース配線を含んだ、画素アレイの金

属領域を定義する多結晶シリコンにおいて形成されるLCDのTFT上に、銅金属ゲートおよびソース/ドレイン電極を形成する方法を有することも有利である。

【0010】従って本発明では、基板上に複数の薄膜トランジスタ(TFT)および作動配線を有する液晶ディスプレイ(LCD)構造が提供される。この構造は、好適にはガラス等であるLCD基板上に形成された複数の多結晶シリコン作用面積を含む。各作用面積は、TFTのソース、ドレイン、およびチャネル領域を含む。各作用面積のゲート電極は、チャネル領域に隣接して形成される。ソースおよびドレイン電極は、各作用面積のそれぞれのソースおよびドレイン領域に形成される。複数の導電線が基板上に形成され、基板上の選択されたTFTに作動的配線を提供する。導電線は、各選択されたTFTの、ゲート電極に作動的に接続された複数の第1の導電線と、第2の電極に作動的に接続された第2の導電線とを含む。第2の電極はソースまたはドレイン電極のいずれかである。その他のソースまたはドレイン電極は、第2の導電線に作動的に接続されておらず、好適には透明画素電極に接続されている。各TFT上で配線が作動的に接続されている、基板上の第1および第2の導電線、ならびにそれぞれのゲートおよび第2の電極は、第1/第2/第3の層をTiN/Cu/TiNのように有する多層構造である。

【0011】本発明によるLCD構造に使用される導電線および電極の構造の断面の好適な寸法は以下になる。TiNの第1の層は約100 から1500 の範囲の厚さを有する。銅の第2の層が約1000 から10,000 の範囲の厚さを有する。さらに、TiNの第3の層が約100 から1500 の範囲の厚さを有する。

【0012】LCD構造は、本発明の方法により形成される。多結晶シリコンの層を表面に形成されたLCD基板上にLCD構造を形成する方法が使用される。この方法は、以下の工程を含む。基板上に多結晶シリコンをパターニングすることにより、複数の薄膜トランジスタが備えられる。パターニングは、基板上に複数のアクティブ領域を形成する。各アクティブ領域は、ソース、ドレインおよびチャネル領域を形成し、各チャネル領域上にゲート誘電体を堆積することにより形成される。次に、第1の導電層または導電体が、基板と、基板上にすでに形成された構造上に堆積される。第1の導電体は、TiN/Cu/TiNの第1/第2/第3の層を有する。次に、第1の導電体はパターニングされて、基板上に第1の導電線を形成し、各TFT構造上に第1の電極を形成する。この導電線と電極は、TiN/Cu/TiNの第1/第2/第3の層を有する。次に、すでに形成された構造上に誘電層が堆積され、パターニングされて、導体間絶縁を提供する。次に基板および構造上に第2の導電体が堆積される。第2の導電体は、TiN/Cu/T

i N の第 1 / 第 2 / 第 3 の層を有する。最後に、第 2 の導電体がパターンニングされて、基板上に複数の第 2 の導電線を形成し、各 T F T 構造上に第 2 の電極を形成する。第 2 の導電線および電極は、T i N / C u / T i N の第 1 / 第 2 / 第 3 の層を有する。

【0013】本発明の好適な実施形態では、基板および構造上に第 1 の導電体を堆積する工程は、以下の工程を含む。T i N の第 1 の層は、スパッタリングとしても知られる、物理蒸着法 ( P V D ) により堆積される。次に T i N の第 1 の層の上に銅の第 2 の層が、化学蒸着法 ( C V D ) により堆積される。次に、銅の第 2 の層の上に T i N の第 3 の層が、P V D により堆積される。

【0014】第 1 および第 2 の導電体を堆積する工程の間に堆積される様々な層のそれぞれの厚さは、好適には以下の範囲である。T i N の第 1 の層は、約 100 から 1500 の範囲の厚さで堆積される。銅の第 2 の層は、T i N の第 1 の層の上に、約 1000 から 10,000 の範囲の厚さで堆積される。さらに、T i N の第 3 の層が、銅の第 2 の層の上に、約 100 から 1500 の範囲の厚さで堆積される。

【0015】第 1 の導電層 ( T i N / C u / T i N ) および第 2 の導電層 ( T i N / C u / T i N ) をパターンニングする工程は、好適には、導電体の上側表面にフォトリソをまず堆積してパターンニングするウェットエッチングプロセスにより行われる。次に T i N の第 1 の層が T i N エッチャントでのエッチングにより除去される。次に銅の第 2 の層が銅エッチャントでのエッチングにより除去される。次に第 3 の層 ( T i N ) が T i N エッチャントでのエッチングにより除去される。最後に、エッチングされない領域の表面からフォトリソが除

【0016】本方法は、T F T のソースまたはドレインに接続された電極と、一般的に同時に堆積される第 3 の電極の堆積工程も提供し、画素電極への作動的接続を提供する。

【0017】

【課題を解決するための手段】本発明の 1 局面において、複数の薄膜トランジスタ ( T F T ) および作動的相互接続が基板上に形成された液晶ディスプレイ ( L C D ) 構造は、基板上に形成された多結晶シリコンの複数のアクティブ領域であって、それぞれのアクティブ領域が T F T のソース、ドレインおよびチャネル領域を含むアクティブ領域と、該チャネル領域に隣接する各該アクティブ領域上のゲート電極ならびに各アクティブ領域のそれぞれのソースおよびドレイン領域上のソースおよびドレイン電極と、該基板上の選択された T F T に作動的相互接続を提供するために、該基板上に形成された複数の導電線であって、該導電線が、該ゲート電極に作動的に接続された複数の第 1 の導電線と、各選択された T F T の第 2 の電極に作動的に接続された複数の第 2 の導電

線とを含み、該第 2 の電極が該ソースまたはドレイン電極である、複数の導電線と、を含み、該基板上の該第 1 および第 2 の導電線ならびに各 T F T 上で該線が作動的に接続される該それぞれのゲートおよび第 2 の電極が、T i N / C u / T i N である第 1 / 第 2 / 第 3 の層を有する。

【0018】各 T F T において、前記ゲート電極、前記ソース電極、および前記ドレイン電極がすべて、T i N / C u / T i N である第 1 / 第 2 / 第 3 の層を有してもよい。

【0019】前記第 1 および第 2 の導電線の層、ならびに作動的に接続される前記それぞれのゲートおよび第 2 の電極が、以下の厚さ、T i N の第 1 の層が約 100 から 1500 の範囲の厚さであり、銅の第 2 の層が約 1000 から 10,000 の範囲の厚さであり、T i N の第 3 の層が約 100 から 1500 の範囲の厚さ、を有してもよい。

【0020】本発明の 1 局面において、基板上に形成された複数の薄膜トランジスタ ( T F T ) を含む液晶ディスプレイ ( L C D ) 画素アレイは、各 T F T が、該基板上の多結晶シリコンのアクティブ領域であって、該 T F T のソース、ドレインおよびチャネル領域を含むアクティブ領域と、該アクティブ領域上のゲート、ソースおよびドレイン電極であって、該ゲート、ソースおよびドレイン電極が、それぞれ T i N / C u / T i N の第 1 / 第 2 / 第 3 の層を有するゲート、ソースおよびドレイン電極と、を含む。

【0021】前記ゲート、ソースおよびドレイン電極の層が、以下の厚さ、T i N の第 1 の層が約 100 から 1500 の範囲の厚さであり、銅の第 2 の層が約 1000 から 10,000 の範囲の厚さであり、T i N の第 3 の層が約 100 から 1500 の範囲の厚さ、を有してもよい。

【0022】本発明の 1 局面において、基板上に形成された複数の薄膜トランジスタ ( T F T ) を含む液晶ディスプレイ ( L C D ) 画素アレイは、各 T F T が、該基板上の多結晶シリコンのアクティブ領域であって、該 T F T のソース、ドレインおよびチャネル領域を含むアクティブ領域と、該チャネル領域と、該それぞれのソースおよびドレイン領域上のソースおよびドレイン電極とに隣接した該アクティブ領域上のゲート電極であって、該ゲート、ソースおよびドレイン電極がそれぞれ T i N / C u / T i N の第 1 / 第 2 / 第 3 の層を有するゲート、ソースおよびドレイン電極と、該基板上にわたって行および列を形成する第 1 および第 2 の導電線のグリッドであって、該導電線が該 T F T に作動的に接続されており、これにより個々の T F T がアドレス可能であり、該導電線がそれぞれ T i N / C u / T i N の第 1 / 第 2 / 第 3 の層を有する、グリッドと、を含む。

【0023】前記ゲート、ソースおよびドレイン電極の

層、ならびに前記導電線が、以下の厚さ、TiNの第1の層が約100 から1500 の範囲の厚さであり、銅の第2の層が約1000 から10,000 の範囲の厚さであり、TiNの第3の層が約100 から1500 の範囲の厚さ、を有してもよい。

【0024】本発明の1局面において、多結晶シリコンの層を形成されたLCD基板上的液晶ディスプレイ(LCD)構造を形成する方法が、該多結晶シリコンをパターニングして、該基板上に複数のアクティブ領域を形成し、各アクティブ領域上にソース、ドレインおよびチャネル領域を形成し、それぞれのチャネル領域上にゲート誘電体を堆積することにより、複数の薄膜トランジスタ(TFT)を提供する工程と、基板および構造上に、第1の導電体を堆積させる工程であって、該第1の導電体が、TiN/Cu/TiNである第1/第2/第3の層を有する、工程と、該第1の導電体をパターニングし、該基板上に複数の第1の導電線を形成して、各該TFT構造上に第1の電極を形成する工程であって、該線および電極がTiN/Cu/TiNである第1/第2/第3の層を有する、工程と、誘電層を堆積およびパターニングし、導体間絶縁を提供する工程と、TiN/Cu/TiNである第1/第2/第3の層を有する第2の導電体を堆積させる工程と、該第2の導電体をパターニングし、該基板上に複数の第2の導電線を形成して、各該TFT構造上に第2の電極を形成する工程であって、該線および電極がTiN/Cu/TiNである第1/第2/第3の層を有する、工程と、を含む。

【0025】前記第1の導電体を堆積する前記工程が、物理蒸着法(PVD)により、TiNの第1の層を堆積する工程と、CVDにより、TiNの該第1の層上にCuの第2の層を堆積する工程と、PVDにより、Cuの該第2の層上にTiNの第3の層を堆積する工程と、を包含してもよい。

【0026】前記第1の導電体を堆積する前記工程が、TiNの第1の層を約100 から1500 の範囲の厚さで堆積する工程と、銅の第2の層を約1000 から10,000 の範囲の厚さでTiNの第1の層上に堆積する工程と、TiNの第3の層を約100 から1500 の範囲の厚さでCuの第2の層上に堆積する工程と、をさらに含んでもよい。

【0027】前記第1の導電体を堆積する前記工程の後に、CVDにより前記誘電層を堆積する工程を含んでもよい。

【0028】前記第2の導電体を堆積する前記工程が、物理蒸着法(PVD)により、TiNの第1の層を堆積する工程と、CVDにより、TiNの該第1の層上にCuの第2の層を堆積する工程と、PVDにより、Cuの該第2の層上にTiNの第3の層を堆積する工程と、を包含してもよい。

【0029】前記第2の導電体を堆積する前記工程が、

TiNの第1の層を約100 から1500 の範囲の厚さで堆積する工程と、Cuの第2の層を約1000 から10,000 の範囲の厚さでTiNの第1の層上に堆積する工程と、TiNの第3の層を約100 から1500 の範囲の厚さでCuの第2の層上に堆積する工程と、をさらに含んでもよい。

【0030】前記第1の導電体をパターニングする前記工程が、該第1の導電体上にフォトリソパターンを形成する工程と、TiNをエッチングするためにウェットエッチングプロセスを用いて、前記第3の層をエッチングする工程と、Cuをエッチングするためにウェットエッチングプロセスを用いて、前記第2の層をエッチングする工程と、TiNをエッチングするためにウェットエッチングプロセスを用いて、前記第1の層をエッチングする工程と、該フォトリソパターンを除去する工程と、を包含してもよい。

【0031】前記第2の導電体をパターニングする前記工程が、該第2の導電体上にフォトリソパターンを形成する工程と、TiNをエッチングするためにウェットエッチングプロセスを用いて、前記第3の層をエッチングする工程と、Cuをエッチングするためにウェットエッチングプロセスを用いて、前記第2の層をエッチングする工程と、TiNをエッチングするためにウェットエッチングプロセスを用いて、前記第1の層をエッチングする工程と、該フォトリソパターンを除去する工程と、をさらに含んでもよい。

【0032】前記LCD画素アレイ構造の前記TFTが、ゲート、ソースおよびドレイン電極を含み、前記第1の導電体をパターニングする前記工程は、該ゲート、ソースまたはドレイン電極のいずれかである第1の電極を形成し、前記第2の導体をパターニングする前記工程は、形成された該第1の電極が該ソースまたはドレイン電極である場合には該ゲート電極として、形成された該第1の電極が該ゲート電極である場合、該ソースまたはドレイン電極のいずれかとして、第2の電極を形成し、形成された該第1の電極が該ソースまたはドレイン電極のいずれかである場合、該第1の導体をパターニングする該工程の間に第3の電極を形成する工程であって、形成された該第1の電極が該ドレイン電極である場合には、該第3の電極は該ソース電極であり、形成された該第1の電極が該ソース電極である場合には、該第3の電極は該ドレイン電極である工程、または形成された該第1の電極が該ゲート電極である場合、該第2の導体をパターニングする該工程の間に第3の電極を形成する工程であって、形成された該第2の電極が該ドレイン電極である場合には、該第3の電極は該ソース電極であり、形成された該第2の電極が該ソース電極である場合には、該第3の電極は該ドレイン電極である工程、を、さらに含み、該第3の電極が、TiN/Cu/TiNの第1/第2/第3の層を有してもよい。

【0033】本発明の1局面において、多結晶シリコンの層が形成されたLCD上の液晶ディスプレイ(LCD)画素アレイ構造を形成する方法が、該多結晶シリコンをパターンニングして、該基板上に複数のアクティブ領域を形成し、各アクティブ領域上にソース、ドレインおよびチャネル領域を形成し、それぞれのチャネル領域上にゲート誘電体を堆積することにより、複数の薄膜トランジスタ(TFT)構造を提供する工程と、基板および構造上に、第1の導電体を形成する工程であって、該第1の導電体が、TiN/Cu/TiNである第1/第2/第3の層を有する、工程と、該第1の導電体をパターンニングし、該基板上に複数の第1の導電線を形成して、各該TFT構造上にゲート電極を形成する工程であって、該ゲート電極が該第1の導電線の選択された線と一体であり、該線およびゲート電極がTiN/Cu/TiNである第1/第2/第3の層を有する、工程と、誘電層を堆積およびパターンニングし、導体間絶縁を提供する工程と、TiN/Cu/TiNである第1/第2/第3の層を有する第2の導電体を堆積する工程と該第2の導電体をパターンニングし、該基板上に複数の第2の導電線を形成して、各該TFT構造上にソースおよびドレイン電極を形成する工程であって、各TFT構造の該ソースおよびドレイン電極のいずれか1つが、該第2の導電線の選択された線と一体であり、該線ならびにソースおよびドレイン電極がTiN/Cu/TiNである第1/第2/第3の層を有する、工程と、を含む。

【0034】前記第1の導電体を堆積する前記工程が、約100 から1500 の範囲の厚さを有するTiNの第1の層を堆積する工程と、約1000 から10,000 の範囲の厚さを有するCuの第2の層をTiNの第1の層に堆積する工程と、約100 から1500 の範囲の厚さを有するTiNの第3の層をCuの第2の層に堆積する工程と、をさらに含んでもよい。

【0035】前記第2の導電体を堆積する前記工程が、約100 から1500 の範囲の厚さを有するTiNの第1の層を堆積する工程と、約1000 から10,000 の範囲の厚さを有するCuの第2の層をTiNの第1の層に堆積する工程と、約100 から1500 の範囲の厚さを有するTiNの第3の層をCuの第2の層に堆積する工程と、をさらに含んでもよい。

【0036】前記第1の導電体をパターンニングする前記工程が、該第1の導電体上にフォトリソパターンを形成する工程と、TiNをエッチングするためにウェットエッチングプロセスを用いて、前記第3の層をエッチングする工程と、Cuをエッチングするためにウェットエッチングプロセスを用いて、前記第2の層をエッチングする工程と、TiNをエッチングするためにウェットエッチングプロセスを用いて、前記第1の層をエッチングする工程と、該フォトリソパターンを除去する工程と、を含んでもよい。

【0037】前記第2の導電体をパターンニングする前記工程が、該第2の導電体上にフォトリソパターンを形成する工程と、TiNをエッチングするためにウェットエッチングプロセスを用いて、前記第3の層をエッチングする工程と、Cuをエッチングするためにウェットエッチングプロセスを用いて、前記第2の層をエッチングする工程と、TiNをエッチングするためにウェットエッチングプロセスを用いて、前記第1の層をエッチングする工程と、該フォトリソパターンを除去する工程と、をさらに含んでもよい。

【0038】

【発明の実施の形態】図1は、LCDパネルの一部を部分的に切り取って個々の画素の構造を示した図である。ディスプレイ10は、典型的にはガラスまたは他の適切な透明材料で形成されるLCD基板12を含む。LCD基板12とこれに平行に設けられた基板14の間には、液晶材料16が封入されている。画素アレイ基板12の表面は、複数の薄膜トランジスタ(TFT)20が形成された多結晶シリコン層で覆われている。TFTは、インジウムスズ酸化物(ITO)のような透明な導電性材料で形成された画素電極22のスイッチング素子として機能する。行方向に延びる複数の導体30とこれに交わる列方向に延びる複数の導体32は、TFT20と適切な駆動回路(図示せず)との間に作動的な電氣的相互接続を提供する。

【0039】典型的に、LCDパネルは画素アレイ基板12に設けられる第1の偏光フィルタ(図示せず)を含む。第1の偏光フィルタとは異なる方向に配向された第2の偏光フィルタ(図示せず)は、第2の基板14に設けられる。液晶材料16は、画素22をオンにするときにくっきりと(well-defined manner)入射光を回転させる分子を含む。従って、パネル12および画素電極22を通過した光は、画素電極22がオンのとき、液晶材料16によって回転されて基板14を通過する。画素がオフのとき、偏光された光は回転せず、それゆえ第2の偏光素子を通過しない。パネル12上の画素アレイを所定のパターンでオン/オフすることで画像を生じさせる。

【0040】図2は、画素アレイ基板12上の単一の画素40(TFT20と画素電極22)の平面図である。導電性の配線30と32は基板12上の選択されたTFTに作動的相互接続を提供する。複数の平行なゲート線30のそれぞれは、そのゲート線に沿って設けられた全てのTFTのゲート電極48と一体である。複数の平行なソース線32のそれぞれは、そのソース線に沿って設けられた全てのTFTのソース電極50と一体である。

【0041】導電線30および32は互いに交差し、各交差点において導電線30および32は互いに電氣的に分離している。導電性配線30と32は、多結晶のシリコンTFTの場合、基板12と一体化され得る(図示せ

ず) 適切な T F T L C D 駆動回路に動作可能に接続される。あるいは、駆動回路を基板の外部に設けて可撓性のある接続子により相互に連結することも可能である。配線 30 および 32 はそれぞれゲート線およびソース線と呼ばれる。当業者であればソース線 32 は、採用した名称に応じてソースまたはドレイン電極と一体であることが理解される。ただし本明細中、ドレイン線と呼ぶこともある。便宜上、ソース線という用語は、T F T 20 のソースまたはドレインに接続する導電性の配線を指す場合に用いられる。後述の本発明の方法において詳細に説明するように、本発明によるゲート線 30 およびソース線 32 ならびに、ソースドレイン電極 50 と 52 はすべて、3 層構造を有する。導電配線および電極の構造は断面において見ると T i N / C u / T i N の第 1 / 第 2 / 第 3 の層を有する。

【0042】本発明の方法の好適な実施形態の工程を図 3 から図 7 を参照しながら説明する。図 3 から図 6 は、図 2 の線 3 - 3 に沿った断面を拡大し、本発明による工程を示した部分断面図である。図 3 を参照すると、L C D 画素アレイ基板 12 は、好ましくは二酸化シリコン 62 の絶縁層で覆われたガラスパネル 60 を含んでいる。二酸化シリコン層の厚さは、好ましくは 10,000 である。ガラス 60 と二酸化シリコン層 62 は L C D 基板を形成する。以下、この L C D 基板を基板 66 と呼ぶ。層 62 は他の図面では省略する。L C D 基板 66 の上側表面 68 には、多結晶シリコン 70 が形成されている。図 3 は、基板 66 上の多結晶シリコン層中でのアクティブ領域形成において、いくつかの周知の予備工程を実施した後の基板の断面図を示す。

【0043】多結晶シリコン層 70 は、当初はアモルファスシリコン層 ( a - S i : H ) として基板 66 の表面 68 上に、P E C V D によって堆積する。多結晶シリコン層は N<sub>2</sub> 中において 400 で 2 時間脱水素化する。堆積したシリコン層 70 の厚さは、約 300 から 1000 の範囲であり、好ましくは 500 である。層 70 を N<sub>2</sub> 中において 40 時間、600 で熱アニールして固相結晶化し、これにより多結晶シリコン層を形成する。アクティブ領域 74 の外側の領域を C l<sub>2</sub> と O<sub>2</sub> を使用した反応イオンエッチング ( R I E ) によってエッチングすることによってアクティブ領域を規定する。多結晶シリコン層 70 のアクティブ領域 74 外部の部分は、基板の表面 68 の深さまで除去する。除去された部分は図 3 の破線 76 で表されている。フォトレジストパターン 80 をアクティブ領域 74 の中央に形成し、適切なドーピング不純物を n 型および p 型半導体材料を形成するためマスクングしない領域 82 と 84 に注入する。注入ソース/ドレイン領域 82 および 84 のドーピング活性化は、N<sub>2</sub> 中において 40 時間、600 のアニーリングによって行われる。活性化後、領域 82 と 84 は基板 66 の上に形成される薄膜トランジスタ ( T F T ) の

ソースドレイン領域となる。

【0044】レジストパターン 80 を除去した後、二酸化シリコン層 ( 図示せず ) を基板の表面およびパターンニングされたアクティブ領域の上に堆積する。適切なパターンニング後、ゲート誘電体層 86 が図 4 に示されているようにアクティブ領域 74 上の中央に形成される。結果的に T F T 構造 94 は、ソース領域 82 およびドレイン領域 84、ならびにゲート誘電体 86 を上に堆積されたチャンネル領域 90 を含む。L C D 画素アレイの処理におけるこの時点では、画素電極領域も形成されている ( 図示せず )。このような工程は、従来技術であり、基板 66 上に I T O 領域を形成することを含む。このような工程は当業者には周知である。

【0045】図 5 は、基板 66 および T F T 構造 94 上に T i N / C u / T i N の第 1 の導電体を堆積しパターンニングする工程を示す。第 1 の T i N ( 窒化チタン ) 層 100 を T F T 基板、または、T F T 基板上にスパッタリング ( 物理蒸着 ( P V D ) ) としても知られている ) によって形成された構造の上に堆積する。第 1 の層 100 は、好ましくは、約 100 から 1,500 の厚さに堆積される。その後、銅金属の第 2 の層が、化学蒸着 ( C V D ) により第 1 の層 100 上に堆積される。米国特許第 5,767,301 号に記載された C V D 銅前駆体を用いた方法など、あらゆる適切な C V D 銅堆積方法を用いることができる。銅層 102 は、好ましくは T i N 層 100 上に、1,000 から 10,000 の範囲内の厚さに堆積する。その後、T i N の第 3 の層 104 を再び P V D によって堆積する。層 104 の好ましい厚さは、約 100 から 1,500 の範囲内である。基板 66 上に層 100、102 および 104 ( 総じて「第 1 の導電体 106」と呼ぶ ) を堆積し、その上に全ての T F T 構造 94 を形成した後で、( 図 5 に実線で示す ) ゲート領域の外側部を除去する。

【0046】除去は、フォトレジスト 112 層を堆積することにより第 1 の導電体 106 をパターンニングし、従来のフォトリソグラフィー技術を用いて第 1 の導電体の表面上にレジストパターンを形成することにより行われる。レジストパターンは、ゲート誘電体 86 上にある各 T F T 構造 94 のゲート領域 114 を覆う。また、このパターンニングは、ゲート線 30 ( 図 2 参照 ) と、第 1 の導電体 106 が除去されていない任意の全ての領域とを覆う。レジストパターン 112 の形成後、第 1 の導電体は、約図 5 中の破線で示されているように、レジストパターン 112 の外側の領域を除去することによりパターンニングされる。

【0047】第 1 の 3 層導電体 106 の部分を除去するための好ましい方法は、個々の層をウェットエッチングすることである。第 3 の層 104 は、まず水素化アンモニウム ( N H<sub>4</sub> O H ) と過酸化水素 ( H<sub>2</sub> O<sub>2</sub> ) と水との溶液中でのウェットエッチングにより除去される。上側

TiN層104の除去後、次の工程は、銅層102をウェットエッチングすることである。銅は、好ましくは水中で硝酸によりエッチングされる。その後、下側TiN層100を上側TiN層104で使用したのと同じエッチャントを使用してウェットエッチングにより除去する。あるいは別の方法として、 $Cl_2$ および $O_2$ を使用して、従来のドライエッチング方式により下側TiN層100を除去することも可能である。

【0048】図5に示す堆積およびパターニングの工程の結果は、基板66上への複数のゲート線30（図2）の形成、ならびに各TF T構造94上への第1の電極（ゲート電極）の形成である。全ての配線および電極は、TiN/Cu/TiNの第1の層/第2の層/第3の層の金属配線を有する。あるいは、最初にゲート線と電極を形成する代わりに、第1の導電体を用いてソース線およびソース電極をTF T構造上に形成して、その後の工程においてゲート線を形成することも、もちろん可能である。図3から図6に示す方法の実施例においては、ゲート線およびソース電極が最初に形成されている。

【0049】本発明の方法における次のいくつかの工程を、図6に示す。二酸化シリコン120等の誘電材料の層が、基板（その上に形成された全ての構造を含む）上に堆積される。好ましい誘電層120の厚さは、約500から1,500の範囲内で、至適には約1,000である。次に、誘電層120がパターニングされ、開口部124および126が形成される。第2の導電層は、開口部124および126において、各TF Tまたは基板上の他の構造の部分と接触する。画素アレイ内の画素アパーチャが設けられる位置および第2の導電層が基板に設けられる位置にも、開口部を形成する（図示せず）。誘導層120の目的は、例えば、ゲート線30とソース線32とが互いに交差して電氣的絶縁を必要とする箇所導体間を絶縁することである。図6は、パターニング後に残る誘電層120の3領域127、128、129を示す。中央領域128はゲート電極114を覆う。開口部124および126は、その後の堆積された導体が、それぞれTF T上でのソースおよびドレイン領域82、84との接触を可能にする。

【0050】誘電層120のパターニング後、次の工程は、TiN/Cu/TiNのような第1/第2/第3の層を有する第2の導体を堆積することである。第2の3層導体は、第1の導電層106に用いる工程と同じ工程を用いて堆積する。第1の層130は、約100から1,500の範囲の厚さでPVDにより堆積される。次に、第2の銅層が、約1,000から10,000の範囲内の厚さでCVDにより層130上に堆積される。その後、TiNの第3の層133が、約100から1,500の範囲内の厚さでPVDにより銅層132上に堆積される。第2の導体は、基板66の表面全体

と予備形成された構造上とに堆積される。

【0051】第2の導体（層130、132、133を総じて第2の導体138と呼ぶ）の堆積後、次の工程は、第2の導体138をパターニングおよびエッチングして、更なる導電線と電極とを基板上およびTF T構造上に形成することである。領域140へのフォトリソパターンの塗布によるパターニングを図6に示す。レジスト140は、導体のエッチング後に残る第2の導体138の領域内に設けられる。以下に説明するように、図6では、レジストパターン層140の下領域が、TF T94のソースおよびドレイン電極であり、図6の左側がソース線32（図2）との相互接続であり、右側がITO画素電極である。

【0052】図7は、本発明に基づいて完成したTF T構造の部分若干拡大して示す。TF T94は、基板66の上に形成される。第1のTiN層100と第2の銅層102と第3のTiN層104を有するゲート電極114は、チャンネル領域90上のゲート誘電体84上に形成される。ゲート電極は、基板の上に形成されたゲート導電線30（図2）と一体で、これにより基板上の選択されたTF Tへの作動的相互接続を提供する。ゲート線30に沿った全てのゲート電極はこのように相互接続されている。ソース電極150は、TF T94のソース領域82上にあり、第2の導電線32（図2）に接続される。ドレイン電極154はTF T94のドレイン領域84上にあり、基板66上のITO画素160へ作動的に接続される。ソースおよびドレイン電極150、154の両方は、第2の導体138（図6）の堆積およびパターニングによって同時に形成される。ソースおよびドレイン電極、導電線32、ならびにドレイン電極154と画素電極160との間の相互接続配線162はすべて、TiN/Cu/TiNである第1/第2/第3の層を有する。

【0053】本発明はゲート、ソースおよびドレイン電極と、ゲートおよびソース相互接続配線との両方に、CVD銅金属を組み合わせる手段を提供する。このプロセスは、金属有機化学蒸着（MOCVD）のような低温銅堆積プロセスとともに従来のTF T方法を用いる。TiN層は拡散バリヤとして機能し且つ銅層および隣接層の両方への良好な接着を提供する。ウェットエッチングのプロセスを用いるのは、より高い解像度のCMP（化学的機械的研磨）はプレートの透明度を損なうので、LCDに用いることができないからである。LCDに用いられるTF Tは比較的大型のため、フォトリソグラフィーにより達成され得る解像度の許容範囲（約2から3ミクロン）が、LCDの用途としては十分である。本発明の方法により形成されたTF Tおよび画素アレイは、三層構造のゲートおよびソース線と、ソース、ドレインおよび、ゲート電極とをもたらす。これらの配線および電極は、約100から1,500の範囲の厚さでTiN

の第 1 の層を有する。これらの配線および電極は、約 1,000 から 10,000 の範囲の厚さを備える銅の第 2 の層を有する。更に、これらの配線および電極は、約 100 から 1,500 の範囲の厚さを備える TiN の第 3 の層を有する。本発明の方法は、銅の高導電度により、例えば、2 マイクロ幅の狭さになり得るソースおよびゲート銅線のグリッドを有する大規模な LCD の製造に適している。

【0054】図 8 を参照して、本発明の好適な実施形態における基本的工程を示す。この好適な実施形態における工程は、LCD 基板上にパターニングされた多結晶シリコンのアクティブ領域を形成する工程 170 を含む。アクティブ領域はソース、ドレインおよびチャンネル領域、ならびに各アクティブ領域のチャンネル領域上に堆積されたゲート誘電体を含む。

【0055】工程 172 は、予備形成された構造を含む基板の表面上に、TiN/Cu/TiN の第 1 / 第 2 / 第 3 の層を有する第 1 の導電層（図 5 の 106）を堆積する工程である。望ましい導体のパターニングは、エッチング工程 174 により規定される。工程 174 において、第 1 の導電体 106 がパターニングされ、次に、好ましくはウェットエッチングプロセスにより、エッチングされる。

【0056】次に、工程 176 において、導体間絶縁層が堆積され、予備堆積された第 1 の導電層 106 を、その後に堆積された導電層 138（図 6）から絶縁する。導体間堆積工程 176 は、堆積された導体間層の選択領域をパターニングし除去することを含む。

【0057】次の工程 178 は、TiN/Cu/TiN の第 1 / 第 2 / 第 3 の層を有する第 2 の導電層（図 6 の導体 138）の堆積である。処理工程は、第 2 の導電層 138 を再びウェットエッチングプロセスによりパターニングする工程 180 により完了する。製品 182 は、液晶ディスプレイのための、銅金属相互接続を備える多結晶シリコン TFT のアレイである。

【0058】本明細書に記載した本発明の方法による実施形態では、ソースおよびドレイン電極とソース線とを形成する前に、まずゲート電極およびゲート線を形成している。しかしながら、ソースおよびゲート線とソース / ドレインおよびゲート電極との形成のシーケンスは、当業者の任意の変更および製造の最適化に従うものであって、容易に逆転できることは、当業者により容易に理解される。例えば、第 1 の導体 106 を堆積しパターニングする工程は、ゲート、ソースまたはドレイン電極を形成する工程を含んでもよい。第 1 に形成された電極がソースまたはドレイン電極である場合、次に、第 2 の導体 138 をパターニングする工程が、ゲート電極となる第 2 の電極を形成する。または、第 1 に形成された電極がゲート電極である場合、第 2 に形成された電極は、ソースまたはドレイン電極のいずれかとなり得る。同様

\*に、第 1 に形成された電極がソースまたはドレイン電極のいずれかである場合、次に（第 1 の導体をパターニングする間に）第 3 の電極を形成する工程は以下になる。第 1 に形成された電極がドレイン電極である場合、第 3 の電極はソース電極であり、第 1 に形成された電極がソース電極である場合、第 3 の電極はドレイン電極である。あるいは、第 1 に形成された電極がゲート電極である場合に、第 2 に形成された電極がドレイン電極であれば、第 2 の導体のパターニングの間の第 3 の電極を形成する工程は、ソース電極の形成であり、第 2 に形成された電極がソース電極であれば、ドレイン電極の形成である。電極および導体が形成される順序に関わらず、本発明の方法により形成された電極および導体は、TiN/Cu/TiN の第 1 / 第 2 / 第 3 の層を有する。従って、本発明の方法により形成された電極および導体は、多結晶シリコンに形成された TFT を有する LCD 上の銅配線の利点を提供する。

【0059】本発明は、TFT LCD 構造および多結晶シリコン TFT 上に銅導電体を用いるための方法を提供する。TiN の層間にサンドイッチされた銅とともに、上面ゲート TFT アーキテクチャが用いられる。銅および TiN の導電体には、従来のフォトリソグラフィおよびウェットエッチングパターニングが用いられる。銅金属ゲートおよびソース / ドレイン電極が提供され、アルミニウム電極および導電体を使用した TFT に匹敵する質の TFT を生産する。また、このような銅導電体を用いた LCD の製造方法も開示される。

【0060】

【発明の効果】本発明によれば、TFT を有する LCD において銅配線を用いることによる低抵抗な LCD 上の配線、およびその製造方法が提供される。TFT を有する LCD において銅配線を用いることにより、ディスプレイ面積の大型化に伴う LCD 配線の高抵抗化を抑制することが可能である。

【図面の簡単な説明】

【図 1】本発明による LCD パネルの一部を示す、部分的に切断された部分投影図。

【図 2】本発明により形成された LCD 画素アレイの細部の部分正面図。

【図 3】図 2 の線 3 - 3 に沿った断面を大きく拡大し、本発明による工程を示す部分断面図。

【図 4】図 2 の線 3 - 3 に沿った断面を大きく拡大し、本発明による工程を示す部分断面図。

【図 5】図 2 の線 3 - 3 に沿った断面を大きく拡大し、本発明による工程を示す部分断面図。

【図 6】図 2 の線 3 - 3 に沿った断面を大きく拡大し、本発明による工程を示す部分断面図。

【図 7】部分的に完成した本発明による TFT および画素構造の一部を、図 3 ~ 6 と同様に部分断面で示した図。

21

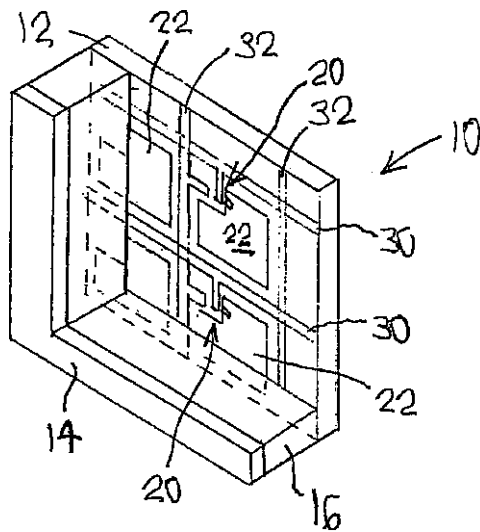
22

【図8】本発明の実施形態の工程を示す図。

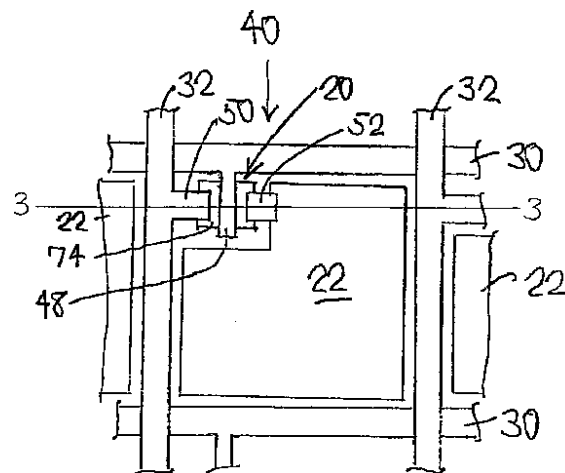
【符号の説明】

- 10 ディスプレイ  
 12 LCD基板  
 16 液晶材料  
 20 薄膜トランジスタ  
 22 画素電極  
 48 ゲート電極
- \*50 ソース電極  
 82 ソース/ドレイン領域  
 84 ソース/ドレイン領域  
 86 ゲート誘電体  
 106 第1の導電体  
 114 ゲート領域  
 138 第2の導電体  
 \* 162 相互接続配線

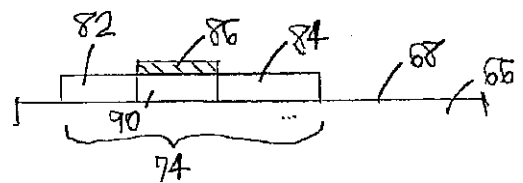
【図1】



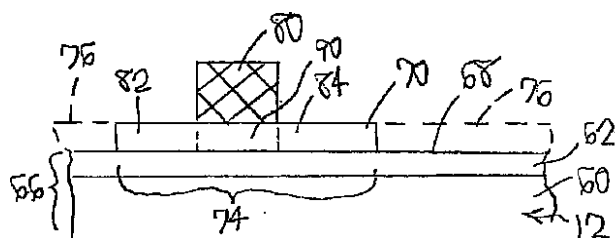
【図2】



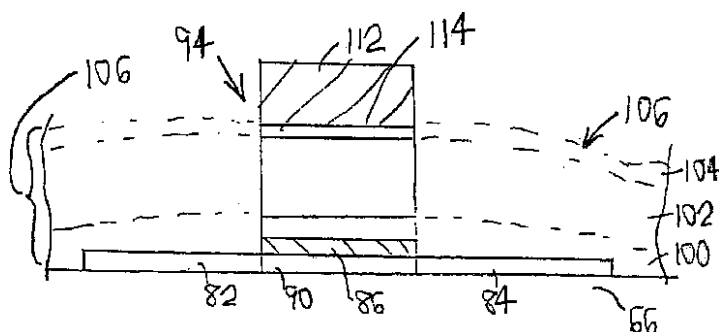
【図4】



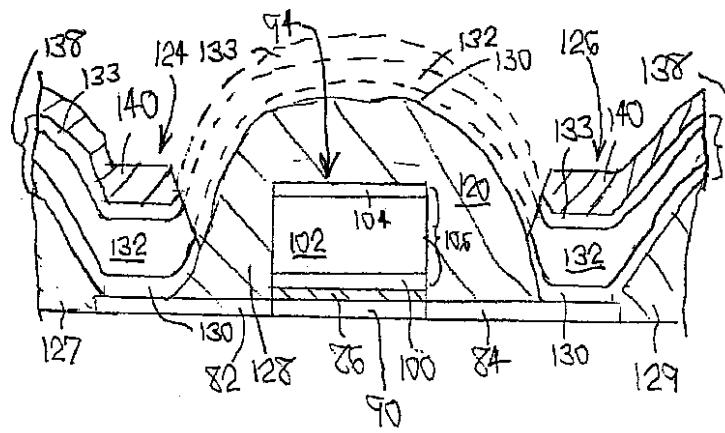
【図3】



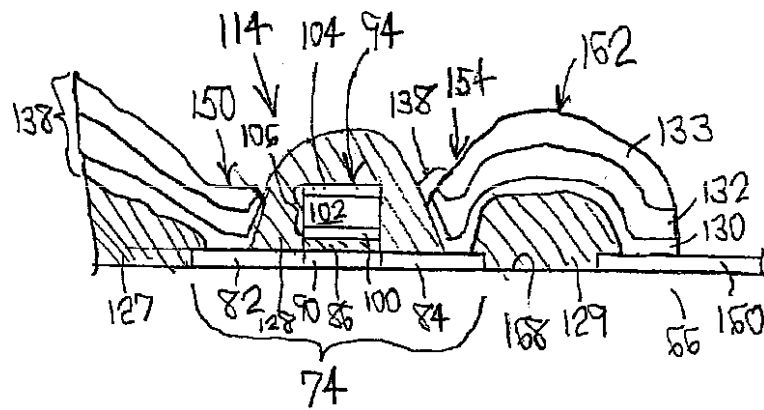
【図5】



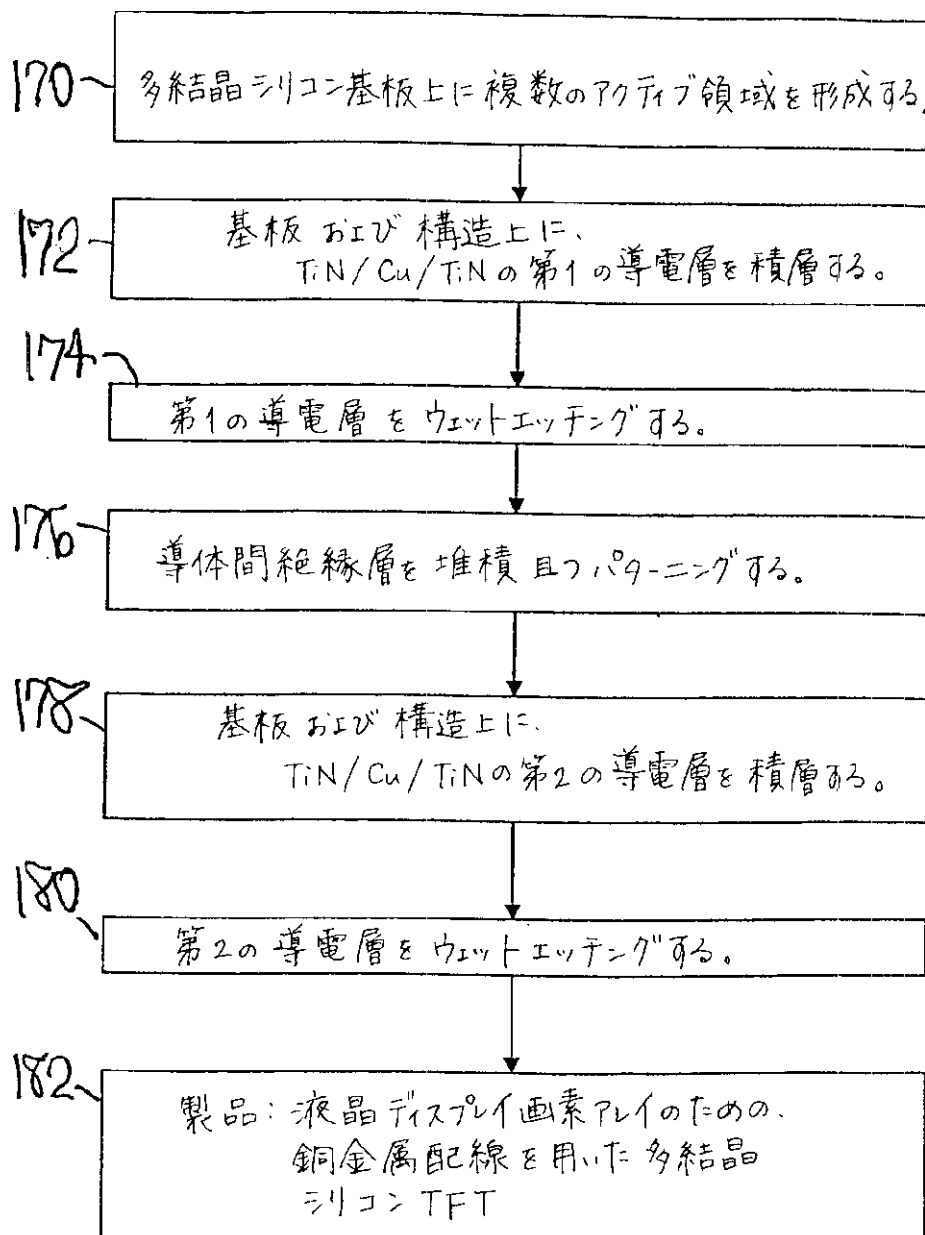
【図6】



【図7】



【図8】



-----  
フロントページの続き

(51) Int. Cl. <sup>7</sup>

H 0 1 L 29/786  
21/336

識別記号

F I

H 0 1 L 29/78

テマコード (参考)

6 1 2 C  
6 1 6 K  
6 1 6 U  
6 1 7 L

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 使用铜金属布线形成多晶硅TFT的方法用于液晶显示器像素阵列。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| 公开(公告)号        | <a href="#">JP2000347221A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                | 公开(公告)日 | 2000-12-15 |
| 申请号            | JP2000121367                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 | 申请日     | 2000-04-21 |
| [标]申请(专利权)人(译) | 夏普株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| 申请(专利权)人(译)    | 夏普公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| [标]发明人         | シューシャンヒー<br>テウーヌーエン                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 发明人            | シューシャン ヒー<br>テウー ヌーエン                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| IPC分类号         | G02F1/1343 G02F1/136 G02F1/1362 G02F1/1368 H01L21/28 H01L21/306 H01L21/3205 H01L21/336<br>H01L23/52 H01L29/786                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| CPC分类号         | G02F1/1368 G02F1/136286                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| FI分类号          | G02F1/136.500 G02F1/1343 H01L21/28.301.R H01L21/306.F H01L21/88.R H01L29/78.612.C H01L29/<br>/78.616.K H01L29/78.616.U H01L29/78.617.L G02F1/1368                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| F-TERM分类号      | 2H092/GA25 2H092/HA06 2H092/HA28 2H092/JA25 2H092/JA33 2H092/JA39 2H092/JA40 2H092/<br>/JA43 2H092/JA44 2H092/JB24 2H092/JB27 2H092/JB33 2H092/JB36 2H092/KA04 2H092/KA05<br>2H092/KA19 2H092/KB04 2H092/MA03 2H092/MA05 2H092/MA08 2H092/MA18 2H092/MA37 2H092/<br>/NA28 2H192/AA24 2H192/CB02 2H192/CB34 2H192/CC01 2H192/CC32 2H192/CC41 2H192/CC72<br>2H192/HA13 2H192/HA14 2H192/HA64 4M104/AA09 4M104/BB30 4M104/CC01 4M104/CC05 4M104/<br>/DD37 4M104/DD43 4M104/DD64 4M104/FF18 4M104/FF22 4M104/GG09 4M104/GG14 4M104/HH16<br>5F033/GG04 5F033/HH11 5F033/HH33 5F033/JJ11 5F033/JJ33 5F033/KK04 5F033/MM08 5F033/<br>/MM13 5F033/NN06 5F033/NN07 5F033/PP06 5F033/PP15 5F033/QQ08 5F033/QQ09 5F033/QQ11<br>5F033/QQ19 5F033/QQ37 5F033/VV06 5F033/VV15 5F033/WW02 5F033/XX10 5F043/AA26 5F043/<br>/AA27 5F043/BB18 5F043/DD15 5F043/GG02 5F043/GG04 5F043/GG10 5F110/AA03 5F110/AA26<br>5F110/AA30 5F110/BB02 5F110/CC02 5F110/DD02 5F110/DD13 5F110/EE01 5F110/EE02 5F110/<br>/EE15 5F110/EE44 5F110/EE45 5F110/FF02 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG45<br>5F110/HJ23 5F110/HL01 5F110/HL02 5F110/HL07 5F110/HL12 5F110/HL23 5F110/HL24 5F110/<br>/NN02 5F110/NN23 5F110/NN72 5F110/PP01 5F110/PP13 5F110/PP35 5F110/QQ05 |         |            |
| 优先权            | 09/321525 1999-05-27 US                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |

#### 摘要(译)

(带更正) 在TFT LCD结构和多晶硅TFT上使用铜导体。有源区包括：TFT的源极，漏极和沟道区；在与沟道区相邻的每个有源区上的栅电极；在每个有源区的每个源极区和漏极区上的源极和漏极；以及衬底。形成在基板上的多个导线，以提供与所选择的TFT的可操作互连，这些导线可操作地连接至栅电极；第二导线可操作地连接到每个选定的TFT的第二电极，该第二电极包括多条导线，这些导线是基板上的源极或漏极。TiN / Cu / TiN的第一/第二/第三层，其中每个TFT的第一和第二导线以及与每个TFT可操作地连接到的栅极和第二电极的每个的第一和第二导线是TiN / Cu / TiN。有。

