

1. 一种液晶显示器电路,应用于显示器面板中,其特征在于,包括:系统芯片、第一隔离单元、第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元、系统芯片总线以及控制总线;

所述系统芯片与所述第一隔离单元的控制端连接,所述第一隔离单元的输入端接入预设电压并分别与该第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元的控制端分别连接,所述第二隔离单元的输入端与所述系统芯片总线中的数据线连接,所述第三隔离单元的输入端与所述控制总线的数据线连接,所述第二隔离单元以及所述第三隔离单元的输出端连接,所述第四隔离单元的输入端与所述系统芯片总线的时钟信号线连接,所述第五隔离单元的输入端与所述控制总线的时钟信号线连接,所述第四隔离单元以及所述第五隔离单元的输出端连接。

2. 根据权利要求1所述的液晶显示器电路,其特征在于,所述第一隔离单元为MOS管。

3. 根据权利要求2所述的液晶显示器电路,其特征在于,所述系统芯片的GPIO接口与所述第一隔离单元的栅极连接,所述第一隔离单元为NMOS管。

4. 根据权利要求3所述的液晶显示器电路,其特征在于,所述第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元均为MOS管。

5. 根据权利要求4所述的液晶显示器电路,其特征在于,所述第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元均为NMOS管。

6. 根据权利要求5所述的液晶显示器电路,其特征在于,在所述GPIO接口为高电平时,该第一隔离单元导通,该第一隔离单元与第二隔离单元的公共节点为低电平,该第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元均截止,系统芯片总线以及控制总线进行了隔离。

7. 根据权利要求6所述的液晶显示器电路,其特征在于,在所述GPIO接口为低电平时,该第一隔离单元截止,该第一隔离单元与第二隔离单元的公共节点为高电平,该第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元均导通,显示板I2C不进行读取动作,系统芯片此时通过该第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元可以控控制总线进行公共电压调节。

8. 根据权利要求1所述的液晶显示器电路,其特征在于,所述第一隔离单元的输入端接入的预设电压为5V。

9. 根据权利要求1所述的液晶显示器电路,其特征在于,还包括一电阻,所述电阻的一端接入所述预设电压,所述电阻的另一端与所述第一隔离单元以及所述第二隔离单元的公共节点连接。

10. 一种显示器,其特征在于,包括权利要求1-9任一项所述的液晶显示器电路。

液晶显示器电路及显示器

技术领域

[0001] 本申请涉及液晶显示领域,具体涉及一种液晶显示器电路及显示器。

背景技术

[0002] 在现有技术中,PMIC(Power Management IC)电源管理集成电路为了节省空间尺寸,PMIC内部没有做NVM(Non-volatile memory)非易失存储器,代码存储在闪存里,通过将屏驱动板读取到的闪存里的代码写到PMIC的寄存器里面,且为了防止读取控制总线过程中出错。屏驱动板会在每一帧的消隐时间里去监测,会一直占用控制总线,而系统芯片的带电可擦可编程只读存储器和调谐器也会使用I2C总线,而整机厂会需要调整系统芯片的系统总线和控制总线需要连通在一起,但是当整机搜台时,调谐器的总线也会动作,此时系统总线和控制总线会冲突,引起搜台不成功和画面异常。

[0003] 因此,现有技术存在缺陷,急需改进。

发明内容

[0004] 本申请的目的是提供一种液晶显示器电路及显示器,具有防止系统芯片总线以及控制总线冲突的有益效果。

[0005] 本申请实施例提供了一种液晶显示器电路,应用于显示器面板中,包括:系统芯片、第一隔离单元、第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元、系统芯片总线以及控制总线;

[0006] 所述系统芯片与所述第一隔离单元的控制端连接,所述第一隔离单元的输入端接入预设电压并分别与该第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元的控制端分别连接,所述第二隔离单元的输入端与所述系统芯片总线中的数据线连接,所述第三隔离单元的输入端与所述控制总线的数据线连接,所述第二隔离单元以及所述第三隔离单元的输出端连接,所述第四隔离单元的输入端与所述系统芯片总线的时钟信号线连接,所述第五隔离单元的输入端与所述控制总线的时钟信号线连接,所述第四隔离单元以及所述第五隔离单元的输出端连接。

[0007] 在本申请所述的液晶显示器电路中,所述第一隔离单元为MOS管。

[0008] 在本申请所述的液晶显示器电路中,所述系统芯片的GPIO接口与所述第一隔离单元的栅极连接,所述第一隔离单元为NMOS管。

[0009] 在本申请所述的液晶显示器电路中,所述第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元均为MOS管。

[0010] 在本申请所述的液晶显示器电路中,所述第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元均为NMOS管。

[0011] 在本申请所述的液晶显示器电路中,在所述GPIO接口为高电平时,该第一隔离单元导通,该第一隔离单元与第二隔离单元的公共节点为低电平,该第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元均截止,系统芯片总线以及控制总线进行了隔离。

[0012] 在本申请所述的液晶显示器电路中,在所述GPIO接口为低电平时,该第一隔离单元截止,该第一隔离单元与第二隔离单元的公共节点为高电平,该第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元均导通,显示板I2C不进行读取动作,系统芯片此时通过该第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元可以控制总线进行公共电压调节。

[0013] 在本申请所述的液晶显示器电路中,所述第一隔离单元的输入端接入的预设电压为5V。

[0014] 在本申请所述的液晶显示器电路中,还包括一电阻,所述电阻的一端接入所述预设电压,所述电阻的另一端与所述第一隔离单元以及所述第二隔离单元的公共节点连接。

[0015] 一种显示器,其特征在于,包括以上所述的液晶显示器电路。

[0016] 本申请提供一种液晶显示器电路,应用于显示器面板中,包括:系统芯片、第一隔离单元、第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元、系统芯片总线以及控制总线;所述系统芯片与所述第一隔离单元的控制端连接,所述第一隔离单元的输入端接入预设电压并分别与第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元的控制端分别连接,所述第二隔离单元的输入端与所述系统芯片总线中的数据线连接,所述第三隔离单元的输入端与所述控制总线的数据线连接,所述第二隔离单元以及所述第三隔离单元的输出端连接,所述第四隔离单元的输入端与所述系统芯片总线的时钟信号线连接,具有防止系统芯片总线以及控制总线冲突的有益效果。

附图说明

[0017] 图1是本申请实施例中的液晶显示器电路的一种结构示意图。

具体实施方式

[0018] 下面详细描述本申请的实施方式,所述实施方式的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施方式是示例性的,仅用于解释本申请,而不能理解为对本申请的限制。

[0019] 在本申请的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本申请和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本申请的限制。此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本申请的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0020] 在本申请的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接或可以相互通讯;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本申请中的具体含义。

[0021] 在本申请中,除非另有明确的规定和限定,第一特征在第二特征之“上”或之“下”可以包括第一和第二特征直接接触,也可以包括第一和第二特征不是直接接触而是通过它们之间的另外的特征接触。而且,第一特征在第二特征“之上”、“上方”和“上面”包括第一特征在第二特征正上方和斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”包括第一特征在第二特征正下方和斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0022] 下文的公开提供了许多不同的实施方式或例子用来实现本申请的不同结构。为了简化本申请的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并且目的不在于限制本申请。此外,本申请可以在不同例子中重复参考数字和/或参考字母,这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施方式和/或设置之间的关系。此外,本申请提供了的各种特定的工艺和材料的例子,但是本领域普通技术人员可以意识到其他工艺的应用和/或其他材料的使用。

[0023] 请参照图1,图1是本申请一实施例中的液晶显示器电路的结构示意图,该液晶显示器电路,应用于显示器中,包括:系统芯片U1、第一隔离单元Q1、第二隔离单元Q2、第三隔离单元Q3、第四隔离单元Q4、第五隔离单元Q5、系统芯片总线100以及控制总线200。

[0024] 其中,该系统芯片总线100具有数据线SDA_S以及时钟信号线SCL_S,该数据线SDA_S用于传输系统芯片的数据信号,该时钟信号线SCL_S用于传输系统芯片的时钟信号。

[0025] 其中,该控制总线200具有数据线SDA_C以及时钟信号线SCL_C。该数据线SDA_C用于传输显示面板的控制信号,该时钟信号线SCL_C用于从系统芯片总线的传输该显示面板的时钟信号线SCL_S获取时钟信号以提供给该控制总线使用。该控制总线200的数据线SDA_C以及时钟信号线SCL_C是与显示板的驱动电路连接的。

[0026] 具体地,该系统芯片U1与所述第一隔离单元Q1的控制端连接,所述第一隔离单元Q1的输入端接入预设电压并与该第二隔离单元Q2、第三隔离单元Q3、第四隔离单元Q4、第五隔离单元Q5的控制端分别连接,所述第二隔离单元Q2的输入端与所述系统芯片总线中的数据线SDA_S连接,所述第三隔离单元Q3的输入端与所述控制总线的数据线SDA_C连接,所述第二隔离单元Q2的输出端与所述第三隔离单元Q3的输出端连接,所述第四隔离单元Q4的输入端与所述系统芯片总线的时钟信号线SCL_S连接,所述第五隔离单元Q5的输入端与所述控制总线的时钟信号线SCL_C连接,所述第四隔离单元Q4以及所述第五隔离单元Q5的输出端连接。

[0027] 在一些实施例中,该液晶显示器电路还包括一电阻R1,所述电阻R1的一端接入所述预设电压,所述电阻R1的另一端与所述第一隔离单元Q1以及所述第二隔离单元Q2的公共节点连接。第一隔离单元的输入端接入的预设电压为5V。

[0028] 其中,第一隔离单元Q1、第二隔离单元Q2、第三隔离单元Q3、第四隔离单元Q4、第五隔离单元Q5均为MOS管,而且为NMOS管。系统芯片的GPIO接口与所述第一隔离单元的栅极连接。

[0029] 工作时,为了防止系统芯片总线以及控制总线的冲突,在GPIO接口为高电平时,该第一隔离单元导通,该第一隔离单元与第二隔离单元的公共节点为低电平,该第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元均截止,系统芯片总线以及控制总线进行了隔离,也即是将该系统芯片总线的数据线SDA_S与该控制总线的数据线SDA_C进行了隔

离,以及将系统芯片总线的时钟信号线SCL_S与控制总线的时钟信号线SCL_C进行隔离。在所述GPIO接口为低电平时,该第一隔离单元截止,该第一隔离单元与第二隔离单元的公共节点为高电平,该第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元均导通,显示板的驱动芯片不通过该控制总线不进行读取动作,系统芯片通过该系统芯片总线以及通过该第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元可以控控制总线发送信号给显示板的驱动电路,使得驱动电路进行公共电压调节。

[0030] 本申请还提供了一种显示器,包括上述任一实施例中的所述的液晶显示器电路。

[0031] 在本说明书的描述中,参考术语“一个实施方式”、“某些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合所述实施方式或示例描述的具体特征、结构、材料或者特点包含于本申请的至少一个实施方式或示例中。在本说明书中,对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且,描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

[0032] 综上所述,虽然本申请已以优选实施例揭露如上,但上述优选实施例并非用以限制本申请,本领域的普通技术人员,在不脱离本申请的精神和范围内,均可作各种更动与润饰,因此本申请的保护范围以权利要求界定的范围为准。

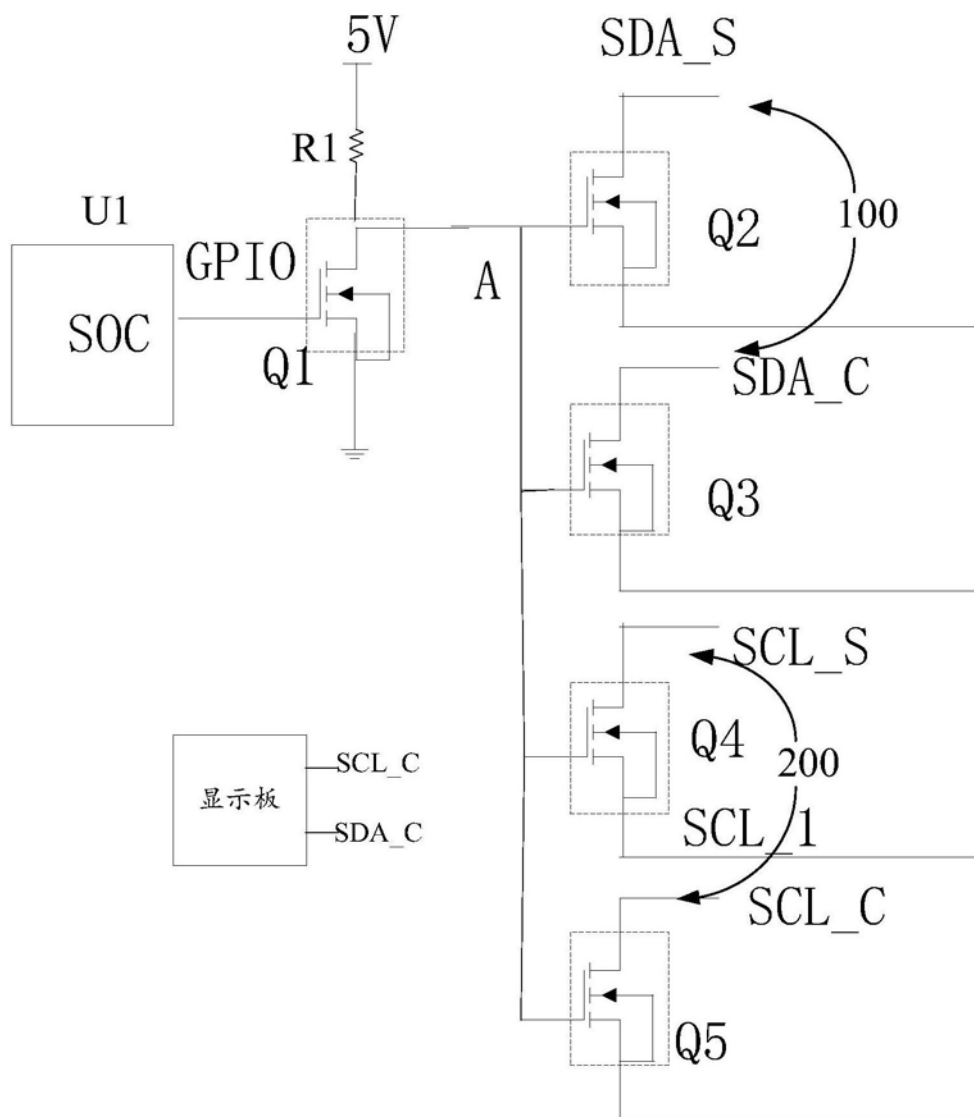


图1

专利名称(译)	液晶显示器电路及显示器		
公开(公告)号	CN109243389A	公开(公告)日	2019-01-18
申请号	CN201811197521.5	申请日	2018-10-15
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	李文芳 曹丹		
发明人	李文芳 曹丹		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G09G3/3611 G09G3/3696		
代理人(译)	黄威		
外部链接	Espacenet SIPO		

摘要(译)

本申请提供一种液晶显示器电路，应用于显示器面板中，包括：系统芯片、第一隔离单元、第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元、系统芯片总线以及控制总线；所述系统芯片与所述第一隔离单元的控制端连接，所述第一隔离单元的输入端接入预设电压并分别与该第二隔离单元、第三隔离单元、第四隔离单元、第五隔离单元的控制端分别连接，所述第二隔离单元的输入端与所述系统芯片总线中的数据线连接，所述第三隔离单元的输入端与所述控制总线的数据线连接，所述第二隔离单元以及所述第三隔离单元的输出端连接，所述第四隔离单元的输入端与所述系统芯片总线的时钟信号线连接。

