



(12) 发明专利申请

(10) 申请公布号 CN 104575409 A

(43) 申请公布日 2015. 04. 29

(21) 申请号 201310485086. 7

(22) 申请日 2013. 10. 16

(71) 申请人 瀚宇彩晶股份有限公司

地址 中国台湾新北市

(72) 发明人 游家华 林松君 刘轩辰 詹建廷

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

G09G 3/36(2006. 01)

G11C 19/28(2006. 01)

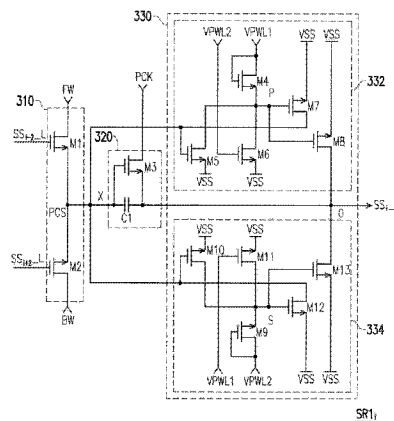
权利要求书5页 说明书11页 附图16页

(54) 发明名称

液晶显示器及其双向移位暂存装置

(57) 摘要

一种液晶显示器及其双向移位暂存装置。双向移位暂存装置包括N级的移位寄存器。第i级移位寄存器包括预充电单元、上拉单元与下拉单元。当i大于等于3且小于等于N-2,预充电单元接收第(i-2)级与第(i+2)级移位寄存器的输出。当i等于1或2,预充电单元接收第一起始信号与第(i+2)级移位寄存器的输出。当i等于(N-1)或N,预充电单元接收第二起始信号与第(i-2)级移位寄存器的输出。预充电单元输出预充电信号。上拉单元接收预充电信号与预设时钟信号,并据以输出扫描信号。下接收预充电信号以控制扫描信号的电平。



1. 一种双向移位暂存装置,其特征在于,包括:

N 级串接在一起的移位寄存器,其中第 i 级移位寄存器包括:

一预充电单元,当 i 为大于等于 3 且小于等于 N-2 的正整数时,该预充电单元接收第 (i-2) 级与第 (i+2) 级移位寄存器的输出,并据以输出一预充电信号,其中 N 为一预设正整数,

当 i 等于 1 或 2 时,该预充电单元接收一第一起始信号与第 (i+2) 级移位寄存器的输出,并据以输出该预充电信号,当 i 等于 (N-1) 或 N 时,该预充电单元接收一第二起始信号与第 (i-2) 级移位寄存器的输出,并据以输出该预充电信号;

一上拉单元,耦接该预充电单元,接收该预充电信号与一预设时钟信号,并据以输出一扫描信号;以及

一下拉单元,耦接该预充电单元与该上拉单元,接收该预充电信号、一第一电平信号以及一第二电平信号以控制该扫描信号的电平。

2. 根据权利要求 1 所述的双向移位暂存装置,其中该预充电单元还接收一顺向输入信号与一逆向输入信号,该双向移位暂存装置依据该顺向输入信号与该逆向输入信号,输出该些扫描信号。

3. 根据权利要求 2 所述的双向移位暂存装置,其中该预充电单元包括:

一第一晶体管,其第一源漏极接收该顺向输入信号,且其第二源漏极输出该预充电信号,其中

当 i 为大于等于 3 且小于等于 N 的正整数时,该第一晶体管的栅极接收第 (i-2) 级移位寄存器所输出的该扫描信号,当 i 等于 1 或 2 时,该第一晶体管的栅极接收该第一起始信号;以及

一第二晶体管,其第一源漏极耦接该第一晶体管的第二源漏极,且其第二源漏极接收该逆向输入信号,其中

当 i 为大于等于 1 且小于等于 N-2 的正整数时,该第二晶体管的栅极接收第 (i+2) 级移位寄存器所输出的该扫描信号,当 i 等于 (N-1) 或 N 时,该第二晶体管的栅极接收该第二起始信号。

4. 根据权利要求 3 所述的双向移位暂存装置,其中该上拉单元包括:

一第三晶体管,其栅极接收该预充电信号,其第一源漏极接收该第一输入时钟信号,且其第二源漏极输出该扫描信号;以及

一第一电容,其第一端耦接该第三晶体管的栅极,且其第二端耦接该第三晶体管的第二源漏极,

其中该下拉单元包括:

一第一放电单元,接收该预充电信号、一第一电平信号与一第二电平信号,并据以决定是否将该扫描信号下拉至一参考电位;以及

一第二放电单元,接收该预充电信号、该第一电平信号与该第二电平信号,并据以决定是否将该扫描信号维持于该参考电位,其中该第一电平信号与该第二电平信号互为反相。

5. 根据权利要求 4 所述的双向移位暂存装置,其中该第一放电单元包括:

一第四晶体管,其栅极与第一源漏极耦接在一起以接收该第一电平信号;

一第五晶体管,其栅极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极

以接收该预充电信号,其第一源漏极耦接该第四晶体管的第二源漏极,且其第二源漏极耦接该参考电位;

一第六晶体管,其栅极接收该第二电平信号,其第一源漏极耦接该第四晶体管的第二源漏极,且其第二源漏极耦接该参考电位;

一第七晶体管,其栅极耦接该第四晶体管的第二源漏极与该第六晶体管的第一源漏极,其第一源漏极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极,且其第二源漏极耦接该参考电位;以及

一第八晶体管,其栅极耦接该第七晶体管的栅极,其第一源漏极耦接该第三晶体管的第二源漏极,且其第二源漏极耦接该参考电位,

其中该第二放电单元包括:

一第九晶体管,其栅极与第一源漏极耦接在一起以接收该第二电平信号;

一第十晶体管,其栅极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极以接收该预充电信号,其第一源漏极耦接该第九晶体管的第二源漏极,且其第二源漏极耦接该参考电位;

一第十一晶体管,其栅极接收该第一电平信号,其第一源漏极耦接该第九晶体管的第二源漏极,且其第二源漏极耦接该参考电位;

一第十二晶体管,其栅极耦接该第九晶体管的第二源漏极与该第十一晶体管的第一源漏极,其第一源漏极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极,且其第二源漏极耦接该参考电位;以及

一第十三晶体管,其栅极耦接该第十二晶体管的栅极,其第一源漏极耦接该第三晶体管的第二源漏极,且其第二源漏极耦接该参考电位。

6. 一种液晶显示器,其特征在于,包括:

一液晶显示面板,包括一基板、多个以阵行排行的像素、一第一双向移位暂存装置以及一第二双向移位暂存装置,其中该些像素、该第一双向移位暂存装置以及该第二双向移位暂存装置配置于该基板上,

其中该第一双向移位暂存装置具有N级串接在一起且分别对应奇数行像素的第一移位寄存器,第i级第一移位寄存器包括:

一第一预充电单元,当i为大于等于3且小于等于N-2的正整数时,该第一预充电单元接收第(i-2)级与第(i+2)级第一移位寄存器的输出,并据以输出一第一预充电信号,其中N为一预设正整数,其中

当i等于1或2时,该第一预充电单元接收一第一起始信号与第(i+2)级第一移位寄存器的输出,并据以输出该第一预充电信号,当i等于(N-1)或N时,该第一预充电单元接收一第二起始信号与第(i-2)级第一移位寄存器的输出,并据以输出该第一预充电信号;

一第一上拉单元,耦接该第一预充电单元,接收该第一预充电信号与一第一预设时钟信号,并据以输出一第一扫描信号;以及

一第一下拉单元,耦接该第一预充电单元与该第一上拉单元,接收该第一预充电信号、一第一电平信号以及一第二电平信号以控制该第一扫描信号的电平,

其中该第二双向移位暂存装置具有M级串接在一起且分别对应偶数行像素的第二移位寄存器,第j级第二移位寄存器包括:

一第二预充电单元,当 j 为大于等于 3 且小于等于 $M-2$ 的正整数时,该第二预充电单元接收第 $(j-2)$ 级与第 $(j+2)$ 级第二移位寄存器的输出,并据以输出一第二预充电信号,其中 M 为一预设正整数,其中

当 j 等于 1 或 2 时,该第二预充电单元接收一第三起始信号与第 $(j+2)$ 级第二移位寄存器的输出,并据以输出该第二预充电信号,当 j 等于 $(M-1)$ 或 M 时,该第二预充电单元接收一第四起始信号与第 $(j-2)$ 级第二移位寄存器的输出,并据以输出该第二预充电信号;

一第二上拉单元,耦接该第二预充电单元,接收该第二预充电信号与一第二预设时钟信号,并据以输出一第二扫描信号;以及

一第二下拉单元,耦接该第二预充电单元与该第二上拉单元,接收该第二预充电信号、一第三电平信号以及一第四电平信号以控制该第二扫描信号的电平;

一驱动电路,耦接该液晶显示面板,用以驱动该液晶显示面板显示画面,并且提供多个预设时钟信号以作为该第一预设时钟信号以及该第二预设时钟信号;以及

一背光模块,用以提供该液晶显示面板所需的光源。

7. 根据权利要求 6 所述的液晶显示器,其中各该些第一移位寄存器的该第一预充电单元以及各该些第二移位寄存器的该第二预充电单元还接收一顺向输入信号与一逆向输入信号,该第一双向移位暂存装置与该第二双向移位暂存装置依据该顺向输入信号与该逆向输入信号,以一第一顺序或相异于该第一顺序的一第二顺序序行地输出该些第一扫描信号与该些第二扫描信号。

8. 根据权利要求 7 所述的液晶显示器,其中第 i 级第一移位寄存器的该第一预充电单元包括:

一第一晶体管,其第一源漏极接收该顺向输入信号,且其第二源漏极输出该第一预充电信号,其中当 i 为大于等于 3 且小于等于 N 的正整数时,该第一晶体管的栅极接收第 $(i-2)$ 级第一移位寄存器所输出的该扫描信号,当 i 等于 1 或 2 时,该第一晶体管的栅极接收该第一起始信号;以及

一第二晶体管,其第一源漏极耦接该第一晶体管的第二源漏极,且其第二源漏极接收该逆向输入信号,其中当 i 为大于等于 1 且小于等于 $N-2$ 的正整数时,该第二晶体管的栅极接收第 $(i+2)$ 级第一移位寄存器所输出的该扫描信号,当 i 等于 $(N-1)$ 或 N 时,该第二晶体管的栅极接收该第二起始信号,

其中第 j 级第二移位寄存器的该第二预充电单元包括:

一第三晶体管,其第一源漏极接收该顺向输入信号,且其第二源漏极输出该第二预充电信号,其中当 j 为大于等于 3 且小于等于 M 的正整数时,该第三晶体管的栅极接收第 $(j-2)$ 级第二移位寄存器所输出的该扫描信号,当 j 等于 1 或 2 时,该第三晶体管的栅极接收该第三起始信号;以及

一第四晶体管,其第一源漏极耦接该第三晶体管的第二源漏极,且其第二源漏极接收该逆向输入信号,其中当 j 为大于等于 1 且小于等于 $M-2$ 的正整数时,该第四晶体管的栅极接收第 $(j+2)$ 级第二移位寄存器所输出的该扫描信号,当 j 等于 $(M-1)$ 或 M 时,该第四晶体管的栅极接收该第四起始信号。

9. 根据权利要求 8 所述的液晶显示器,其中第 i 级第一移位寄存器的该第一上拉单元包括:

一第五晶体管,其栅极接收该第一预充电信号,其第一源漏极接收该第一输入时钟信号,且其第二源漏极输出该第一扫描信号;以及

一第一电容,其第一端耦接该第五晶体管的栅极,且其第二端耦接该第五晶体管的第二源漏极,

其中第 i 级第一移位寄存器的该第一下拉单元包括:

一第一放电单元,接收该第一预充电信号、一第一电平信号与一第二电平信号,并据以决定是否将该第一扫描信号下拉至该参考电位,该第一放电单元包括:

一第六晶体管,其栅极与第一源漏极耦接在一起以接收该第一电平信号;

一第七晶体管,其栅极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极以接收该第一预充电信号,其第一源漏极耦接该第六晶体管的第二源漏极,且其第二源漏极耦接该参考电位;

一第八晶体管,其栅极接收该第二电平信号,其第一源漏极耦接该第六晶体管的第二源漏极,且其第二源漏极耦接该参考电位;

一第九晶体管,其栅极耦接该第六晶体管的第二源漏极与该第八晶体管的第一源漏极,其第一源漏极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极,且其第二源漏极耦接该参考电位;以及

一第十晶体管,其栅极耦接该第九晶体管的栅极,其第一源漏极耦接该第五晶体管的第二源漏极,且其第二源漏极耦接该参考电位;以及

一第二放电单元,接收该第一预充电信号、该第一电平信号与该第二电平信号,并据以决定是否将该第一扫描信号维持于该参考电位,其中该第一电平信号与该第二电平信号互为反相,该第二放电单元包括:

一第十一晶体管,其栅极与第一源漏极耦接在一起以接收该第二电平信号;

一第十二晶体管,其栅极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极以接收该第一预充电信号,其第一源漏极耦接该第十一晶体管的第二源漏极,且其第二源漏极耦接该参考电位;

一第十三晶体管,其栅极接收该第一电平信号,其第一源漏极耦接该第十一晶体管的第二源漏极,且其第二源漏极耦接该参考电位;

一第十四晶体管,其栅极耦接该第十一晶体管的第二源漏极与该第十三晶体管的第一源漏极,其第一源漏极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极,且其第二源漏极耦接该参考电位;以及

一第十五晶体管,其栅极耦接该第十四晶体管的栅极,其第一源漏极耦接该第五晶体管的第二源漏极,且其第二源漏极耦接该参考电位。

10. 根据权利要求9所述的液晶显示器,其中第 j 级第二移位寄存器的该第二上拉单元包括:

一第十六晶体管,其栅极接收该第二预充电信号,其第一源漏极接收该第二输入时钟信号,且其第二源漏极输出该第二扫描信号;以及

一第二电容,其第一端耦接该第十六晶体管的栅极,且其第二端耦接该第十六晶体管的第二源漏极,

其中第 j 级第二移位寄存器的该第二下拉单元包括:

一第三放电单元,接收该第二预充电信号、一第三电平信号与一第四电平信号,并据以决定是否将该第二扫描信号下拉至该参考电位,该第三放电单元包括:

一第十七晶体管,其栅极与第一源漏极耦接在一起以接收该第三电平信号;

一第十八晶体管,其栅极耦接该第十四晶体管的第二源漏极与该第十五晶体管的第一源漏极以接收该第二预充电信号,其第一源漏极耦接该第十七晶体管的第二源漏极,且其第二源漏极耦接该参考电位;

一第十九晶体管,其栅极接收该第四电平信号,其第一源漏极耦接该第十七晶体管的第二源漏极,且其第二源漏极耦接该参考电位;

一第二十晶体管,其栅极耦接该第十七晶体管的第二源漏极与该第十九晶体管的第一源漏极,其第一源漏极耦接该第十四晶体管的第二源漏极与该第十五晶体管的第一源漏极,且其第二源漏极耦接该参考电位;以及

一第二十一晶体管,其栅极耦接该第二十晶体管的栅极,其第一源漏极耦接该第十六晶体管的第二源漏极,且其第二源漏极耦接该参考电位;以及

一第四放电单元,接收该第二预充电信号、该第三电平信号与该第四电平信号,并据以决定是否将该第二扫描信号维持于该参考电位,其中该第三电平信号与该第四电平信号互为反相,该第四放电单元包括:

一第二十二晶体管,其栅极与第一源漏极耦接在一起以接收该第四电平信号;

一第二十三晶体管,其栅极耦接该第十四晶体管的第二源漏极与该第十五晶体管的第一源漏极以接收该第二预充电信号,其第一源漏极耦接该第二十二晶体管的第二源漏极,且其第二源漏极耦接该参考电位;

一第二十四晶体管,其栅极接收该第三电平信号,其第一源漏极耦接该第二十二晶体管的第二源漏极,且其第二源漏极耦接该参考电位;

一第二十五晶体管,其栅极耦接该第二十二晶体管的第二源漏极与该第二十四晶体管的第一源漏极,其第一源漏极耦接该第十四晶体管的第二源漏极与该第十五晶体管的第一源漏极,且其第二源漏极耦接该参考电位;以及

一第二十六晶体管,其栅极耦接该第二十五晶体管的栅极,其第一源漏极耦接该第十六晶体管的第二源漏极,且其第二源漏极耦接该参考电位。

液晶显示器及其双向移位暂存装置

技术领域

[0001] 本发明是有关于一种平面显示技术,且特别是有关于一种液晶显示器及其双向移位暂存装置。

背景技术

[0002] 近年来,随着半导体科技蓬勃发展,携带型电子产品及平面显示器产品也随之兴起。而在众多平面显示器的类型当中,液晶显示器(Liquid Crystal Display, LCD)基于其低电压操作、无辐射线散射、重量轻以及体积小等优点,随即已成为各显示器产品的主流。也亦因如此,无不驱使着各家厂商针对液晶显示器的开发技术要朝向更微型化及低制作成本发展。

[0003] 为了要降低液晶显示器的制作成本,已有部分厂商研发出在液晶显示面板采用非晶硅(amorphous silicon, a-Si)制程的条件下,可将原先配置于液晶显示面板的扫描侧所使用的扫描驱动 IC 内部的移位寄存器(shift register)转移直接配置在液晶显示面板的玻璃基板(glass substrate)上。因此,原先配置于液晶显示面板的扫描侧所使用的扫描驱动 IC 即可省略,藉以达到降低液晶显示器的制作成本的目的。

发明内容

[0004] 本发明提供一种液晶显示器及其移位暂存装置,可避免因半导体元件受到应力效应(Stress Effect)而造成移位寄存器操作异常的状况发生,进而提高双向移位暂存装置的可靠度。

[0005] 本发明提出一种双向移位暂存装置,包括 N 级串接在一起的移位寄存器,其中第 i 级移位寄存器包括预充电单元、上拉单元以及下拉单元。当 i 为大于等于 3 且小于等于 N-2 的正整数时,预充电单元接收第 (i-2) 级与第 (i+2) 级移位寄存器的输出,并据以输出预充电信号,其中 N 为预设正整数。当 i 等于 1 或 2 时,预充电单元接收第一起始信号与第 (i+2) 级移位寄存器的输出,并据以输出预充电信号。当 i 等于 (N-1) 或 N 时,预充电单元接收第二起始信号与第 (i-2) 级移位寄存器的输出,并据以输出预充电信号。上拉单元耦接预充电单元,接收预充电信号与预设时钟信号,并据以输出扫描信号。下拉单元耦接预充电单元与上拉单元,接收预充电信号、第一电平信号以及第二电平信号以控制扫描信号的电平。

[0006] 本发明提出一种液晶显示器,包括液晶显示面板、驱动电路以及背光模块。液晶显示面板包括基板、多个以阵行排行的像素、第一双向移位暂存装置以及第二双向移位暂存装置,其中这些像素、第一双向移位暂存装置以及第二双向移位暂存装置配置于基板上。第一双向移位暂存装置具有 N 级串接在一起且分别对应奇数行像素的第一移位寄存器,第 i 级第一移位寄存器包括第一预充电单元、第一上拉单元以及第一下拉单元。当 i 为大于等于 3 且小于等于 N-2 的正整数时,第一预充电单元接收第 (i-2) 级与第 (i+2) 级第一移位寄存器的输出,并据以输出第一预充电信号,其中 N 为预设正整数。当 i 等于 1 或 2 时,第一预充电单元接收第一起始信号与第 (i+2) 级第一移位寄存器的输出,并据以输出第一预

充电信号。当 i 等于 $(N-1)$ 或 N 时,第一预充电单元接收第二起始信号与第 $(i-2)$ 级第一移位寄存器的输出,并据以输出第一预充电信号。第一上拉单元耦接第一预充电单元,接收第一预充电信号与第一预设时钟信号,并据以输出第一扫描信号。第一下拉单元耦接第一预充电单元与第一上拉单元,接收第一预充电信号、第一电平信号以及第二电平信号以控制第一扫描信号的电平。第二双向移位暂存装置具有 M 级串接在一起且分别对应偶数行像素的第二移位寄存器,第 j 级第二移位寄存器包括第二预充电单元、第二上拉单元以及第二下拉单元。当 j 为大于等于 3 且小于等于 $M-2$ 的正整数时,第二预充电单元接收第 $(j-2)$ 级与第 $(j+2)$ 级第二移位寄存器的输出,并据以输出第二预充电信号,其中 N 为预设正整数。当 j 等于 1 或 2 时,第二预充电单元接收第三起始信号与第 $(j+2)$ 级第二移位寄存器的输出,并据以输出第二预充电信号。当 j 等于 $(M-1)$ 或 M 时,第二预充电单元接收第四起始信号与第 $(j-2)$ 级第二移位寄存器的输出,并据以输出第二预充电信号。第二上拉单元耦接第二预充电单元,接收第二预充电信号与第二预设时钟信号,并据以输出第二扫描信号。第二下拉单元耦接第二预充电单元与第二上拉单元,接收第二预充电信号、第三电平信号以及第四电平信号以控制第二扫描信号的电平。驱动电路耦接液晶显示面板,用以驱动液晶显示面板显示画面,并且提供多个预设时钟信号以作为第一预设时钟信号以及第二预设时钟信号。背光模块用以提供液晶显示面板所需的光源。

[0007] 基于上述,本发明实施例提出一种液晶显示器及其双向移位暂存装置,可去除双向移位暂存装置中冗余移位寄存器的设置,避免冗余移位寄存器中的晶体管因不停的开关而遭受应力效应的情况发生。如此一来,可进一步地提高双向移位暂存装置的可靠度。

[0008] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

附图说明

[0009] 图 1 为本发明一实施例的液晶显示器的示意图。

[0010] 图 2A 与 2B 为依照图 1 实施例的双向移位暂存装置的示意图。

[0011] 图 3 为依照图 2A 实施例的移位寄存器的示意图。

[0012] 图 4A ~ 图 4D 为依照图 3 实施例的第 1 级、第 2 级、第 $(N-1)$ 级以及第 N 级移位寄存器的预充电单元的示意图。

[0013] 图 5A ~ 图 5F 为依照图 3 实施例的第 1 级至第 4 级、第 $(N-1)$ 级以及第 N 级移位寄存器的电路操作示意图。

[0014] 图 6 为依照图 3 实施例的移位寄存器的电路示意图。

[0015] 图 7A 与 7B 为本发明一实施例的双向移位暂存装置的信号时序示意图。

[0016] 图 8A 与 8B 为本发明另一实施例的双向移位暂存装置的信号时序示意图。

[0017] [标号说明]

[0018] 100 :液晶显示器 110 :液晶显示面板

[0019] 112_L、112_R :双向移位暂存装置

[0020] 120 :驱动电路 122 :时序控制器

[0021] 124 :移位寄存器 130 :背光模块

[0022] 310、310_1 ~ 310_4、310_(N-1)、310_N :预充电单元

- | | | |
|--------|--|----------------|
| [0023] | 320、320_1 ~ 320_4、320_(N-1)、320_N : 上拉单元 | |
| [0024] | 330、330_1 ~ 330_4、330_(N-1)、330_N : 下拉单元 | |
| [0025] | 332、332_1 ~ 332_4、332_(N-1)、332_N : 第一放电单元 | |
| [0026] | 334、334_1 ~ 334_4、334_(N-1)、334_N : 第二放电单元 | |
| [0027] | AA : 显示区 | BW : 逆向输入信号 |
| [0028] | FW : 顺向输入信号 | C1 : 电容 |
| [0029] | M1 ~ M13 : 晶体管 | |
| [0030] | CLK1_L ~ CLK4_L、CLK1_R ~ CLK4_R : 时钟信号 | |
| [0031] | PCS : 预充电信号 | PCK : 预设时钟信号 |
| [0032] | VPWL1 : 第一电平信号 | VPWL2 : 第二电平信号 |
| [0033] | SS _i _L ~ SS _N _L、SS _i _R ~ SS _M _R、SS _i _L、SS _j _R : 扫描信号 | |
| [0034] | STV1_L、STV2_L、STV1_R、STV2_R : 起始信号 | |
| [0035] | SR1 ₁ ~ SR1 _N 、SR2 ₁ ~ SR2 _M 、SR1 _i 、SR2 _j : 移位寄存器 | |
| [0036] | V _{ss} : 参考电位 | 0、P、S、X : 节点 |
| [0037] | t ₁ ~ t ₉ : 时间 | |

具体实施方式

[0038] 现将详细参考本发明的示范性实施例,在附图中说明所述示范性实施例的实例。另外,凡可能之处,在图式及实施方式中使用相同标号的元件/构件/符号代表相同或类似部分。

[0039] 图1为本发明一实施例的液晶显示器的示意图。请参照图1,液晶显示器100包括液晶显示面板110、驱动电路120,以及用以提供液晶显示面板110所需的(背)光源的背光模块130。

[0040] 液晶显示面板 110 包括基板（未绘示，例如为玻璃基板）、显示区（display area）AA，以及双向移位暂存装置 112_L 与 112_R。于本示范性实施例中，液晶显示面板 110 的显示区 AA 内具有多个以矩阵方式排行的像素（图中以 X*Y 来表示，X、Y 皆为正整数）。一般来说，X*Y 亦可表示为液晶显示器 110 的显示分辨率（display resolution），例如 1024*768，但并不限制于此。双向移位暂存装置 112_L 与 112_R 分别直接配置于液晶显示面板 110 的基板上的两侧，并且经由对应的扫描线分别耦接至奇数行像素与偶数行像素。

[0041] 驱动电路 120 包括时序控制器 122 以及源极驱动器 124。在驱动电路 120 中, 时序控制器 120 可提供多个预设时钟信号 (如 STV1_L、STV2_L、STV1_R、STV2_R、CLK1_L ~ CLK4_L、CLK1_R ~ CLK4_R) 来控制双向移位暂存装置 112_L 与 112_R 的操作。甚至, 源极驱动器 124 也受控于时序控制器 122 而输出多个像素电压以驱动液晶显示面板 110 内对应的像素。

[0042] 详细而言,双向移位暂存装置 112_L 受控于时序控制器 122,并且反应于时序控制器 122 所提供的起始信号 STV1_L 与 STV2_L 以及时钟信号 CLK1_L ~ CLK4_L 而输出多个扫描信号 SS₁_L ~ SS_N_L。值得一提的是,本实施例中的扫描信号 SS₁_L ~ SS_N_L 会经由对应的扫描线提供至液晶显示面板 110 的奇数行像素,藉以序行地开启奇数行像素。在此,N 为对应奇数行像素的行数的一预设正整数,且 N 值等于奇数行像素的行数。由此可见,双向移位

暂存装置 112_L 所输出的扫描信号 $SS_{1_L} \sim SS_{N_L}$ 全数用来开启显示区 AA 的奇数行像素, 即双向移位暂存装置 112_L 并不具有或者无须配置冗余 (dummy) 移位寄存器。

[0043] 相似地, 双向移位暂存装置 112_R 会反应于时序控制器 122 所提供的起始信号 $STV1_R$ 与 $STV2_R$ 以及时钟信号 $CLK1_R \sim CLK4_R$ 而输出多个扫描信号 $SS_{1_R} \sim SS_{M_R}$ 。在本实施例中, 扫描信号 $SS_{1_R} \sim SS_{M_R}$ 则会经由对应的扫描线提供至液晶显示面板 110 的偶数行像素, 藉以序行地开启偶数行像素。在此, M 为对应偶数行像素的行数的一预设正整数, 且 M 值等于偶数行像素的行数。由此可见, 双向移位暂存装置 112_R 所输出的扫描信号 $SS_{1_R} \sim SS_{M_R}$ 全数用来开启显示区 AA 的偶数行像素, 即双向移位暂存装置 112_R 并不具有或者无须配置冗余移位寄存器。

[0044] 根据上述的驱动方式, 液晶显示面板 110 的每一行像素会依据对应的扫描信号 $SS_{1_L} \sim SS_{N_L}$ 与 $SS_{1_R} \sim SS_{M_R}$ 而依序被开启。在本实施例中, 时序控制器 122 可藉由提供不同的预设时钟信号来控制双向移位暂存装置 112_L 与 112_R 的扫描顺序, 使得双向移位暂存装置 112_L 与 112_R 以顺向 (即由第一行至最后一行) 或逆向 (即由最后一行至第一行) 的扫描顺序来依序开启位于显示区 AA 内的每一行像素。

[0045] 更清楚来说, 图 2A 与 2B 分别为双向移位暂存装置 112_L 与 112_R 的示意图。请先参照图 2A, 双向移位暂存装置 112_L 包括 N 级实质上相同且彼此串接在一起的移位寄存器 $SR1_1 \sim SR1_N$ 。基于前述, 本发明的双向移位暂存装置 112_L 并不具备冗余移位寄存器。因此, 第 1 级、第 2 级、第 (N-1) 级与第 N 级移位寄存器 $SR1_1$ 、 $SR1_2$ 、 $SR1_{N-1}$ 、 $SR1_N$ 所分别输出的扫描信号 SS_{1_L} 、 SS_{2_L} 、 SS_{N-1_L} 、 SS_{N_L} 同样用以拿来开启显示区 AA 内的像素。也就是说, 第 1 级、第 2 级、第 (N-1) 级与第 N 级移位寄存器 $SR1_1$ 、 $SR1_2$ 、 $SR1_{N-1}$ 、 $SR1_N$ 所分别输出的扫描信号 SS_{1_L} 、 SS_{2_L} 、 SS_{N-1_L} 、 SS_{N_L} 会分别经由对应的扫描线以序行地开启相应的奇数行像素。另一方面, 第 3 级移位寄存器 $SR1_3$ 至第 N-2 级移位寄存器 $SR1_{N-2}$ 的输出 $SS_{3_L} \sim SS_{N-2_L}$ 则会分别经由对应的扫描线以序行地开启相应的奇数行像素。

[0046] 相似地, 请参照图 2B, 双向移位暂存装置 112_R 包括 M 级实质上相同且彼此串接在一起的移位寄存器 $SR2_1 \sim SR2_M$ 。其中第 1 级、第 2 级、第 (M-1) 级与第 M 级移位寄存器 $SR2_1$ 、 $SR2_2$ 、 $SR2_{M-1}$ 、 $SR2_M$ 所分别输出的扫描信号 SS_{1_R} 、 SS_{2_R} 、 SS_{M-1_R} 、 SS_{M_R} 会分别经由对应的扫描线以序行地开启相应的偶数行像素。另一方面, 第 3 级移位寄存器 $SR2_3$ 至第 M-2 级移位寄存器 $SR2_{M-2}$ 的输出 $SS_{3_R} \sim SS_{M-2_R}$ 则会分别经由对应的扫描线以序行地开启相应的偶数行像素。

[0047] 在本实施例中, 双向移位暂存装置 112_L 与 112_R 可依据顺向输入信号 FW 与逆向输入信号 BW 而以顺向或逆向的扫描顺序分别序行地输出扫描信号 $SS_{1_L} \sim SS_{N_L}$ 与 $SS_{1_R} \sim SS_{M_R}$, 其中顺向输入信号 FW 与逆向输入信号 BW 可为时序控制器 122 所提供, 或者可由额外的信号产生单元所提供, 本发明不以此为限。

[0048] 在以下的实施例说明中, 由于各级移位寄存器 $SR1_1 \sim SR1_N$ 与 $SR2_1 \sim SR2_M$ 的运作原理与电路架构大致相同, 故主要以双向移位暂存装置 112_L 的第 i 级移位寄存器 $SR1_i$ 为例来进行说明。于本领域技术人员应可从下述说明中直接而无歧异地推知双向移位暂存装置 112_R 及其各级移位寄存器 $SR2_1 \sim SR2_M$ 的运作原理与电路架构, 故后述实施例中仅会针对双向移位暂存装置 112_R 与双向移位暂存装置 112_L 的不同之处加以说明, 重复之处将不再赘述。

[0049] 图3为依照图2A实施例的移位寄存器的示意图。请同时参照图2A与图3,第 i 级移位寄存器 $SR1_i$ 包括预充电单元310、上拉单元320,以及下拉单元330。需特别说明的是,预充电单元310接收第 $(i-2)$ 级与第 $(i+2)$ 级移位寄存器 $SR1_{i-2}$ 与 $SR1_{i+2}$ 的输出,并据以输出预充电信号PCS,其中 $3 \leq i \leq N-2$ 。换言之,除了第1级、第2级、第 $(N-1)$ 级以及第 N 级寄存器之外的各个移位寄存器 $SR1_i$ 的预充电单元310会分别接收前二级与后二级移位寄存器 $SR1_{i-2}$ 与 $SR1_{i+2}$ 所输出的扫描信号 SS_{i-2_L} 与 SS_{i+2_L} 而据以产生对应的预充电信号PCS。

[0050] 另一方面,如图2A所示,第1级以及第2级移位寄存器则是利用时序控制器122所提供的起始信号 $STV1_L$,以产生对应的预充电信号PCS。而第 $(N-1)$ 级以及第 N 级移位寄存器则是利用时序控制器122所提供的起始信号 $STV2_L$,以产生对应的预充电信号PCS。需特别说明的是,在本实施例中,起始信号 $STV1_L$ (在顺向扫描的条件)与 $STV2_L$ (在逆向扫描的条件)并非仅用以产生对应的预充电信号PCS,起始信号 $STV1_L$ (在逆向扫描的条件)与 $STV2_L$ (在顺向扫描的条件)另一方面也可将预充电信号PCS的电压电平下拉至参考电位。

[0051] 图4A~图4D为依照图3实施例的第1级、第2级、第 $(N-1)$ 级以及第 N 级移位寄存器的预充电单元的示意图。请先参照4A,第1级移位寄存器 $SR1_1$ 的预充电单元310_1接收起始信号 $STV1_L$ 与第3级移位寄存器 $SR1_3$ 所输出的扫描信号 SS_3_L 。请参照4B,第2级移位寄存器 $SR1_2$ 的预充电单元310_2接收起始信号 $STV1_L$ 与第4级移位寄存器 $SR1_4$ 所输出的扫描信号 SS_4_L 。请参照4C,第 $N-1$ 级移位寄存器 $SR1_{N-1}$ 的预充电单元310_($N-1$)接收第 $(N-3)$ 级移位寄存器 $SR1_{N-3}$ 所输出的扫描信号 SS_{N-3_L} 与起始信号 $STV2_L$ 。请参照4D,且第 N 级移位寄存器 $SR1_N$ 的预充电单元310_N接收第 $(N-2)$ 级移位寄存器 $SR1_{N-2}$ 所输出的扫描信号 SS_{N-2_L} 与起始信号 $STV2_L$ 。

[0052] 进一步来说,第1级、第2级、第 $(N-1)$ 级以及第 N 级移位寄存器也分别利用起始信号 $STV1_L$ 与 $STV2_L$ 将预充电信号PCS的电压电平下拉至参考电位。需注意的是,当起始信号 $STV1_L$ 作为驱动移位暂存装置112_L的信号时,起始信号 $STV2_L$ 可作为致使第 $(N-1)$ 级以及第 N 级移位寄存器的预充电信号PCS下拉至低电位的信号。当起始信号 $STV2_L$ 作为驱动移位暂存装置112_L的信号时,起始信号 $STV1_L$ 可作为致使第1级以及第2级移位寄存器的预充电信号PCS下拉至低电位的信号,此详细内容将于后述的电路操作中清楚说明。

[0053] 此外,每一级移位寄存器 $SR1_i \sim SR1_N$ 的预充电单元还接收顺向输入信号FW与逆向输入信号BW,以使双向移位暂存装置112_L依据顺向输入信号FW与逆向输入信号BW而利用顺向扫描或逆向扫描的扫描顺序来驱动显示区AA中的奇数行像素。举例来说,双向移位暂存装置112_L可依据致能的顺向输入信号FW与禁能的逆向输入信号BW而依照第一行至最后一行的顺序来驱动奇数行像素(顺向扫描),并且依据禁能的顺向输入信号FW与致能的逆向输入信号BW而依照最后一行至第一行的顺序来驱动奇数行像素(逆向扫描)。

[0054] 请继续参照图3,上拉单元320耦接预充电单元310,接收预充电信号PCS与第一预设时钟信号PCK,并据以输出扫描信号 SS_i_L 。下拉单元330耦接预充电单元310与上拉单元320,且下拉单元330包括第一放电单元332以及第二放电单元334。其中,第一放电单元332与第二放电单元334接收预充电信号PCS、第一电平信号VPWL1以及第二电平信号

VPWL2,并据以决定是否将扫描信号 SS_i_L 下拉并维持于参考电位 V_{ss} (例如为一个负电压,但并不限于此)。其中,第一电平信号 VPWL1 与第二电平信号 VPWL2 互为反相信号。由于第一电平信号 VPWL1 与第二电平信号 VPWL2 互为反相信号,于本实施例中,第一放电单元 332 以及第二放电单元 334 其中之一会对进行放电动作,以将扫描信号 SS_i_L 下拉并维持于参考电位 V_{ss} 。

[0055] 详细而言,时序控制器 122 会将不同的时钟信号 $CLK1_L \sim CLK4_L$ 依序提供至每一级移位寄存器 $SR1_1 \sim SR1_N$ 以作为对应的预设时钟信号 PCK,以使每一级移位寄存器 $SR1_1 \sim SR1_N$ 可利用顺向扫描或逆向扫描的扫描顺序来驱动显示区 AA 中的奇数行像素。其中,时序控制器 122 所提供的起始信号 $STV1_L$ 与 $STV2_L$ 以及时钟信号 $CLK1_L \sim CLK4_L$ 的信号波形会基于顺向扫描或逆向扫描的驱动方式而有所不同(此部分可在后述实施例的信号时序示意图中明显看出)。

[0056] 在顺向扫描的驱动状态下,图 5A ~ 图 5F 为依照图 3 实施例的第 1 级至第 4 级、第 (N-1) 级以及第 N 级移位寄存器的电路操作示意图。请先参照 5A,在双向移位暂存装置 112_L 对显示区 AA 进行正向扫描的条件下,以第 1 级移位寄存器 $SR1_1$ ($i=1$) 为例,第 1 级移位寄存器 $SR1_1$ 的预充电单元 310_1 接收起始信号 $STV1_L$ 与扫描信号 SS_3_L ;第 1 级移位寄存器 $SR1_1$ 的上拉单元 320_1 所接收的预设时钟信号 PCK 为时钟信号 $CLK3_L$ 。

[0057] 请参照图 5B,在双向移位暂存装置 112_L 对显示区 AA 进行正向扫描的条件下,以第 2 级移位寄存器 $SR1_2$ ($i=2$) 为例,第 2 级移位寄存器 $SR1_2$ 的预充电单元 310_2 接收起始信号 $STV1_L$ 与扫描信号 SS_4_L ;第 2 级移位寄存器 $SR1_2$ 的上拉单元 320_2 所接收的预设时钟信号 PCK 为时钟信号 $CLK4_L$ 。

[0058] 请参照图 5C,在双向移位暂存装置 112_L 对显示区 AA 进行正向扫描的条件下,以第 3 级移位寄存器 $SR1_3$ ($i=3$) 为例,第 3 级移位寄存器 $SR1_3$ 的预充电单元 310_3 接收扫描信号 SS_1_L 与扫描信号 SS_5_L ;第 3 级移位寄存器 $SR1_3$ 的上拉单元 320_3 所接收的预设时钟信号 PCK 为时钟信号 $CLK1_L$ 。

[0059] 请参照图 5D,在双向移位暂存装置 112_L 对显示区 AA 进行正向扫描的条件下,以第 4 级移位寄存器 $SR1_4$ ($i=4$) 为例,第 4 级移位寄存器 $SR1_4$ 的预充电单元 310_4 接收扫描信号 SS_2_L 与扫描信号 SS_6_L ;第 4 级移位寄存器 $SR1_4$ 的上拉单元 320_4 所接收的预设时钟信号 PCK 为时钟信号 $CLK2_L$ 。

[0060] 由此可知,第 $4k-3$ 级移位寄存器 $SR1_i$ ($i=4k-3$, k 为正整数) 会分别以 $CLK3_L$ 作为预设时钟信号 PCK。第 $4k-2$ 级移位寄存器 $SR1_i$ ($i=4k-2$) 会分别以 $CLK4_L$ 作为预设时钟信号 PCK。第 $4k-1$ 级移位寄存器 $SR1_i$ ($i=4k-1$) 会分别以 $CLK1_L$ 作为预设时钟信号 PCK。第 $4k$ 级移位寄存器 $SR1_i$ ($i=4k$) 会分别以 $CLK2_L$ 作为预设时钟信号 PCK。亦即,各级移位寄存器 $SR1_1 \sim SR1_N$ 会依序以时钟信号 $CLK3_L$ 、 $CLK4_L$ 、 $CLK1_L$ 及 $CLK2_L$ 作为预设时钟信号 PCK。

[0061] 在本实施例中,假设 N 为 4 的倍数。基此,如图 5E 所示,在双向移位暂存装置 112_L 对显示区 AA 进行正向扫描的条件下,以第 (N-1) 级移位寄存器 $SR1_{N-1}$ ($i=N-1$) 为例,第 (N-1) 级移位寄存器 $SR1_{N-1}$ 的预充电单元 310_(N-1) 接收起始信号 $STV2_L$ 与扫描信号 SS_{N-3_L} ;第 (N-1) 级移位寄存器 $SR1_{N-1}$ 的上拉单元 320_(N-1) 所接收的预设时钟信号 PCK 为时钟信号 $CLK1_L$ 。

[0062] 如图 5F 所示,在双向移位暂存装置 112_L 对显示区 AA 进行正向扫描的条件下,以第 N 级移位寄存器 $SR1_N$ ($i=N$) 为例,第 N 级移位寄存器 $SR1_N$ 的预充电单元 310_N 接收起始信号 STV2_L 与扫描信号 SS_{N-2_L} ;第 N 级移位寄存器 $SR1_N$ 的上拉单元 320_N 所接收的预设时钟信号 PCK 为时钟信号 CLK2_L。需说明的是,虽然本实施例以 N 为 4 的倍数进行说明,但本发明对此并不限制。于其它实施例当中,若 N 不是 4 的倍数,最后两级移位寄存器的上拉单元所接收的预设时钟信号 PCK 将视级数 N 而定。

[0063] 为了更清楚地说明图 3 实施例,图 6 为依照图 3 实施例的移位寄存器的电路示意图。请参照图 6,预充电单元 310 包括晶体管 M1 与 M2,上拉单元 320 包括晶体管 M3 与电容 C1,下拉单元 330 的第一放电单元 332 包括晶体管 M4 ~ M8,且下拉单元 330 的第二放电单元 334 包括晶体管 M9 ~ M13。其中,在本实施例中所述的各个晶体管 M1 ~ M13 是以 N 型晶体管为例,但本发明并不以此为限。

[0064] 在第 i 级移位寄存器 $SR1_i$ 的预充电单元 310 中,晶体管 M1 的栅极接收第 i-2 级移位寄存器 $SR1_{i-2}$ 所输出的扫描信号 SS_{i-2_L} (在 $3 \leq i \leq N-2$ 的条件) 或者起始信号 STV1_L (在 $i < 3$ 的条件),且晶体管 M1 的漏极接收顺向输入信号 FW。晶体管 M2 的栅极接收第 i+2 级移位寄存器 $SR1_{i+2}$ 所输出的扫描信号 SS_{i+2_L} (在 $3 \leq i \leq N-2$ 的条件) 或者起始信号 STV2_L (在 $N-2 < i$ 的条件),晶体管 M2 的源极耦接晶体管 M1 的源极并且共同耦接至节点 X 以输出预充电信号 PCS,且晶体管 M2 的漏极接收逆向输入信号 BW。

[0065] 在第 i 级移位寄存器 $SR1_i$ 的上拉单元 320 中,晶体管 M3 的栅极经由节点 X 接收预充电信号 PCS,晶体管 M3 的漏极接收预设时钟信号 PCK,且晶体管 M3 的源极输出扫描信号 SS_i_L 。电容 C1 的第一端耦接晶体管 M3 的栅极与节点 X,且电容 C1 的第二端耦接晶体管 M3 的源极。

[0066] 在第 i 级移位寄存器 $SR1_i$ 的第一放电单元 332 中,晶体管 M4 的栅极与晶体管 M4 的漏极耦接在一起以接收第一电平信号 VPWL1。晶体管 M5 的栅极耦接晶体管 M1 的源极与晶体管 M2 的源极以接收预充电信号 PCS,晶体管 M5 的漏极耦接晶体管 M4 的源极,且晶体管 M5 的源极耦接参考电位 V_{ss} 。晶体管 M6 的栅极接收第二电平信号 VPWL2,晶体管 M6 的漏极耦接晶体管 M4 的源极,且晶体管 M6 的源极耦接参考电位 V_{ss} 。晶体管 M7 的栅极耦接晶体管 M4 的源极与晶体管 M6 的漏极,晶体管 M7 的漏极耦接晶体管 M1 的源极与晶体管 M2 的源极,且晶体管 M7 的源极耦接参考电位 V_{ss} 。晶体管 M8 的栅极耦接晶体管 M7 的栅极,晶体管 M8 的漏极耦接晶体管 M3 的源极,且晶体管 M8 的源极耦接参考电位 V_{ss} 。

[0067] 在第 i 级移位寄存器 $SR1_i$ 的第二放电单元 334 中,晶体管 M9 的栅极与晶体管 M9 的漏极耦接在一起以接收第二电平信号 VPWL2。晶体管 M10 的栅极耦接晶体管 M1 的源极与晶体管 M2 的源极以接收预充电信号 PCS,晶体管 M10 的漏极耦接晶体管 M9 的源极,且晶体管 M10 的源极耦接参考电位 V_{ss} 。晶体管 M11 的栅极接收第一电平信号 VPWL1,晶体管 M11 的漏极耦接晶体管 M9 的源极,且晶体管 M11 的源极耦接参考电位 V_{ss} 。晶体管 M12 的栅极耦接晶体管 M9 的源极与晶体管 M11 的漏极,晶体管 M12 的漏极耦接晶体管 M1 的源极与晶体管 M2 的源极,且晶体管 M12 的源极耦接参考电位 V_{ss} 。晶体管 M13 的栅极耦接晶体管 M12 的栅极,晶体管 M13 的漏极耦接晶体管 M3 的源极,且晶体管 M13 的源极耦接参考电位 V_{ss} 。

[0068] 于此,为了要清楚说明图 6 的移位寄存器 $SR1_i$ 的运作原理,图 7A 绘示双向移位暂存装置 112_L 对显示区 AA 中的奇数行像素进行顺向扫描的信号时序示意图。

[0069] 请先参照图 7A, 从图 7A 中可清楚地看出, 在顺向扫描的驱动状态下, 移位寄存器 $SR1_i$ 接收高电位的顺向扫描信号 FW 以及低电位的逆向扫描信号 BW, 且移位寄存器 $SR1_i$ 接收互为反相的第一电平信号 VPWL1 与第二电平信号 VPWL2。另, 时序控制器 122 会提供具有特定责任周期 (duty cycle) 且具有不同相位差的时钟信号 CLK3_L、CLK4_L、CLK1_L 以及 CLK2_L。在本实施例中, 各个时钟信号 CLK1_L ~ CLK4_L 的责任周期是以 50% 为例, 且时序控制器 122 是依照 CLK3_L → CLK4_L → CLK1_L → CLK2_L 的顺序而产生相位依序落后前一信号 90 度的时钟信号 CLK1_L ~ CLK4_L, 亦即每个时钟信号 CLK3_L、CLK4_L、CLK1_L 以及 CLK2_L 的致能时间 (信号提升至高电位的时间, 亦为每一脉冲的脉冲宽度) 依序与前一时钟信号有 50% 的重迭, 但本发明并不以此为限。举例来说, 时钟信号 CLK4_L 的相位会落后于时钟信号 CLK3_L 并且具有 90 度的相位差, 时钟信号 CLK1_L 的相位会落后于时钟信号 CLK4_L 并且具有 90 度的相位差, 时钟信号 CLK2_L 的相位会落后于时钟信号 CLK1_L 并且具有 90 度的相位差。

[0070] 另外, 在本实施例中, 时钟信号 CLK3_L 在一个帧期间 (frame period) 内的第一个脉冲 (pulse) 的致能时间会晚于起始信号 STV1_L 的致能时间, 并且与起始信号 STV1_L 的致能时间并无重迭。当起始信号 STV1_L 从致能转换为禁能时, 时钟信号 CLK3_L 致能。此外, 起始信号 STV2_L 的致能时间取决于级数 N 的大小, 起始信号 STV2_L 的致能时间会晚于最后一级移位寄存器的扫描信号 SS_N_L 的致能时间, 且起始信号 STV2_L 的致能时间与最后一级移位寄存器的扫描信号 SS_N_L 的致能时间并无重迭。当最后一级移位寄存器的扫描信号 SS_N_L 由致能转换为禁能时, 起始信号 STV2_L 由禁能转换为致能。于是, 级数 N 的数目越大, 起始信号 STV2_L 的致能时间晚于起始信号 STV1_L 的致能时间越久。

[0071] 请合并参照图 2A、图 6 以及图 7A, 以第 1 级移位寄存器 $SR1_i$ 为例, 在时间 $t1 \sim t3$ 的期间, 预充电单元 310 的晶体管 M1 反应于致能的起始信号 STV1_L 而导通, 并且晶体管 M2 反应于禁能的扫描信号 SS_3_L 而截止, 使得预充电单元 310 输出对应的预充电信号 PCS 来对节点 X 进行预充电。在此期间内, 由于上拉单元 320 是接收禁能的时钟信号 CLK3_L, 故无论晶体管 M3 是否会被预充电信号 PCS 所导通, 扫描信号 SS_1_L 皆会位于参考电位 V_{ss} 。

[0072] 在时间 $t3 \sim t5$ 的期间, 预充电单元 310 的晶体管 M1 与 M2 分别反应于禁能的起始信号 STV1_L 与禁能的扫描信号 SS_3_L 而截止。上拉单元 320 接收到致能的时钟信号 CLK3_L, 在此期间内, 节点 X 会通过晶体管 M3 的漏极与栅极间的耦合效应 (coupling effect) 而被拉升, 使得晶体管 M3 被导通而输出高电位的扫描信号 SS_1_L 。

[0073] 另一方面, 第一放电单元 332 的晶体管 M5 反应于其栅极接收到的预充电信号 PCS 而导通。基此, 由于晶体管 M5 会被节点 X 的高电位导通, 且晶体管 M6 反应于禁能的第二电平信号 VPWL2 而截止。节点 P 的电位会因为晶体管 M5 的导通而被下拉至低电位, 因此使得晶体管 M7 与 M8 被截止而不会对节点 O 与节点 X 进行放电的动作。故第一放电单元 332 并不会于时间 $t3 \sim t5$ 影响扫描信号 SS_1_L 的输出, 使扫描信号 SS_1_L 在时间 $t3 \sim t5$ 的期间内维持在高电位。

[0074] 另一方面, 第二放电单元 332 的晶体管 M9 反应于禁能的第二电平信号 VPWL2 而截止, 因此节点 S 维持于低电位。另外, 晶体管 M10 反应于其栅极接收到的预充电信号 PCS 而导通, 且晶体管 M11 反应于致能的第一电平信号 VPWL1 而导通。节点 S 的电位会因为晶体管 M10 与晶体管 M11 的导通而更稳定地维持于低电位, 因此使得晶体管 M12 与 M13 被截止

而不会对节点 0 与节点 X 进行放电的动作。故第二放电单元 334 并不会于时间 $t_3 \sim t_5$ 影响扫描信号 SS_{i_L} 的输出,使扫描信号 SS_{i_L} 在时间 $t_3 \sim t_5$ 的期间内维持在高电位。

[0075] 在时间 $t_5 \sim t_7$ 的期间,预充电单元 310 的晶体管 M1 反应于禁能的起始信号 $STV1_L$ 而截止,并且晶体管 M2 反应于致能的扫描信号 SS_3_L 而导通,在此期间内,预充电单元 310 会经由导通的晶体管 M2 对节点 X 进行放电。如此一来,节点 X 的低电位将使晶体管 M5 截止,且晶体管 M6 反应于禁能的第二电平信号 $VPWL2$ 而截止。致能的第一电平信号 $VPWL1$ 会致使晶体管 M4 导通,而晶体管 M4 的导通使节点 P 的电压可被拉升至接近第一电平信号 $VPWL1$ 的电位,进而让节点 P 的电压导通晶体管 M7 与晶体管 M8。基此,第一放电单元 332 的晶体管 M7 与 M8 会反应于节点 P 的电压而导通,以分别对节点 X 与节点 0 进行放电。因此,扫描信号 SS_{i_L} 可在时间 t_5 迅速地被下拉至参考电位 V_{ss} ,并且在时间 $t_5 \sim t_7$ 的期间内维持在参考电位 V_{ss} 。

[0076] 另一方面,在相同时间 $t_5 \sim t_7$ 的期间,预充电单元 310 的晶体管 M1 反应于禁能的起始信号 $STV1_L$ 而截止,并且晶体管 M2 反应于致能的扫描信号 SS_3_L 而导通,在此期间内,预充电单元 310 会经由导通的晶体管 M2 对节点 X 进行放电。如此一来,节点 X 的低电位将使晶体管 M10 截止,晶体管 M11 反应于致能的第一电平信号 $VPWL1$ 而导通,且晶体管 M9 反应于禁能的第二电平信号 $VPWL2$ 而截止。也就是说,节点 S 的电压依然维持于低电位,晶体管 M12 与晶体管 M13 并不会导通。换言之,由于第二放电单元 334 受控于致能的第一电平信号 $VPWL1$ 与禁能的第二电平信号 $VPWL2$,因此第二放电单元 334 并不会对节点 X 与节点 0 进行放电。其中,第一电平信号 $VPWL1$ 与第二电平信号 $VPWL2$ 互为反相信号。由此可知,当第一电平信号 $VPWL1$ 为高电位时,第一放电单元 332 可对节点 X 进行放电以将扫描信号 SS_{i_L} 下拉 / 维持在参考电位 V_{ss} 。当第二电平信号 $VPWL2$ 为高电位时,第二放电单元 334 可对节点 X 进行放电以将扫描信号 SS_{i_L} 下拉 / 维持在参考电位 V_{ss} 。

[0077] 紧接着,在时间 $t_7 \sim t_9$,预充电单元 310 的晶体管 M1 与 M2 分别反应于禁能的起始信号 $STV1_L$ 与禁能的扫描信号 SS_3_L 而截止。上拉单元 320 同样会接收到致能的时钟信号 $CLK3_L$,不过由于节点 X 已经在前一期间被放电至参考电位 V_{ss} ,因此第一放电单元 332 的晶体管 M5 在此期间内并不会被导通,使节点 0 在时间 $t_7 \sim t_9$ 的期间内持续地被维持在参考电位 V_{ss} 。

[0078] 基此,在同一帧期间内的移位寄存器 $SR1_i$ 的于时间 t_9 之后的后续操作皆可参照上述时间 $t_5 \sim t_7$ 与 $t_7 \sim t_9$ 的操作说明,于此不再赘述。另外,虽然上述示范性实施例仅以描述第 i 级移位寄存器 $SR1_i$ 的运作原理做说明,但其余移位寄存器的运作原理皆与第 i 级移位寄存器 $SR1_i$ 类似,故而在此并不再加以赘述之。

[0079] 需特别说明的是,在顺向扫描的过程中,当移位寄存器 $SR1_i$ 的晶体管 M1 的栅极接收到高电位的信号而导通时,将对节点 X 进行预充电动作,使得上拉单元 320 可以依据预设时钟信号而输出高电位的扫描信号 SS_{i_L} 。另一方面,当移位寄存器 $SR1_i$ 的晶体管 M2 的栅极接收到高电位的信号而导通时,晶体管 M2 将对节点 X 进行放电的动作,使得下拉单元 330 可以依据第一电平信号 $VPWL1$ 与第二电平信号 $VPWL2$ 而将扫描信号 SS_{i_L} 拉低并维持于参考电位。

[0080] 于此基础下,由于第 1 级与第 2 级移位寄存器各自并不具备前两级移位寄存器,也就无法接收到前两 2 级移位寄存器的扫描信号而进行预充电的动作。因此,本发明的实施

例将起始信号 STV1_L 分别输入至第 1 级与第 2 级移位寄存器 SR1₁ 与 SR1₂, 以作为导通第 1 级与第 2 级移位寄存器中晶体管 M1 的信号。如此一来, 第 1 级与第 2 级移位寄存器 SR1₁ 与 SR1₂ 将因为各自接收到的预设时钟信号 CLK3_L 与 CLK4_L 而对各自的节点 X 进行预充电的动作。

[0081] 另外, 在顺向扫描的条件下, 由于第 (N-1) 级与第 N 级移位寄存器各自并不具备后两级移位寄存器, 也就无法接收到后两 2 级移位寄存器的扫描信号而进行放电的动作。因此, 本发明的实施例将起始信号 STV2_L 分别输入至第 (N-1) 级与第 N 级移位寄存器, 以作为导通第 (N-1) 级与第 N 级移位寄存器中晶体管 M2 的信号。如此一来, 第 (N-1) 级与第 N 级移位寄存器将因为起始信号 STV2_L 而对各自的节点 X 进行放电的动作。由此可见, 所有的移位寄存器 SS1₁ ~ SS1_N 的扫描信号 SS₁_L ~ SS_N_L 于一帧期间仅会有一个脉冲, 因此所有的移位寄存器 SS1₁ ~ SS1_N 的扫描信号 SS₁_L ~ SS_N_L 皆可以作为用以驱动像素的扫描信号。换言之, 移位暂存装置 112_L 并不需要冗余移位寄存器的设置, 就可以正常的驱动显示区里的每一行奇数行像素。

[0082] 另一方面, 在逆向扫描的驱动状态下, 移位寄存器 SR1₁ ~ SR1_N 接收高电位的逆向扫描信号 BW 与低电位的顺向扫描信号 FW, 且移位寄存器 SR1₁ 接收互为反相的第一电平信号 VPWL1 与第二电平信号 VPWL2。其中, 时序控制器 122 所提供的起始信号 STV1_L 与 STV2_L 以及时钟信号 CLK1_L ~ CLK4_L 的信号波形可如图 8A 所示。图 8A 与图 7A 实施例的差异在于时序控制器 122 是依照 CLK2_L → CLK1_L → CLK4_L → CLK3_L 的顺序而产生相位依序落后前一信号 90 度的时钟信号 CLK1_L ~ CLK4_L (顺向扫描的驱动状态下是依照 CLK3_L → CLK4_L → CLK1_L → CLK2_L 的顺序)。

[0083] 另外, 在本实施例中, 起始信号 STV2_L 在一个帧期间内的第一个脉冲的致能时间会早于起始信号 STV1_L 的致能时间, 并且与起始信号 STV1_L 的致能时间并无重迭。当起始信号 STV2_L 从致能转换为禁能时, 时钟信号 CLK2_L 致能。此外, 起始信号 STV1_L 的致能时间取决于级数 N 的大小, 起始信号 STV1_L 的致能时间会晚于第一级移位寄存器的扫描信号 SS₁_L 的致能时间, 且起始信号 STV1_L 的致能时间与第一级移位寄存器的扫描信号 SS₁_L 的致能时间并无重迭。于是, 级数 N 的数目越大, 起始信号 STV1_L 的致能时间晚于起始信号 STV2_L 的致能时间越久。

[0084] 更进一步地说, 对于在逆向扫描的驱动状态下的移位寄存器 SR1₁ ~ SR1_N 而言, 以移位寄存器 SR_N ~ SR_{N-3} 为例, 移位寄存器 SR_N、SR_{N-1}、SR_{N-2} 以及 SR_{N-3} 会依序以时钟信号 CLK2_L、CLK1_L、CLK4_L 及 CLK3_L 作为预设时钟信号 PCK。值得注意的是, 于图式中所绘示的移位寄存器 SR1₁ ~ SR1_N 的级数顺序是以顺向扫描时的扫描顺序 (即由上至下) 作为定义的依据, 但本发明不以此为限。换言之, 在逆向扫描的驱动方式下, 移位寄存器 SR1₁ ~ SR1_N 亦可根据逆向扫描时的扫描顺序 (即由下至上) 来定义移位寄存器 SR1₁ ~ SR1_N 的级数顺序, 例如图 2A 所绘示的移位寄存器 SR1_N、SR1_{N-1}、...、SR1₁ 可依序定义为第 1 级、第 2 级至第 N 级移位寄存器。

[0085] 另一方面, 图 7B 与图 8B 分别绘示双向移位暂存装置 112_R 在顺向扫描与逆向扫描的驱动状态下的信号时序示意图。请合并参照图 2B 与图 7B, 在本实施例中, 双向移位暂存装置 112_R 及其移位寄存器 SR2₁ ~ SR2_M 的架构与操作原理均与双向移位暂存装置 112_L 相同。双向移位暂存装置 112_L 与 112_R 的不同之处仅在于双向移位暂存装置 112_R 是

依据起始信号 STV1_R 与 STV2_R 以及时钟信号 CLK1_R ~ CLK4_R 来依序驱动显示区 AA 内的偶数行像素。

[0086] 详细而言,请同时参照图 7A 与图 7B,在顺向扫描的驱动状态下,起始信号 STV1_R 与 STV2_R 分别对应于起始信号 STV1_L 与 STV2_L,两者间的差异仅在于起始信号 STV1_R 与 STV2_R 的相位分别落后于起始信号 STV1_L 与 STV2_L,并且分别具有 45 度的相位差,亦即起始信号 STV1_L 与 STV1_R 的致能时间有 75% 的重迭,且起始信号 STV2_L 与 STV2_R 的致能时间亦有 75% 的重迭。相似地,时钟信号 CLK1_R ~ CLK4_R 分别依序对应于时钟信号 CLK1_L ~ CLK4_L,两者间的差异亦仅在于时钟信号 CLK1_R ~ CLK4_R 的相位分别落后于时钟信号 CLK1_L ~ CLK4_L,并且分别具有 45 度的相位差,亦即时钟信号 CLK1_L ~ CLK4_L 的致能时间分别与对应的时钟信号 CLK1_R ~ CLK4_R 的致能时间有 75% 的重迭。基于所述的信号时序的差异,双向移位暂存装置 112_R 可依序产生分别与扫描信号 SS₁_L ~ SS_N_L 具有一定相位差的扫描信号 SS₁_R ~ SS_N_R 来驱动偶数行像素,进而使得每一行相邻的像素可依据特定的间隔时间(如时间 t1 ~ t2 的一半)依序开启。

[0087] 综上所述,本发明实施例提出一种液晶显示器及其双向移位暂存装置,其中所述双向移位暂存装置可藉由起始信号的设定而去除双向移位暂存装置中冗余移位寄存器的设置,避免冗余移位寄存器中的晶体管因应力效应而造成晶体管临界电压快速上升。如此一来,将不会有冗余移位寄存器操作异常的情况发生,以进一步地提高双向移位暂存装置的可靠度。另外,由于本发明的移位寄存器的晶体管元件不具备冗余移位寄存器,因此可进一步缩减移位暂存装置的电路布局面积。

[0088] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视所附的权利要求范围所界定者为准。

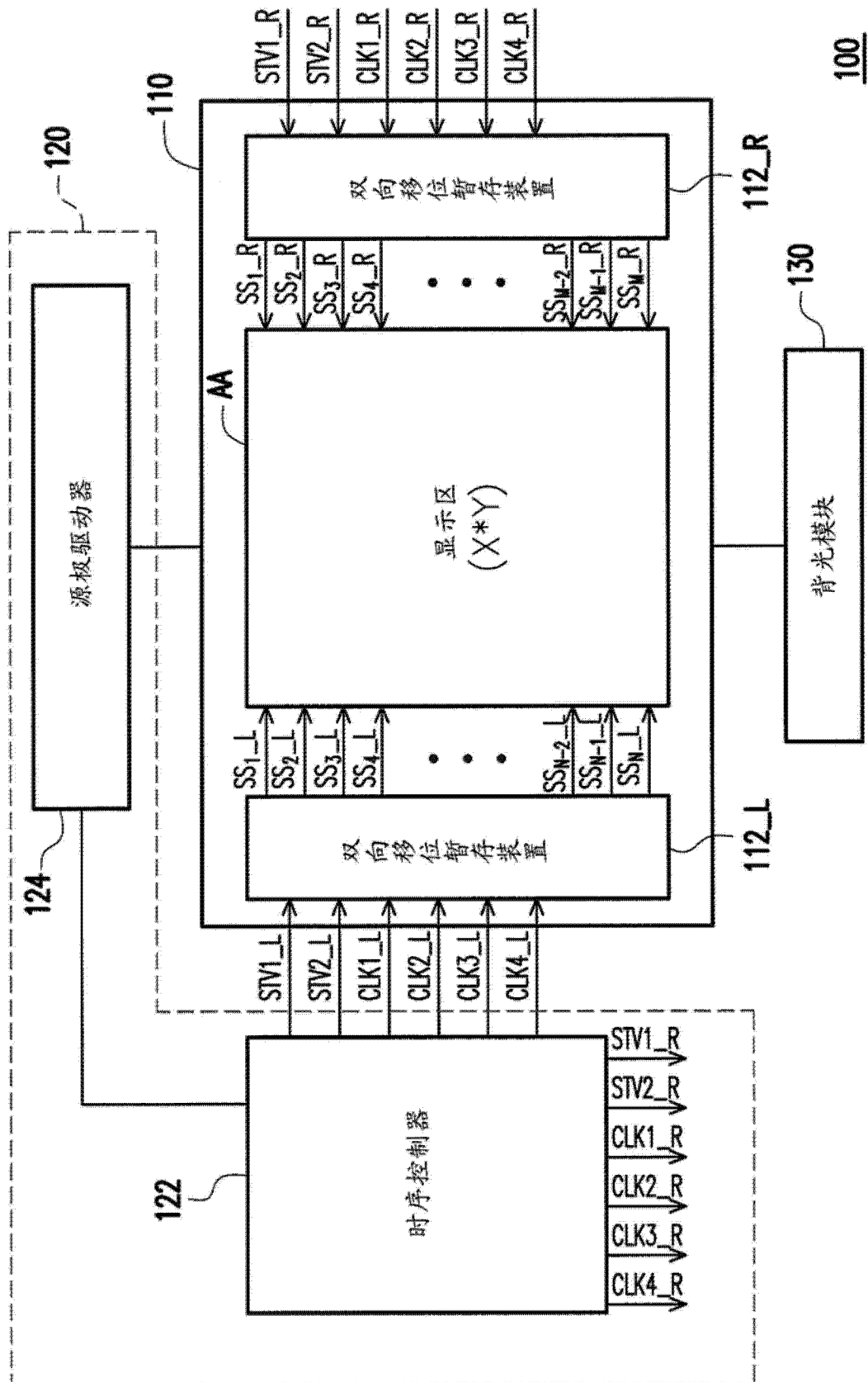


图 1

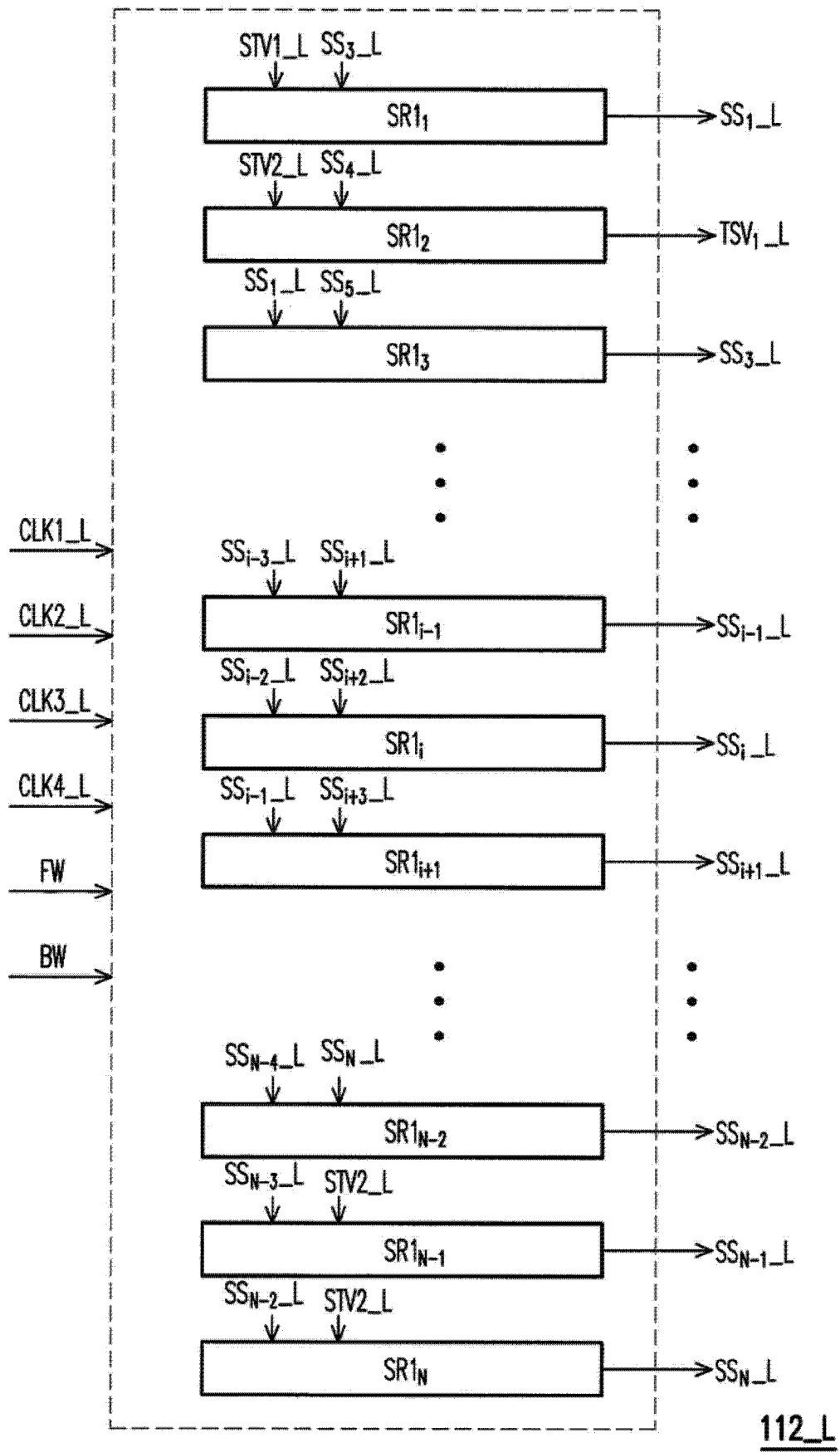


图 2A

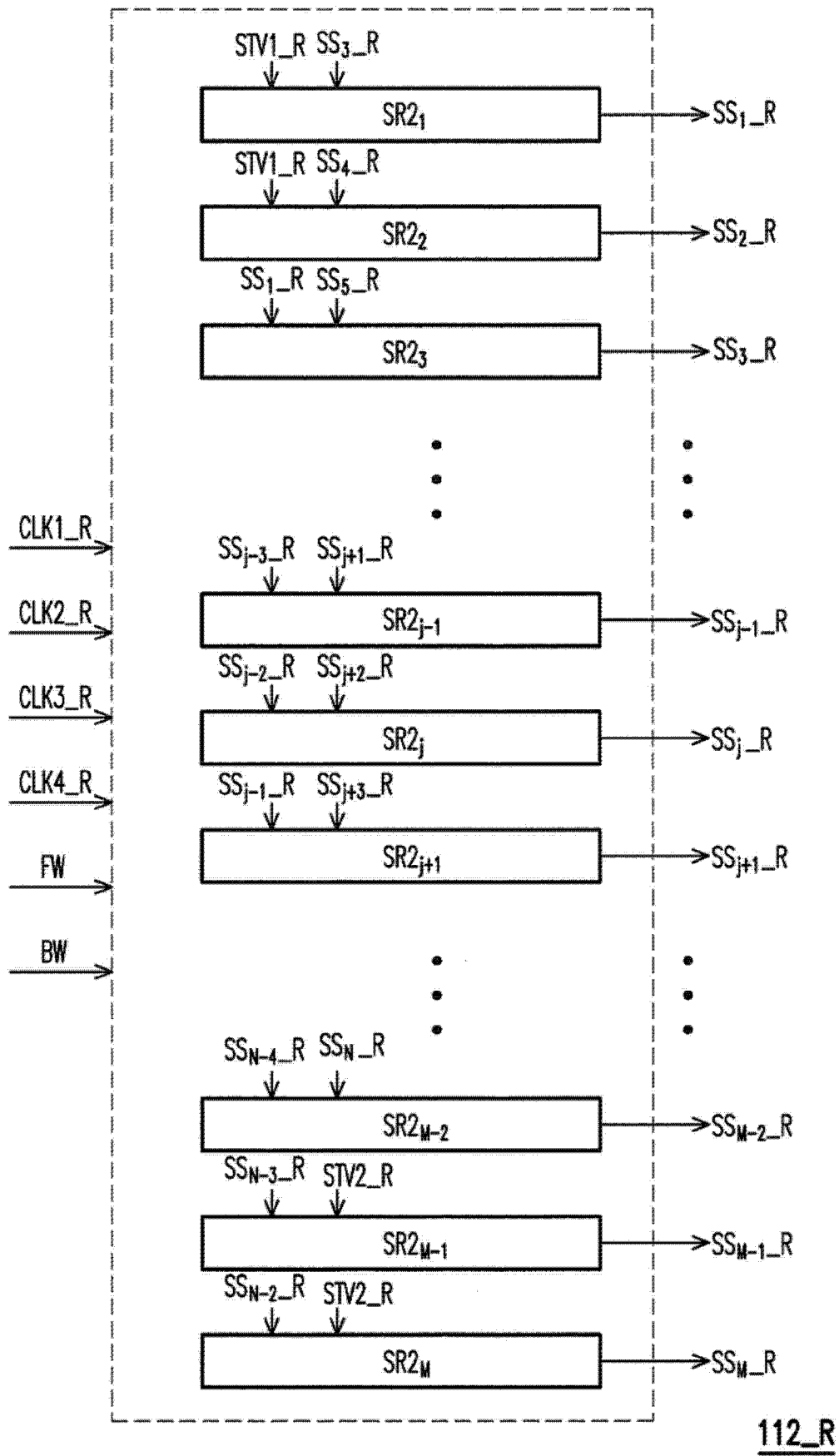


图 2B

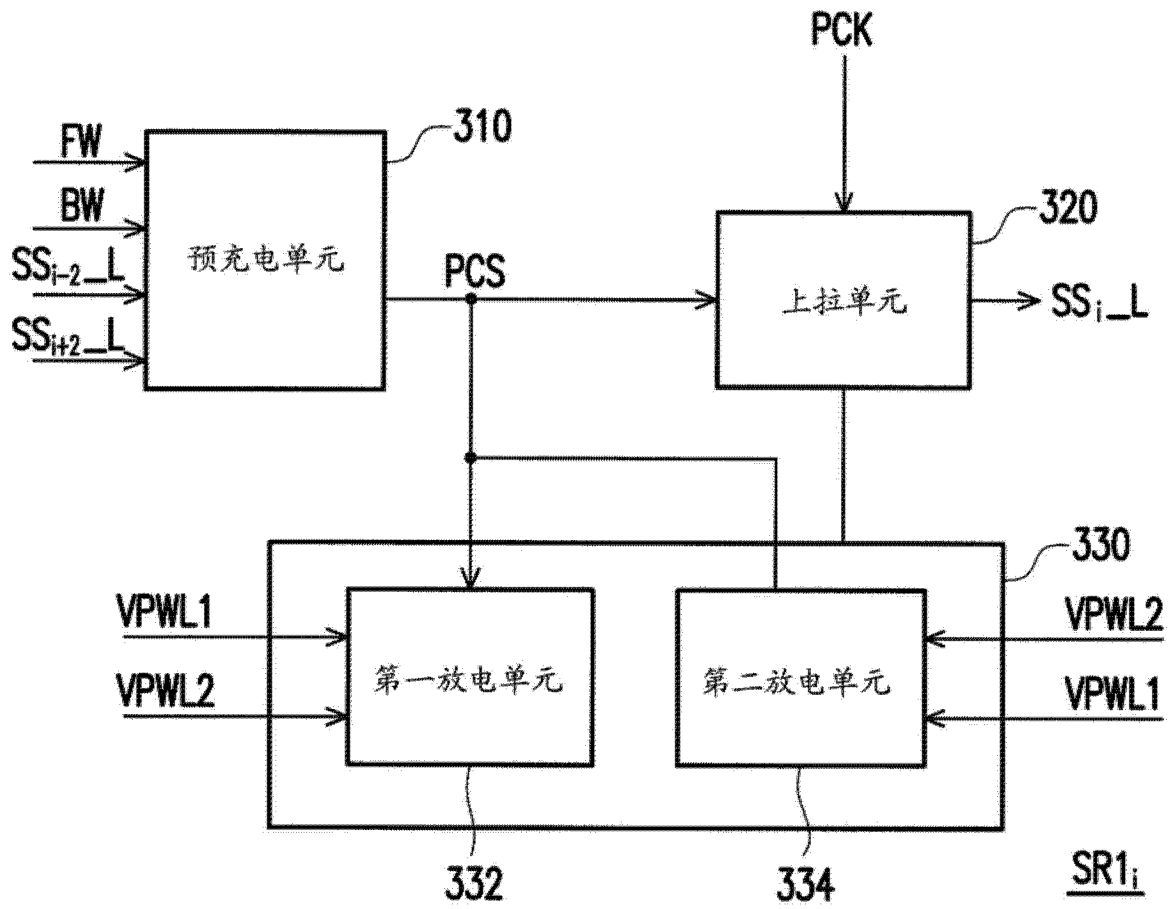


图 3

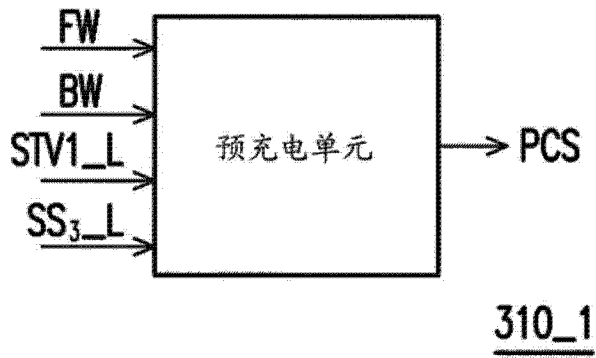


图 4A

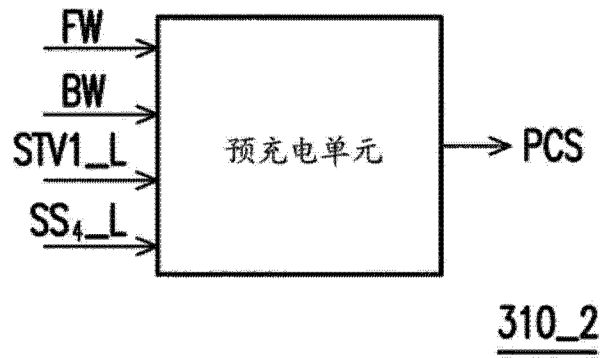


图 4B

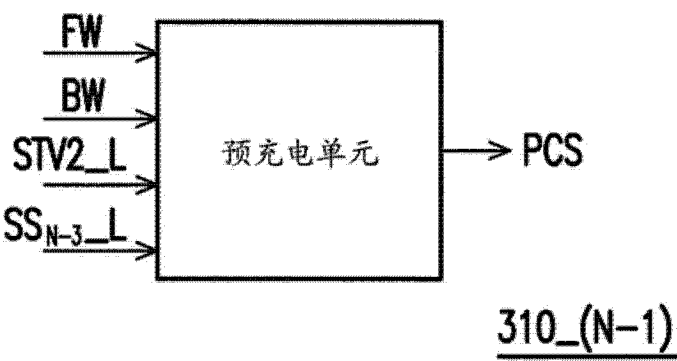


图 4C

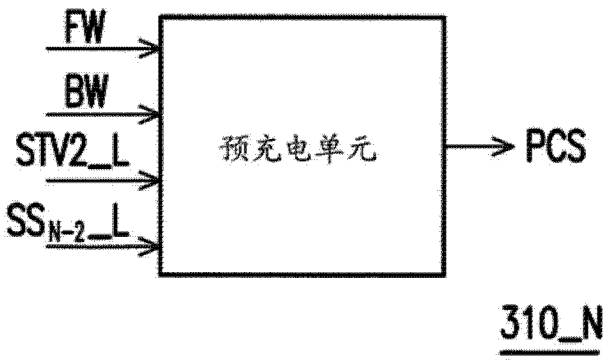


图 4D

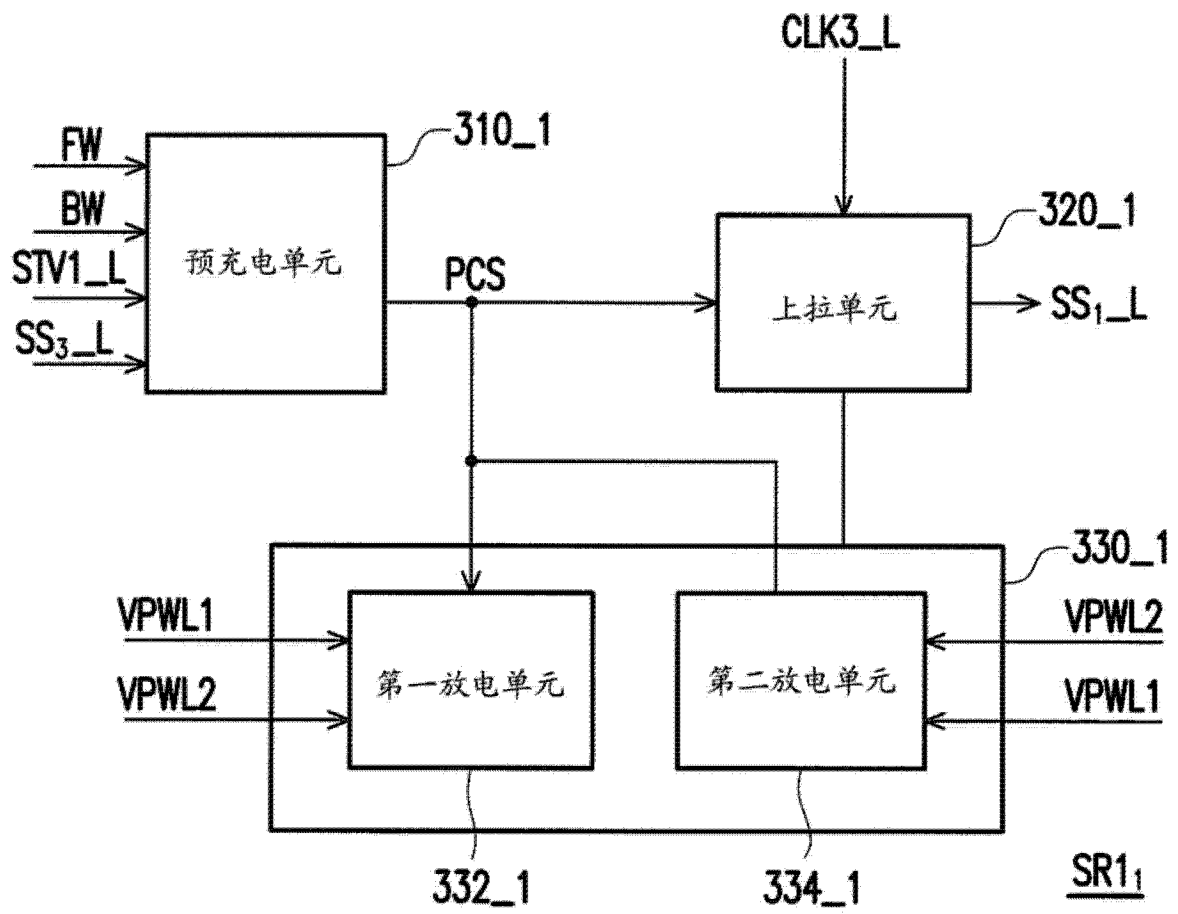


图 5A

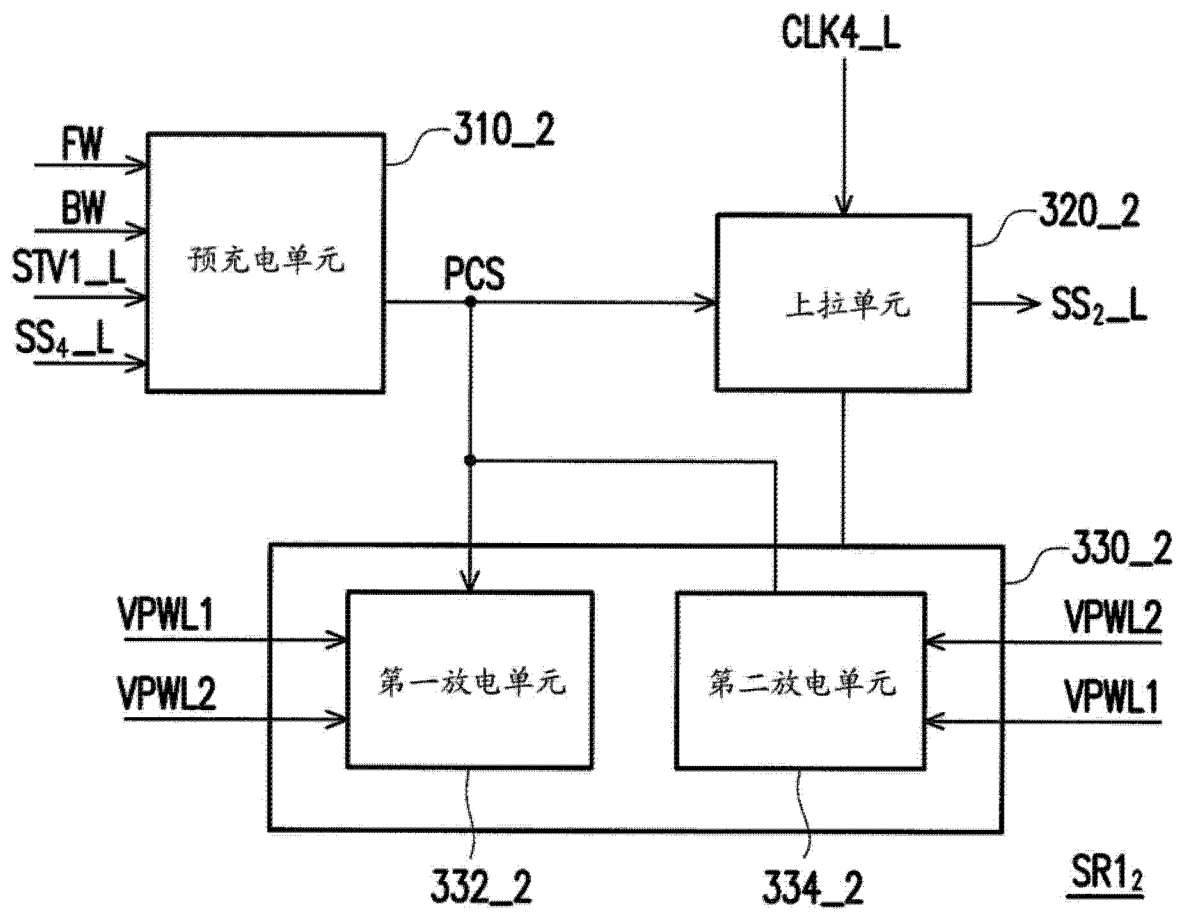


图 5B

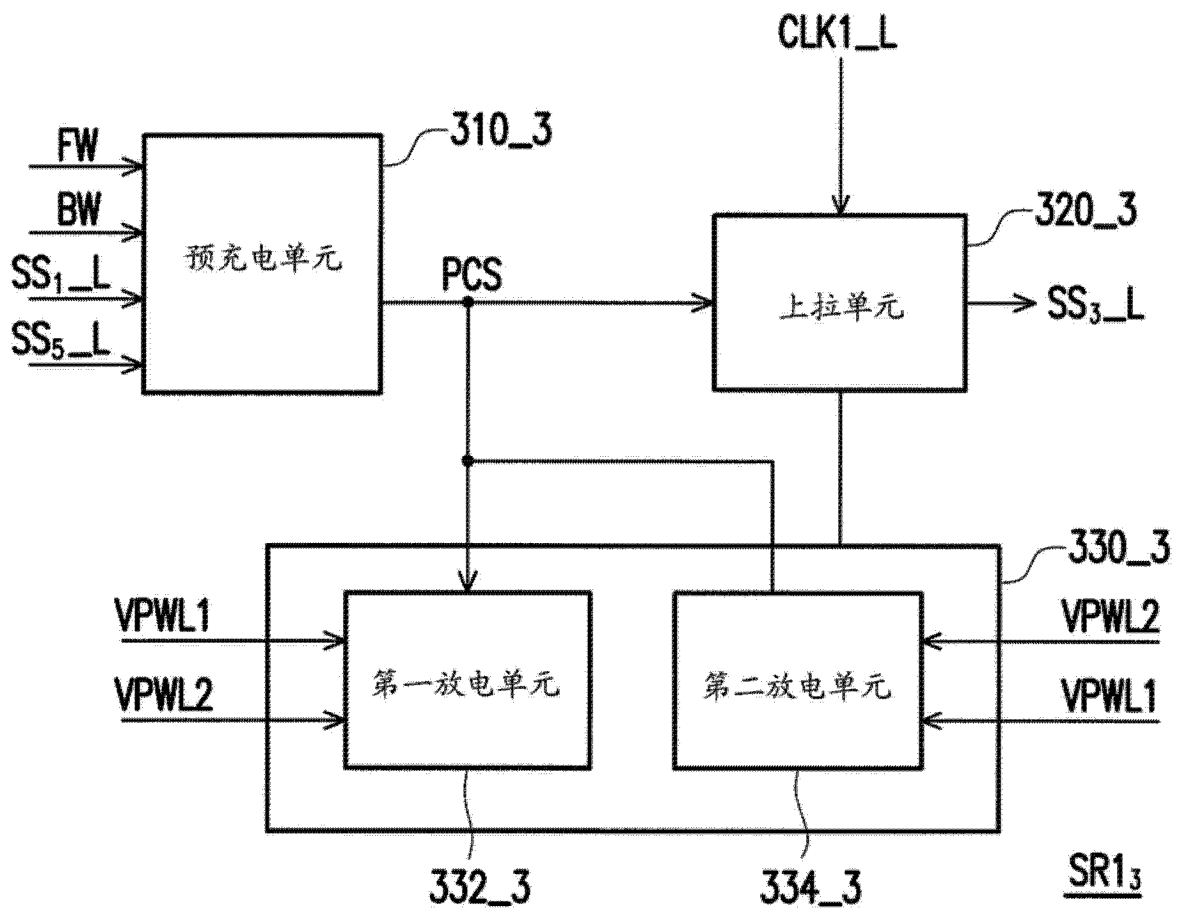


图 5C

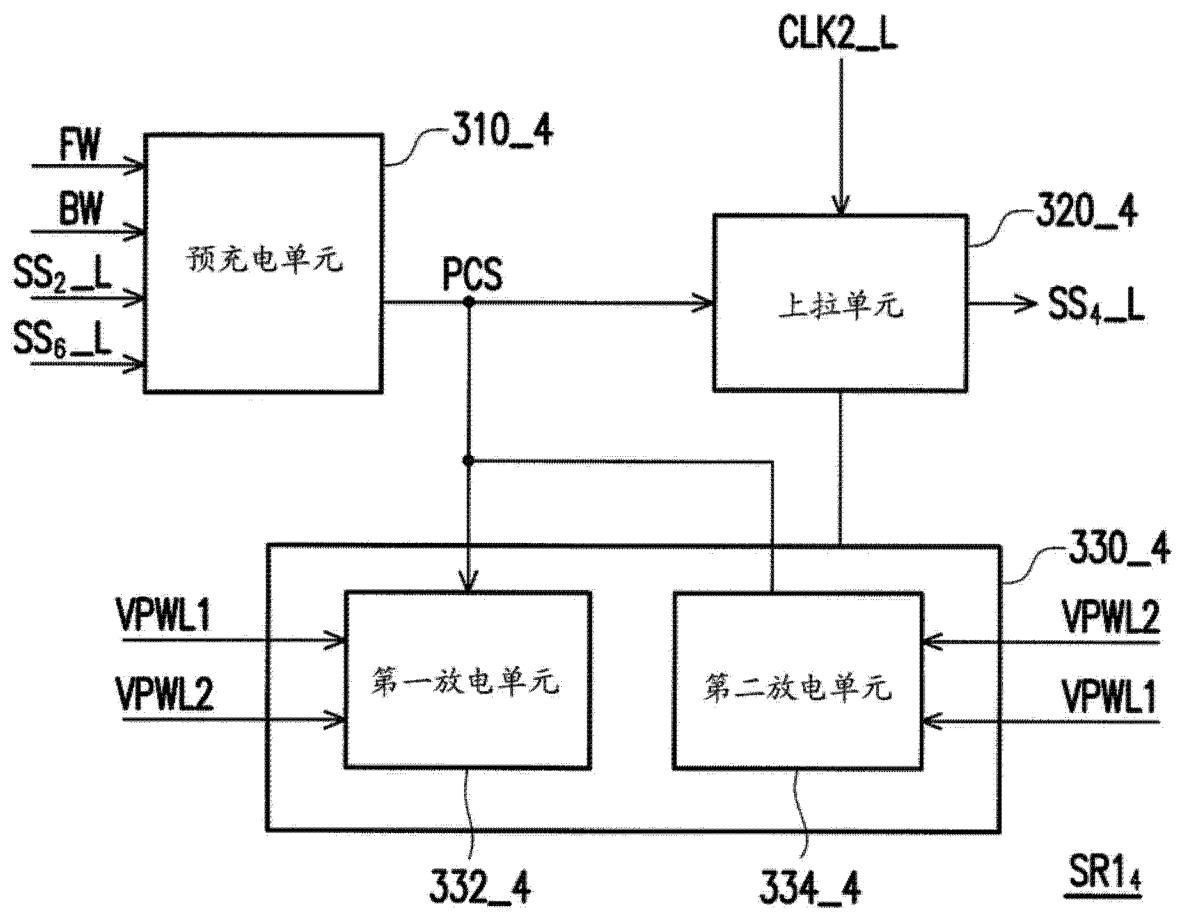


图 5D

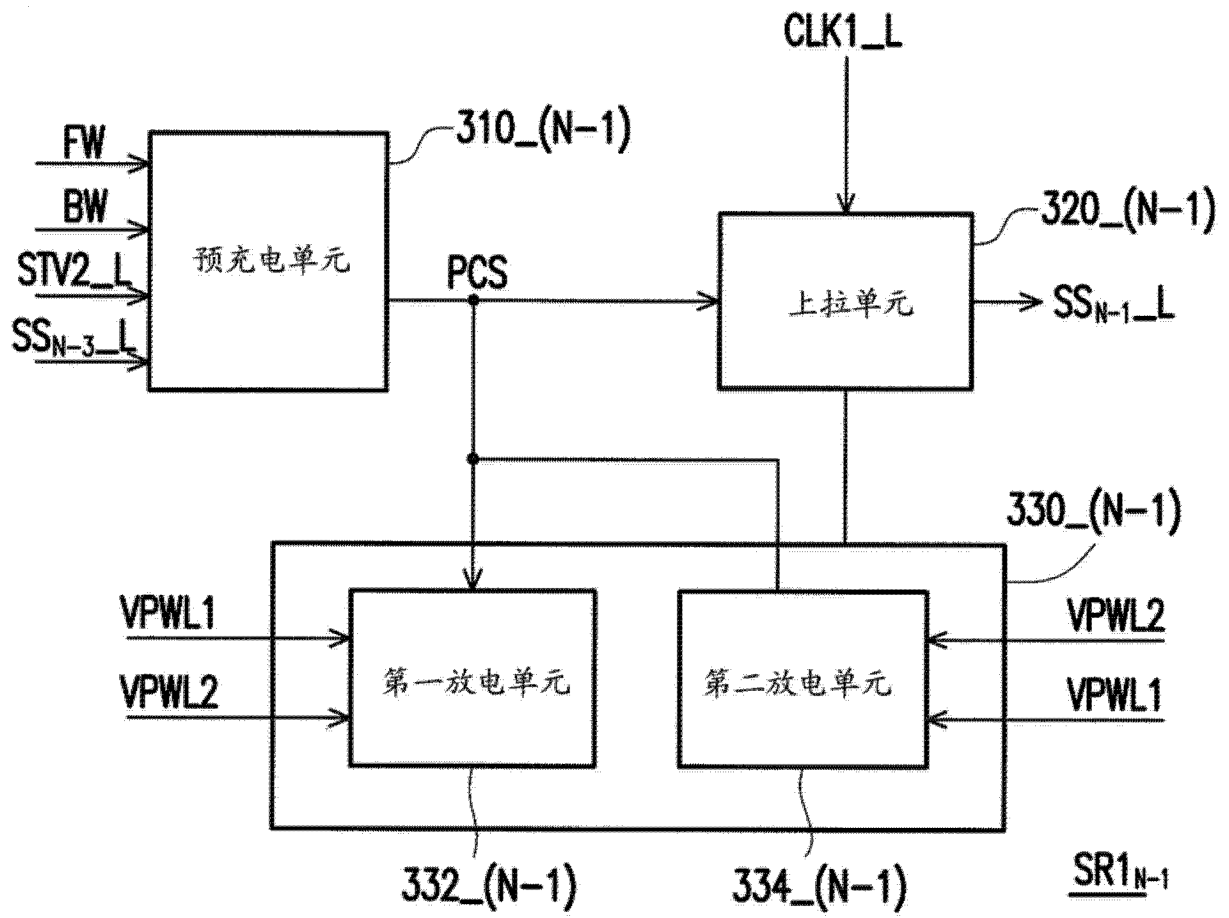


图 5E

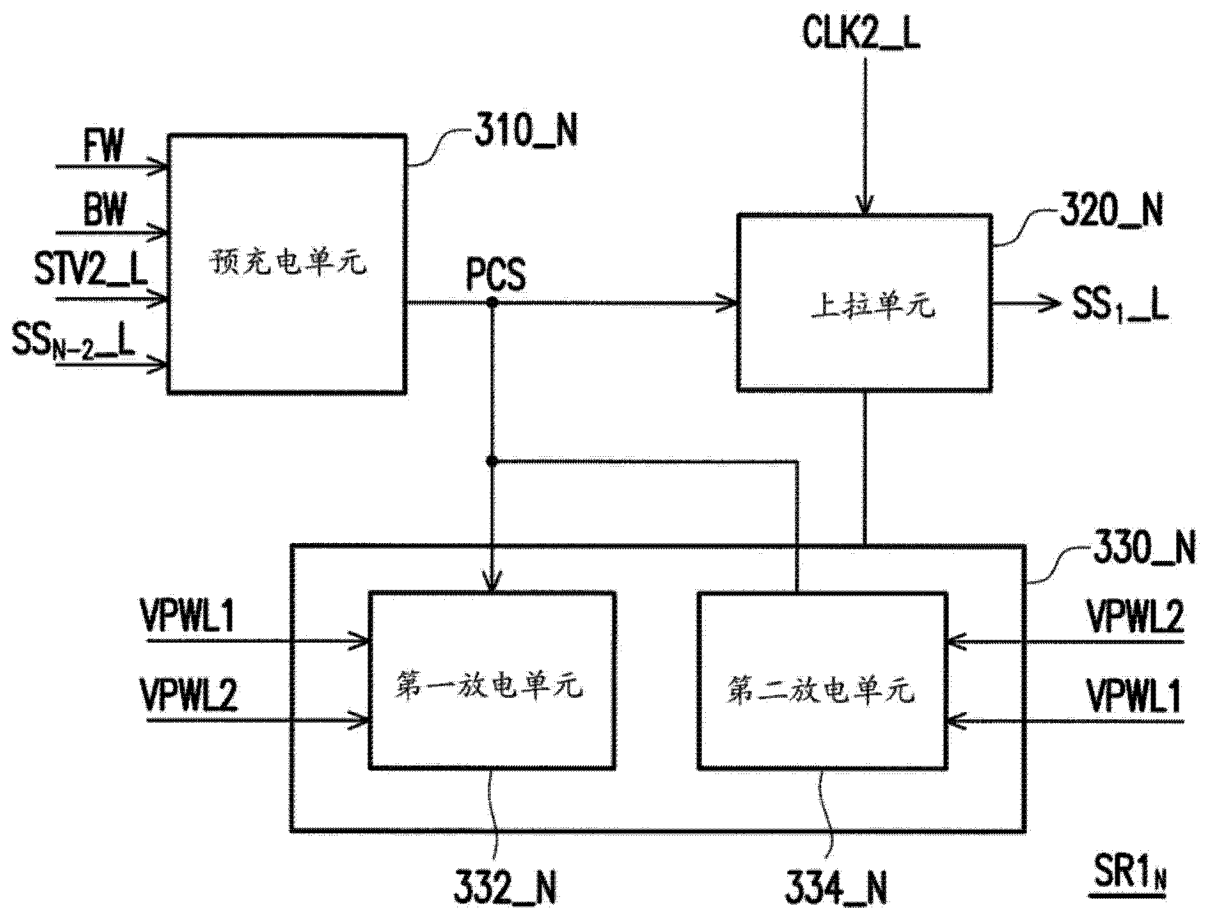


图 5F

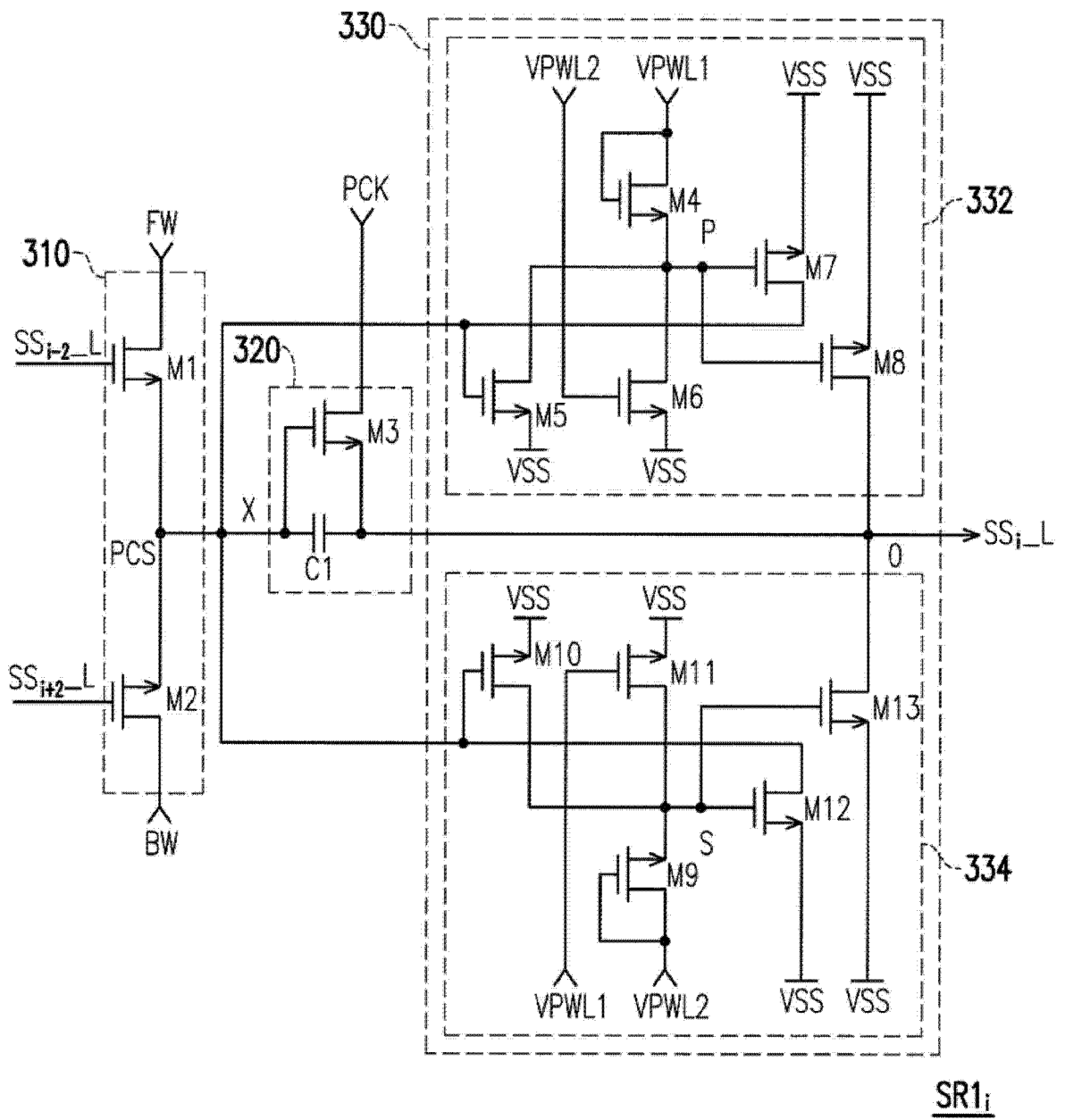


图 6

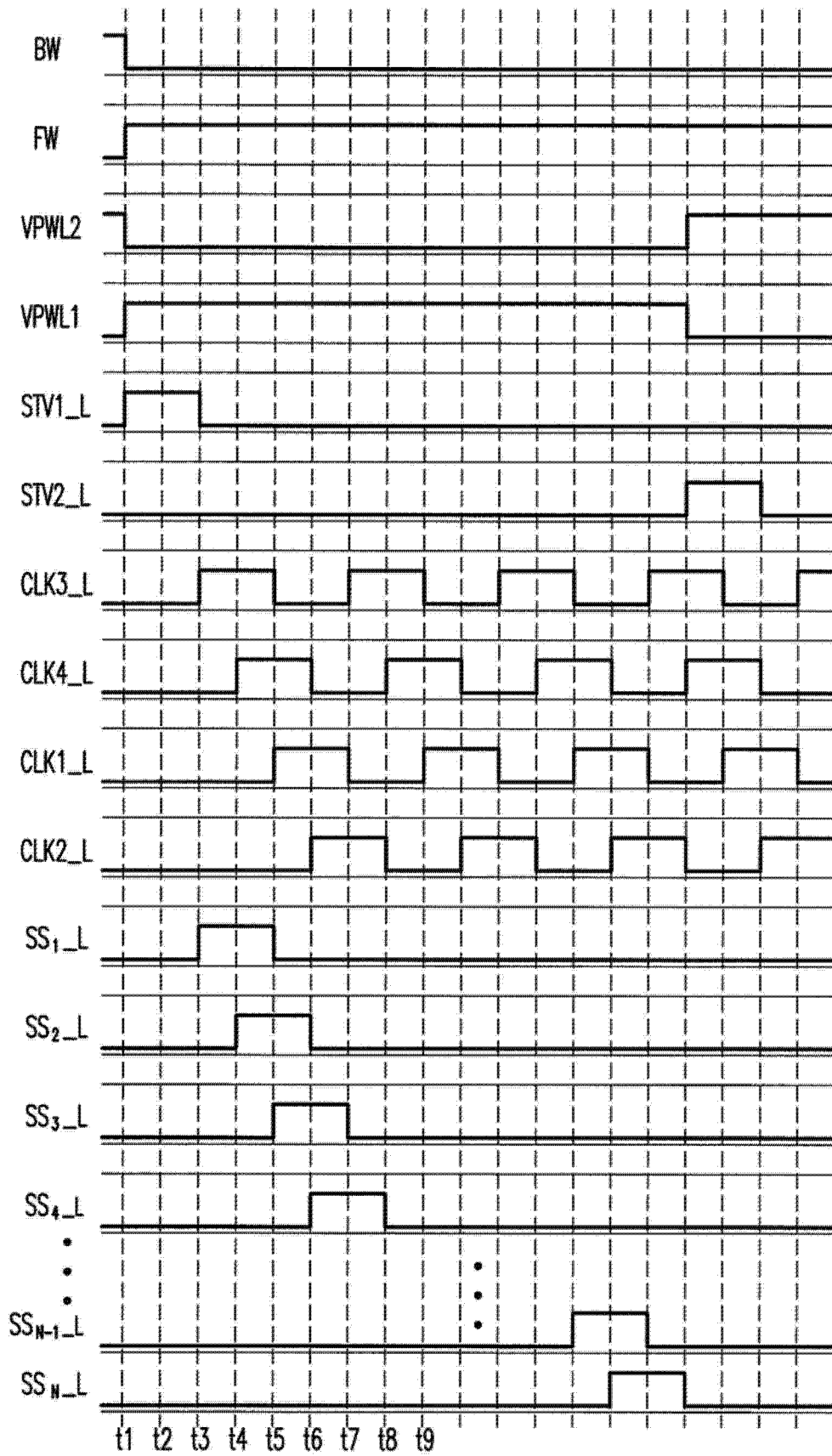


图 7A

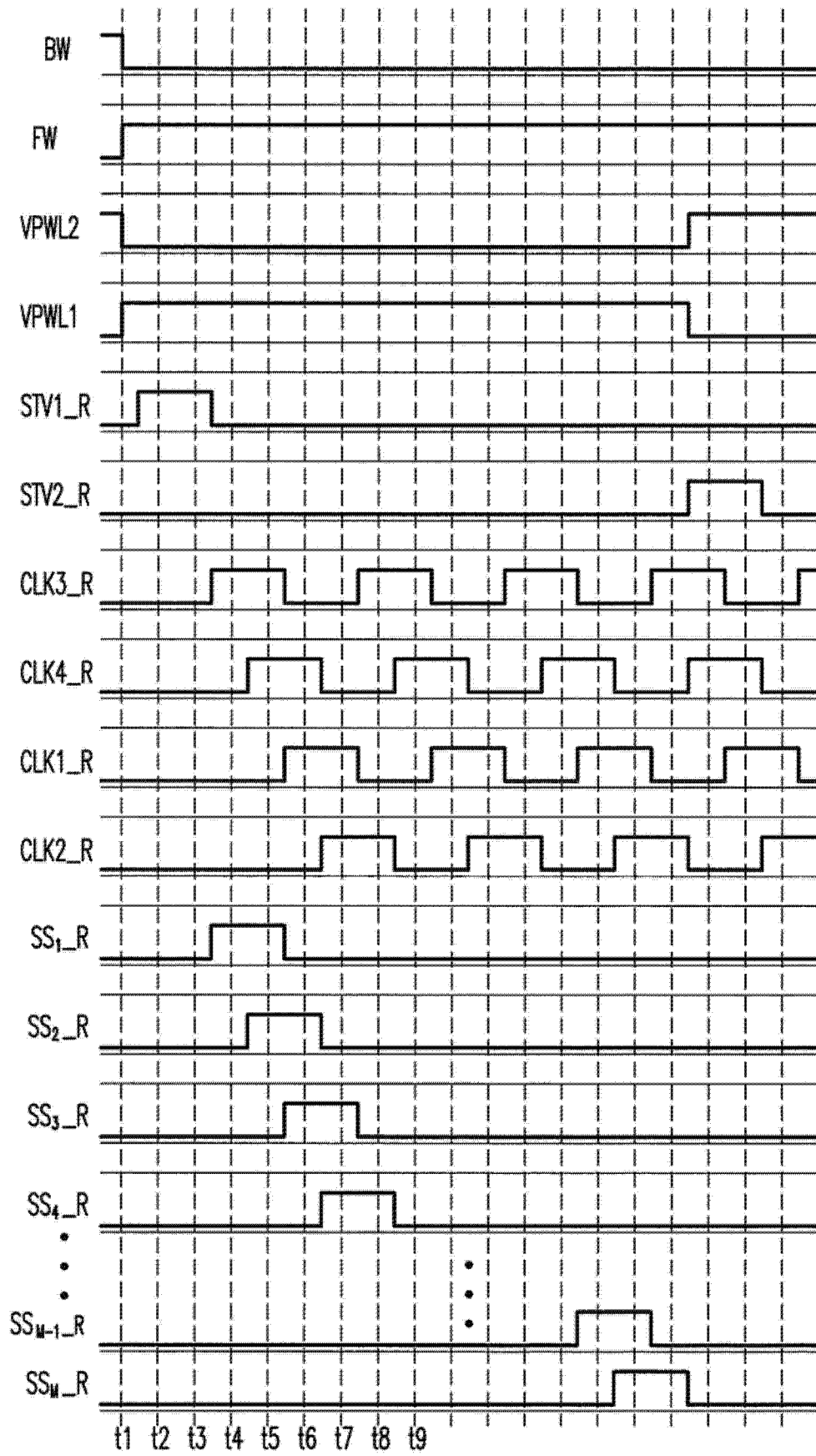


图 7B

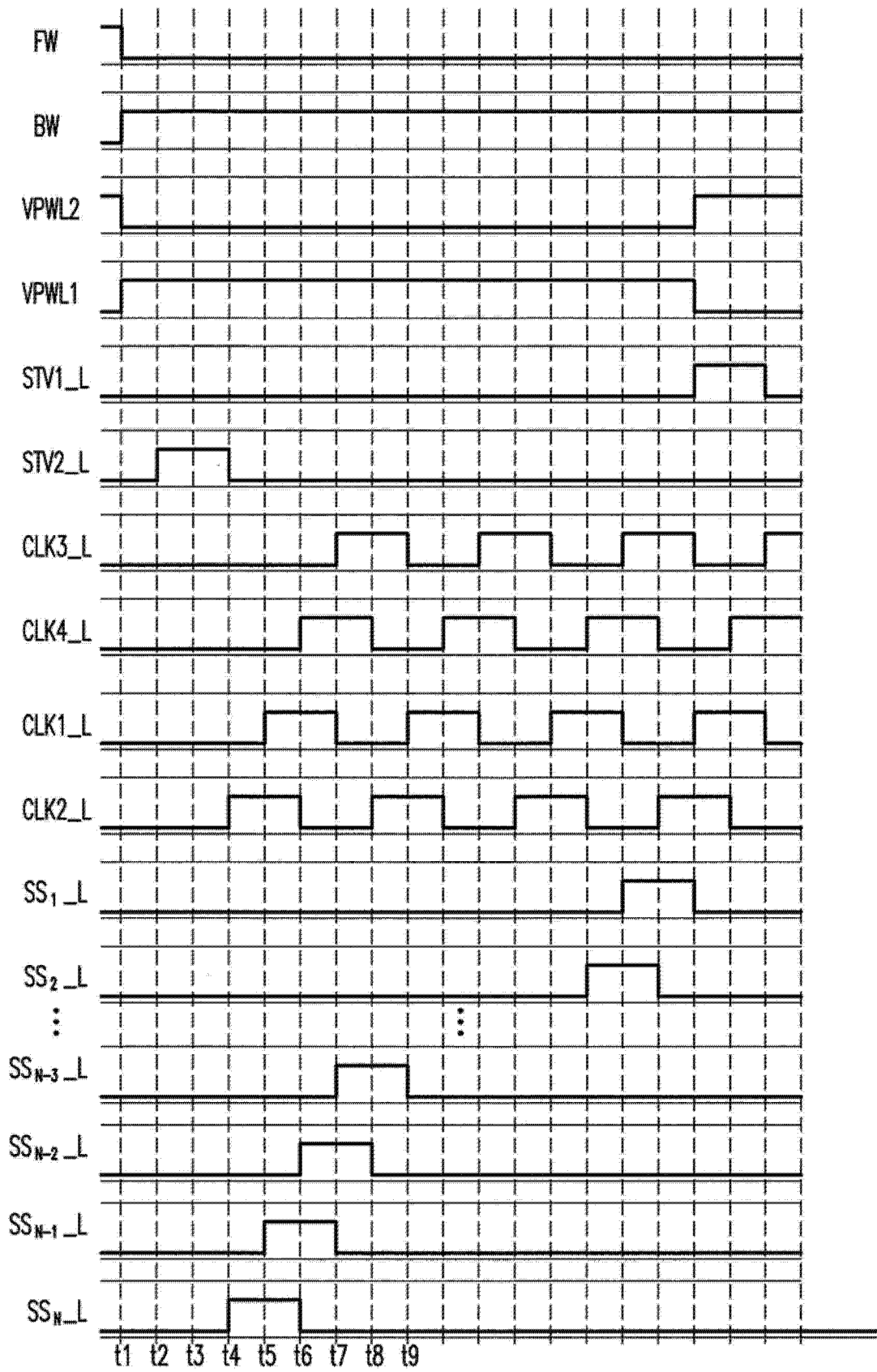


图 8A

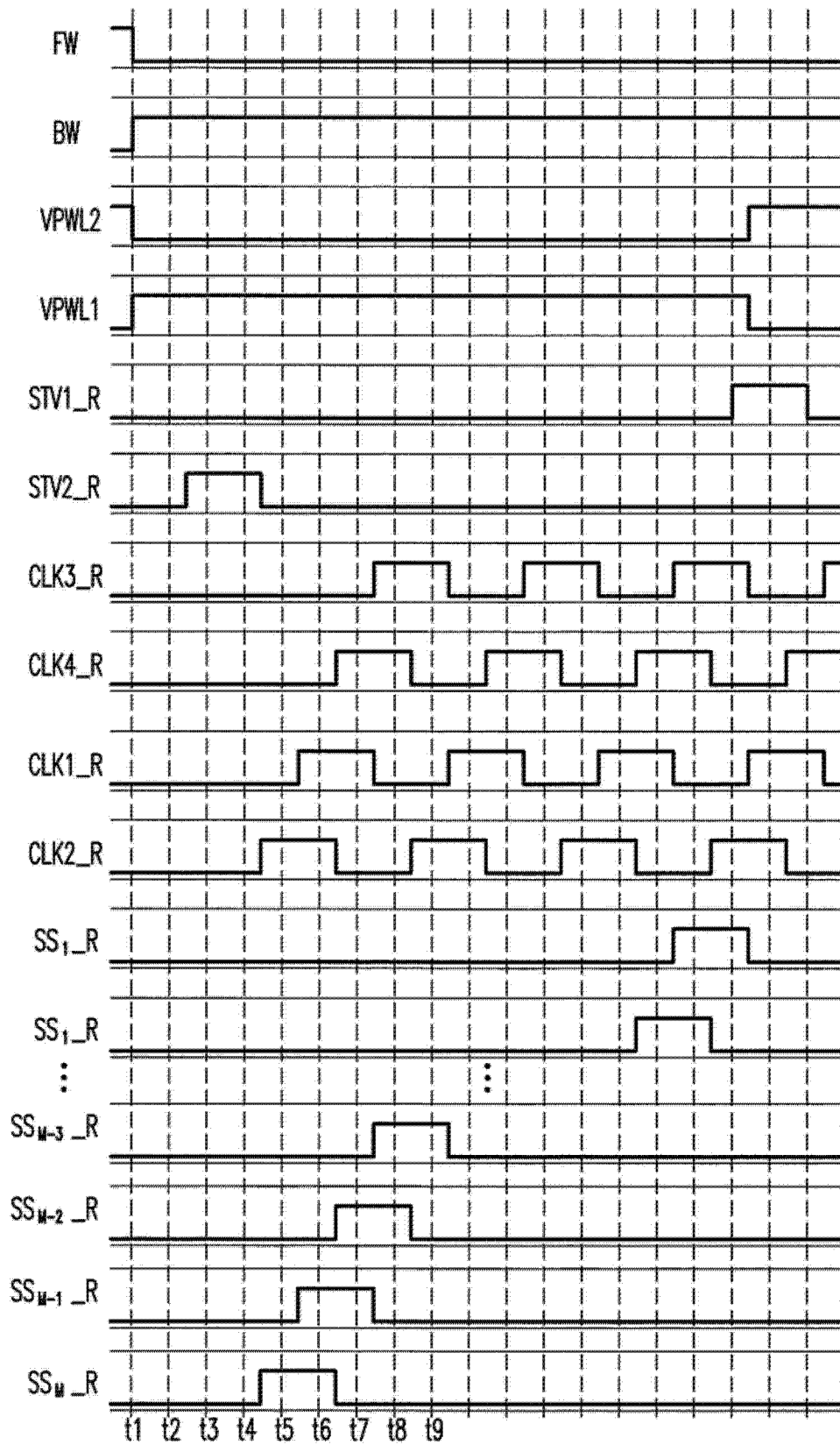


图 8B

专利名称(译)	液晶显示器及其双向移位暂存装置		
公开(公告)号	CN104575409A	公开(公告)日	2015-04-29
申请号	CN201310485086.7	申请日	2013-10-16
[标]申请(专利权)人(译)	瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股份有限公司		
当前申请(专利权)人(译)	瀚宇彩晶股份有限公司		
[标]发明人	游家华 林松君 刘轩辰 詹建廷		
发明人	游家华 林松君 刘轩辰 詹建廷		
IPC分类号	G09G3/36 G11C19/28		
CPC分类号	G09G3/3648 G09G2310/0267 G09G2310/0283 G09G2310/0286		
其他公开文献	CN104575409B		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示器及其双向移位暂存装置。双向移位暂存装置包括N级的移位寄存器。第i级移位寄存器包括预充电单元、上拉单元与下拉单元。当i大于等于3且小于等于N-2，预充电单元接收第(i-2)级与第(i+2)级移位寄存器的输出。当i等于1或2，预充电单元接收第一起始信号与第(i+2)级移位寄存器的输出。当i等于(N-1)或N，预充电单元接收第二起始信号与第(i-2)级移位寄存器的输出。预充电单元输出预充电信号。上拉单元接收预充电信号与预设时钟信号，并据以输出扫描信号。下接收预充电信号以控制扫描信号的电平。

