



(12) 发明专利

(10) 授权公告号 CN 104103244 B

(45) 授权公告日 2016. 06. 01

(21) 申请号 201310115427. 1

审查员 李文斐

(22) 申请日 2013. 04. 03

(73) 专利权人 瀚宇彩晶股份有限公司

地址 中国台湾新北市

(72) 发明人 游家华 林松君 刘轩辰 詹建廷

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

G09G 3/36(2006. 01)

G11C 19/28(2006. 01)

(56) 对比文件

CN 102842278 A, 2012. 12. 26,

CN 103594118 A, 2014. 02. 19,

CN 102945651 A, 2013. 02. 27,

US 2011/0157124 A1, 2011. 06. 30,

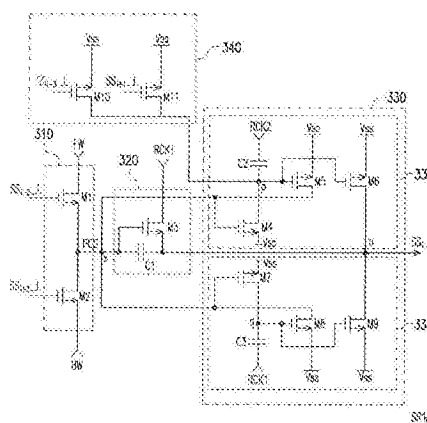
权利要求书5页 说明书11页 附图14页

(54) 发明名称

液晶显示器及其双向移位暂存装置

(57) 摘要

一种液晶显示器及其双向移位暂存装置。双向移位暂存装置包括N级的移位寄存器。第i级移位寄存器包括预充电单元、上拉单元、下拉单元以及噪声抑制单元。预充电单元依据第i-2级与第i+2级移位寄存器的输出而输出预充电信号。上拉单元输出扫描信号。下拉单元的第一放电单元依据预充电信号与第二输入时钟信号决定是否将扫描信号下拉至参考电位。下拉单元的第二放电单元依据预充电信号与第一输入时钟信号决定是否将扫描信号维持于参考电位。噪声抑制单元依据第i-3级与第i+1级移位寄存器的输出而控制第一放电单元的操作。



1. 一种双向移位暂存装置,其特征在于,包括:

N级串接在一起的移位寄存器,其中第i级移位寄存器包括:

一预充电单元,接收第(i-2)级与第(i+2)级移位寄存器的输出,并据以输出一预充电信号,其中N为一预设正整数,i为大于等于3且小于等于N-2的正整数;

一上拉单元,耦接该预充电单元,接收该预充电信号与一第一输入时钟信号,并据以输出一扫描信号;以及

一下拉单元,耦接该预充电单元与该上拉单元,该下拉单元包括:

一第一放电单元,接收该预充电信号与一第二输入时钟信号,并据以决定是否将该扫描信号下拉至一参考电位;以及

一第二放电单元,接收该预充电信号与该第一输入时钟信号,并据以决定是否将该扫描信号维持于该参考电位,其中该第一输入时钟信号与该第二输入时钟信号互为反相;以及

一噪声抑制单元,耦接该第一放电单元,接收第(i-3)级与第(i+1)级移位寄存器的输出,并据以控制该第一放电单元的操作,其中当i等于3时,该噪声抑制单元至少依据第4级移位寄存器的输出控制该第一放电单元的操作。

2. 根据权利要求1所述的双向移位暂存装置,其特征在于,其中各该N级移位寄存器的该预充电单元还接收一顺向输入信号与一逆向输入信号,该双向移位暂存装置依据该顺向输入信号与该逆向输入信号,以一第一顺序或相异于该第一顺序的一第二顺序序列地输出该些扫描信号。

3. 根据权利要求2所述的双向移位暂存装置,其特征在于,其中第i级移位寄存器的该预充电单元包括:

一第一晶体管,其栅极接收第(i-2)级移位寄存器所输出的该扫描信号,其第一源漏极接收该顺向输入信号,且其第二源漏极输出该预充电信号;以及

一第二晶体管,其栅极接收第(i+2)级移位寄存器所输出的该扫描信号,其第一源漏极耦接该第一晶体管的第二源漏极,且其第二源漏极接收该逆向输入信号。

4. 根据权利要求3所述的双向移位暂存装置,其特征在于,其中第i级移位寄存器的该上拉单元包括:

一第三晶体管,其栅极接收该预充电信号,其第一源漏极接收该第一输入时钟信号,且其第二源漏极输出该扫描信号;以及

一第一电容,其第一端耦接该第三晶体管的栅极,且其第二端耦接该第三晶体管的第二源漏极。

5. 根据权利要求4所述的双向移位暂存装置,其特征在于,其中第i级移位寄存器的该第一放电单元包括:

一第二电容,其第一端接收该第二输入时钟信号;

一第四晶体管,其栅极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极以接收该预充电信号,其第一源漏极耦接该第二电容的第二端,且其第二源漏极耦接该参考电位;

一第五晶体管,其栅极耦接该第二电容的第二端与该第四晶体管的第一源漏极,其第一源漏极耦接该第四晶体管的栅极,且其第二源漏极耦接该参考电位;以及

一第六晶体管,其栅极耦接该第二电容的第二端与该第四晶体管的第一源漏极,其第一源漏极耦接该第三晶体管的第二源漏极,且其第二源漏极耦接该参考电位。

6.根据权利要求5所述的双向移位暂存装置,其特征在于,其中第 i 级移位寄存器的该第二放电单元包括:

一第三电容,其第一端接收该第一输入时钟信号;

一第七晶体管,其栅极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极以接收该预充电信号,其第一源漏极耦接该第三电容的第二端,且其第二源漏极耦接该参考电位;

一第八晶体管,其栅极耦接该第三电容的第二端与该第七晶体管的第二源漏极,其第一源漏极耦接该第七晶体管的栅极,且其第二源漏极耦接该参考电位;以及

一第九晶体管,其栅极耦接该第三电容的第二端与该第七晶体管的第二源漏极,其第一源漏极耦接该第三晶体管的第二源漏极,且其第二源漏极耦接该参考电位。

7.根据权利要求6所述的双向移位暂存装置,其特征在于,其中第 i 级移位寄存器的该噪声抑制单元包括:

一第十晶体管,其栅极接收第 $(i-3)$ 级移位寄存器所输出的该扫描信号,其第一源漏极耦接该第四晶体管的第一源漏极以及该第五与该第六晶体管的栅极,且其第二源漏极耦接该参考电位;以及

一第十一晶体管,其栅极接收第 $(i+1)$ 级移位寄存器所输出的该扫描信号,其第一源漏极耦接该第四与该第十晶体管的第一源漏极以该第五与该第六晶体管的栅极,且其第二源漏极耦接该参考电位。

8.一种液晶显示器,其特征在于,包括:

一液晶显示面板,包括一基板、多个以阵列排列的像素、一第一双向移位暂存装置以及一第二双向移位暂存装置,其中该些像素、该第一双向移位暂存装置以及该第二双向移位暂存装置配置于该基板上,

其中该第一双向移位暂存装置具有多级串接在一起且分别对应奇数行像素的第一移位寄存器,第 i 级第一移位寄存器包括:

一第一预充电单元,接收第 $(i-2)$ 级与第 $(i+2)$ 级第一移位寄存器的输出,并据以输出一第一预充电信号,其中 i 为大于等于3且小于等于 $N-2$ 的正整数, N 为对应奇数行像素的行数的一预设正整数;

一第一上拉单元,耦接该第一预充电单元,接收该第一预充电信号与一第一输入时钟信号,并据以输出一第一扫描信号;

一第一下拉单元,耦接该第一预充电单元与该第一上拉单元,该第一下拉单元包括:

一第一放电单元,接收该第一预充电信号与一第二输入时钟信号,并据以决定是否将该第一扫描信号下拉至一参考电位;以及

一第二放电单元,接收该第一预充电信号与该第一输入时钟信号,并据以决定是否将该第一扫描信号维持于该参考电位,其中该第一输入时钟信号与该第二输入时钟信号互为反相;以及

一第一噪声抑制单元,耦接该第一放电单元,接收第 $(i-3)$ 级与第 $(i+1)$ 级第一移位寄存器的输出,并据以控制该第一放电单元的操作,其中当 i 等于3时,该第一噪声抑制单元至

少依据第4级第一移位寄存器的输出控制该第一放电单元的操作；

其中该第二双向移位暂存装置具有多级串接在一起且分别对应偶数行像素的第二移位寄存器，第j级第二移位寄存器包括：

一第二预充电单元，接收第(j-2)级与第(j+2)级第二移位寄存器的输出，并据以输出一第二预充电信号，其中j为大于等于3且小于等于M-2的正整数，M为对应偶数行像素的行数的一预设正整数；

一第二上拉单元，耦接该第二预充电单元，接收该第二预充电信号与一第三输入时钟信号，并据以输出一第二扫描信号；

一第二下拉单元，耦接该第二预充电单元与该第二上拉单元，该第二下拉单元包括：

一第三放电单元，接收该第二预充电信号与一第四输入时钟信号，并据以决定是否将该第二扫描信号下拉至该参考电位；以及

一第四放电单元，接收该第二预充电信号与该第三输入时钟信号，并据以决定是否将该第二扫描信号维持于该参考电位，其中该第三输入时钟信号与该第四输入时钟信号互为反相，该第一输入时钟信号与该第三输入时钟信号具有45度的相位差，且该第二输入时钟信号与该第四输入时钟信号具有45度的相位差；以及

一第二噪声抑制单元，耦接该第三放电单元，接收第(j-3)级与第(j+1)级第二移位寄存器的输出，并据以控制该第三放电单元的操作，其中当j等于3时，该第二噪声抑制单元至少依据第4级第二移位寄存器的输出控制该第三放电单元的操作；

一驱动电路，耦接该液晶显示面板，用以驱动该液晶显示面板显示画面，并且提供多个预设时钟信号以作为该第一输入时钟信号、该第二输入时钟信号、该第三输入时钟信号以及该第四输入时钟信号；以及

一背光模块，用以提供该液晶显示面板所需的光源。

9. 根据权利要求8所述的液晶显示器，其特征在于，其中各该些第一移位寄存器的该第一预充电单元以及各该些第二移位寄存器的该第二预充电单元还接收一顺向输入信号与一逆向输入信号，该第一双向移位暂存装置与该第二双向移位暂存装置依据该顺向输入信号与该逆向输入信号，以一第一顺序或相异于该第一顺序的一第二顺序序列地输出该些第一扫描信号与该些第二扫描信号。

10. 根据权利要求9所述的液晶显示器，其特征在于，其中第i级第一移位寄存器还包括：

一第一晶体管，其栅极接收第(i-2)级移位寄存器所输出的该第一扫描信号，其第一源漏极接收该顺向输入信号，且其第二源漏极输出该第一预充电信号；

一第二晶体管，其栅极接收第(i+2)级移位寄存器所输出的该第一扫描信号，其第一源漏极耦接该第一晶体管的第二源漏极，且其第二源漏极接收该逆向输入信号，其中该第一晶体管与该第二晶体管组成该第一预充电单元；

一第三晶体管，其栅极接收该第一预充电信号，其第一源漏极接收该第一输入时钟信号，且其第二源漏极输出该第一扫描信号；

一第一电容，其第一端耦接该第三晶体管的栅极，且其第二端耦接该第三晶体管的第二源漏极，其中该第三晶体管与该第一电容组成该第一上拉单元；

一第二电容，其第一端接收该第二输入时钟信号；

一第四晶体管,其栅极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极以接收该第一预充电信号,其第一源漏极耦接该第二电容的第二端,且其第二源漏极耦接该参考电位;

一第五晶体管,其栅极耦接该第二电容的第二端与该第四晶体管的第一源漏极,其第一源漏极耦接该第四晶体管的栅极,且其第二源漏极耦接该参考电位;

一第六晶体管,其栅极耦接该第二电容的第二端与该第四晶体管的第一源漏极,其第一源漏极耦接该第三晶体管的第二源漏极,且其第二源漏极耦接该参考电位,其中该第二电容、该第四晶体管、该第五晶体管以及该第六晶体管组成该第一放电单元;

一第三电容,其第一端接收该第一输入时钟信号;

一第七晶体管,其栅极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极以接收该第一预充电信号,其第一源漏极耦接该第三电容的第二端,且其第二源漏极耦接该参考电位;

一第八晶体管,其栅极耦接该第三电容的第二端与该第七晶体管的第二源漏极,其第一源漏极耦接该第七晶体管的栅极,且其第二源漏极耦接该参考电位;

一第九晶体管,其栅极耦接该第三电容的第二端与该第七晶体管的第二源漏极,其第一源漏极耦接该第三晶体管的第二源漏极,且其第二源漏极耦接该参考电位,其中该第三电容、该第七晶体管、该第八晶体管以及该第九晶体管组成该第二放电单元;

一第十晶体管,其栅极接收第 $(i-3)$ 级第一移位寄存器所输出的该扫描信号,其第一源漏极耦接该第四晶体管的第一源漏极以及该第五与该第六晶体管的栅极,且其第二源漏极耦接该参考电位;以及

一第十一晶体管,其栅极接收第 $(i+1)$ 级移位寄存器所输出的该扫描信号,其第一源漏极耦接该第四与该第十晶体管的第一源漏极以及该第五与该第六晶体管的栅极,且其第二源漏极耦接该参考电位,其中该第十晶体管与该第十一晶体管组成该第一噪声抑制单元。

11.根据权利要求9所述的液晶显示器,其特征在于,其中第 j 级第二移位寄存器还包括:

一第十二晶体管,其栅极接收第 $(j-2)$ 级移位寄存器所输出的该第二扫描信号,其第一源漏极接收该顺向输入信号,且其第二源漏极输出该第二预充电信号;

一第十三晶体管,其栅极接收第 $(j+2)$ 级移位寄存器所输出的该第二扫描信号,其第一源漏极耦接该第十二晶体管的第二源漏极,且其第二源漏极接收该逆向输入信号,其中该第十二晶体管与该第十三晶体管组成该第二预充电单元;

一第十四晶体管,其栅极接收该第二预充电信号,其第一源漏极接收该第三输入时钟信号,且其第二源漏极输出该第二扫描信号;

一第四电容,其第一端耦接该第十四晶体管的栅极,且其第二端耦接该第十四晶体管的第二源漏极,其中该第十四晶体管与该第四电容组成该第二上拉单元;

一第五电容,其第一端接收该第四输入时钟信号;

一第十五晶体管,其栅极耦接该第十二晶体管的第二源漏极与该第十三晶体管的第一源漏极以接收该第二预充电信号,其第一源漏极耦接该第五电容的第二端,且其第二源漏极耦接该参考电位;

一第十六晶体管,其栅极耦接该第五电容的第二端与该第十五晶体管的第一源漏极,

其第一源漏极耦接该第十五晶体管的栅极,且其第二源漏极耦接该参考电位;

一第十七晶体管,其栅极耦接该第五电容的第二端与该第十五晶体管的第一源漏极,其第一源漏极耦接该第十四晶体管的第二源漏极,且其第二源漏极耦接该参考电位,其中该第五电容、该第十五晶体管、该第十六晶体管以及该第十七晶体管组成该第三放电单元;

一第六电容,其第一端接收该第三输入时钟信号;

一第十八晶体管,其栅极耦接该第十二晶体管的第二源漏极与该第十三晶体管的第一源漏极以接收该第二预充电信号,其第一源漏极耦接该第六电容的第二端,且其第二源漏极耦接该参考电位;

一第十九晶体管,其栅极耦接该第六电容的第二端与该第十八晶体管的第二源漏极,其第一源漏极耦接该第十八晶体管的栅极,且其第二源漏极耦接该参考电位;

一第二十晶体管,其栅极耦接该第六电容的第二端与该第十八晶体管的第二源漏极,其第一源漏极耦接该第十四晶体管的第二源漏极,且其第二源漏极耦接该参考电位,其中该第六电容、该第十八晶体管、该第十九晶体管以及该第二十晶体管组成该第四放电单元;

一第二十一晶体管,其栅极接收第 $(j-3)$ 级第二移位寄存器所输出的该扫描信号,其第一源漏极耦接该第十五晶体管的第一源漏极以及该第十六与该第十七晶体管的栅极,且其第二源漏极耦接该参考电位;以及

一第二十二晶体管,其栅极接收第 $(j+1)$ 级第二移位寄存器所输出的该扫描信号,其第一源漏极耦接该第十五与该第二十一晶体管的第一源漏极以及该第十六与该第十七晶体管的栅极,且其第二源漏极耦接该参考电位。

12. 根据权利要求8所述的液晶显示器,其特征在于,其中第1级、第2级、第 $(N-1)$ 级与第 N 级第一移位寄存器分别包括该第一预充电单元、该第一上拉单元以及该第一下拉单元,其中该第一预充电单元、该第一上拉单元以及该第一下拉单元的电路结构与第 i 级第一移位寄存器的电路结构相同,第1级、第2级、第 $(M-1)$ 级与第 M 级第二移位寄存器分别包括该第二预充电单元、该第二上拉单元以及该第二下拉单元,其中该第二预充电单元、该第二上拉单元以及该第二下拉单元的电路结构与第 j 级第二移位寄存器的电路结构相同,且皆为冗余移位寄存器。

液晶显示器及其双向移位暂存装置

技术领域

[0001] 本发明是有关于一种平面显示技术,且特别是有关于一种液晶显示器及其双向移位暂存装置。

背景技术

[0002] 近年来,随着半导体科技蓬勃发展,携带型电子产品及平面显示器产品也随之兴起。而在众多平面显示器的类型当中,液晶显示器(Liquid Crystal Display, LCD)基于其低电压操作、无辐射线散射、重量轻以及体积小等优点,随即已成为各显示器产品的主流。也亦因如此,无不驱使着各家厂商针对液晶显示器的开发技术要朝向更微型化及低制作成本发展。

[0003] 为了要降低液晶显示器的制作成本,已有部分厂商研发出在液晶显示面板采用非晶硅(amorphous silicon, a-Si)制程的条件下,可将原先配置于液晶显示面板的扫描侧所使用的扫描驱动IC内部的移位寄存器(shift register)转移直接配置在液晶显示面板的玻璃基板(glass substrate)上。因此,原先配置于液晶显示面板的扫描侧所使用的扫描驱动IC即可省略,藉以达到降低液晶显示器的制作成本的目的。

发明内容

[0004] 本发明提供一种液晶显示器及其双向移位暂存装置,其可利用较少的控制信号来实现双向扫描的驱动机制,并且具有较高的可靠度。

[0005] 本发明的双向移位暂存装置包括N级串接在一起的移位寄存器,其中第i级移位寄存器包括预充电单元、上拉单元、下拉单元以及噪声抑制单元。预充电单元接收第(i-2)级与第(i+2)级移位寄存器的输出,并据以输出预充电信号,其中N为预设正整数,i为大于等于3且小于等于N-2的正整数。上拉单元耦接预充电单元,接收预充电信号与第一输入时钟信号,并据以输出扫描信号。下拉单元耦接预充电单元与上拉单元,其中下拉单元包括第一放电单元以及第二放电单元。第一放电单元接收预充电信号与第二输入时钟信号,并据以决定是否将扫描信号下拉至参考电位。第二放电单元接收预充电信号与第一输入时钟信号,并据以决定是否将扫描信号维持于参考电位,其中第一输入时钟信号与第二输入时钟信号互为反相。噪声抑制单元耦接第一放电单元,接收第(i-3)级与第(i+1)级移位寄存器的输出,并据以控制第一放电单元的操作,其中当i等于3时,噪声抑制单元至少依据第4级移位寄存器的输出控制第一放电单元的操作。

[0006] 本发明的液晶显示器包括液晶显示面板、驱动电路以及背光模块。液晶显示面板包括基板、多个以阵列排列的像素、第一双向移位暂存装置以及第二双向移位暂存装置,其中所述多个像素、第一双向移位暂存装置以及第二双向移位暂存装置配置于基板上。第一双向移位暂存装置具有多级串接在一起且分别对应奇数行像素的第一移位寄存器,其中第i级第一移位寄存器包括第一预充电单元、第一上拉单元、第一下拉单元以及第一噪声抑制单元。第一预充电单元接收第(i-2)级与第(i+2)级第一移位寄存器的输出,并据以输出第

一预充电信号,其中 i 为大于等于3且小于等于 $N-2$ 的正整数, N 为对应奇数行像素的行数的预设正整数。第一上拉单元耦接第一预充电单元,接收第一预充电信号与第一输入时钟信号,并据以输出第一扫描信号。第一下拉单元耦接第一预充电单元与第一上拉单元,其中第一下拉单元包括第一放电单元以及第二放电单元。第一放电单元接收第一预充电信号与第二输入时钟信号,并据以决定是否将第一扫描信号下拉至参考电位。第二放电单元接收第一预充电信号与第一输入时钟信号,并据以决定是否将第一扫描信号维持于参考电位,其中第一输入时钟信号与第二输入时钟信号互为反相。第一噪声抑制单元耦接第一放电单元,接收第 $(i-3)$ 级与第 $(i+1)$ 级第一移位寄存器的输出,并据以控制第一放电单元的操作,其中当 i 等于3时,第一噪声抑制单元至少依据第4级第一移位寄存器的输出控制第一放电单元的操作。第二双向移位暂存装置具有多级串接在一起且分别对应偶数行像素的第二移位寄存器,其中第 j 级第二移位寄存器包括第二预充电单元、第二上拉单元、第二下拉单元以及第二噪声抑制单元。第二预充电单元接收第 $(j-2)$ 级与第 $(j+2)$ 级第二移位寄存器的输出,并据以输出第二预充电信号,其中 j 为大于等于3且小于等于 $M-2$ 的正整数, M 为对应偶数行像素的行数的预设正整数。第二上拉单元耦接第二预充电单元,接收第二预充电信号与第三输入时钟信号,并据以输出第二扫描信号。第二下拉单元耦接第二预充电单元与第二上拉单元,其中第二下拉单元包括第三放电单元以及第四放电单元。第三放电单元接收第二预充电信号与第四输入时钟信号,并据以决定是否将第二扫描信号下拉至参考电位。第四放电单元接收第二预充电信号与第三输入时钟信号,并据以决定是否将第二扫描信号维持于参考电位,其中第三输入时钟信号与第四输入时钟信号互为反相,第一输入时钟信号与第三输入时钟信号实质上具有45度的相位差,且第二输入时钟信号与第四输入时钟信号实质上具有45度的相位差。第二噪声抑制单元耦接第三放电单元,接收第 $(j-3)$ 级与第 $(j+1)$ 级第二移位寄存器的输出,并据以控制第三放电单元的操作,其中当 j 等于3时,第二噪声抑制单元至少依据第4级第二移位寄存器的输出控制第三放电单元的操作。驱动电路耦接液晶显示面板,用以驱动液晶显示面板显示画面,并且提供多个预设时钟信号以作为第一输入时钟信号、第二输入时钟信号、第三输入时钟信号以及第四输入时钟信号。背光模块用以提供液晶显示面板所需的光源。

[0007] 基于上述,本发明实施例提出一种液晶显示器及其双向移位暂存装置,其中所述双向移位暂存装置可利用动态反相器的电路架构来进行节点放电,并藉以控制各个移位寄存器所输出的扫描信号的电平,进而有效地提高整体双向移位暂存装置的可靠度。此外,本发明实施例的移位寄存器可利用噪声抑制单元来降低涟波噪声所造成的影响,进而再进一步的提高双向移位暂存装置的可靠度。

[0008] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

附图说明

[0009] 图1为本发明一实施例的液晶显示器的示意图。

[0010] 图2A与2B为依照图1实施例的双向移位暂存装置的示意图。

[0011] 图3A为依照图2A实施例的移位寄存器的示意图。

[0012] 图3B~3E为依照图3A实施例的第1级至第4级移位寄存器的电路操作示意图。

- [0013] 图4为依照图3A实施例的移位寄存器的电路示意图。
- [0014] 图5A与5B为本发明一实施例的双向移位暂存装置的信号时序示意图。
- [0015] 图6A与6B为本发明另一实施例的双向移位暂存装置的信号时序示意图。
- [0016] 图7为依照图2A另一实施例的移位寄存器的示意图。
- [0017] 图8为依照图7实施例的移位寄存器的电路示意图。
- [0018] 图9A为本发明一实施例的在噪声考虑下的移位寄存器的信号时序示意图。
- [0019] 图9B为本发明另一实施例的在噪声考虑下的移位寄存器的信号时序示意图。
- [0020] [标号说明]
- | | |
|---|------------------------|
| [0021] 100:液晶显示器 | 110:液晶显示面板 |
| [0022] 112_L、112_R:双向移位暂存装置 | 120:驱动电路 |
| [0023] 122:时序控制器 | 124:移位寄存器 |
| [0024] 130:背光模块 | 310、310_1~310_4:预充电单元 |
| [0025] 320、320_1~320_4:上拉单元 | 330、330_1~330_4:下拉单元 |
| [0026] 332、332_1~332_4:第一放电单元 | 334、334_1~334_4:第二放电单元 |
| [0027] 340:噪声抑制单元 | AA:显示区 |
| [0028] BW:逆向输入信号 | C1~C3:电容 |
| [0029] CLK1_L~CLK4_L、CLK1_R~CLK4_R:时钟信号 | |
| [0030] FW:顺向输入信号 | M1~M11:晶体管 |
| [0031] NR1、NR2:涟波噪声 | PCS:预充电信号 |
| [0032] RCK1:第一输入时钟信号 | RCK2:第二输入时钟信号 |
| [0033] SS _i _L~SS _N _L、SS _i _R~SS _M _R、SS _i _L、SS _j _R:扫描信号 | |
| [0034] STV1_L、STV2_L、STV1_R、STV2_R:起始信号 | |
| [0035] SR1 _i ~SR1 _N 、SR2 _i ~SR2 _M 、SR1 _i 、SR2 _j :移位寄存器 | |
| [0036] V _{ss} :参考电位 | o、p、q、x:节点 |
| [0037] t1~t9:时间 | T1、T2、T3、T4、TE:期间 |

具体实施方式

[0038] 本发明实施例提出一种液晶显示器及其双向移位暂存装置,其中所述双向移位暂存装置可利用动态反相器的电路架构来进行节点放电,并藉以控制各个移位寄存器所输出的扫描信号的电平,进而有效地提高整体双向移位暂存装置的可靠度。此外,本发明实施例的移位寄存器可利用噪声抑制单元来降低涟波噪声所造成的影响,进而再进一步地提高双向移位暂存装置的可靠度。再者,基于本发明实施例的双向移位暂存装置的电路架构下,所述双向移位暂存装置可利用较少的控制信号来实现顺向扫描与逆向扫描的驱动机制,进而减少电路布局的面积。为了使本揭露的内容更容易明了,以下特举实施例作为本揭露确实能够据以实施的范例。另外,凡可能之处,在图式及实施方式中使用相同标号的元件/构件/步骤代表相同或类似部分。

[0039] 图1为本发明一实施例的液晶显示器的示意图。请参照图1,液晶显示器100包括液晶显示面板110、驱动电路120以及用以提供液晶显示面板110所需的(背)光源的背光模块130。

[0040] 液晶显示面板110包括基板(未绘示,例如为玻璃基板)、多个像素(未绘示)以及双向移位暂存装置112_L与112_R。在液晶显示面板110中,所述像素配置于基板上且以阵列排列于显示区(display area)AA内。双向移位暂存装置112_L与112_R分别直接配置于基板上的两侧,并且经由对应的扫描线分别耦接至奇数行像素与偶数行像素。

[0041] 驱动电路120包括时序控制器122以及源极驱动器124。在驱动电路120中,时序控制器120可提供多个预设时钟信号(如STV1_L、STV2_L、STV1_R、STV2_R、CLK1_L~CLK4_L、CLK1_R~CLK4_R)来控制源极驱动器124以及双向移位暂存装置112_L与112_R的操作。源极驱动器124受控于时序控制器122而输出多个像素电压来驱动液晶显示面板110显示画面。

[0042] 详细而言,双向移位暂存装置112_L会反应于时序控制器122所提供的起始信号STV1_L与STV2_L以及时钟信号CLK1_L~CLK4_L而输出多个扫描信号SS_{1_L}~SS_{N_L},其中扫描信号SS_{1_L}、SS_{2_L}、SS_{N-1_L}及SS_{N_L}为冗余(dummy)扫描信号(不提供至液晶显示面板110,仅作为产生其它扫描信号的依据),扫描信号SS_{3_L}~SS_{N-2_L}则会经由对应的扫描线提供至液晶显示面板110的奇数行像素,藉以序列地开启奇数行像素。在此,N为对应奇数行像素的行数的一预设正整数(在本实施例中N值等于奇数行像素的行数加4)。

[0043] 相似地,双向移位暂存装置112_R会反应于时序控制器122所提供的起始信号STV1_R与STV2_R以及时钟信号CLK1_R~CLK4_R而输出多个扫描信号SS_{1_R}~SS_{M_R},其中扫描信号SS_{1_R}、SS_{2_R}、SS_{M-1_R}及SS_{M_R}为冗余扫描信号,扫描信号SS_{3_R}~SS_{M-2_R}则会经由对应的扫描线提供至液晶显示面板110的偶数行像素,藉以序列地开启偶数行像素。在此,M为对应偶数行像素的行数的一预设正整数(在本实施例中M值等于偶数行像素的行数加4)。

[0044] 根据上述的驱动方式,液晶显示面板110的每一行像素会依据对应的扫描信号SS_{3_L}~SS_{N-2_L}与SS_{3_R}~SS_{M-2_R}而依序被开启,使得液晶显示面板110可据以显示画面。在本实施例中,时序控制器122可通过提供不同的预设时钟信号来控制双向移位暂存装置112_L与112_R的扫描顺序,使得双向移位暂存装置112_L与112_R以顺向(即由第一行至最后一行)或逆向(即由最后一行至第一行)的扫描顺序来依序开启每一行像素。

[0045] 更清楚来说,图2A与2B分别为双向移位暂存装置112_L与112_R的示意图。请先参照图2A,双向移位暂存装置112_L包括N级实质上相同且彼此串接在一起的移位寄存器SR₁₁~SR_{1N},其中第1级、第2级、第N-1级与第N级移位寄存器SR₁₁、SR₁₂、SR_{1N-1}、SR_{1N}皆为输出冗余扫描信号的冗余移位寄存器,且第3级移位寄存器SR₁₃至第N-2级移位寄存器SR_{1N-2}分别经由对应的扫描线耦接至奇数行像素。相似地,请参照图2B,双向移位暂存装置112_R包括M级实质上相同且彼此串接再依起的移位寄存器SR₂₁~SR_{2M},其中第1级、第2级、第M-1级与第M级移位寄存器SR₂₁、SR₂₂、SR_{2M-1}、SR_{2M}皆为输出冗余扫描信号的冗余移位寄存器,且第3级移位寄存器SR₂₃至第M-2级移位寄存器SR_{2M-2}分别经由对应的扫描线耦接至偶数行像素。

[0046] 在本实施例中,双向移位暂存装置112_L与112_R可依据顺向输入信号FW与逆向输入信号BW而以顺向或逆向的扫描顺序分别序列地输出扫描信号SS_{1_L}~SS_{N_L}与SS_{1_R}~SS_{M_R},其中顺向输入信号FW与逆向输入信号BW可为时序控制器122所提供的预设时钟信号的其中之一,或者可由额外的信号产生单元所提供,本发明不以此为限。

[0047] 在以下的实施例说明中,由于各级移位寄存器SR₁₁~SR_{1N}与SR₂₁~SR_{2M}的运作原理与电路架构大致相同,故主要以双向移位暂存装置112_L的第i级移位寄存器SR_{1i}为例来进行说明。于本领域技术人员应可从下述说明中直接而无歧异地推知双向移位暂存装置

112_R及其各级移位寄存器SR₂₁~SR_{2M}的运作原理与电路架构,故后述实施例中仅会针对双向移位暂存装置112_R与双向移位暂存装置112_L的不同之处加以说明,重复之处将不再赘述。

[0048] 图3A为依照图2A实施例的移位寄存器的示意图。请同时参照图2A与图3A,第i级移位寄存器SR_{1i}包括预充电单元310、上拉单元320以及下拉单元330。预充电单元310接收第(i-2)级与第(i+2)级移位寄存器SR_{1i-2}与SR_{1i+2}的输出,并据以输出预充电信号PCS,其中 $3 \leq i \leq N-2$ 。换言之,除了冗余移位寄存器之外的各个移位寄存器SR_{1i}的预充电单元310会分别接收前二级与后二级移位寄存器SR_{1i-2}与SR_{1i+2}所输出的扫描信号SS_{i-2_L}与SS_{i+2_L}而据以产生对应的预充电信号PCS。

[0049] 冗余移位寄存器则是分别利用时序控制器122所提供的起始信号STV1_L与STV2_L以产生对应的预充电信号PCS。举例来说,第1级移位寄存器SR₁₁的预充电单元接收起始信号STV1_L与第3级移位寄存器SR₁₃所输出的扫描信号SS_{3_L},第2级移位寄存器SR₁₂的预充电单元接收起始信号STV2_L与第4级移位寄存器SR₁₄所输出的扫描信号SS_{4_L},第N-1级移位寄存器SR_{1N-1}的预充电单元接收第N-3级移位寄存器SR_{1N-3}所输出的扫描信号SS_{N-3_L}与起始信号STV1_L,且第N级移位寄存器SR_{1N}的预充电单元接收第N-2级移位寄存器SR_{1N-2}所输出的扫描信号SS_{N-2_L}与起始信号STV2_L。

[0050] 此外,每一级移位寄存器SR_{1i}~SR_{1N}的预充电单元还接收顺向输入信号FW与逆向输入信号BW,以使双向移位暂存装置112_L依据顺向输入信号FW与逆向输入信号BW而利用顺向扫描或逆向扫描的扫描顺序来驱动显示区AA中的奇数行像素。举例来说,双向移位暂存装置112_L可依据致能的顺向输入信号FW与禁能的逆向输入信号BW而依照第一行至最后一行的顺序来驱动奇数行像素(顺向扫描),并且依据禁能的顺向输入信号FW与致能的逆向输入信号BW而依照最后一行至第一行的顺序来驱动奇数行像素(逆向扫描)。

[0051] 上拉单元320耦接预充电单元310,接收预充电信号PCS与第一输入时钟信号RCK1,并据以输出扫描信号SS_{i_L}。下拉单元330耦接预充电单元310与上拉单元320,且包括第一放电单元332以及第二放电单元334。其中,第一放电单元332接收预充电信号PCS与第二输入时钟信号RCK2,并据以决定是否将扫描信号SS_{i_L}下拉至参考电位V_{ss}(例如为一个负电压,但并不限制于此)。第二放电单元334接收预充电信号PCS与第一输入时钟信号RCK1,并据以决定是否将扫描信号SS_{i_L}维持于参考电位V_{ss}。

[0052] 详细而言,时序控制器122会将不同的时钟信号CLK1_L~CLK4_L依序提供至每一级移位寄存器SR₁₁~SR_{1N}以作为对应的第一输入时钟信号RCK1与第二输入时钟信号RCK2,以使每一级移位寄存器SR₁₁~SR_{1N}可利用顺向扫描或逆向扫描的扫描顺序来驱动显示区AA中的奇数行像素。其中,时序控制器122所提供的起始信号STV1_L与STV2_L以及时钟信号CLK1_L~CLK4_L的信号波形会基于顺向扫描或逆向扫描的驱动方式而有所不同(此部分可在后述实施例的信号时序示意图中明显看出)。

[0053] 在顺向扫描的驱动状态下,以第1级至第4级移位寄存器SR₁₁~SR₁₄为例,如图3B~3E所示,首先,移位寄存器SR₁₁的预充电单元310_1会接收起始信号STV1_L与扫描信号SS_{3_L},移位寄存器SR₁₁的上拉单元320_1与第二放电单元334_1会接收时钟信号CLK3_L以作为第一输入时钟信号RCK1,且移位寄存器SR₁₁的第一放电单元332_1则会接收时钟信号CLK1_L以作为第二时钟信号RCK2。移位寄存器SR₁₂的预充电单元310_2会接收起始信号STV2_L与

扫描信号SS_{4_L},移位寄存器SR₁₂的上拉单元320₂与第二放电单元334₂会接收时钟信号CLK_{4_L}以作为第一输入时钟信号RCK1,且移位寄存器SR₁₂的第一放电单元332₂则会接收时钟信号CLK_{2_L}以作为第二时钟信号RCK2。移位寄存器SR₁₃的预充电单元310₃会接收扫描信号SS_{1_L}与SS_{5_L},移位寄存器SR₁₃的上拉单元320₃与第二放电单元334₃会接收时钟信号CLK_{1_L}以作为第一输入时钟信号RCK1,且移位寄存器SR₁₃的第一放电单元332₃则会接收时钟信号CLK_{3_L}以作为第二时钟信号RCK2。移位寄存器SR₁₄的预充电单元310₄会接收扫描信号SS_{2_L}与SS_{6_L},移位寄存器SR₁₄的上拉单元320₄与第二放电单元334₄会接收时钟信号CLK_{2_L}以作为第一输入时钟信号RCK1,且移位寄存器SR₁₄的第一放电单元332₄则会接收时钟信号CLK_{4_L}以作为第二时钟信号RCK2。

[0054] 接着,第5级移位寄存器SR₁₅则会类似于第1级移位寄存器SR₁₁,分别利用时钟信号CLK_{3_L}与CLK_{1_L}作为第一输入时钟信号RCK1与第二输入时钟信号RCK2,并且后续的移位寄存器SR₁₆~SR_{1N}皆会依据上述规律而利用对应的时钟信号CLK_{1_L}~CLK_{4_L}来作为第一输入时钟信号RCK1与第二输入时钟信号RCK2。

[0055] 换言之,第4k-3级移位寄存器SR_{1i}(i=4k-3,k为正整数)会分别以CLK_{3_L}与CLK_{1_L}作为第一输入时钟信号RCK1与第二输入时钟信号RCK2。第4k-2级移位寄存器SR_{1i}(i=4k-2)会分别以CLK_{4_L}与CLK_{2_L}作为第一输入时钟信号RCK1与第二输入时钟信号RCK2。第4k-1级移位寄存器SR_{1i}(i=4k-1)会分别以CLK_{1_L}与CLK_{3_L}作为第一输入时钟信号RCK1与第二输入时钟信号RCK2。第4k级移位寄存器SR_{1i}(i=4k)会分别以CLK_{2_L}与CLK_{4_L}作为第一输入时钟信号RCK1与第二输入时钟信号RCK2。亦即,各级移位寄存器SR₁₁~SR_{1N}会依序以时钟信号CLK_{3_L}、CLK_{4_L}、CLK_{1_L}及CLK_{2_L}作为第一输入时钟信号RCK1,并且依序以时钟信号CLK_{1_L}、CLK_{2_L}、CLK_{3_L}及CLK_{4_L}作为第二输入时钟信号RCK2。

[0056] 为了更清楚地说明图3A实施例,图4为依照图3A实施例的移位寄存器的电路示意图。请参照图4,预充电单元310包括晶体管M1与M2,上拉单元320包括晶体管M3与电容C1,下拉单元330的第一放电单元332包括晶体管M4~M6以及电容C2,且下拉单元330的第二放电单元334包括晶体管M7~M9以及电容C3。其中,在本实施例中所述的各个晶体管M1~M9是以N型晶体管为例,但本发明并不以此为限。

[0057] 在第i级移位寄存器SR_{1i}的预充电单元310中,晶体管M1的栅极接收第i-2级移位寄存器SR_{1i-2}所输出的扫描信号SS_{i-2_L},且晶体管M1的漏极接收顺向输入信号FW。晶体管M2的栅极接收第i+2级移位寄存器SR_{1i+2}所输出的扫描信号SS_{i+2_L},晶体管M2的漏极耦接晶体管M1的源极并且共同耦接至节点x以输出预充电信号PCS,且晶体管M2的源极接收逆向输入信号BW。

[0058] 在第i级移位寄存器SR_{1i}的上拉单元320中,晶体管M3的栅极经由节点x接收预充电信号PCS,晶体管M3的漏极接收第一输入时钟信号RCK1,且晶体管M3的源极输出扫描信号SS_{i_L}。电容C1的第一端耦接晶体管M3的栅极与节点x,且电容C1的第二端耦接晶体管M3的源极。

[0059] 在第i级移位寄存器SR_{1i}的第一放电单元332中,电容C2的第一端接收第二输入时钟信号RCK2。晶体管M4的栅极耦接至节点x并且接收预充电信号PCS,晶体管M4的漏极耦接电容C2的第二端,且晶体管M4的源极耦接参考电位V_{ss}。晶体管M5的栅极耦接电容C2的第二端与晶体管M4的漏极,晶体管M5的漏极耦接晶体管M4的栅极与节点x,且晶体管M5的源极耦

接参考电位 V_{ss} 。晶体管M6的栅极耦接电容C2的第二端、晶体管M4的漏极以及晶体管M5的栅极,晶体管M6的漏极耦接晶体管M3的源极与电容C1的第二端,且晶体管M6的源极耦接参考电位 V_{ss} 。

[0060] 在第*i*级移位寄存器SR_{1i}的第二放电单元334中,电容C3的第一端接收第一输入时钟信号RCK1。晶体管M7的栅极耦接至节点x并且接收预充电信号PCS,晶体管M7的漏极耦接电容C3的第二端,且晶体管M7的源极耦接参考电位 V_{ss} 。晶体管M8的栅极耦接电容C3的第二端与晶体管M7的源极,晶体管M8的漏极耦接晶体管M7的栅极与节点x,且晶体管M8的源极耦接参考电位 V_{ss} 。晶体管M9的栅极耦接电容C3的第二端、晶体管M7的源极以及晶体管M8的栅极,晶体管M9的漏极耦接晶体管M3与M6的源极以及电容C1的第二端,且晶体管M9的源极耦接参考电位 V_{ss} 。

[0061] 于此,为了要清楚说明图4的移位寄存器SR_{1i}的运作原理,图5A绘示双向移位暂存装置112_L对显示区AA中的奇数行像素进行顺向扫描的信号时序示意图。

[0062] 请先参照图5A,从图5A中可清楚地看出,在顺向扫描的驱动状态下,时序控制器122会提供具有特定责任周期(duty cycle)且具有不同相位差的时钟信号CLK3_L、CLK4_L、CLK1_L以及CLK2_L。在本实施例中,各个时钟信号CLK1_L~CLK4_L的责任周期是以50%为例,且时序控制器122是依照CLK3_L→CLK4_L→CLK1_L→CLK2_L的顺序而产生相位依序落后前一信号90度的时钟信号CLK1_L~CLK4_L,亦即每个时钟信号CLK3_L、CLK4_L、CLK1_L以及CLK2_L的致能时间(信号提升至高电位的时间,亦为每一脉冲的脉冲宽度)依序与前一时钟信号有50%的重迭,但本发明并不以此为限。举例来说,时钟信号CLK4_L的相位会落后于时钟信号CLK3_L并且具有90度的相位差,时钟信号CLK1_L的相位会落后于时钟信号CLK4_L并且具有90度的相位差,时钟信号CLK2_L的相位会落后于时钟信号CLK1_L并且具有90度的相位差。

[0063] 另外,在本实施例中,时钟信号CLK3_L在一个帧期间(frame period)内的第一个脉冲(pulse)的致能时间会晚于起始信号STV2_L的致能时间,并且与起始信号STV2_L的致能时间有50%的重迭。此外,起始信号STV2_L的相位落后于起始信号STV1_L,并且起始信号STV2_L的致能时间会与起始信号STV1_L的致能时间有50%的重迭。

[0064] 请合并参照图2A、图4以及图5A,以第1级移位寄存器SR₁₁为例,在时间t₁~t₃的期间,预充电单元310的晶体管M1反应于致能的起始信号STV1_L而导通,并且晶体管M2反应于禁能的扫描信号SS₃而截止,使得预充电单元310输出对应的预充电信号PCS来对节点x进行预充电。在此期间内,由于上拉单元320是接收禁能的时钟信号CLK3_L,故无论晶体管M3是否会被预充电信号PCS所导通,扫描信号SS_{1_L}皆会位于参考电位 V_{ss} 。

[0065] 在时间t₃~t₅的期间,预充电单元310的晶体管M1与M2分别反应于禁能的起始信号STV1与禁能的扫描信号SS₃而截止。上拉单元320与第二放电单元334接收到致能的时钟信号CLK3_L,且第一放电单元332接收到禁能的时钟信号CLK1_L。在此期间内,节点x会通过晶体管M3的漏极与栅极间的耦合效应(coupling effect)而被拉升至高电位,使得晶体管M3被导通而输出高电位的扫描信号SS_{1_L}。另一方面,第一放电单元332的晶体管M5与M6会反应于禁能的时钟信号CLK1_L而截止,且第二放电单元334的晶体管M7会被节点x的高电位导通而使晶体管M8与M9被截止,故扫描信号SS_{1_L}会在时间t₃时从参考电位 V_{ss} 拉升至高电位,并且在时间t₃~t₅的期间内维持在高电位。

[0066] 此外,在时钟信号CLK1_L与CLK3之间具有相位偏移而使时钟信号CLK1与CLK3的致能期间有重迭的情况下,第一放电单元334的晶体管M4会反应于节点x的高电位及致能的时钟信号CLK1而被导通,以使晶体管M5与M6维持于被截止的状态,因此扫描信号SS₁_L较不会受到时钟信号CLK1与CLK3之间的相位偏移的影响。

[0067] 在时间t5~t7的期间,预充电单元310的晶体管M1反应于禁能的起始信号STV1_L而截止,并且晶体管M2反应于致能的扫描信号SS₃而导通。上拉单元320与第二放电单元334接收到禁能的时钟信号CLK3_L,且第一放电单元332接收到致能的时钟信号CLK1_L。在此期间内,预充电单元310会经由导通的晶体管M2对节点x进行放电。此外,第一放电单元332的晶体管M5与M6会反应于致能的时钟信号CLK1_L而导通,以分别对节点x与节点o进行放电。因此,扫描信号SS₁_L可在时间t5迅速地被下拉至参考电位V_{ss},并且在时间t5~t7的期间内维持在参考电位V_{ss}。在此,节点x可在时间t5~t7的期间内经由多条放电路径(晶体管M2、M4、M5)进行放电,因此上拉单元320的晶体管M3较不会有误动作发生。

[0068] 在时间t7~t9的期间,预充电单元310的晶体管M1与M2分别反应于禁能的起始信号STV1与禁能的扫描信号SS₃而截止。上拉单元320与第二放电单元334接收到致能的时钟信号CLK3_L,且第一放电单元332接收到禁能的时钟信号CLK1_L。由于节点x已经在前一期间被放电至参考电位V_{ss},因此晶体管M7在此期间内并不会被导通,使得晶体管M8与M9分别反应于致能的时钟信号CLK3_L而导通,进而使节点o在时间t5~t7的期间内持续地被维持在参考电位V_{ss}。

[0069] 基此,在同一帧期间内的移位寄存器SR₁的后续操作皆可参照上述时间t5~t7与t7~t9的操作说明,于此不再赘述。此外,其它移位寄存器SR₁₂~SR_{1N}的操作亦可根据上述说明推知,故亦不再赘述。

[0070] 具体而言,在上述实施例中,第一放电单元332中的晶体管M4~M6与第二放电单元334中的晶体管M7~M9分别类似于动态反相器(dynamic inverter)的功能,其可分别依据对应的输入时钟信号RCK1与RCK2而在不同期间内交替地对节点x及节点o放电,藉以使上拉单元330不会有误动作的发生。

[0071] 此外,基于图4的架构下,第一放电单元332与第二放电单元334分别仅需利用两个信号(预充电信号PCS及第一/第二输入时钟信号RCK1/RCK2)即可实现移位寄存器SR₁~SR_{1N}的控制,相较于传统的移位寄存器大大地降低了控制的复杂度。

[0072] 另一方面,在逆向扫描的驱动状态下,时序控制器122所提供的起始信号STV1_L与STV2_L以及时钟信号CLK1_L~CLK4_L的信号波形可如图6A所示。图6A与图5A实施例的差异在于时序控制器122是依照CLK2_L→CLK1_L→CLK4_L→CLK3_L的顺序而产生相位依序落后前一信号90度的时钟信号CLK1_L~CLK4_L(顺向扫描的驱动状态下是依照CLK3_L→CLK4_L→CLK1_L→CLK2_L的顺序)。另外,在本实施例中,时钟信号CLK2_L在一个帧期间内的第一个脉冲的致能时间会早于起始信号STV1_L的致能时间,并且与起始信号STV1_L的致能时间有50%的重迭。

[0073] 更进一步地说,对于在逆向扫描的驱动状态下的移位寄存器SR₁~SR_{1N}而言,以移位寄存器SR_N~SR_{N-3}为例,移位寄存器SR_N、SR_{N-1}、SR_{N-2}以及SR_{N-3}会依序以时钟信号CLK2_L、CLK1_L、CLK4_L及CLK3_L作为第一输入时钟信号RCK1,并且依序以时钟信号CLK4_L、CLK3_L、CLK2_L及CLK1_L作为第二输入时钟信号RCK2。值得注意的是,于图式中所绘示的移位寄

寄存器SR1₁~SR1_N的级数顺序是以顺向扫描时的扫描顺序(即由上至下)作为定义的依据,但本发明不以此为限。换言之,在逆向扫描的驱动方式下,移位寄存器SR1₁~SR1_N亦可根据逆向扫描时的扫描顺序(即由下至上)来定义移位寄存器SR1₁~SR1_N的级数顺序,例如图2A所绘示的移位寄存器SR1_N、SR1_{N-1}、...、SR1₁可依序定义为第1级、第2级至第N级移位寄存器。

[0074] 除此之外,其余作动及说明皆可参照上述图2A、图3A~3E、图4以及图5A的说明,故于此不再赘述。

[0075] 另一方面,图5B与图6B分别绘示双向移位暂存装置112_R在顺向扫描与逆向扫描的驱动状态下的信号时序示意图。请合并参照图2B与图5B,在本实施例中,双向移位暂存装置112_R及其移位寄存器SR2₁~SR2_M的架构与操作原理均与双向移位暂存装置112_L相同。双向移位暂存装置112_L与112_R的不同之处仅在于双向移位暂存装置112_R是依据起始信号STV1_R与STV2_R以及时钟信号CLK1_R~CLK4_R来依序驱动显示区AA内的偶数行像素。

[0076] 详细而言,请同时参照图5A与图5B,在顺向扫描的驱动状态下,起始信号STV1_R与STV2_R分别对应于起始信号STV1_L与STV2_L,两者间的差异仅在于起始信号STV1_R与STV2_R的相位分别落后于起始信号STV1_L与STV2_L,并且分别具有45度的相位差,亦即起始信号STV1_L与STV1_R的致能时间有75%的重迭,且起始信号STV2_L与STV2_R的致能时间亦有75%的重迭。相似地,时钟信号CLK1_R~CLK4_R分别依序对应于时钟信号CLK1_L~CLK4_L,两者间的差异亦仅在于时钟信号CLK1_R~CLK4_R的相位分别落后于时钟信号CLK1_L~CLK4_L,并且分别具有45度的相位差,亦即时钟信号CLK1_L~CLK4_L的致能时间分别与对应的时钟信号CLK1_R~CLK4_R的致能时间有75%的重迭。基于所述的信号时序的差异,双向移位暂存装置112_R可依序产生分别与扫描信号SS₁_L~SS_N_L具有一定相位差的扫描信号SS₁_R~SS_M_R来驱动偶数行像素,进而使得每一行相邻的像素可依据特定的间隔时间(如时间t₁~t₂的一半)依序开启。

[0077] 此外,基于上述图2A至图6A实施例的说明后,本领域技术人员在参照图6B后,应可直接而无歧异地推知有关于在逆向扫描的驱动状态下的双向移位暂存装置112_R极其移位寄存器SR2₁~SR2_M的操作,故于此不再赘述。

[0078] 图7为依照图2A另一实施例的移位寄存器的示意图。请参照图7,第i级移位寄存器SR1_i包括预充电单元310、上拉单元320、下拉单元330以及噪声抑制单元340。在本实施例中,第i级移位寄存器SR1_i的架构与图3A实施例大致相同,本实施例的预充电单元310、上拉单元320以及下拉单元330的架构与运作原理皆可参照上述图3A至图3E所述,故于此不再赘述。

[0079] 本实施例与前述图3A实施例的不同之处在于本实施例的移位寄存器SR1_i还包括了用以降低下拉单元330噪声影响的噪声抑制单元340。噪声抑制单元340耦接下拉单元330的第一放电单元332,并且接收第i-3级与第i+1级移位寄存器的输出,以依据第i-3级与第i+1级移位寄存器所输出的扫描信号SS_{i-3}_L与SS_{i+1}_L来控制第一放电单元332的操作。

[0080] 此外,在本实施例中,冗余移位寄存器(如SR1₁、SR1₂、SR1_{N-1}及SR1_N)的电路架构与一般的移位寄存器(如SR1₃~SR1_{N-2})大致相同。两者间的差异仅在于冗余移位寄存器不包括噪声抑制单元340。

[0081] 为了更清楚的说明图7实施例,图8为依照图7实施例的移位寄存器的电路示意图。在本实施例中,预充电单元310、上拉单元320以及下拉单元330的电路架构与操作原理大致

与图4相同,故于此不再赘述。以下将针对噪声抑制电路340的电路架构作进一步的说明。

[0082] 请参照图8,噪声抑制电路340包括晶体管M10与M11。晶体管M10的栅极接收第 $i-3$ 级移位寄存器SR $_{i-3}$ 所输出的扫描信号SS $_{i-3_L}$,晶体管M10的漏极耦接至节点p,以经由节点p耦接至晶体管M4的漏极、晶体管M5与M6的栅极以及电容C2的第二端,且晶体管M10的源极耦接参考电位V $_{ss}$ 。晶体管M11的栅极接收第 $i+1$ 级移位寄存器SR $_{i+1}$ 所输出的扫描信号SS $_{i+1_L}$,晶体管M11的漏极耦接至节点p,以经由节点p耦接晶体管M4与M10的漏极、晶体管M5与M6的栅极以及电容C2的第二端,且晶体管M11的源极耦接参考电位V $_{ss}$ 。

[0083] 一般而言,由于时序控制器122所提供的起始信号STV1_L与STV2_L以及时钟信号CLK1_L~CLK4_L彼此之间实际上可能会有不匹配(mismatch)或者延迟等现象,所述现象可能会造成第一放电单元332在节点p上产生涟波噪声(ripple noise),而使晶体管M5与M6被误导通,从而造成第一放电单元332在错误的时序下将扫描信号SS $_{i_L}$ 从高电位下拉至参考电位V $_{ss}$ 。

[0084] 举例来说,如图9A所示,其中图9A为本发明一实施例的在噪声考虑下的移位寄存器的信号时序示意图。其中,本实施例是示意移位寄存器SR $_{i_L}$ 在不包括噪声抑制单元340的架构下的信号时序。在此,以移位寄存器SR $_{i_L}$ 所接收的第一输入时钟信号RCK1与第二输入时钟信号RCK2分别为时钟信号CLK3_L与CLK1_L为例。

[0085] 从图9A可看出,节点p的信号在期间T1与T2的脉冲即为涟波噪声NR1与NR2。其中,由于扫描信号SS $_{i_L}$ 致能的期间TE和涟波噪声NR2致能的期间T2有部分的重迭,使得扫描信号SS $_{i_L}$ 会在涟波噪声NR2产生的期间被下拉至参考电位V $_{ss}$ 。换言之,在本实施例中,移位寄存器SR $_{i_L}$ 会受到涟波噪声NR2的影响而使得所输出的扫描信号SS $_{i_L}$ 维持在高电位的期间缩短(原来应为期间TE)。

[0086] 因此,在本实施例中,噪声抑制单元340可进一步地依据前三级移位寄存器SR $_{i-3}$ 与下一级移位寄存器SR $_{i+1}$ 的扫描信号SS $_{i-3_L}$ 与SS $_{i+1_L}$ 来降低第一放电单元332的噪声影响,藉以更进一步地提升整体电路的可靠度。

[0087] 详细而言,在噪声考虑下,包括噪声抑制单元340的移位寄存器SR $_{i_L}$ 的信号时序如图9B所示。请同时参照图8与图9B,在噪声抑制单元340中,其包括两个相互并接的晶体管M10与M11,其中晶体管M10与M11会分别在扫描信号SS $_{i-3_L}$ 与SS $_{i+1_L}$ 致能时被导通,从而将节点p的信号下拉至参考电位V $_{ss}$,使得晶体管M5与M6不会在扫描信号SS $_{i-3_L}$ 与SS $_{i+1_L}$ 致能的期间内被导通。从图9B可明显的看出,相较于图9A的信号时序而言,本实施例的节点p的信号会在扫描信号SS $_{i-3_L}$ 与SS $_{i+1_L}$ 致能的期间T3与T4被下拉至参考电位V $_{ss}$,因此可有效地抑制了涟波噪声NR1与NR2对第一放电单元332的影响。

[0088] 值得注意的是,对于顺向扫描的驱动方式而言,由于第3级移位寄存器SR $_{13}$ 不具有前三级的移位寄存器,因此在本例实施例中,第3级移位寄存器SR $_{13}$ 的噪声抑制单元340可仅依据第4级移位寄存器SR $_{14}$ 的输出来控制第一放电单元332,但本发明不仅限于此一实施方式。举例来说,在另一范例实施例中,时序控制器122可分别地提供一控制信号至第3级移位寄存器SR $_{13}$ 的噪声抑制单元340,其中所述控制信号可为领先冗余扫描信号SS $_{2_L}$ 九十度相位的脉冲信号,以使第3级移位寄存器SR $_{13}$ 的噪声抑制单元340依据第4级移位寄存器SR $_{14}$ 的输出以及所述控制信号来控制第一放电单元332。在又一范例实施例中,双向移位暂存装置112_L可在移位寄存器SR $_{13}$ 之前以及移位寄存器SR $_{1N-2}$ 之后分别增设一级冗余移位寄存

器。换言之,于此范例实施例中,移位寄存器SR1₃之前会有三级的冗余移位寄存器(SR1₁、SR1₂及增设的移位寄存器),且移位寄存器SR1_{N-2}之后会有三级的冗余移位寄存器(SR_{N-1}、SR_N及增设的移位寄存器),其中增设的冗余移位寄存器与原先的冗余移位寄存器具有相同的电路架构。基于此架构下,第3级移位寄存器SR1₃的噪声抑制单元340可依据第4级移位寄存器以及增设的冗余移位寄存器的输出来控制第一放电单元332。

[0089] 相似地,对于逆向扫描的驱动方式而言,由于移位寄存器SR1_{N-2}可视为第3级移位寄存器SR1₃,因此移位寄存器SR1_{N-2}的电路操作方式可比对为前述的移位寄存器SR1₃。更具体地说,移位寄存器SR1_{N-2}的噪声抑制单元340可仅依据第N-1级移位寄存器SR1_{N-1}(可视为第4级移位寄存器SR1₄)的输出来控制第一放电单元332;或者依据第N-1级移位寄存器SR1_{N-1}的输出以及时序控制器个别提供的控制信号来控制第一放电单元332;又或者依据第N-1级移位寄存器SR1_{N-1}以及增设的冗余移位寄存器的输出来控制第一放电单元332,本发明不以此为限。

[0090] 除此之外,上述图7至图9B实施例所述有关于噪声抑制单元的相关技术启示皆可应用于图1至图6B所述的液晶显示器、双向移位暂存装置112_L与112_R及其对应的移位寄存器SR1₁~SR1_N与SR2₁~SR2_M(包括顺向扫描以及逆向扫描的应用)中,本发明不以此为限。

[0091] 综上所述,本发明实施例提出一种液晶显示器及其双向移位暂存装置,其中所述双向移位暂存装置可利用动态反相器的电路架构来进行节点放电,并藉以控制各个移位寄存器所输出的扫描信号的电平,进而提高整体双向移位暂存装置的可靠度。此外,本发明实施例的移位寄存器可利用噪声抑制单元来降低涟波噪声所造成的影响,进而再进一步地提高双向移位暂存装置的可靠度。

[0092] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视所附的权利要求所界定者为准。

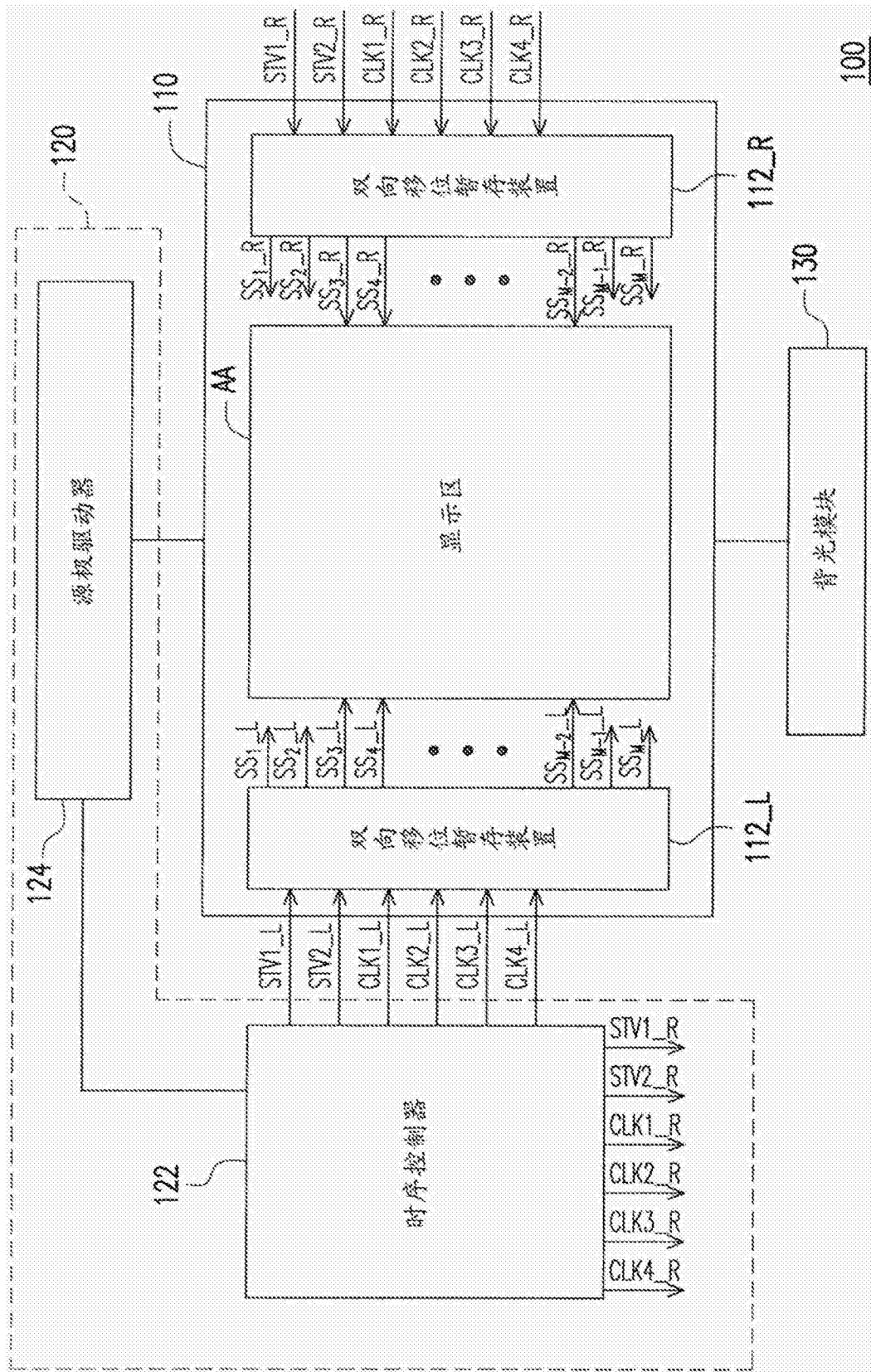


图1

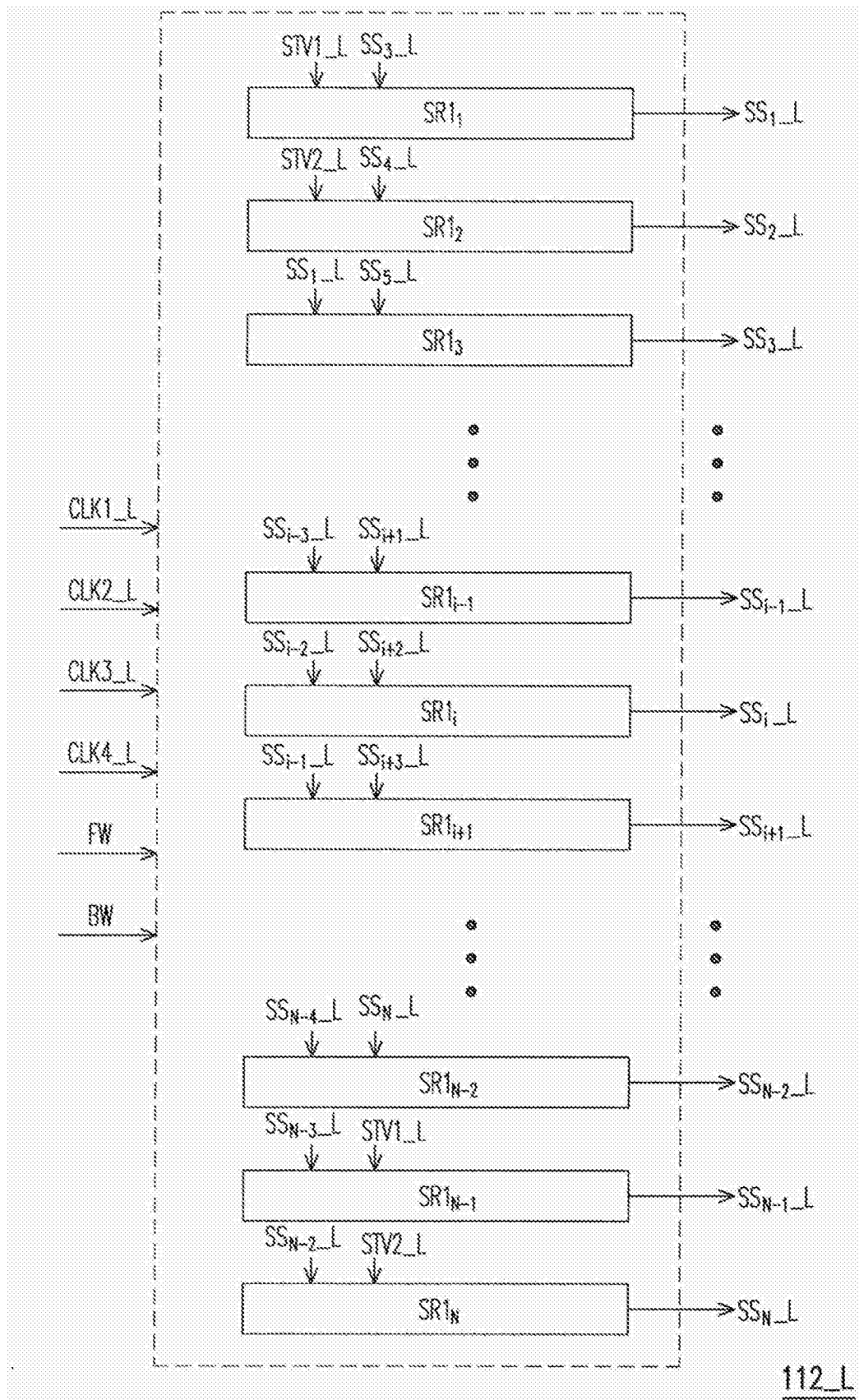


图2A

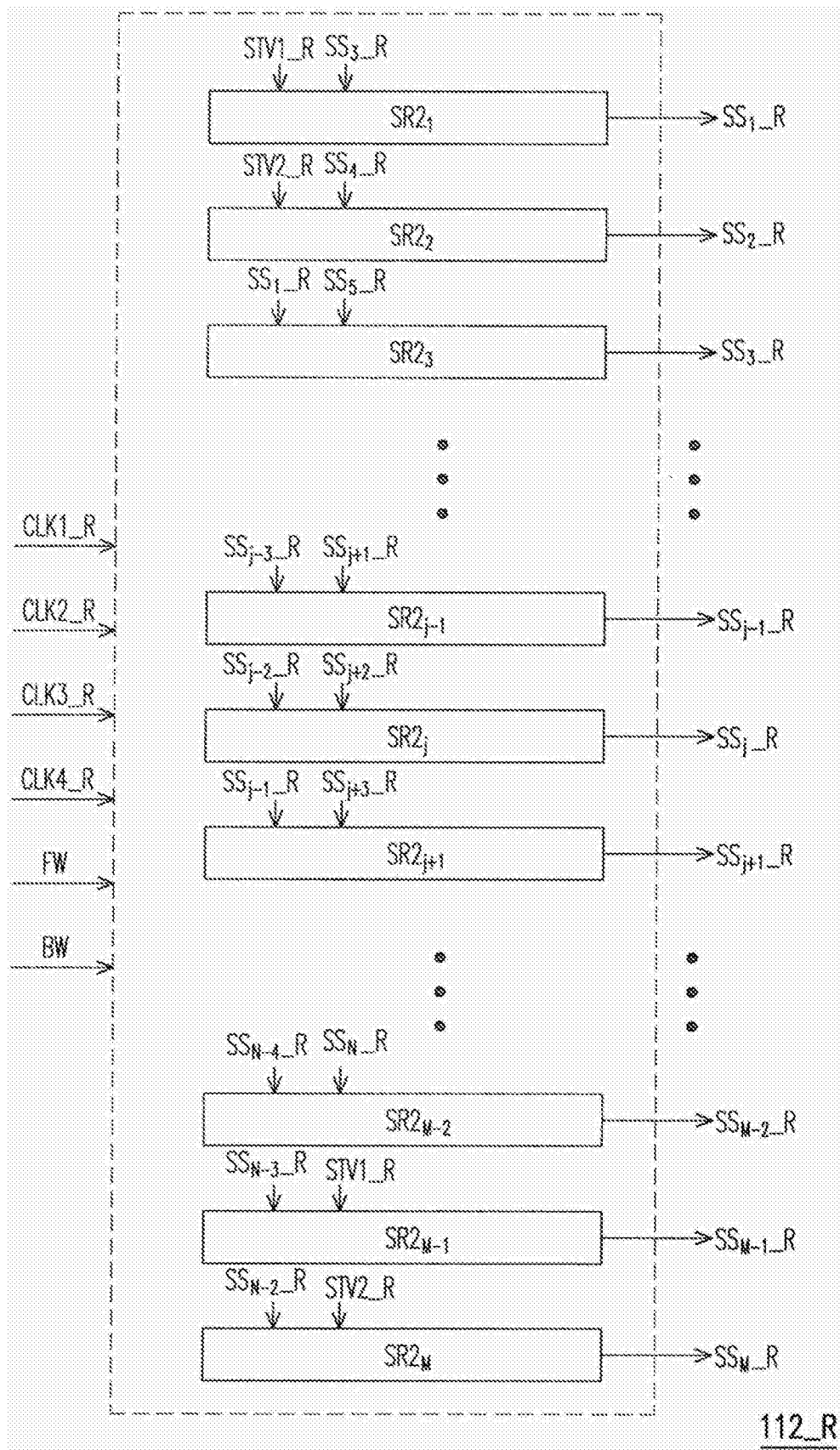


图2B

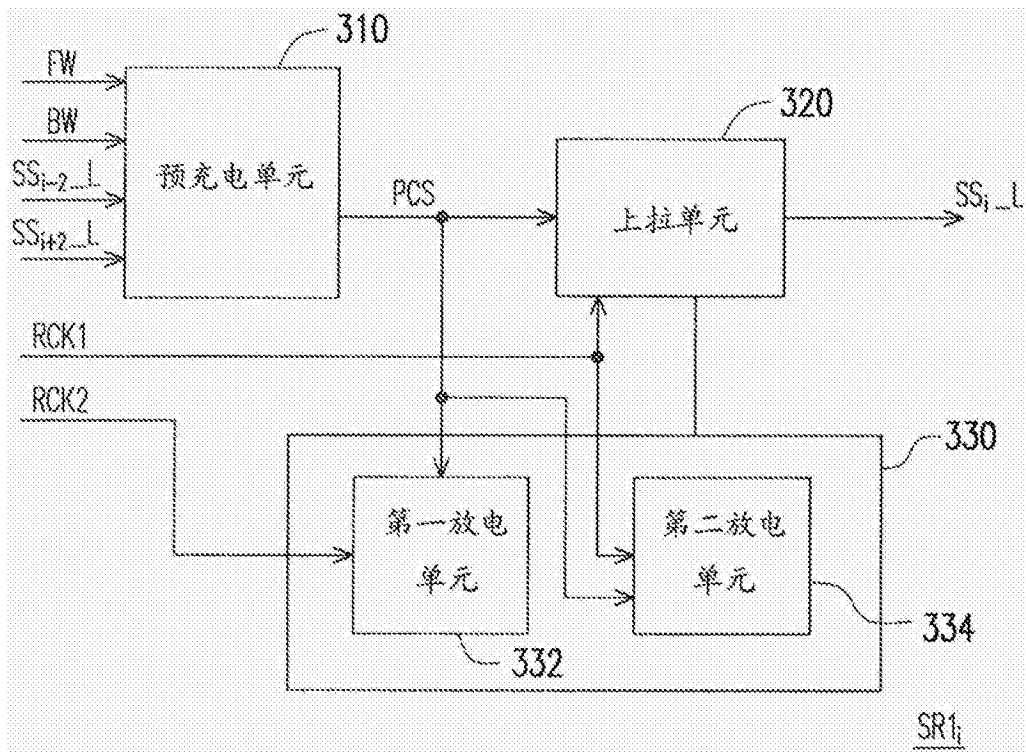


图3A

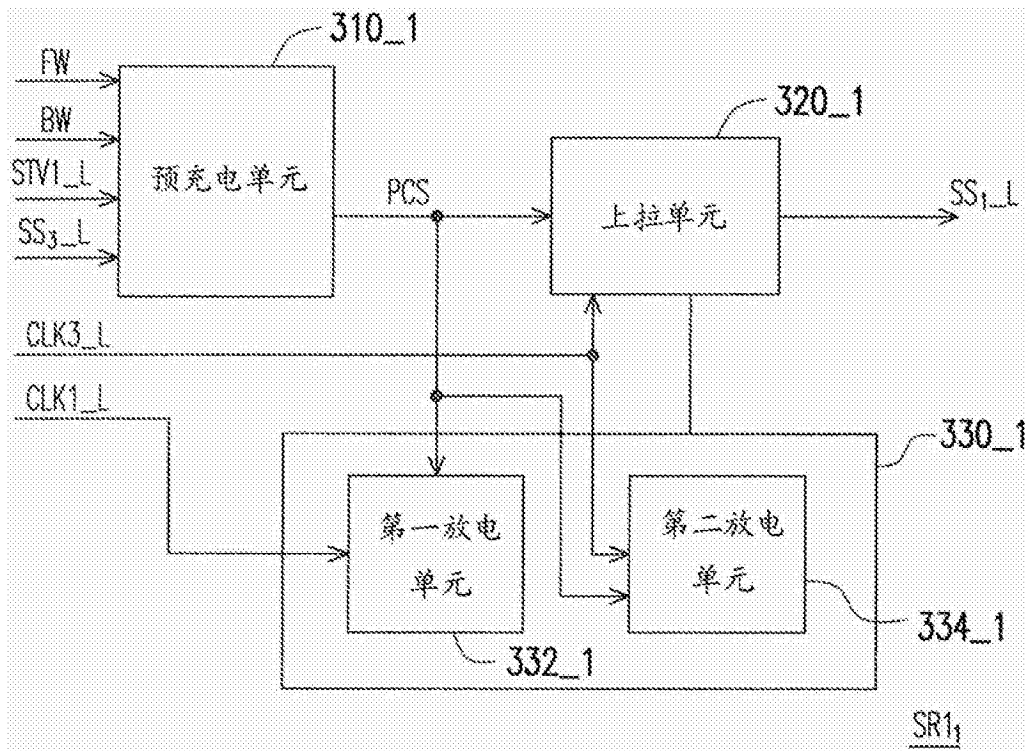


图3B

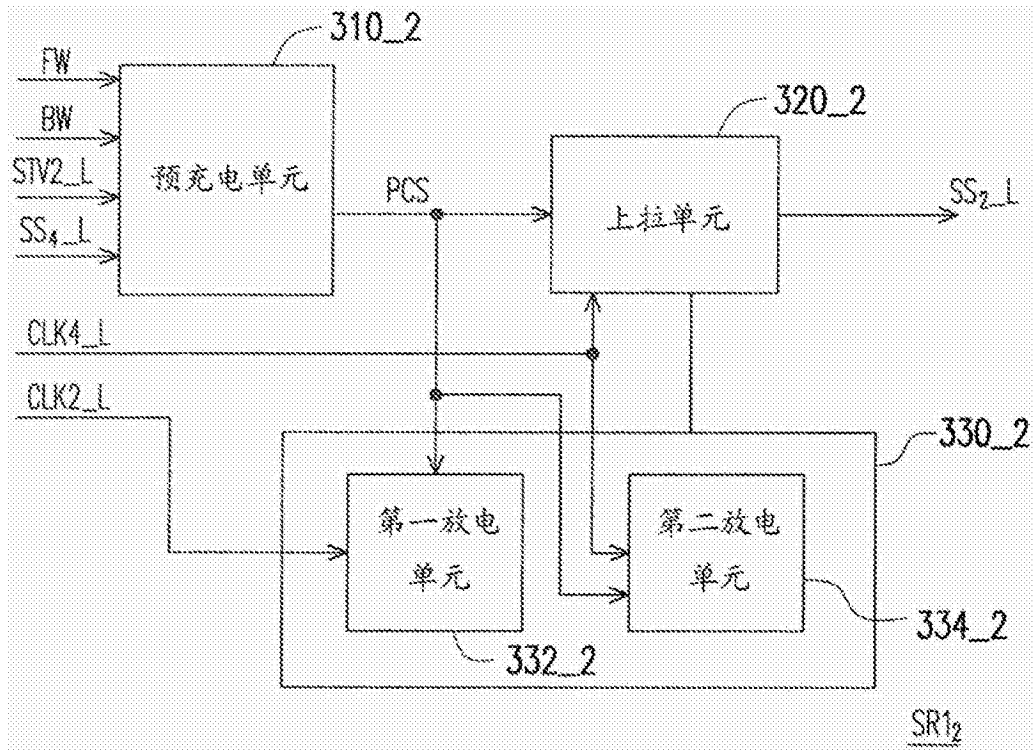


图3C

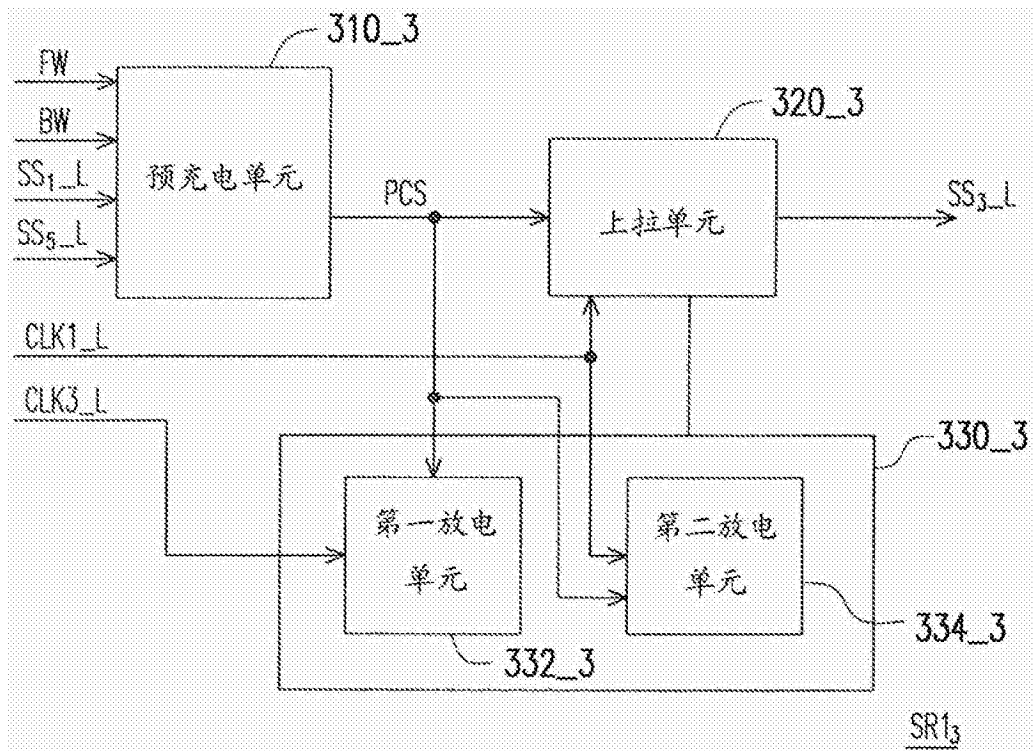


图3D

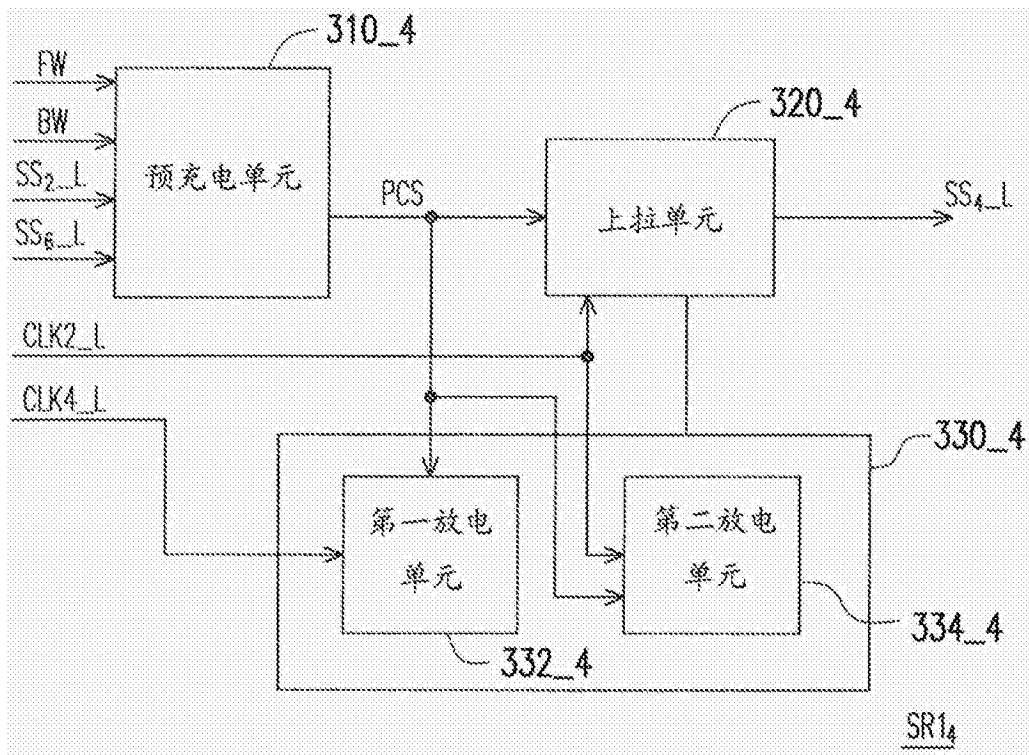


图3E

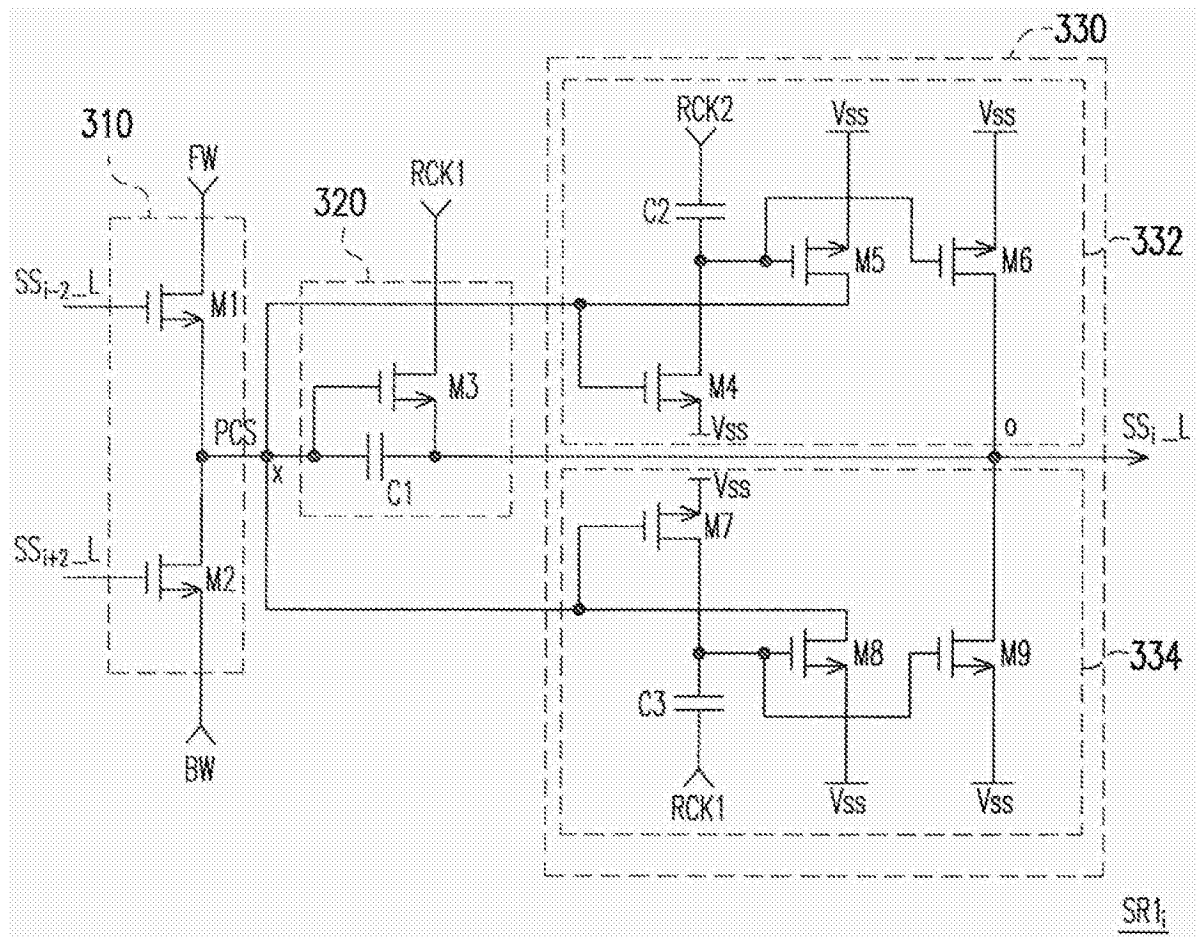


图4

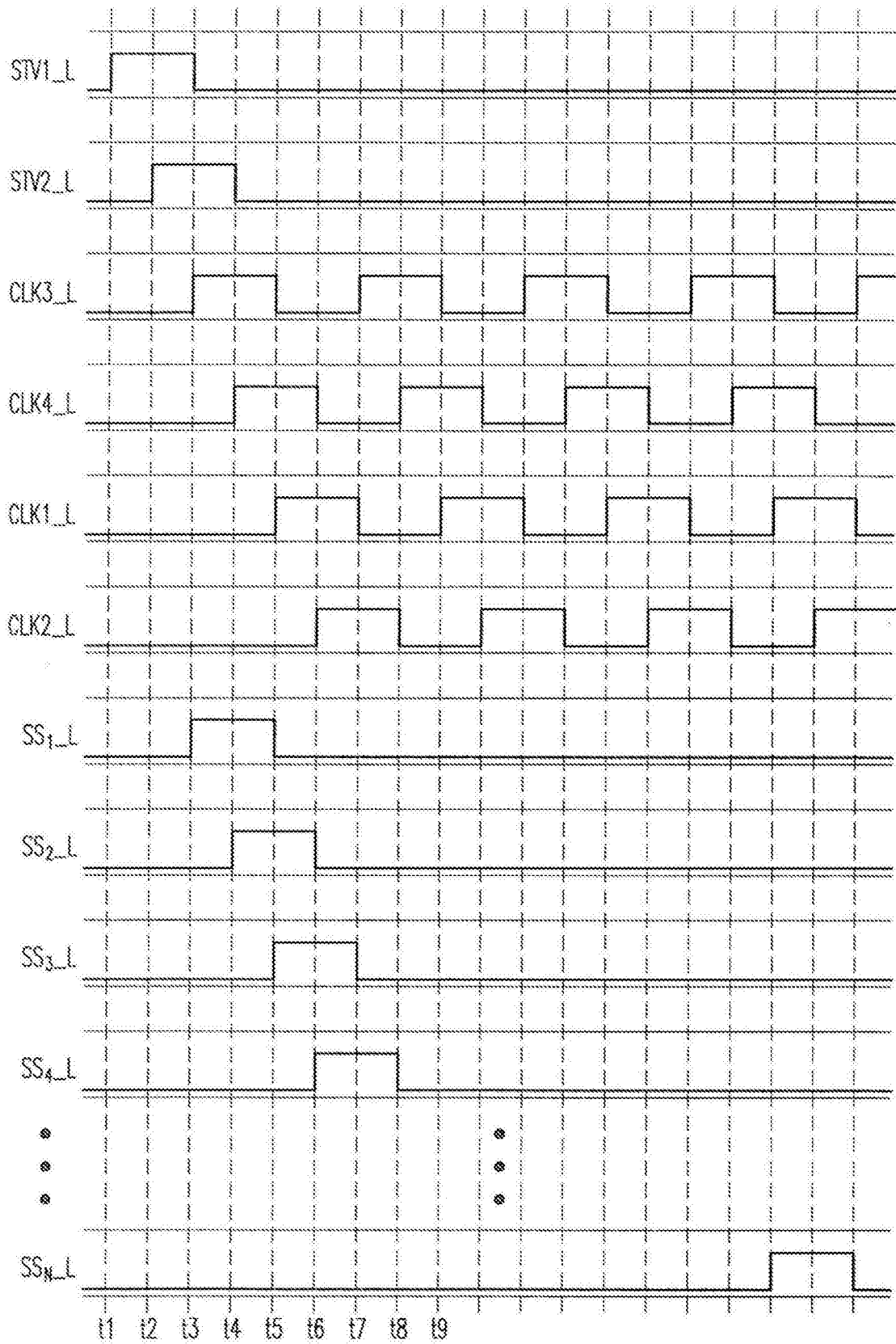


图5A

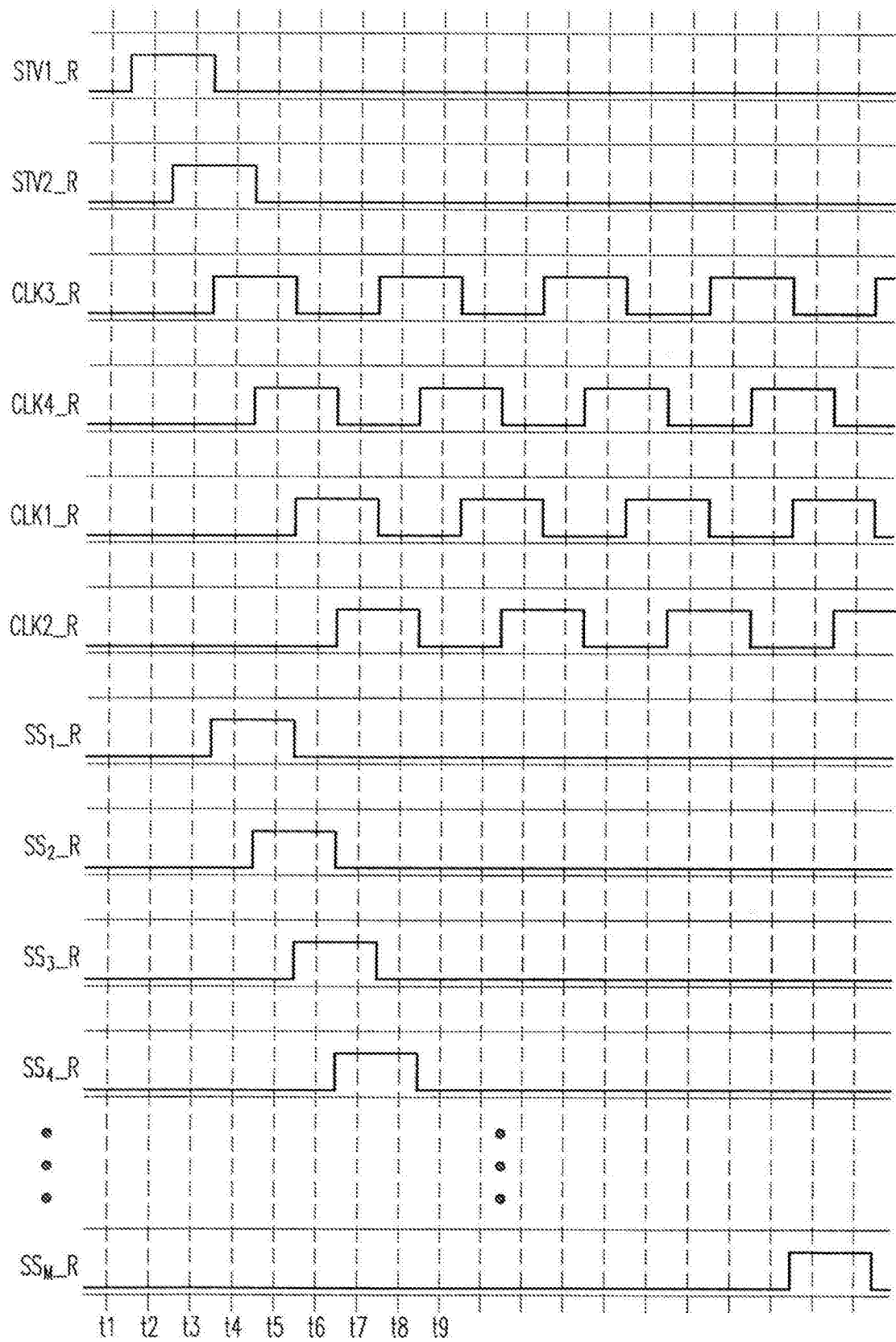


图5B

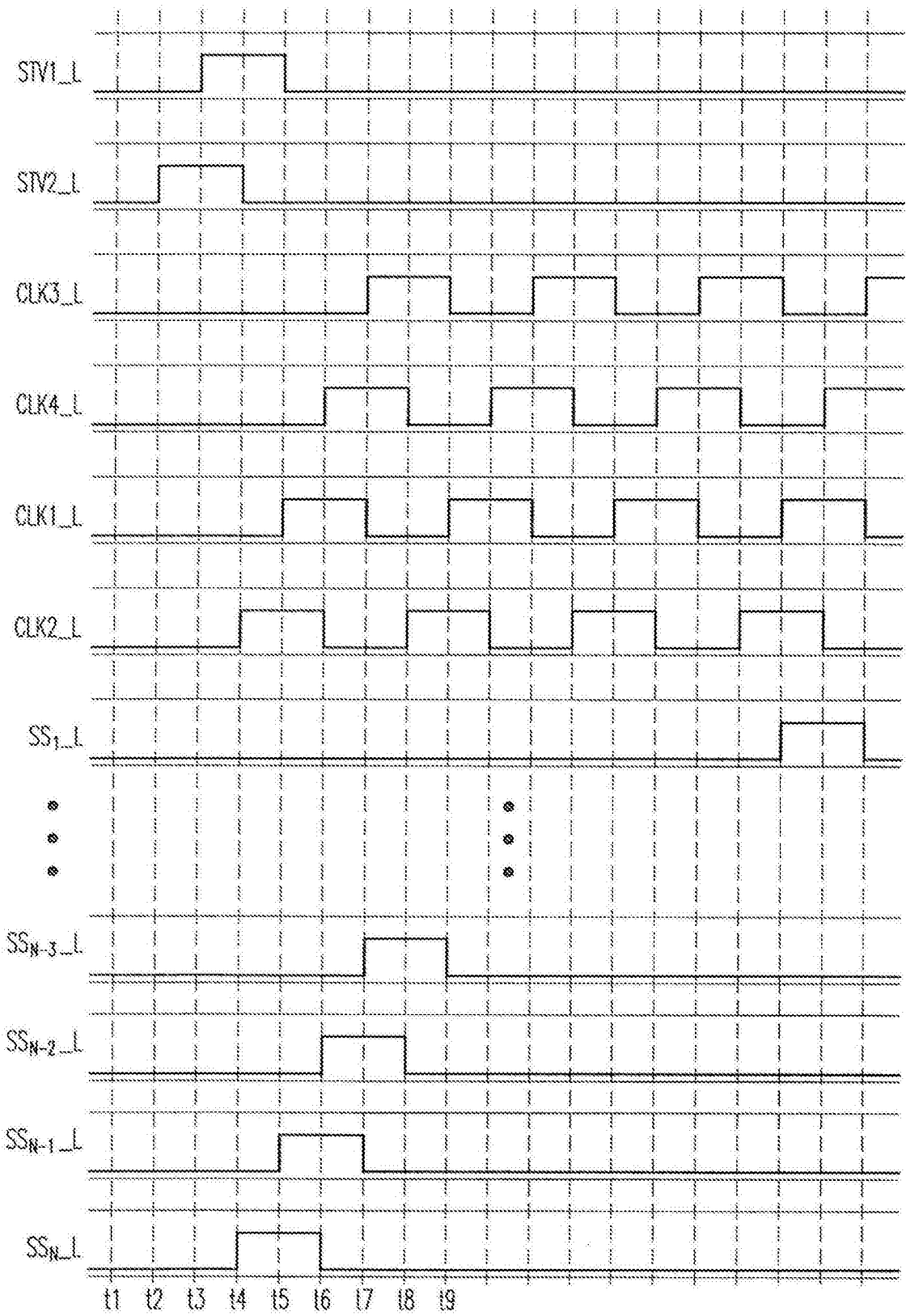


图6A

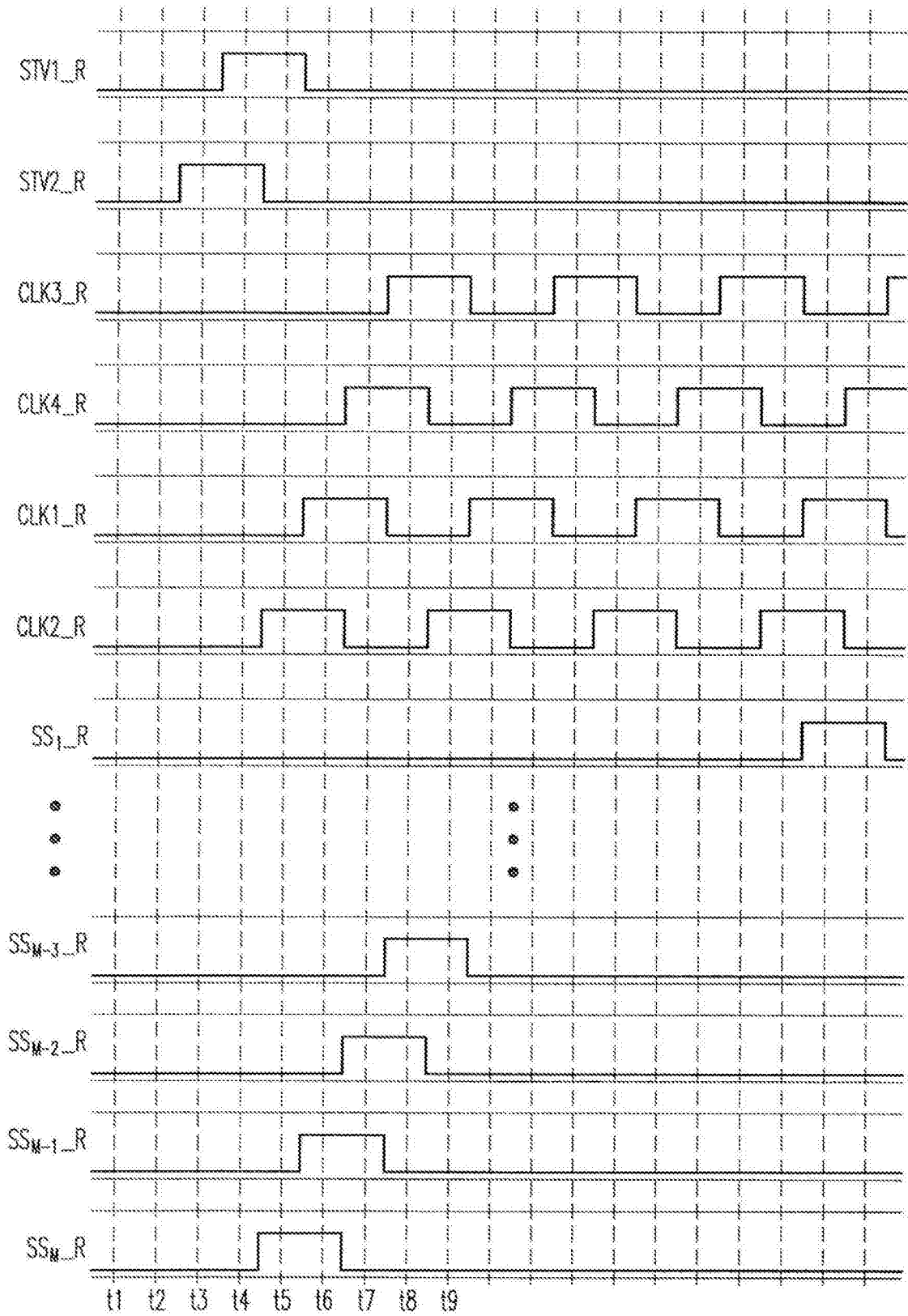


图6B

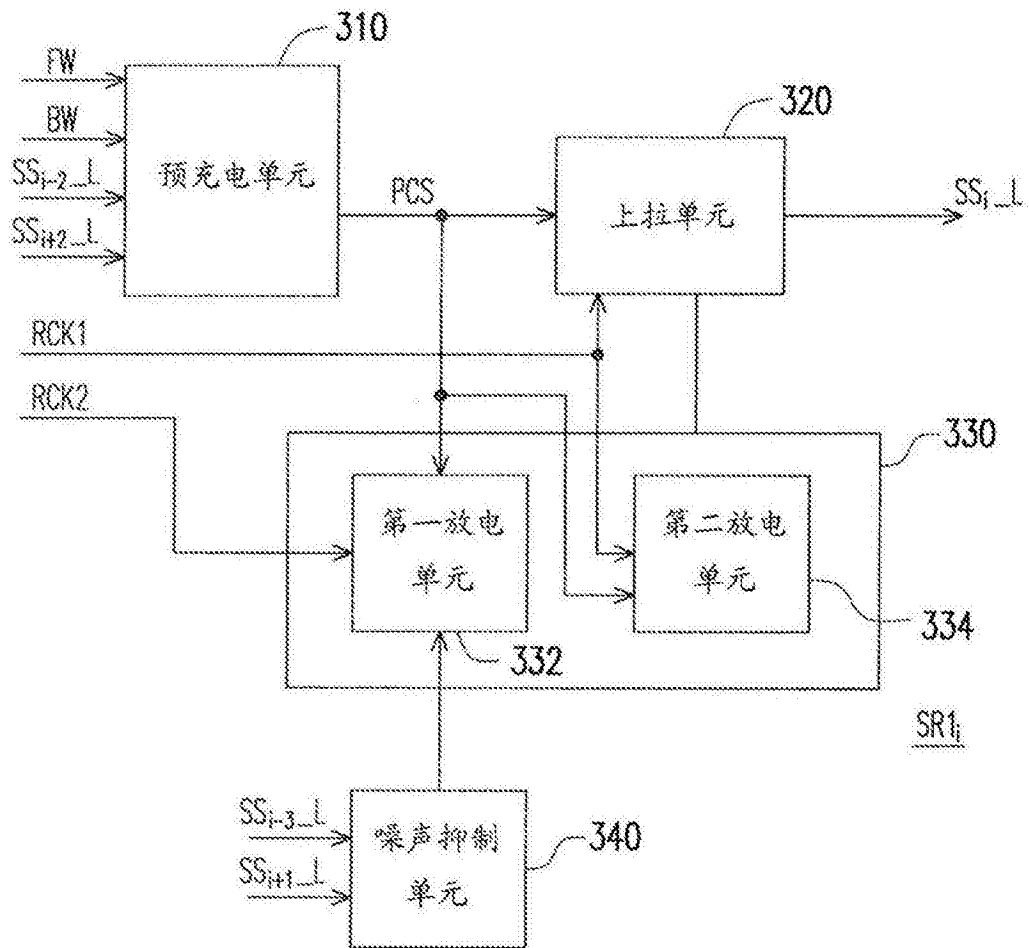


图7

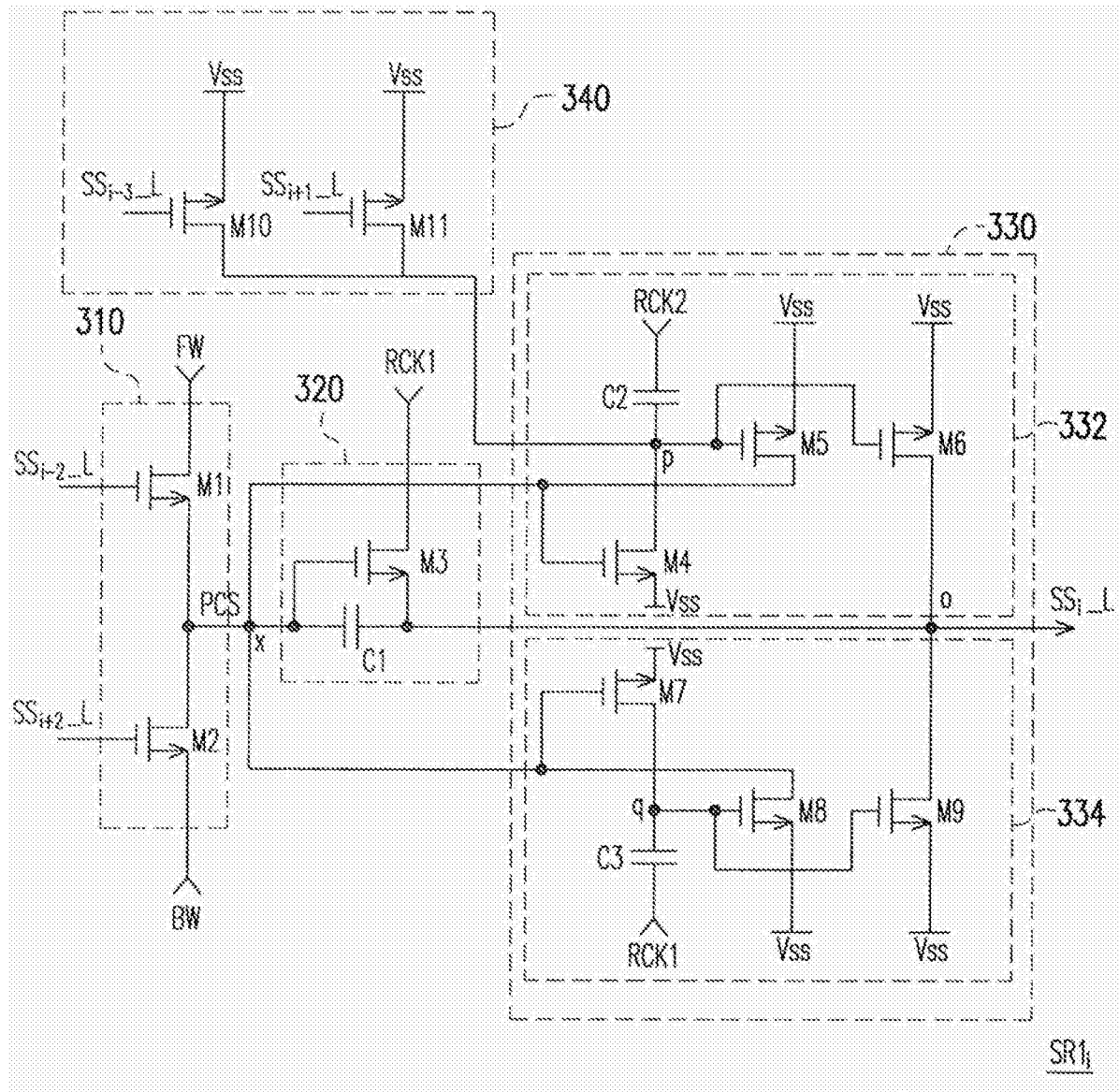


图8

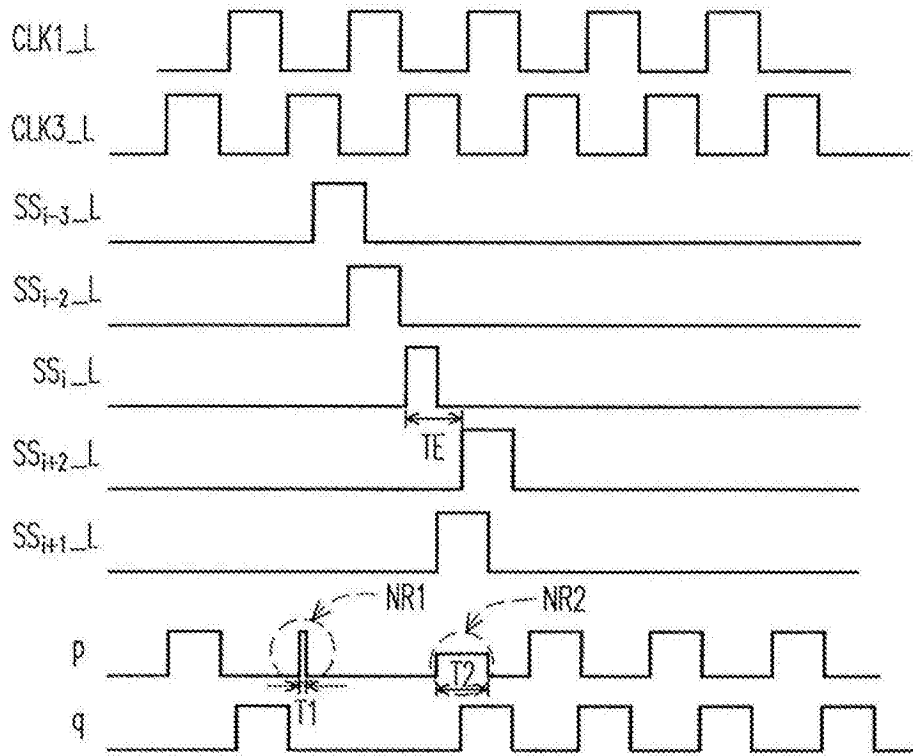


图9A

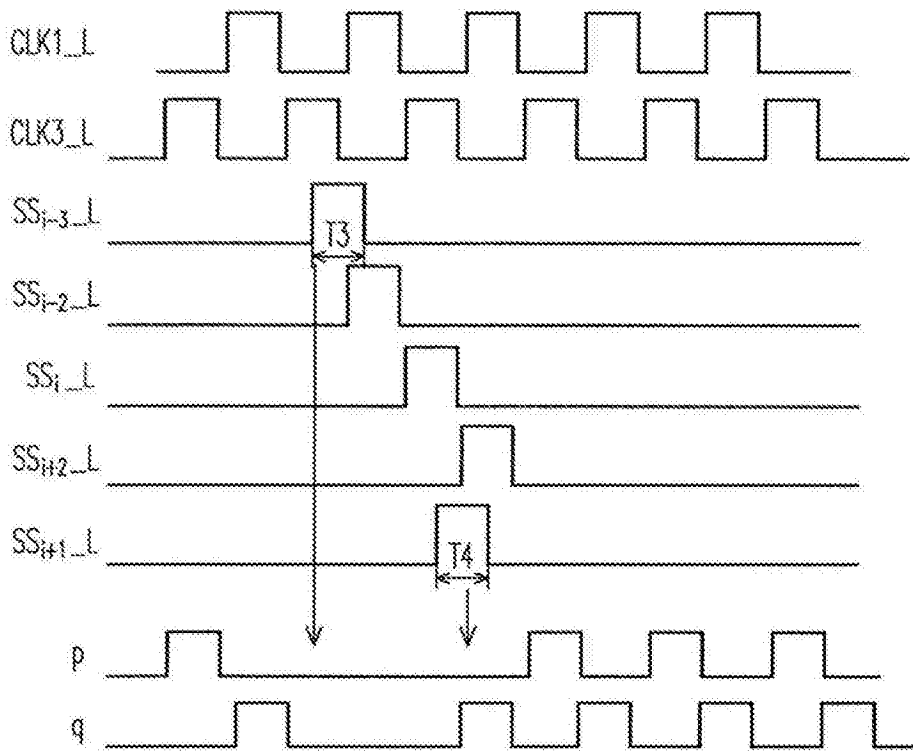


图9B

专利名称(译)	液晶显示器及其双向移位暂存装置		
公开(公告)号	CN104103244B	公开(公告)日	2016-06-01
申请号	CN201310115427.1	申请日	2013-04-03
[标]申请(专利权)人(译)	瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股份有限公司		
当前申请(专利权)人(译)	瀚宇彩晶股份有限公司		
[标]发明人	游家华 林松君 刘轩辰 詹建廷		
发明人	游家华 林松君 刘轩辰 詹建廷		
IPC分类号	G09G3/36 G11C19/28		
审查员(译)	李文斐		
其他公开文献	CN104103244A		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示器及其双向移位暂存装置。双向移位暂存装置包括N级的移位寄存器。第i级移位寄存器包括预充电单元、上拉单元、下拉单元以及噪声抑制单元。预充电单元依据第i-2级与第i+2级移位寄存器的输出而输出预充电信号。上拉单元输出扫描信号。下拉单元的第一放电单元依据预充电信号与第二输入时钟信号决定是否将扫描信号下拉至参考电位。下拉单元的第二放电单元依据预充电信号与第一输入时钟信号决定是否将扫描信号维持于参考电位。噪声抑制单元依据第i-3级与第i+1级移位寄存器的输出而控制第一放电单元的操作。

