



(12) 发明专利申请

(10) 申请公布号 CN 103500551 A

(43) 申请公布日 2014. 01. 08

(21) 申请号 201310503022. 5

(22) 申请日 2013. 10. 23

(71) 申请人 合肥京东方光电科技有限公司

地址 230012 安徽省合肥市新站区铜陵北路
2177 号

申请人 京东方科技集团股份有限公司

(72) 发明人 徐向阳

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.

G09G 3/20 (2006. 01)

G11C 19/28 (2006. 01)

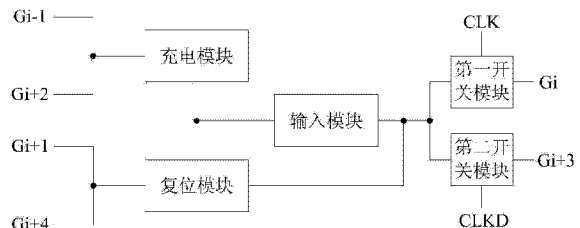
权利要求书2页 说明书7页 附图4页

(54) 发明名称

移位寄存器单元、GOA 电路、阵列基板以及显示装置

(57) 摘要

本发明实施例公开了一种移位寄存器单元、GOA 电路、阵列基板以及显示装置,属于显示技术领域,减小了 GOA 电路在阵列基板上所占的面积,满足了阵列基板窄边框的需求。该移位寄存器单元,包括输入模块、充电模块和复位模块;输入模块的输出端通过 T1 连接 G_i ,通过 T2 连接 G_{i+3} ,T1 的栅极连接第一时钟信号线和 T2 的栅极连接第二时钟信号线,且两条时钟信号线的相位差为半个周期; G_{i-1} 和 G_{i+2} 通过充电模块连接至输入模块的输入端; G_{i+1} 和 G_{i+4} 通过复位模块连接至输入模块的输入端和输出端。本发明可应用于液晶电视、手机、平板电脑等显示装置。



1. 一种移位寄存器单元,其特征在于:包括输入模块、充电模块、复位模块、第一开关模块和第二开关模块;

所述输入模块的输出端通过所述第一开关模块连接第 i 条栅线,通过所述第二开关模块连接第 $i+3$ 条栅线,所述第一开关模块的控制端连接第一时钟信号线,所述第二开关模块的控制端连接第二时钟信号线,且所述第一时钟信号线和所述第二时钟信号线的相位差为半个周期;

第 $i-1$ 条栅线和第 $i+2$ 条栅线通过所述充电模块连接至所述输入模块的输入端;

第 $i+1$ 条栅线和第 $i+4$ 条栅线通过所述复位模块连接至所述输入模块的输入端和输出端;

其中, i 为自然数, $i \geq 2$ 。

2. 根据权利要求 1 所述的移位寄存器单元,其特征在于:所述第一开关模块为第一开关管,所述第一开关模块的控制端为所述第一开关管的栅极;

所述第二开关模块为第二开关管,所述第二开关模块的控制端为所述第二开关管的栅极。

3. 根据权利要求 1 所述的移位寄存器单元,其特征在于:所述输入模块包括电容和输出开关管,所述电容的两端分别连接所述输出开关管的栅极和漏极,所述输出开关管的源极连接高电平信号线;

所述输出开关管的栅极作为所述输入模块的输入端,所述输出开关管的漏极作为所述输入模块的输出端。

4. 根据权利要求 1 所述的移位寄存器单元,其特征在于:所述充电模块包括第三开关管,所述第 $i-1$ 条栅线和所述第 $i+2$ 条栅线连接所述第三开关管的栅极和源极,所述第三开关管的漏极连接所述输入模块的输入端。

5. 根据权利要求 4 所述的移位寄存器单元,其特征在于:所述第 $i-1$ 条栅线通过第一抗扰开关管连接所述第三开关管的栅极和源极,所述第 $i-1$ 条栅线连接所述第一抗扰开关管的源极和栅极,所述第三开关管的栅极和源极连接所述第一抗扰开关管的漏极;

所述第 $i+2$ 条栅线通过第二抗扰开关管连接所述第三开关管的栅极和源极,所述第 $i+2$ 条栅线连接所述第二抗扰开关管的源极和栅极,所述第三开关管的栅极和源极连接所述第二抗扰开关管的漏极。

6. 根据权利要求 1 所述的移位寄存器单元,其特征在于:所述复位模块包括第四开关管和第五开关管,所述第 $i+1$ 条栅线和所述第 $i+4$ 条栅线连接所述第四开关管的栅极和所述第五开关管的栅极,所述第四开关管的源极连接所述输入模块的输入端,所述第五开关管的源极连接所述输入模块的输出端,所述第四开关管的漏极和所述第五开关管的漏极连接低电平信号线。

7. 根据权利要求 6 所述的移位寄存器单元,其特征在于:所述复位模块还包括第六开关管和第七开关管,所述第 $i+1$ 条栅线和所述第 $i+4$ 条栅线连接所述第六开关管的栅极和所述第七开关管的栅极,所述第六开关管的源极连接所述第 i 条栅线,所述第七开关管的源极连接所述第 $i+3$ 条栅线,所述第六开关管的漏极和所述第七开关管的漏极连接所述低电平信号线。

8. 根据权利要求 6 所述的移位寄存器单元,其特征在于:所述第 $i+1$ 条栅线通过第三

抗扰开关管连接所述第四开关管的栅极和所述第五开关管的栅极,所述第 $i+1$ 条栅线连接所述第三抗扰开关管的源极和栅极,所述第四开关管的栅极和所述第五开关管的栅极连接所述第三抗扰开关管的漏极;

所述第 $i+4$ 条栅线通过第四抗扰开关管连接所述第四开关管的栅极和所述第五开关管的栅极,所述第 $i+4$ 条栅线连接所述第四抗扰开关管的源极和栅极,所述第四开关管的栅极和所述第五开关管的栅极连接所述第四抗扰开关管的漏极。

9. 一种 GOA 电路,其特征在于:包括 n 条栅线、六条循环输出高电平脉冲信号的时钟信号线,以及若干权利要求 1 至 8 任一项所述的移位寄存器单元;

第 j 级移位寄存器单元中的第一开关模块的控制端连接第一条时钟信号线;

第 $j+1$ 级移位寄存器单元中的第一开关模块的控制端连接第二条时钟信号线;

第 $j+2$ 级移位寄存器单元中的第一开关模块的控制端连接第三条时钟信号线;

第 j 级移位寄存器单元中的第二开关模块的控制端连接第四条时钟信号线;

第 $j+1$ 级移位寄存器单元中的第二开关模块的控制端连接第五条时钟信号线;

第 $j+2$ 级移位寄存器单元中的第二开关模块的控制端连接第六条时钟信号线;

第 i 条栅线连接第 j 级移位寄存器单元中的第一开关模块的输出端和第 $j+1$ 级移位寄存器单元中的充电模块;

第 $i+1$ 条栅线连接第 $j+1$ 级移位寄存器单元中的第一开关模块的输出端、第 $j+2$ 级移位寄存器单元中的充电模块和第 j 级移位寄存器单元中的复位模块;

第 $i+2$ 条栅线连接第 $j+2$ 级移位寄存器单元中的第一开关模块的输出端、第 j 级移位寄存器单元中的充电模块和第 $j+1$ 级移位寄存器单元中的复位模块;

第 $i+3$ 条栅线连接第 j 级移位寄存器单元中的第二开关模块的输出端、第 $j+1$ 级移位寄存器单元中的充电模块和第 $j+2$ 级移位寄存器单元中的复位模块;

第 $i+4$ 条栅线连接第 $j+1$ 级移位寄存器单元中的第二开关模块的输出端、第 $j+2$ 级移位寄存器单元中的充电模块和第 j 级移位寄存器单元中的复位模块;

第 $i+5$ 条栅线连接第 $j+2$ 级移位寄存器单元中的第二开关模块的输出端和第 $j+1$ 级移位寄存器单元中的复位模块;

其中, n 、 i 、 j 均为自然数, $n \geq 6$, $1 \leq i \leq n-5$, $1 \leq j \leq (n-4)/2$ 。

10. 根据权利要求 9 所述的 GOA 电路,其特征在于:当 $i > 1$, $j > 1$ 时,第 i 条栅线还连接第 $j-1$ 级移位寄存器单元中的复位模块;

当 $i < n$, $j < (n-4)/2$ 时,第 $i+5$ 条栅线还连接第 $j+3$ 级移位寄存器单元中的充电模块。

11. 一种阵列基板,其特征在于:所述阵列基板包括 GOA 区域和显示区域,所述 GOA 区域中设置有权利要求 9 或 10 所述的 GOA 电路。

12. 一种显示装置,其特征在于:包括权利要求 11 所述的阵列基板。

移位寄存器单元、GOA 电路、阵列基板以及显示装置

技术领域

[0001] 本发明属于显示技术领域,具体涉及一种移位寄存器单元、GOA 电路阵列基板以及显示装置。

背景技术

[0002] 随着显示技术的不断发展,通过薄膜晶体管进行驱动的显示器在平板显示领域中占据了主导地位,比如液晶显示器(Liquid Crystal Display,简称 TFT-LCD)、有机发光二极管(Organic Light-Emitting Diode,简称 OLED)显示器等。目前,越来越多的显示器采用在阵列基板制作栅极驱动电路走线(Gate driver On Array,简称 GOA)的技术,以减小显示器的阵列基板的边框宽度。

[0003] 现有的 GOA 电路主要由若干个移位寄存器单元组成,每个移位寄存器单元对应一条栅线,其功能主要包括:利用上一行栅线输出的高电平信号对移位寄存器单元中的电容充电,以使本行栅线输出高电平信号,再利用下一行栅线输出的高电平信号实现复位。本发明人在实现本发明的过程中发现,现有的 GOA 电路仍然会在阵列基板上占用较大的面积,难以满足阵列基板窄边框的需求。

发明内容

[0004] 本发明实施例提供了一种移位寄存器单元、GOA 电路阵列基板以及显示装置,减小了 GOA 电路在阵列基板上所占的面积,满足了阵列基板窄边框的需求。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 本发明提供一种移位寄存器单元,包括输入模块、充电模块、复位模块、第一开关模块和第二开关模块;

[0007] 所述输入模块的输出端通过所述第一开关模块连接第 i 条栅线,通过所述第二开关模块连接第 $i+3$ 条栅线,所述第一开关模块的控制端连接第一时钟信号线,所述第二开关模块的控制端连接第二时钟信号线,且所述第一时钟信号线和所述第二时钟信号线的相位差为半个周期;

[0008] 第 $i-1$ 条栅线和第 $i+2$ 条栅线通过所述充电模块连接至所述输入模块的输入端;

[0009] 第 $i+1$ 条栅线和第 $i+4$ 条栅线通过所述复位模块连接至所述输入模块的输入端和输出端;

[0010] 其中, i 为自然数, $i \geq 2$ 。

[0011] 优选的,所述第一开关模块为第一开关管,所述第一开关模块的控制端为所述第一开关管的栅极;

[0012] 所述第二开关模块为第二开关管,所述第二开关模块的控制端为所述第二开关管的栅极。

[0013] 优选的,所述输入模块包括电容和输出开关管,所述电容的两端分别连接所述输出开关管的栅极和漏极,所述输出开关管的源极连接高电平信号线;

[0014] 所述输出开关管的栅极作为所述输入模块的输入端,所述输出开关管的漏极作为所述输入模块的输出端。

[0015] 优选的,所述充电模块包括第三开关管,所述第 $i-1$ 条栅线和所述第 $i+2$ 条栅线连接所述第三开关管的栅极和源极,所述第三开关管的漏极连接所述输入模块的输入端。

[0016] 进一步,所述第 $i-1$ 条栅线通过第一抗扰开关管连接所述第三开关管的栅极和源极,所述第 $i-1$ 条栅线连接所述第一抗扰开关管的源极和栅极,所述第三开关管的栅极和源极连接所述第一抗扰开关管的漏极;

[0017] 所述第 $i+2$ 条栅线通过第二抗扰开关管连接所述第三开关管的栅极和源极,所述第 $i+2$ 条栅线连接所述第二抗扰开关管的源极和栅极,所述第三开关管的栅极和源极连接所述第二抗扰开关管的漏极。

[0018] 优选的,所述复位模块包括第四开关管和第五开关管,所述第 $i+1$ 条栅线和所述第 $i+4$ 条栅线连接所述第四开关管的栅极和所述第五开关管的栅极,所述第四开关管的源极连接所述输入模块的输入端,所述第五开关管的源极连接所述输入模块的输出端,所述第四开关管的漏极和所述第五开关管的漏极连接低电平信号线。

[0019] 进一步,所述复位模块还包括第六开关管和第七开关管,所述第 $i+1$ 条栅线和所述第 $i+4$ 条栅线连接所述第六开关管的栅极和所述第七开关管的栅极,所述第六开关管的源极连接所述第 i 条栅线,所述第七开关管的源极连接所述第 $i+3$ 条栅线,所述第六开关管的漏极和所述第七开关管的漏极连接所述低电平信号线。

[0020] 进一步,所述第 $i+1$ 条栅线通过第三抗扰开关管连接所述第四开关管的栅极和所述第五开关管的栅极,所述第 $i+1$ 条栅线连接所述第三抗扰开关管的源极和栅极,所述第四开关管的栅极和所述第五开关管的栅极连接所述第三抗扰开关管的漏极;

[0021] 所述第 $i+4$ 条栅线通过第四抗扰开关管连接所述第四开关管的栅极和所述第五开关管的栅极,所述第 $i+4$ 条栅线连接所述第四抗扰开关管的源极和栅极,所述第四开关管的栅极和所述第五开关管的栅极连接所述第四抗扰开关管的漏极。

[0022] 本发明还提供一种 GOA 电路,包括 n 条栅线、六条循环输出高电平脉冲信号的时钟信号线,以及若干上述的移位寄存器单元;

[0023] 第 j 级移位寄存器单元中的第一开关模块的控制端连接第一条时钟信号线;

[0024] 第 $j+1$ 级移位寄存器单元中的第一开关模块的控制端连接第二条时钟信号线;

[0025] 第 $j+2$ 级移位寄存器单元中的第一开关模块的控制端连接第三条时钟信号线;

[0026] 第 j 级移位寄存器单元中的第二开关模块的控制端连接第四条时钟信号线;

[0027] 第 $j+1$ 级移位寄存器单元中的第二开关模块的控制端连接第五条时钟信号线;

[0028] 第 $j+2$ 级移位寄存器单元中的第二开关模块的控制端连接第六条时钟信号线;

[0029] 第 i 条栅线连接第 j 级移位寄存器单元中的第一开关模块的输出端和第 $j+1$ 级移位寄存器单元中的充电模块;

[0030] 第 $i+1$ 条栅线连接第 $j+1$ 级移位寄存器单元中的第一开关模块的输出端、第 $j+2$ 级移位寄存器单元中的充电模块和第 j 级移位寄存器单元中的复位模块;

[0031] 第 $i+2$ 条栅线连接第 $j+2$ 级移位寄存器单元中的第一开关模块的输出端、第 j 级移位寄存器单元中的充电模块和第 $j+1$ 级移位寄存器单元中的复位模块;

[0032] 第 $i+3$ 条栅线连接第 j 级移位寄存器单元中的第二开关模块的输出端、第 $j+1$ 级

移位寄存器单元中的充电模块和第 $j+2$ 级移位寄存器单元中的复位模块；

[0033] 第 $i+4$ 条栅线连接第 $j+1$ 级移位寄存器单元中的第二开关模块的输出端、第 $j+2$ 级移位寄存器单元中的充电模块和第 j 级移位寄存器单元中的复位模块；

[0034] 第 $i+5$ 条栅线连接第 $j+2$ 级移位寄存器单元中的第二开关模块的输出端和第 $j+1$ 级移位寄存器单元中的复位模块；

[0035] 其中, n, i, j 均为自然数, $n \geq 6, 1 \leq i \leq n-5, 1 \leq j \leq (n-4)/2$ 。

[0036] 进一步, 当 $i > 1, j > 1$ 时, 第 i 条栅线还连接第 $j-1$ 级移位寄存器单元中的复位模块；

[0037] 当 $i < n, j < (n-4)/2$ 时, 第 $i+5$ 条栅线还连接第 $j+3$ 级移位寄存器单元中的充电模块。

[0038] 本发明还提供一种阵列基板, 所述阵列基板包括 GOA 区域和显示区域, 所述 GOA 区域中设置有上述的 GOA 电路。

[0039] 本发明还提供一种显示装置, 包括上述的阵列基板。

[0040] 与现有技术相比, 本发明所提供的上述技术方案具有如下优点: 当第 $i-1$ 条栅线输出高电平信号时, 移位寄存器单元中的充电模块可以对输入模块进行充电。在下一时间段, 输入模块的输出端会输出高电平信号。在设置时钟信号线时, 可以令连接第一开关模块的控制端的时钟信号线在该时间段内输出高电平脉冲信号, 则第一开关模块会在这一时间段内打开, 所以第 i 条栅线就能够通过第一开关模块输出高电平信号。在下一时间段, 移位寄存器单元中的复位模块利用第 $i+1$ 条栅线输出的高电平信号对输入模块进行复位。

[0041] 在下一时间段, 第 $i+2$ 条栅线输出高电平信号, 移位寄存器单元中的充电模块可以对输入模块进行充电。在下一时间段, 输入模块的输出端会输出高电平信号。此时, 恰好是连接第二开关模块的控制端的时钟信号线输出高电平脉冲信号, 所以第二开关模块会在这一时间段内打开, 第 $i+3$ 条栅线就能够通过第二开关模块输出高电平信号。在下一时间段, 移位寄存器单元中的复位模块利用第 $i+4$ 条栅线输出高电平信号对输入模块进行复位。

[0042] 因此, 本发明提供的技术方案中, 能够实现第 i 条栅线和第 $i+3$ 条栅线共用一个移位寄存器单元, 从而能够使移位寄存器单元的数量减少一半, 减小了 GOA 电路在阵列基板上所占的面积, 满足了阵列基板窄边框的需求。

附图说明

[0043] 为了更清楚地说明本发明实施例中的技术方案, 下面将对实施例描述中所需要使用的附图作简单地介绍。

[0044] 图 1 为本发明的实施例 1 所提供的移位寄存器单元的示意图；

[0045] 图 2 为本发明的实施例所提供的移位寄存器单元的信号时序图；

[0046] 图 3 为本发明的实施例 2 所提供的移位寄存器单元的示意图；

[0047] 图 4 为本发明的实施例 2 所提供的移位寄存器单元的另一示意图；

[0048] 图 5 为本发明的实施例 3 所提供的 GOA 电路的部分示意图。

具体实施方式

[0049] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整的描述。

[0050] 实施例 1:

[0051] 如图 1 所示,移位寄存器单元包括输入模块、充电模块、复位模块第一开关模块和第二开关模块。

[0052] 输入模块的输出端通过第一开关模块连接第 i 条栅线 G_i ,通过第二开关模块连接第 $i+3$ 条栅线 G_{i+3} 。第一开关模块的控制端连接第一时钟信号线,第二开关模块的控制端连接第二时钟信号线,且第一时钟信号线和第二时钟信号线的相位差为半个周期,结合图 2 所示,本实施例中,CLK 连接第一开关模块的控制端,CLKD 连接第二开关模块的控制端。

[0053] 第 $i-1$ 条栅线 G_{i-1} 和第 $i+2$ 条栅线 G_{i+2} 通过充电模块连接至输入模块的输入端,第 $i+1$ 条栅线 G_{i+1} 和第 $i+4$ 条栅线 G_{i+4} 通过复位模块连接至输入模块的输入端和输出端。其中, i 为自然数, $i \geq 2$ 。

[0054] 作为一个优选方案,第一开关模块为第一开关管 T1,第一开关模块的控制端为 T1 的栅极,第一开关模块的输入端为 T1 的源极,连接输入模块的输出端,第一开关模块的输出端为 T1 的漏极,连接 G_i 。第二开关模块为第二开关管 T2,第二开关模块的控制端为 T2 的栅极,第二开关模块的输入端为 T2 的源极,连接输入模块的输出端,第二开关模块的输出端为 T2 的漏极,连接 G_{i+3} 。

[0055] 如图 1 和图 2 所示,本发明实施例提供的移位寄存器单元中,在 t_1 时间段, G_{i-1} 输出高电平信号,充电模块可以对输入模块进行充电。在 t_2 时间段,输入模块的输出端会输出高电平信号。在设置 CLK 和 CLKD 时,可以令连接 T1 的栅极的 CLK 在该时间段内输出高电平脉冲信号,则 T1 会在这一时间段内打开,所以 G_i 就能够通过 T1 输出高电平信号。在 t_3 时间段,移位寄存器单元中的复位模块利用 G_{i+1} 输出的高电平信号对输入模块进行复位。

[0056] 在 t_4 时间段, G_{i+2} 输出高电平信号,移位寄存器单元中的充电模块可以对输入模块进行充电。在 t_5 时间段,输入模块的输出端会输出高电平信号。此时,恰好是连接 T2 的栅极的 CLKD 输出高电平脉冲信号,所以 T2 会在这一时间段内打开, G_{i+3} 就能够通过 T2 输出高电平信号。在 t_6 时间段,移位寄存器单元中的复位模块利用 G_{i+4} 输出高电平信号对输入模块进行复位。

[0057] 因此,本发明实施例能够实现 G_i 和 G_{i+3} 行栅线共用一个移位寄存器单元,从而能够使移位寄存器单元的数量减少一半,减小了 GOA 电路在阵列基板上所占的面积,满足了阵列基板窄边框的需求。

[0058] 实施例 2:

[0059] 本实施例是在实施例 1 的基础上更为具体的实施方式,如图 3 所示,本实施例中,输入模块包括电容 Cd 和输出开关管 Td,Cd 的两端分别连接 Td 的栅极和漏极,Td 的源极连接高电平信号线 V_{gh} 。Td 的栅极(Cd 的第一端)作为输入模块的输入端,Td 的漏极(Cd 的第二端)作为输入模块的输出端。本实施例中,所有的开关管均优选为薄膜晶体管(Thin Film Transistor,简称 TFT)。

[0060] 如图 3 所示,作为一个优选方案,充电模块包括第三开关管 T3。 G_{i-1} 和 G_{i+2} 连接 T3 的栅极和源极,T3 的漏极连接输入模块的输入端,即 Td 的栅极(Cd 的第一端)。

[0061] 当 G_{i-1} 或 G_{i+2} 输出高电平信号时,T3 就会导通,并且 G_{i-1} 或 G_{i+2} 上的高电平信

号能够通过 T3 对 Cd 进行充电。此外, T3 还可以起到防止干扰的作用,当 G_{i-1} 和 G_{i+2} 无信号输出时, T3 就会关断,防止 Cd 上的电压对 G_{i-1} 和 G_{i+2} 造成影响。

[0062] 如图 3 所示,作为一个优选方案,复位模块包括第四开关管 T4 和第五开关管 T5, G_{i+1} 和 G_{i+4} 连接 T4 的栅极和 T5 的栅极, T4 的源极连接输入模块的输入端,即 Td 的栅极 (Cd 的第一端), T5 的源极连接输入模块的输出端,即 Cd 的第一端和第二端), T4 的漏极和 T5 的漏极连接低电平信号线 V_{ss} 。

[0063] 当 G_{i+1} 或 G_{i+4} 输出高电平信号时, T4 和 T5 就会导通,使 Cd 的第一端和第二端分别通过 T4 和 T5 与 V_{ss} 导通,从而将 Cd 的第一端和第二端的电压清零,对 Cd 进行复位。

[0064] 进一步,如图 4 所示,复位模块还可以包括第六开关管 T6 和第七开关管 T7, G_{i+1} 和 G_{i+4} 连接 T6 的栅极和 T7 的栅极, T6 的源极连接 G_i , T7 的源极连接 G_{i+3} , T6 的漏极和 T7 的漏极连接 V_{ss} 。这样,当 G_{i+1} 或 G_{i+4} 输出高电平信号时, T6 和 T7 也会导通,使 G_i 和 G_{i+3} 分别通过 T6 和 T7 与 V_{ss} 导通,从而将 G_i 和 G_{i+3} 上的电信号清零,以进一步将 G_i 和 G_{i+3} 复位。

[0065] 进一步, G_{i-1} 通过第一抗扰开关管 T01 连接 T3 的栅极和源极,具体为, G_{i-1} 连接 T01 的源极和栅极, T3 的栅极和源极连接 T01 的漏极。 G_{i+2} 通过第二抗扰开关管 T02 连接 T3 的栅极和源极,具体为, G_{i+2} 连接 T02 的源极和栅极, T3 的栅极和源极连接 T02 的漏极。 T01 和 T02 的作用与 T3 相似,当 G_{i-1} (或 G_{i+2}) 无信号输出时,与 G_{i-1} (或 G_{i+2}) 相连的 T01 (T02) 就会关断,以防止 G_{i-1} 与 G_{i+2} 中的一条输出高电平信号时,对其中的另一条造成影响。

[0066] 同样的, G_{i+1} 通过 T03 连接 T4 的栅极和 T5 的栅极,具体为, G_{i+1} 连接 T03 的源极和栅极, T4 的栅极和 T5 的栅极连接 T03 的漏极; G_{i+4} 通过 T04 连接 T4 的栅极和 T5 的栅极,具体为, G_{i+4} 连接 T04 的源极和栅极, T4 的栅极和 T5 的栅极连接 T04 的漏极,以防止 G_{i+1} 与 G_{i+4} 互相干扰。

[0067] 如图 2 和图 3 所示,本发明实施例提供的移位寄存器单元中,在 t_1 时间段, G_{i-1} 输出高电平信号, G_{i-1} 输出的高电平信号通过 T01 输入充电模块,充电模块中的 T3 导通,并且 G_{i-1} 上的高电平信号通过 T3 对 Cd 进行充电。在 t_2 时间段,已充电的 Cd 使 Td 的栅极为高电平,以打开 Td, V_{gh} 上的高电平信号就会从 Td 的源极传输至 Td 的漏极。并且,连接 T1 的栅极的 CLK 在 t_2 时间段内输出高电平脉冲信号,则 T1 会在 t_2 时间段内打开,所以 G_i 就能够通过 T1 与 Td 的漏极导通,输出高电平信号。同时, G_i 输出的高电平信号对下一级移位寄存器单元中的电容进行充电。在 t_3 时间段, G_{i+1} 通过下一级移位寄存器单元的驱动,输出高电平信号。同时, G_{i+1} 输出的高电平信号通过 T03 输入本级移位寄存器单元中的复位模块,在本级移位寄存器单元中, T4、T5、T6 和 T7 导通, Cd 的第一端和第二端分别通过 T4 和 T5 与 V_{ss} 导通,从而将 Cd 的第一端和第二端的电压清零,对 Cd 进行复位;同时 G_i 通过 T6 与 V_{ss} 导通,从而将 G_i 上的电信号清零,以将 G_i 复位。

[0068] 在 t_4 时间段, G_{i+2} 通过下面第二级移位寄存器单元的驱动,输出高电平信号。同时, G_{i+2} 输出的高电平信号通过 T02 输入本级移位寄存器单元中的充电模块,在本级移位寄存器单元中, T3 导通,并且 G_{i+2} 上的高电平信号 T3 对 Cd 进行充电。在 t_5 时间段,已充电的 Cd 使 Td 的栅极为高电平,以打开 Td, V_{gh} 上的高电平信号就会传输至 Td 的漏极。并且在 t_5 时间段,恰好是连接 T2 的栅极的 CLKD 输出高电平脉冲信号,所以 T2 会在 t_5 时间

段内打开, G_{i+3} 就能够通过 T2 与 Td 的漏极导通, 输出高电平信号。同时, G_{i+3} 输出的高电平信号对下一级移位寄存器单元中的电容进行充电。在 t_6 时间段, G_{i+4} 通过下一级移位寄存器单元的驱动, 输出高电平信号。同时, G_{i+4} 输出的高电平信号通过 T04 输入本级移位寄存器单元中的复位模块, 在本级移位寄存器单元中, T4、T5、T6 和 T7 导通, Cd 的第一端和第二端分别通过 T4 和 T5 与 V_{ss} 导通, 从而将 Cd 的第一端和第二端的电压清零, 对 Cd 进行复位; 同时 G_{i+3} 通过 T7 与 V_{ss} 导通, 从而将 G_{i+3} 上的电信号清零, 以将 G_{i+3} 复位。

[0069] 因此, 本发明实施例能够实现 G_i 和 G_{i+3} 共用一个移位寄存器单元, 从而能够使移位寄存器单元的数量减少一半, 减小了 GOA 电路在阵列基板上所占的面积, 满足了阵列基板窄边框的需求。

[0070] 实施例 3:

[0071] 如图 5 所示, 本发明实施例提供一种 GOA 电路, 包括 n 条栅线、六条循环输出高电平脉冲信号的时钟信号线, 以及若干实施例 1 和实施例 2 中提供的移位寄存器单元。

[0072] 如图 5 所示, 第 j 级移位寄存器单元中的 T1 的栅极连接 CLK, 第 $j+1$ 级移位寄存器单元中的 T1 的栅极连接 CLKB, 第 $j+2$ 级移位寄存器单元中的 T1 的栅极连接 CLKC, 第 j 级移位寄存器单元中的 T2 的栅极连接 CLKD, 第 $j+1$ 级移位寄存器单元中的 T2 的栅极连接 CLKE, 第 $j+2$ 级移位寄存器单元中的 T2 的栅极连接 CLKF。

[0073] G_i 连接第 j 级移位寄存器单元中的 T1 的漏极、下一级移位寄存器单元, 即第 $j+1$ 级移位寄存器单元中的充电模块。此外, 如果 G_i 不是第一条栅线, 第 j 级移位寄存器单元也不是第一级, 即 $i > 1, j > 1$, 则 G_i 还要连接上一级移位寄存器单元, 即第 $j-1$ 级移位寄存器单元的复位模块, 还要将 G_{i-1} 连接第 j 级移位寄存器单元的充电模块。

[0074] G_{i+1} 连接第 $j+1$ 级移位寄存器单元中的 T1 的漏极、第 $j+2$ 级移位寄存器单元中的充电模块和第 j 级移位寄存器单元中的复位模块。

[0075] G_{i+2} 连接第 $j+2$ 级移位寄存器单元中的 T1 的漏极、下一级移位寄存器单元, 即第 j 级移位寄存器单元中的充电模块和第 $j+1$ 级移位寄存器单元中的复位模块。

[0076] G_{i+3} 连接第 j 级移位寄存器单元中的 T2 的漏极、第 $j+1$ 级移位寄存器单元中的充电模块和第 $j+2$ 级移位寄存器单元中的复位模块。

[0077] G_{i+4} 连接第 $j+1$ 级移位寄存器单元中的 T2 的漏极、第 $j+2$ 级移位寄存器单元中的充电模块和第 j 级移位寄存器单元中的复位模块。

[0078] G_{i+5} 连接第 $j+2$ 级移位寄存器单元中的 T2 的漏极和第 $j+1$ 级移位寄存器单元中的复位模块。此外, 如果 G_{i+5} 不是最后一条栅线, 第 $j+2$ 级移位寄存器单元也不是最后一级, 即 $i < n, j < (n-4)/2$, 则 G_{i+5} 还要连接第 $j+3$ 级移位寄存器单元的充电模块, 还要将 G_{i+6} 连接第 $j+2$ 级移位寄存器单元的复位模块。

[0079] 以上, n, i, j 均为自然数, $n \geq 6, 1 \leq i \leq n-5, 1 \leq j \leq (n-4)/2$ 。

[0080] 结合图 2 可知, 本发明实施例提供的 GOA 电路, 在 t_1 时间段, G_{i-1} 输出的高电平信号对本组的第一个移位寄存器单元充电。

[0081] 在 t_2 时间段, G_i 通过第一个移位寄存器单元输出高电平信号, 同时对本组的第二个移位寄存器单元充电。

[0082] 在 t_3 时间段, G_{i+1} 通过第二个移位寄存器单元输出高电平信号, 同时对第三个移位寄存器单元充电, 并对第一个移位寄存器单元复位。

[0083] 在 t_4 时间段, G_{i+2} 通过第三个移位寄存器单元输出高电平信号, 同时对第一个移位寄存器单元充电, 并对第二个移位寄存器单元复位。

[0084] 在 t_5 时间段, G_{i+3} 通过第一个移位寄存器单元输出高电平信号, 同时对第二个移位寄存器单元充电, 并对第三个移位寄存器单元复位。

[0085] 在 t_6 时间段, G_{i+4} 通过第二个移位寄存器单元输出高电平信号, 同时对第三个移位寄存器单元充电, 并对第一个移位寄存器单元复位。

[0086] 在下一时间段, G_{i+5} 通过第三个移位寄存器单元输出高电平信号, 同时对下一组的第一个移位寄存器单元充电, 并对本组的第二个移位寄存器单元复位。

[0087] 因此, 本发明实施例能够实现 G_i 和 G_{i+3} 共用第一个移位寄存器单元, G_{i+1} 和 G_{i+4} 共用第二个移位寄存器单元, G_{i+2} 和 G_{i+5} 共用第三个移位寄存器单元, 从而能够使移位寄存器单元的数量减少一半, 减小了 GOA 电路在阵列基板上所占的面积, 满足了阵列基板窄边框的需求。

[0088] 应当说明的是, 本实施例是以 3 级移位寄存器单元及 6 条栅线作为一组进行级联。如果所要驱动的栅线的总数不是 6 的整数倍, 则最后剩余的 1 至 5 条栅线也可以按照上述方法作为一组进行级联, 而该组中剩余的部分空置即可, 相当于将 1 至 3 级移位寄存器单元, 以及 1 至 5 条栅线作为不完整的一组进行级联。

[0089] 实施例 4:

[0090] 本发明实施例提供一种阵列基板, 该阵列基板包括 GOA 区域和显示区域, GOA 区域中设置有实施例 3 中所提供的 GOA 电路。

[0091] 由于本发明实施例提供的阵列基板与上述本发明实施例所提供的 GOA 电路具有相同的技术特征, 所以也能产生相同的技术效果, 解决相同的技术问题。

[0092] 实施例 5:

[0093] 本发明实施例提供一种显示装置, 包括实施例 4 所提供的阵列基板。该显示装置可以是液晶面板、电子纸、OLED 面板、电视机、液晶显示器、数码相框、手机、平板电脑等任何具有显示功能的产品或部件。

[0094] 由于本发明实施例提供的显示装置与上述本发明实施例所提供的 GOA 电路即阵列基板具有相同的技术特征, 所以也能产生相同的技术效果, 解决相同的技术问题。

[0095] 以上所述, 仅为本发明的具体实施方式, 但本发明的保护范围并不局限于此, 任何熟悉本技术领域的技术人员在本发明揭露的技术范围内, 可轻易想到的变化或替换, 都应涵盖在本发明的保护范围之内。因此, 本发明的保护范围应以权利要求的保护范围为准。

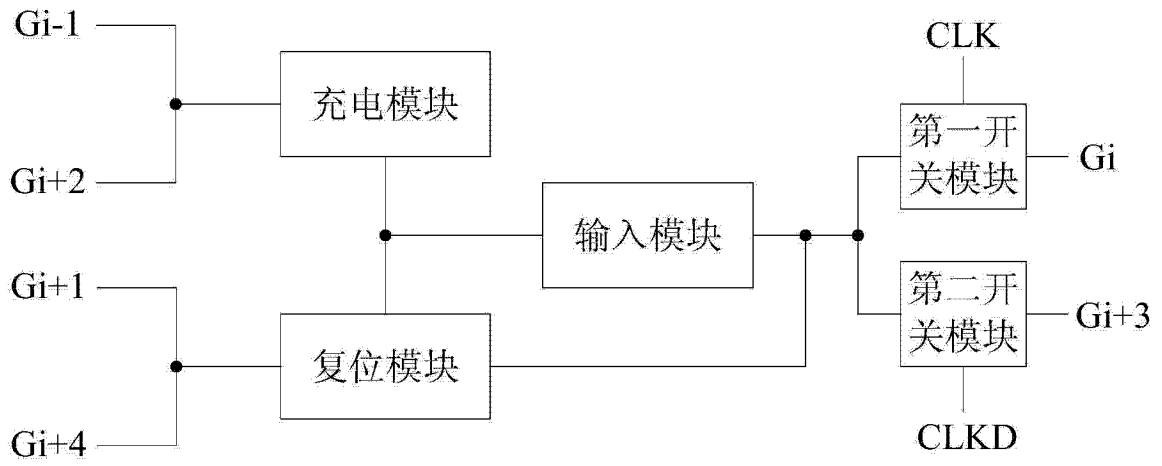


图 1

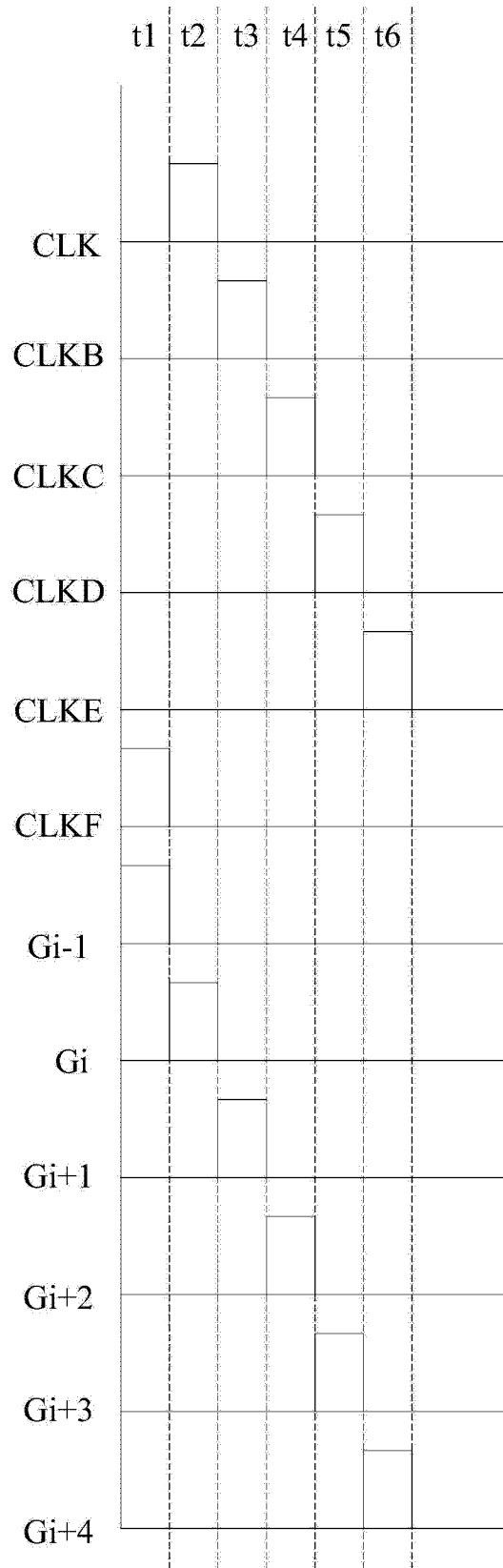


图 2

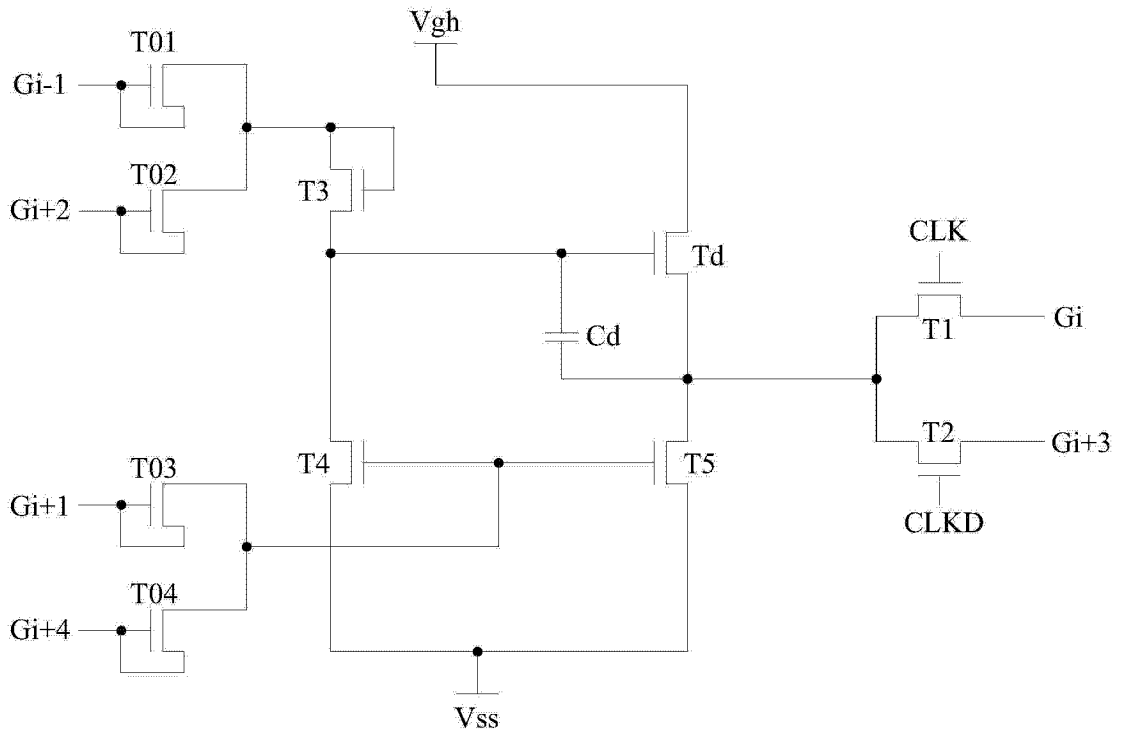


图 3

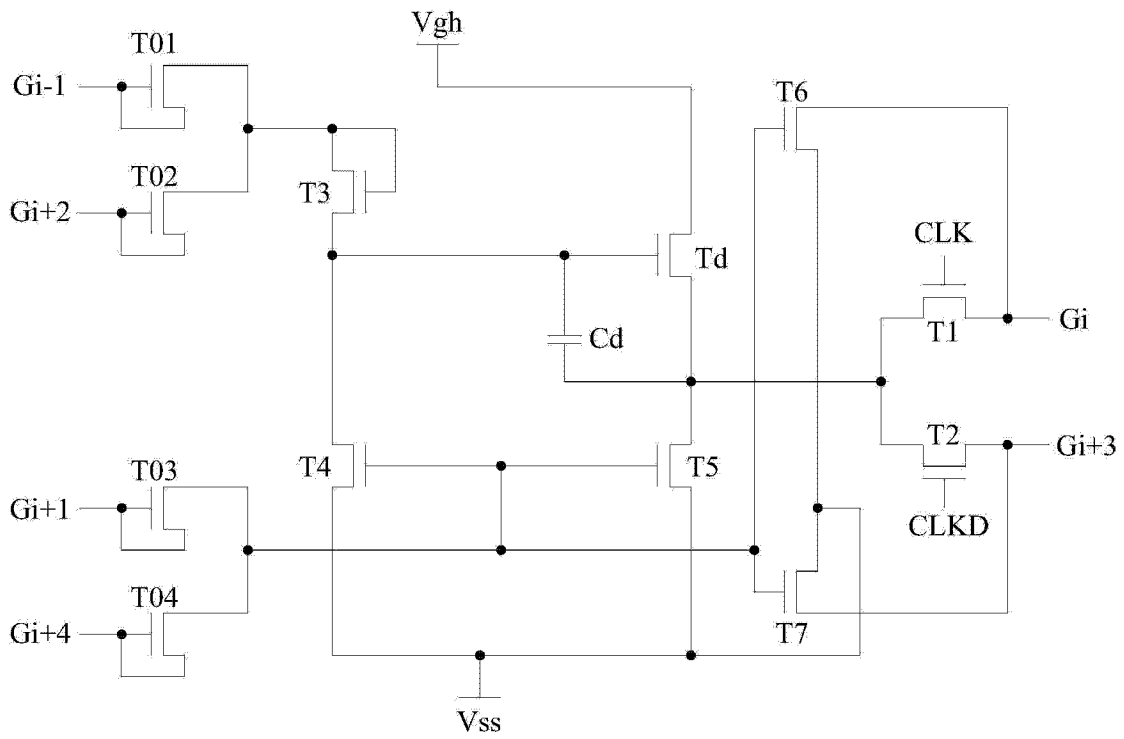


图 4

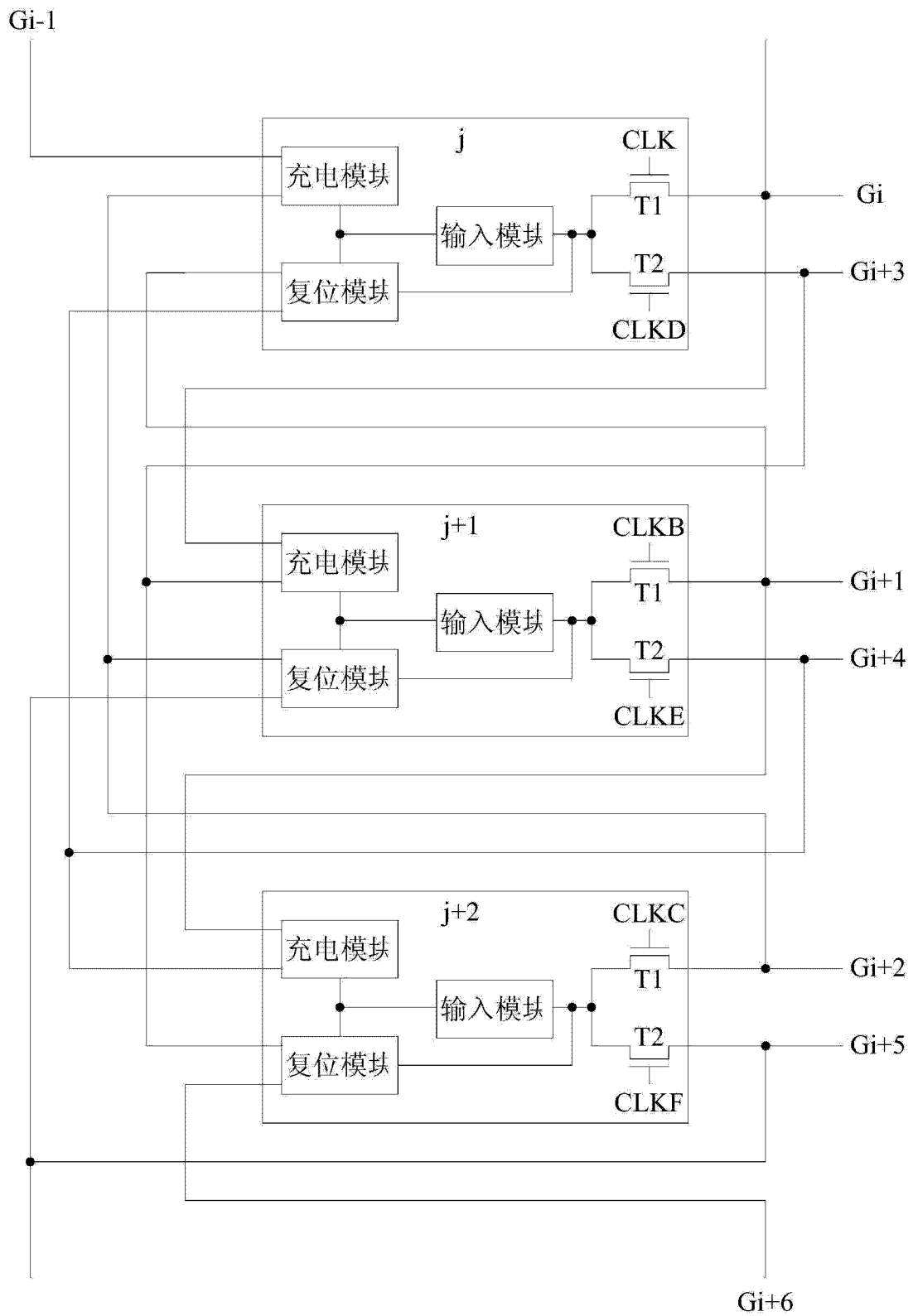


图 5

专利名称(译)	移位寄存器单元、GOA电路、阵列基板以及显示装置		
公开(公告)号	CN103500551A	公开(公告)日	2014-01-08
申请号	CN201310503022.5	申请日	2013-10-23
[标]申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
当前申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
[标]发明人	徐向阳		
发明人	徐向阳		
IPC分类号	G09G3/20 G11C19/28		
CPC分类号	G11C19/28 G09G3/2096 G09G2310/0286		
代理人(译)	申健		
其他公开文献	CN103500551B		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例公开了一种移位寄存器单元、GOA电路、阵列基板以及显示装置，属于显示技术领域，减小了GOA电路在阵列基板上所占的面积，满足了阵列基板窄边框的需求。该移位寄存器单元，包括输入模块、充电模块和复位模块；输入模块的输出端通过T1连接 G_i ，通过T2连接 G_{i+3} ，T1的栅极连接第一时钟信号线和T2的栅极连接第二时钟信号线，且两条时钟信号线的相位差为半个周期； G_{i-1} 和 G_{i+2} 通过充电模块连接至输入模块的输入端； G_{i+1} 和 G_{i+4} 通过复位模块连接至输入模块的输入端和输出端。本发明可应用于液晶电视、手机、平板电脑等显示装置。

