



(12)发明专利申请

(10)申请公布号 CN 106504720 A

(43)申请公布日 2017.03.15

(21)申请号 201710004514.8

(22)申请日 2017.01.04

(71)申请人 合肥鑫晟光电科技有限公司

地址 230011 安徽省合肥市新站区胜利路
88号

申请人 京东方科技集团股份有限公司

(72)发明人 熊雄 刘荣铖 刘金良 张晓哲
李环宇

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 吕晓章 邓亚楠

(51)Int.Cl.

G09G 3/36(2006.01)

G11C 19/28(2006.01)

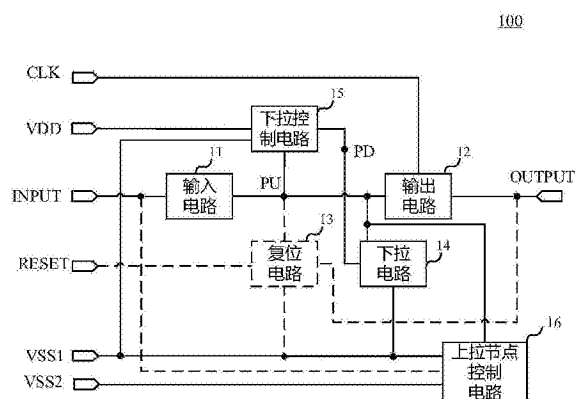
权利要求书2页 说明书7页 附图5页

(54)发明名称

移位寄存器单元及其驱动方法、栅极驱动装置和显示装置

(57)摘要

一种移位寄存器单元及其驱动方法、栅极驱动装置和显示装置。该移位寄存器单元(100)包含:输入电路(11),连接该移位寄存器单元的输入端(INPUT)、上拉节点(PU);输出电路(12),连接时钟信号端(CLK)、上拉节点、该移位寄存器单元的输出端(OUTPUT);下拉电路(14),连接下拉节点(PD)、上拉节点、第一电源电压端;下拉控制电路(15),连接第二电源电压端(VDD)、下拉节点、第一电源电压端、上拉节点;以及上拉节点控制电路(16),连接第一电源电压端、第三电源电压端(VSS2)、上拉节点。可以避免由于异常开关机导致移位寄存器单元不能正常工作,进而保证产品的品质,延长应用该移位寄存器单元的TFT-LCD的使用寿命。



1. 一种移位寄存器单元, 包含:

输入电路, 其第一端与该移位寄存器单元的输入端连接用于从该输入端接收输入信号, 第二端与上拉节点连接;

输出电路, 其第一端与时钟信号端连接, 第二端与上拉节点连接, 第三端与该移位寄存器单元的输出端连接;

下拉电路, 其第一端与下拉节点连接, 第二端与上拉节点连接, 第三端与第一电源电压端连接;

下拉控制电路, 其第一端与第二电源电压端连接, 第二端与下拉节点连接, 第三端与第一电源电压端连接, 第四端与上拉节点连接; 以及

上拉节点控制电路, 其第一端与第一电源电压端连接, 第二端与第三电源电压端连接, 第三端与上拉节点连接, 配置为在来自第二电源电压端的信号出现跳变时对上拉节点放电。

2. 根据权利要求1所述的移位寄存器单元, 其中该上拉节点控制电路的第四端与该移位寄存器单元的输入端连接。

3. 根据权利要求1所述的移位寄存器单元, 其中, 上拉节点控制电路包括:

第一晶体管, 其栅极和第一极与第一电源电压端连接;

第一电容, 其第一端与第一晶体管的第二极连接, 第二端与第三电源电压端连接; 以及

第二晶体管, 其栅极与第一电容的第一端连接, 第一极与上拉节点连接, 第二极与第三电源电压端连接。

4. 根据权利要求2所述的移位寄存器单元, 其中, 上拉节点控制电路包括:

第一晶体管, 其栅极和第一极与第一电源电压端连接;

第一电容, 其第一端与第一晶体管的第二极连接, 第二端与第三电源电压端连接;

第二晶体管, 其栅极与第一电容的第一端连接, 第一极与上拉节点连接, 第二极与第三电源电压端连接; 以及

第三晶体管, 其栅极与该移位寄存器单元的输入端连接, 第一极与第一电容的第一端连接, 第二极与第一电源电压端连接。

5. 根据权利要求1所述的移位寄存器单元, 其中该移位寄存器单元还包含复位电路, 其第一端与复位信号端连接, 第二端与上拉节点连接, 第三端与第一电源电压端连接, 第四端与该移位寄存器单元的输出端连接。

6. 根据权利要求1所述的移位寄存器单元, 其中, 输入电路包括:

输入晶体管, 其栅极和第一极与该移位寄存器单元的输入端连接, 第二极与上拉节点连接。

7. 根据权利要求1所述的移位寄存器单元, 其中, 输出电路包括:

输出晶体管, 其栅极与上拉节点连接, 第一极与时钟信号端连接, 第二极与输出端连接; 以及

第二电容, 其第一端与上拉节点连接, 第二端与输出端连接。

8. 根据权利要求5所述的移位寄存器单元, 其中, 复位电路包括:

节点复位晶体管, 其栅极与所述复位信号端连接, 第一极与上拉节点连接, 第二极与第一电源电压端连接; 以及

输出复位晶体管,其栅极与所述复位信号端连接,第一极与所述输出端连接,第二极与所述第一电源电压端连接。

9.根据权利要求1所述的移位寄存器单元,其中,下拉电路包括:

下拉晶体管,其栅极与下拉节点连接,第一极与上拉节点连接,第二极与第一电源电压端连接。

10.根据权利要求1所述的移位寄存器单元,其中,下拉控制电路包括:

第一下拉控制晶体管,其栅极和第一极与第二电源电压端连接,第二极与下拉节点连接;

第二下拉控制晶体管,其栅极与上拉节点连接,第一极与下拉节点连接,第二极与第一电源电压端连接。

11.根据权利要求3-4和6-10中任一项所述的移位寄存器单元,其中,所有晶体管均为N型晶体管。

12.根据权利要求1所述的移位寄存器单元,其中,第一电源电压端和第三电源电压端是低电源电压端,第二电源电压端是高电源电压端。

13.一种移位寄存器单元的驱动方法,该移位寄存器单元包含输入电路、输出电路、下拉电路、下拉控制电路和上拉节点控制电路,该方法包含:

由输入电路将所接收的输入信号传递到上拉节点;

由输出电路将时钟信号端的时钟信号输出到该移位寄存器单元的输出端;

由下拉控制电路控制下拉电路是否进行操作;

由下拉电路将所述上拉节点处的上拉信号下拉至所述第一电源电压端的电源电压;以及

由上拉节点控制电路在来自第二电源电压端的信号出现跳变时对上拉节点放电。

14.根据权利要求13所述的驱动方法,其中,该移位寄存器单元还包含复位电路,由复位电路将上拉节点处的上拉信号复位至第一电源电压端的电源电压以及将该移位寄存器单元的输出端的输出信号复位至第一电源电压端的电源电压。

15.根据权利要求13或14所述的驱动方法,其中,第一电源电压端是低电源电压端,第二电源电压端是高电源电压端。

16.一种栅极驱动装置,包括多个串联的移位寄存器单元,每个所述移位寄存器单元是如权利要求1-12中任一项所述的移位寄存器单元,

其中除最后一个移位寄存器单元外,其余每个移位寄存器单元的输出端均和与其相邻的下一个移位寄存器单元的输入端相连;除第一个移位寄存器单元外,其余每个移位寄存器单元的输出端均和与其相邻的上一个移位寄存器单元的复位信号端相连;

所述第一个移位寄存器单元的输入端输入帧起始信号。

17.一种包含根据权利要求16所述的栅极驱动装置的显示装置。

移位寄存器单元及其驱动方法、栅极驱动装置和显示装置

技术领域

[0001] 本公开涉及一种移位寄存器单元及其驱动方法、栅极驱动装置和显示装置。

背景技术

[0002] 薄膜晶体管液晶显示器 (TFT-LCD) 广泛应用于生产生活的各个领域,其采用M*N点排列的逐行扫描矩阵显示。在进行显示时,TFT-LCD通过驱动电路来驱动显示面板中的各个像素进行显示。TFT-LCD的驱动电路主要包含栅极驱动电路和数据驱动电路。其中,数据驱动电路用于依据时钟信号定时将输入的数据顺序锁存并将锁存的数据转换成模拟信号后输入到显示面板的数据线。栅极驱动电路通常用移位寄存器单元来实现,所述移位寄存器单元将时钟信号转换成开启/断开电压,分别输出到显示面板的各条栅线上。显示面板上的一条栅线通常与一个移位寄存器单元(即移位寄存器单元的一级)对接。通过使得各个移位寄存器单元依序轮流输出开启电压,实现对显示面板中像素的逐行扫描。

[0003] 另一方面,随着平板显示的发展,高分辨率、窄边框成为发展的趋势。针对这一趋势,出现了阵列基板栅极驱动 (Gate Driver on Array,GOA) 技术。GOA技术直接将TFT-LCD的栅极驱动电路集成制作在阵列基板上,由此来代替在面板外沿粘接的、由硅芯片制作的驱动芯片。由于该技术可以将驱动电路直接做在阵列基板上,面板周围无需再粘接IC和布线,减少了面板的制作程序,降低了产品成本,同时提高了TFT-LCD面板的集成度,使面板实现窄边框和高分辨率。

[0004] 目前,随着终端客户对美观的高要求、产品的市场价格的不断走低,且对TFT-LCD面板画面高品质的需求越来越高,各个TFT-LCD面板正在逐渐使用GOA技术取代传统的COG/COF技术,一方面是降低生产成本,另一方面使得产品更加美观。

发明内容

[0005] 本公开提供了一种移位寄存器单元及其驱动方法、栅极驱动装置和显示装置。通过1个电容,3个晶体管实现对移位寄存器单元的充分放电,使得移位寄存器单元内上拉节点的电位能完全被释放,避免由于异常开关机导致移位寄存器单元不能正常工作,进而保证产品的品质,延长应用该移位寄存器单元的TFT-LCD的使用寿命。

[0006] 根据本公开的一方面,公开了一种移位寄存器单元,包含:

[0007] 输入电路,其第一端与该移位寄存器单元的输入端连接用于从该输入端接收输入信号,第二端与上拉节点连接;

[0008] 输出电路,其第一端与时钟信号端连接,第二端与上拉节点连接,第三端与该移位寄存器单元的输出端连接;

[0009] 下拉电路,其第一端与下拉节点连接,第二端与上拉节点连接,第三端与第一电源电压端连接;

[0010] 下拉控制电路,其第一端与第二电源电压端连接,第二端与下拉节点连接,第三端与第一电源电压端连接,第四端与上拉节点连接;以及

[0011] 上拉节点控制电路,其第一端与第一电源电压端连接,第二端与第三电源电压端连接,第三端与上拉节点连接,配置为在来自第二电源电压端的信号出现跳变时对上拉节点放电。

[0012] 根据本公开的又一方面,公开了一种移位寄存器单元的驱动方法,该移位寄存器单元包含输入电路、输出电路、下拉电路、下拉控制电路和上拉节点控制电路,该方法包含:

[0013] 由输入电路将所接收的输入信号传递到上拉节点;

[0014] 由输出电路将时钟信号端的时钟信号输出到该移位寄存器单元的输出端;

[0015] 由下拉控制电路控制下拉电路是否进行操作;

[0016] 由下拉电路将所述上拉节点处的上拉信号下拉至所述第一电源电压端的电源电压;以及

[0017] 由上拉节点控制电路在来自第二电源电压端的信号出现跳变时对上拉节点放电。

[0018] 根据本公开的再一方面,公开了一种栅极驱动装置,包括多个串联的移位寄存器单元,每个所述移位寄存器单元是上述移位寄存器单元,其中除最后一个移位寄存器单元外,其余每个移位寄存器单元的输出端均和与其相邻的下一个移位寄存器单元的输入端相连;除第一个移位寄存器单元外,其余每个移位寄存器单元的输出端均和与其相邻的上一个移位寄存器单元的复位信号端相连;所述第一个移位寄存器单元的输入端输入帧起始信号。

[0019] 根据本公开的另一方面,公开了一种包含上述栅极驱动装置的显示装置。

附图说明

[0020] 图1示出了已知的一种移位寄存器单元的电路图。

[0021] 图2示出了图1的移位寄存器单元的操作时序图。

[0022] 图3示出了根据本公开实施例的移位寄存器单元的框图。

[0023] 图4示出了根据本公开实施例的移位寄存器单元的一种示例电路结构图。

[0024] 图5示出了图4中的移位寄存器单元的示例电路的操作时序图。

[0025] 图6示出了由根据本公开实施例的多个移位寄存器单元级联形成的栅极驱动装置的示意图。

具体实施方式

[0026] 下面将结合本公开实施例中的附图,对本公开实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本公开一部分实施例,而不是全部的实施例。基于本公开中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本公开保护的范围。

[0027] 本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本实施例中,每个晶体管的漏极和源极的连接方式可以互换,因此,本公开实施例中各晶体管的漏极、源极实际是没有区别的。这里,仅仅是为了区分晶体管除栅极之外的两极,而将其中一极称为漏极,另一极称为源极。

[0028] 申请人注意到,相对于传统的COG/COF技术,GOA驱动技术虽然在成本、美观方面显现了一定的优势,但是目前的GOA驱动电路仍然无法完全达到IC驱动的相关功能。例如,GOA

产品的像素的栅极扫描电压是通过每个GOA电路(即,移位寄存器单元)的所有TFT及电容实现的,由于异常的开关机会导致GOA电路的电荷残留,这部分的电荷会使得GOA电路的相关TFT特性发生变化,以致不可控制,最终导致LCD不能正常显示。

[0029] 本公开提供一种移位寄存器单元,通过1个电容,3个晶体管实现对移位寄存器单元的充分放电,使得移位寄存器单元内上拉节点的电位能完全被释放,避免由于异常开关机导致移位寄存器单元不能正常工作,进而保证产品的品质,延长应用该移位寄存器单元的TFT-LCD的使用寿命。

[0030] 图1示出了已知的一种移位寄存器单元的电路图,图2示出了图1的移位寄存器单元的操作时序图。下面结合图1-2对该移位寄存器单元发生异常关机时的情况进行简要说明。

[0031] 在图1中,时钟信号端CLK输入的时钟信号的占空比为50%,第二电源电压端VDD为该移位寄存器单元输入降噪信号。

[0032] 同时参考图1-2,当该移位寄存器单元的输入端INPUT输入高电平的输入信号时,晶体管M1导通,上拉节点PU的电位升高到高电平;当输入信号变为低电平时,晶体管M1截止,上拉节点PU的电位由于电容C1的存在会持续保持在高电平,此时晶体管M2导通,时钟信号端CLK输入高电平的时钟信号,从而在该移位寄存器单元的输出端OUTPUT输出高电平的输出信号,此时由于电容C1的自举作用,上拉节点PU的电位继续升高。

[0033] 若此时异常关机,第一电源电压端VSS1、第二电源电压端VDD的信号同时被拉高至高电平,然后第一电源电压端VSS1、第二电源电压端VDD的信号同时降低至低电平,导致下拉节点PD的电位无法被拉高至高电平,晶体管M5无法导通,从而使得上拉节点PU的电位无法释放。长时间、多次的异常开关机,会导致上述移位寄存器单元(即,GOA电路)的相关TFT特性发生变化,从而会使得移位寄存器单元输出异常。

[0034] 图3示出了根据本公开实施例的移位寄存器单元的框图。如图3所示,在一个实施例中,该移位寄存器单元100包含输入电路11、输出电路12、下拉电路14、下拉控制电路15和上拉节点控制电路16。在一个实施例中,该移位寄存器单元100还包含复位电路13。

[0035] 输入电路11的第一端与该移位寄存器单元的输入端INPUT连接用于从该输入端INPUT接收输入信号,第二端与上拉节点PU连接。该输入电路11被配置为在输入端INPUT的输入信号处于有效输入电平时,将所接收的输入信号传递到上拉节点PU。

[0036] 输出电路12的第一端与时钟信号端CLK连接,第二端与上拉节点PU连接,第三端与该移位寄存器单元的输出端OUTPUT连接。该输出电路12被配置来在上拉节点PU处的上拉信号处于有效上拉电平时将时钟信号端CLK的时钟信号输出到输出端OUTPUT。

[0037] 复位电路13的第一端与复位信号端RESET连接,第二端与上拉节点PU连接,第三端与第一电源电压端VSS1连接,第四端与该移位寄存器单元的输出端OUTPUT连接。该复位电路13被配置来在复位信号端RESET的复位信号处于有效控制电平时将上拉节点PU处的上拉信号复位至第一电源电压端VSS1的电源电压以及将输出端OUTPUT的输出信号复位至第一电源电压端VSS1的电源电压。

[0038] 下拉电路14的第一端与下拉节点PD连接,第二端与上拉节点PU连接,第三端与第一电源电压端VSS1连接。该下拉电路14被配置来在下拉节点PD处的下拉信号处于有效下拉电平时将所述上拉节点PU处的电平下拉至所述第一电源电压端VSS1的电源电压。

[0039] 下拉控制电路15的第一端与第二电源电压端VDD连接,第二端与下拉节点PD连接,第三端与第一电源电压端VSS1连接,第四端与上拉节点PU连接。该下拉控制电路15被配置为控制下拉电路14是否进行操作。例如,下拉控制电路15在上拉节点PU处的上拉信号处于有效上拉电平时,在下拉节点PD处产生处于非有效下拉电平的下拉信号,而在上拉节点PU处的上拉信号处于非有效上拉电平时,在下拉节点PD处产生处于有效下拉电平的下拉信号。

[0040] 上拉节点控制电路16的第一端与第一电源电压端VSS1连接,第二端与第三电源电压端VSS2连接,第三端与上拉节点PU连接。该上拉节点控制电路16被配置为在来自第二电源电压端VDD的信号出现异常时,例如由高电平至低电平的跳变时,对上拉节点PU放电。

[0041] 如图3所示,在一个实施例中,该移位寄存器单元100的上拉节点控制电路16进一步包含第四端,该第四端与该移位寄存器单元的输入端INPUT连接。

[0042] 第一电源电压端VSS1和第三电源电压端VSS2是低电源电压端,第二电源电压端VDD是高电源电压端。

[0043] 图4示出了根据本公开实施例的移位寄存器单元的一种示例电路结构图。下面以图4中的晶体管均为N型晶体管为例进行说明。如本领域技术人员所熟知的,N型晶体管在栅极输入高电平时导通。

[0044] 如图4所示,在一个实施例中,例如,输入电路11包括输入晶体管M1。输入晶体管M1的栅极和第一极与输入端INPUT连接,第二极与上拉节点PU连接。在输入端INPUT的输入信号处于高电平时,输入晶体管M1导通,将输入端INPUT的输入信号传递到上拉节点PU。

[0045] 在一个实施例中,例如,输出电路12包括输出晶体管M2和第二电容C1。输出晶体管M2的栅极与上拉节点PU连接,第一极与时钟信号端CLK连接,第二极与输出端OUTPUT连接。第二电容C1的第一端与上拉节点PU连接,第二端与输出端OUTPUT连接。在上拉节点PU处的上拉信号处于高电平时,输出晶体管M2导通,将时钟信号端CLK的时钟信号输出到输出端OUTPUT。

[0046] 在一个实施例中,例如,复位电路13包括节点复位晶体管M3和输出复位晶体管M4。节点复位晶体管M3的栅极与复位信号端RESET连接,第一极与上拉节点PU连接,第二极与第一电源电压端VSS1连接。输出复位晶体管M4的栅极与所述复位信号端RESET连接,第一极与所述输出端OUTPUT连接,第二极与所述第一电源电压端VSS1连接。在复位信号端RESET处的复位信号处于高电平时,节点复位晶体管M3导通,将上拉节点PU处的上拉信号复位至第一电源电压端VSS1的电源电压,并且输出复位晶体管M4导通,将输出端OUTPUT的输出信号复位至第一电源电压端VSS1的电源电压。

[0047] 在一个实施例中,例如,下拉电路14包括下拉晶体管M5。下拉晶体管M5的栅极与下拉节点PD连接,第一极与上拉节点PU连接,第二极与第一电源电压端VSS1连接。在下拉节点PD处的下拉信号处于高电平时,下拉晶体管M5导通,将所述上拉节点PU处的上拉信号下拉至所述第一电源电压端VSS1的电源电压。

[0048] 在一个实施例中,例如,下拉控制电路15包括第一下拉控制晶体管M6和第二下拉控制晶体管M7。第一下拉控制晶体管M6的栅极和第一极与第二电源电压端VDD连接,第二极与下拉节点PD连接。第二下拉控制晶体管M7的栅极与上拉节点PU连接,第一极与下拉节点PD连接,第二极与第一电源电压端VSS1连接。例如,在上拉节点PU处的上拉信号PU处于高电

平时,第二下拉控制晶体管M7导通,从而在下拉节点PD处产生处于低电平的下拉信号,下拉晶体管M5不导通。而在上拉节点PU处的上拉信号处于低电平时,第二电源电压端VDD输出的高电平信号使得第一下拉控制晶体管M6导通,在下拉节点PD处产生处于高电平的下拉信号,下拉晶体管M5导通。

[0049] 在一个实施例中,例如,上拉节点控制电路16包括第一晶体管M8、第一电容C2和第二晶体管M9。第一晶体管M8的栅极和第一极与第一电源电压端VSS1连接,第二极与第一电容C2的第一端连接。第一电容C2的第二端与第三电源电压端VSS2连接。第二晶体管M9的栅极与第一电容C2的第一端连接,第一极与上拉节点PU连接,第二极与第三电源电压端VSS2连接。

[0050] 在一个实施例中,例如,上拉节点控制电路16还包括第三晶体管M10,其栅极与该移位寄存器单元的输入端INPUT连接,第一极与第一电容C2的第一端连接,第二极与第一电源电压端VSS1连接。

[0051] 第一电源电压端VSS1和第三电源电压端VSS2是低电源电压端,第二电源电压端VDD是高电源电压端。

[0052] 在本公开实施例的移位寄存器单元中,上拉节点控制电路16通过1个电容,3个晶体管实现对异常开关机时移位寄存器单元内上拉节点PU的电位的完全释放,避免由于异常开关机使得移位寄存器单元损伤,进而保证产品的品质,从而可以延长应用该移位寄存器单元的TFT-LCD的使用寿命。

[0053] 图5示出了图4中的移位寄存器单元的示例电路的操作时序图。下面结合图4和图5对图4中的移位寄存器单元的驱动方法进行说明。

[0054] 在第一阶段1(无输入阶段),输入端INPUT的输入信号处于低电平。输入晶体管M1截止,虽然时钟信号端CLK处的时钟信号处于高电平,但是由于上拉节点PU处的上拉信号处于低电平,输出晶体管M2截止,输出端OUTPUT输出低电平。。

[0055] 在第二阶段2(输入阶段),输入端INPUT的输入信号处于高电平,时钟信号端CLK处的时钟信号处于低电平。输入晶体管M1导通,将输入端INPUT的高电平传递到上拉节点PU,此时上拉节点PU处于第一高电压,使得输出晶体管M2导通,由于时钟信号端CLK的时钟信号处于低电平,输出端OUTPUT输出低电平。并且,由于上拉节点PU处于第一高电压,使得第二下拉控制晶体管M7导通,从而在下拉节点PD处产生处于低电平的下拉信号。

[0056] 在第三阶段3(输出阶段),输入端INPUT的输入信号处于低电平,时钟信号端CLK处的时钟信号均处于高电平。输入晶体管M1截止,复位信号端RESET处于低电平,节点复位晶体管M3和输出复位晶体管M4保持截止,上拉节点PU继续使得输出晶体管M2导通,时钟信号端CLK的时钟信号处于高电平,输出端OUTPUT输出高电平,由于第二电容C1的电压耦合作用,此时上拉节点PU被从第一高电压抬升到第二高电压。此外,在该阶段中,由于上拉节点PU仍处于高电平,第二下拉控制晶体管M7保持导通,下拉节点PD仍处于低电平。

[0057] 在上述第三阶段3(输出阶段),若此时异常关机,根据之前结合图1和图2所描述的,第一电源电压端VSS1、第二电源电压端VDD的信号同时被拉高至高电平,然后第一电源电压端VSS1、第二电源电压端VDD的信号同时降至低电平,导致下拉节点PD的电位无法被拉高至高电平,下拉晶体管M5无法导通,从而使得上拉节点PU的电位无法释放(参见图5第四阶段4)。

[0058] 根据目前已知的技术方案,为了解决关机残影,关机的时候上述第一电源电压端VSS1的电压会如图5所示被拉高至实现栅极打开的高电平。在本公开实施例中引入第三电源电压端VSS2,该第三电源电压端VSS2的信号基本与第一电源电压端VSS1的信号一致,但在关机时不会被拉高至上述高电平(该部分PCBA可实现),而是被拉至0V。此时第一晶体管M8导通,给第一电容C2充电,当第一电源电压端VSS1的电压信号降低至0V后,由于第一电容C2的储电功能,该电容的电量会保持一段时间,然后通过第一电容C2的高电平使得第二晶体管M9导通,使得上拉节点PU的电位被拉低至0V,实现上拉节点PU的放电。

[0059] 进一步地,上拉节点控制电路还可以包括第三晶体管M10。对于每一帧,在每一行扫描开始的时候,第三晶体管M10导通,使得第一电容C2放电,从而不影响正常的上拉节点PU的充电功能。

[0060] 第一电源电压端VSS1和第三电源电压端VSS2是低电源电压端,第二电源电压端VDD是高电源电压端。

[0061] 在本公开实施例的移位寄存器单元中,上拉节点控制电路16通过1个电容,3个晶体管实现对异常开关机时移位寄存器单元内上拉节点PU的电位的完全释放,避免由于异常开关机使得移位寄存器单元损伤,进而保证产品的品质,从而可以延长应用该移位寄存器单元的TFT-LCD的使用寿命。

[0062] 本公开还提供了一种上述移位寄存器单元的驱动方法。下面结合图3-图5对该方法进行说明。在一个实施例中,例如,如图3所示,该移位寄存器单元100包含输入电路11、输出电路12、下拉电路14、下拉控制电路15和上拉节点控制电路16。该方法包含:

[0063] 由输入电路11将所接收的输入信号传递到上拉节点PU;

[0064] 由输出电路12将时钟信号端CLK的时钟信号输出到该移位寄存器单元的输出端OUTPUT;

[0065] 由下拉控制电路15控制下拉电路14是否进行操作;

[0066] 由下拉电路14将所述上拉节点PU处的上拉信号下拉至所述第一电源电压端VSS1的电源电压;以及

[0067] 由上拉节点控制电路16在来自第二电源电压端VDD的信号出现异常时,例如由高电平至低电平的跳变时,对上拉节点PU放电。

[0068] 在一个实施例中,例如,如图3所示,该移位寄存器单元100还包含复位电路13,该移位寄存器单元的驱动方法还包含由复位电路13将上拉节点PU处的上拉信号复位至第一电源电压端VSS1的电源电压以及将该移位寄存器单元的输出端OUTPUT的输出信号复位至第一电源电压端VSS1的电源电压。

[0069] 其中,第一电源电压端VSS1是低电源电压端,第二电源电压端VDD是高电源电压端。

[0070] 在本公开实施例的移位寄存器单元及其驱动方法中,通过上拉节点控制电路实现对移位寄存器单元的充分放电,使得移位寄存器单元内上拉节点的电位能完全被释放,避免由于异常开关机导致移位寄存器单元不能正常工作,进而保证产品的品质,从而可以延长应用该移位寄存器单元的TFT-LCD的使用寿命。

[0071] 图6示出了由根据本公开实施例的多个移位寄存器单元级联形成的栅极驱动装置的示意图。

[0072] 如图6所示,在该栅极驱动装置中,多个图4中的上述移位寄存器单元串联连接。其中除最后一个移位寄存器单元 R_m 外,其余每个移位寄存器单元 R_i ($1 \leq i < m$) 的输出端OUTPUT均和与其相邻的下一个移位寄存器单元 R_{i+1} 的输入端INPUT相连;除第一个移位寄存器单元 R_1 外,其余每个移位寄存器单元 R_i ($1 < i \leq m$) 的输出端OUTPUT均和与其相邻的上一个移位寄存器单元 R_{i-1} 的复位信号端RESET相连。所述第一个移位寄存器单元 R_1 的输入端INPUT输入帧起始信号STV。

[0073] 如图6所示,在该栅极驱动装置中,相邻两级移位寄存器单元的时钟信号端输入的时钟信号相反。例如第一个移位寄存器单元 R_1 输入时钟信号CLK,则第二个移位寄存器单元 R_2 输入时钟信号CLKB,其中CLK信号和CLKB信号互为反相。

[0074] 值得注意的是,上述栅极驱动装置中移位寄存器单元的布置和连接不限于上述方式。例如,可以每6个移位寄存器单元为一组进行设置。在这种情况下,需要一组时钟信号CLK1至CLK6。即,每6个移位寄存器单元为一组,第一移位寄存器单元的时钟信号端输入第一时钟信号CLK1,第二移位寄存器单元的时钟信号端输入时钟信号CLK2,第三移位寄存器单元的时钟信号端输入时钟信号CLK3,等等,依此类推。第四移位寄存器单元的输出信号作为第一移位寄存器单元的复位信号,第五移位寄存器单元的输出信号作为第二移位寄存器单元的复位信号,等等,依此类推。

[0075] 根据本公开实施例的栅极驱动装置在扫描时各移位寄存器单元的具体工作过程与参照图4和图5描述的工作过程相似,在此不再赘述。

[0076] 根据本公开实施例的栅极驱动装置可以采用GOA技术,用作显示装置的栅极驱动电路,以提供逐行扫描功能,将扫描信号传送至显示区域。

[0077] 根据本公开实施例的栅极驱动装置可以避免由于异常开关机导致移位寄存器单元不能正常工作,进而保证产品的品质,从而可以延长应用该移位寄存器单元的TFT-LCD的使用寿命。

[0078] 本公开还提供了一种包含上述栅极驱动装置的显示装置。

[0079] 这里的显示装置可以为:电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相机框、导航仪等任何具有显示功能的产品或部件。

[0080] 根据本公开实施例的显示装置可以避免由于异常开关机导致移位寄存器单元不能正常工作,进而保证产品的品质,从而可以延长TFT-LCD的使用寿命。

[0081] 以上所述,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本公开揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本公开的保护范围之内。因此,本公开的保护范围应以所述权利要求的保护范围为准。

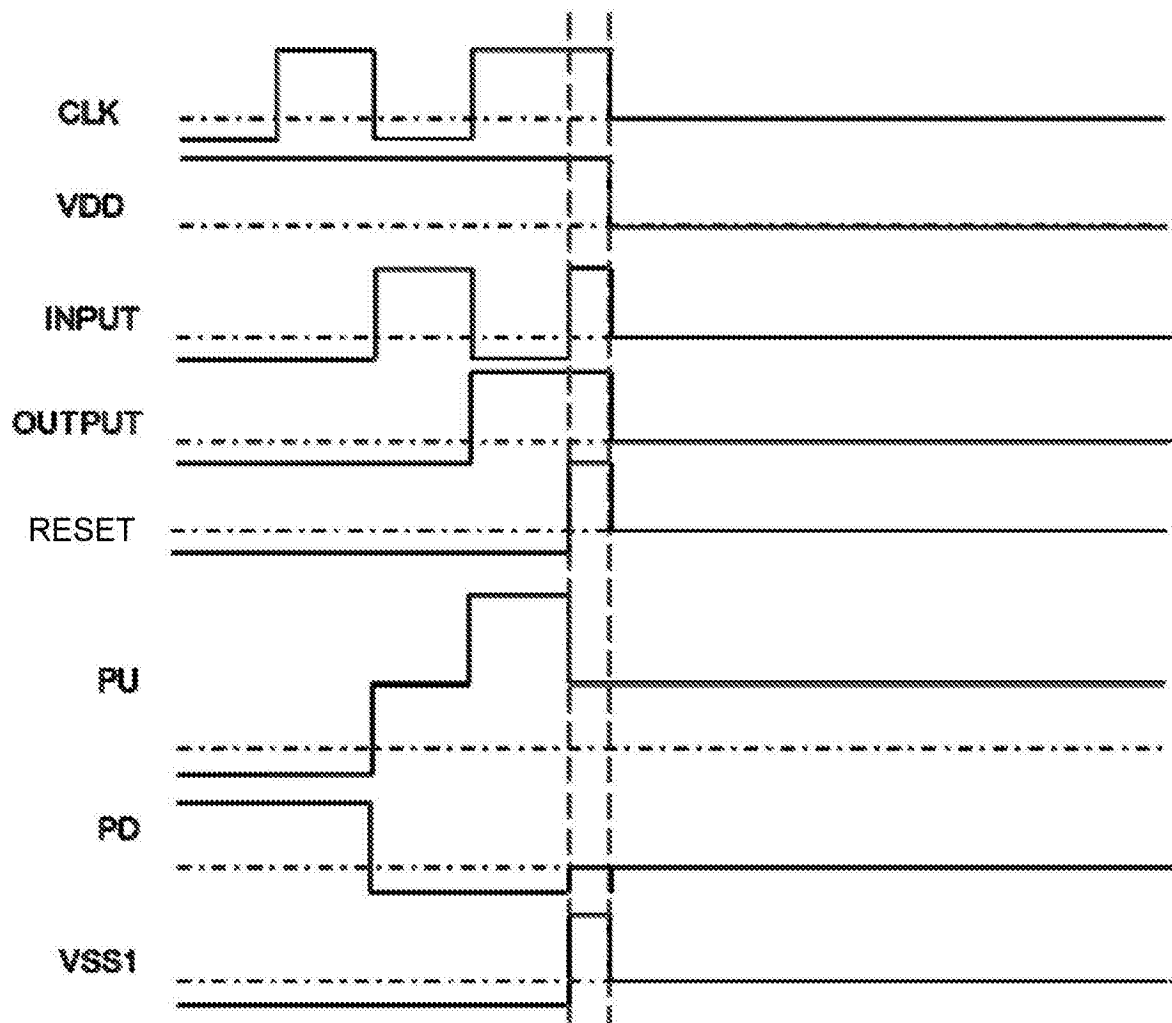


图2

100

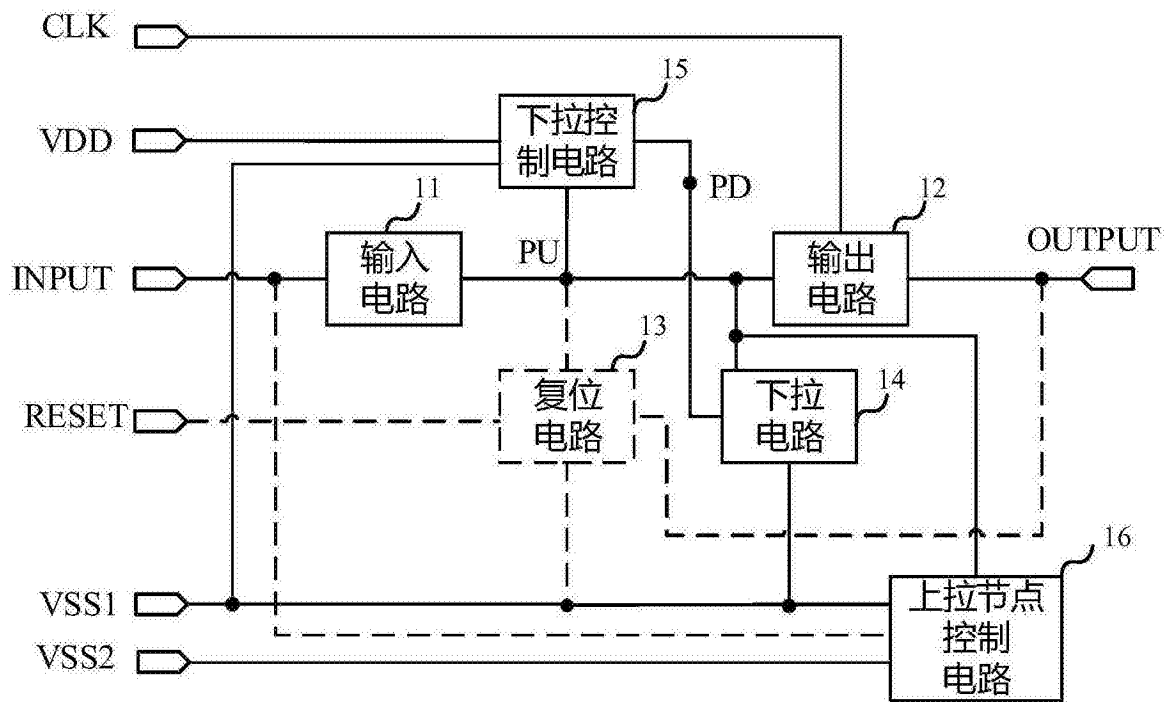


图3

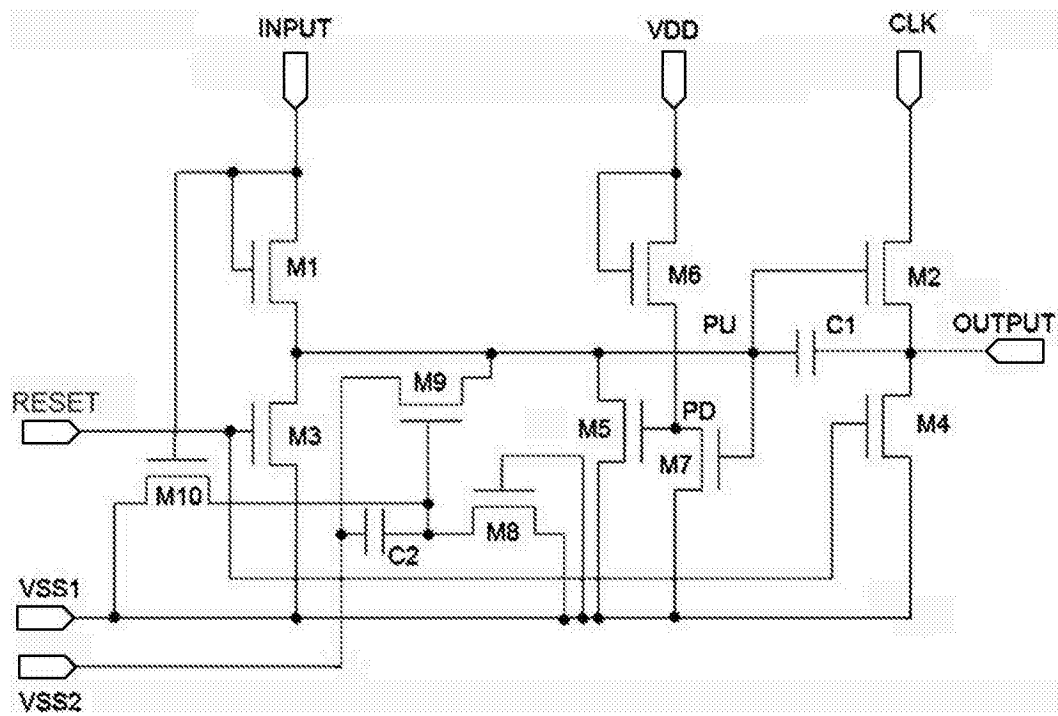


图4

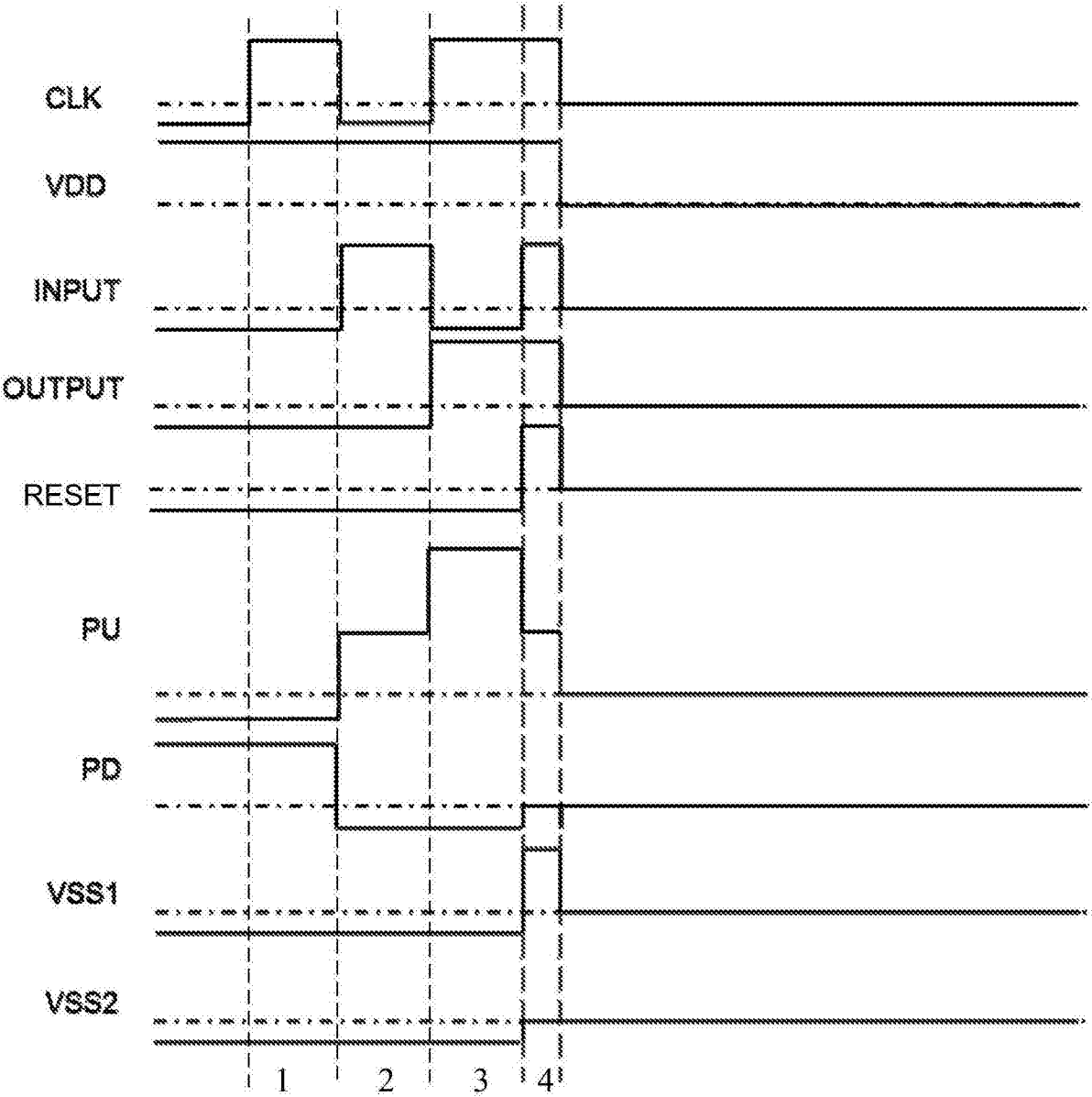


图5

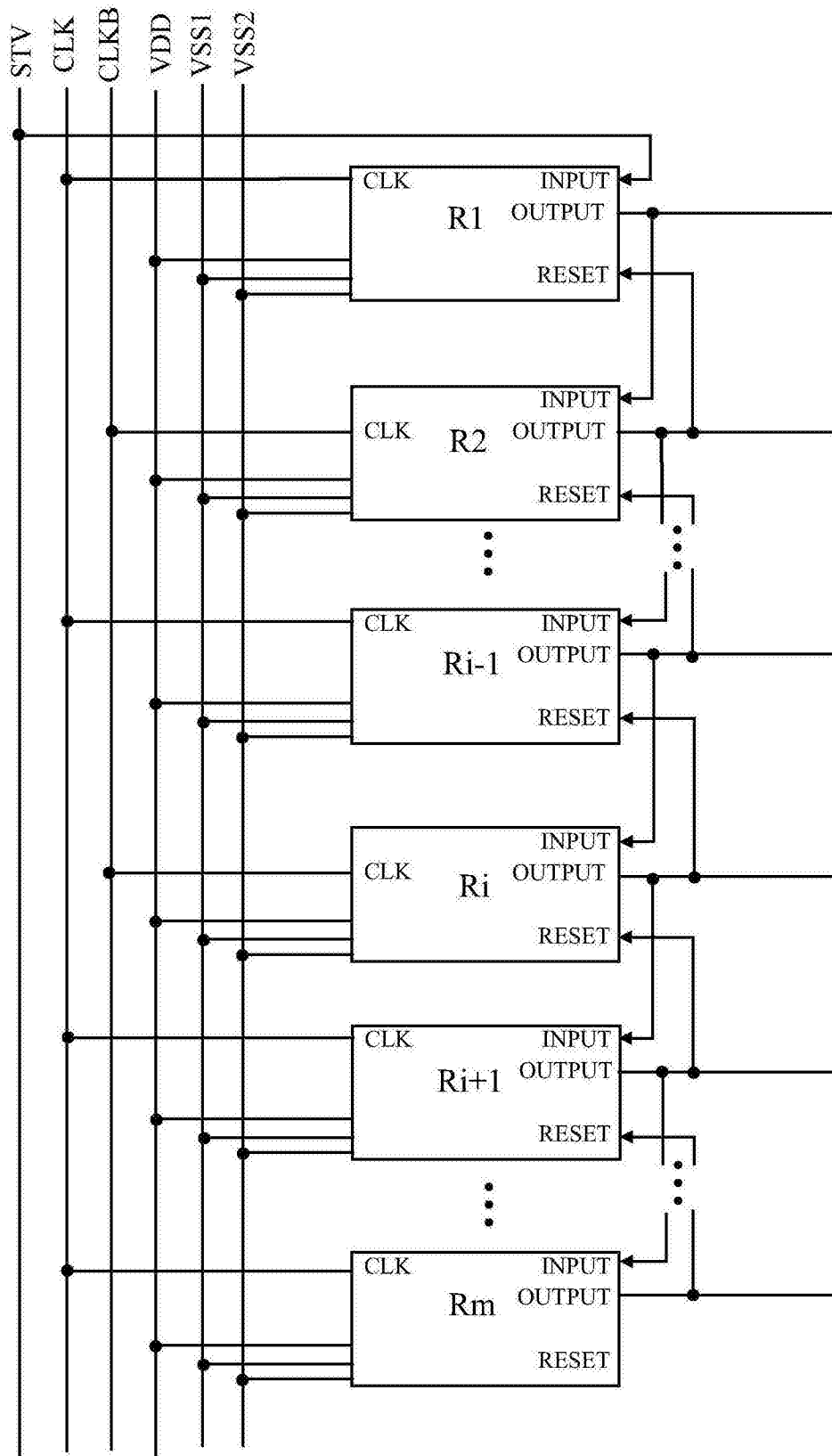


图6

专利名称(译)	移位寄存器单元及其驱动方法、栅极驱动装置和显示装置		
公开(公告)号	CN106504720A	公开(公告)日	2017-03-15
申请号	CN201710004514.8	申请日	2017-01-04
[标]申请(专利权)人(译)	合肥鑫晟光电科技有限公司 京东方科技集团股份有限公司		
申请(专利权)人(译)	合肥鑫晟光电科技有限公司 京东方科技集团股份有限公司		
当前申请(专利权)人(译)	合肥鑫晟光电科技有限公司 京东方科技集团股份有限公司		
[标]发明人	熊雄 刘荣铖 刘金良 张晓哲 李环宇		
发明人	熊雄 刘荣铖 刘金良 张晓哲 李环宇		
IPC分类号	G09G3/36 G11C19/28		
CPC分类号	G09G3/3648 G09G3/3677 G09G2310/0286 G11C19/28 G11C19/184 G09G2300/0426 G09G2310/08 G11C19/287		
代理人(译)	邓亚楠		
外部链接	Espacenet SIPO		

摘要(译)

一种移位寄存器单元及其驱动方法、栅极驱动装置和显示装置。该移位寄存器单元(100)包含：输入电路(11)，连接该移位寄存器单元的输入端(INPUT)、上拉节点(PU)；输出电路(12)，连接时钟信号端(CLK)、上拉节点、该移位寄存器单元的输出端(OUTPUT)；下拉电路(14)，连接下拉节点(PD)、上拉节点、第一电源电压端；下拉控制电路(15)，连接第二电源电压端(VDD)、下拉节点、第一电源电压端、上拉节点；以及上拉节点控制电路(16)，连接第一电源电压端、第三电源电压端(VSS2)、上拉节点。可以避免由于异常开关机导致移位寄存器单元不能正常工作，进而保证产品的品质，延长应用该移位寄存器单元的TFT-LCD的使用寿命。

