



## (12) 发明专利申请

(10) 申请公布号 CN 105321484 A

(43) 申请公布日 2016. 02. 10

(21) 申请号 201510364726. 8

(22) 申请日 2015. 06. 26

(30) 优先权数据

2014-137323 2014. 07. 03 JP

(71) 申请人 NLT 科技股份有限公司

地址 日本神奈川县

(72) 发明人 矶野克尔

(74) 专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 黄志华 何月华

(51) Int. Cl.

G09G 3/36(2006. 01)

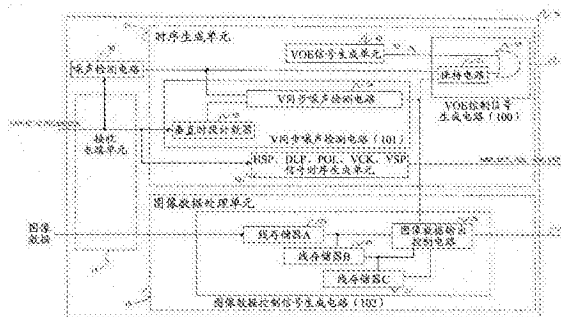
权利要求书2页 说明书8页 附图18页

(54) 发明名称

时序控制器及显示装置

(57) 摘要

本发明涉及时序控制器及显示装置。在与同步信号 (HSYNC, VSYNC, DE 等) 或传输时钟周期同步的外来噪声被施加的情况下, 能够在不增大电路规模的情况下抑制由所施加的噪声产生的影响出现在液晶显示器上。包括: 时序控制器, 其基于从外部输入的作为基准的输入信号 (HSYNC, VSYNC, DE 等) 生成扫描线驱动用栅极驱动器的控制信号和信号线驱动用源极驱动器的控制信号时序; 使能信号生成单元, 其包括用于检测各种噪声进入输入信号的噪声检测电路, 并基于来自噪声检测电路的输出而输出使栅极驱动器控制信号的输出断开或接通规定时段的使能信号 (VOE); 以及检测到在垂直时段中同步的噪声的情况下的图像数据输出控制电路。栅极驱动器控制信号被控制为具有空闲时段。



1. 一种时序控制器,所述时序控制器针对从外部输入的作为基准的信号,生成源极驱动器的控制信号和栅极驱动器的控制信号,所述时序控制器包括:

噪声检测电路,所述噪声检测电路用于检测输入信号为与所述基准不同的信号;

V 同步噪声检测电路,所述 V 同步噪声检测电路用于检测 V 同步噪声,在所述 V 同步噪声中,与所述基准不同的所述输入信号在各垂直时段中被反复检测到;

其中,所述时序控制器被控制为:

当所述噪声检测电路检测到与所述基准不同的所述信号并且所述 V 同步噪声检测电路未检测到所述 V 同步噪声时,生成用于使所述栅极驱动器的控制信号停止一定时段的信号;以及

当所述噪声检测电路检测到与所述基准不同的所述信号并且所述 V 同步噪声检测电路检测到所述 V 同步噪声时,产生用于防止所述栅极驱动器的所述控制信号停止的信号。

2. 根据权利要求 1 所述的时序控制器,还至少同时包括所述 V 同步噪声检测电路和 H 同步噪声检测电路。

3. 根据权利要求 1 所述的时序控制器,还至少同时包括所述 V 同步噪声检测电路和传输时钟同步噪声检测电路。

4. 根据权利要求 1 所述的时序控制器,其中,当所述噪声检测电路检测到与所述基准不同的所述信号并且所述 V 同步噪声检测电路检测到所述 V 同步噪声时,将前一条线或前一帧的输入数据输出到所述源极驱动器作为输出数据。

5. 一种时序控制器,所述时序控制器针对从外部输入的作为基准的信号,生成源极驱动器的控制信号和栅极驱动器的控制信号,所述时序控制器包括:

噪声检测电路,所述噪声检测电路用于检测输入信号为与所述基准不同的信号;

H 同步噪声检测电路,所述 H 同步噪声检测电路用于检测 H 同步噪声,在所述 H 同步噪声中,与所述基准不同的所述输入信号在各水平时段中被反复检测到;

其中,所述时序控制器被控制为:

当所述噪声检测电路检测到与所述基准不同的所述信号并且所述 H 同步噪声检测电路未检测到所述 H 同步噪声时,生成用于使所述栅极驱动器的控制信号停止一定时段的信号;以及

当所述噪声检测电路检测到与所述基准不同的所述信号并且所述 H 同步噪声检测电路检测到所述 H 同步噪声时,产生用于防止所述栅极驱动器的所述控制信号停止的信号。

6. 根据权利要求 5 所述的时序控制器,还至少同时包括 V 同步噪声检测电路和所述 H 同步噪声检测电路。

7. 根据权利要求 5 所述的时序控制器,还至少同时包括所述 H 同步噪声检测电路和传输时钟同步噪声检测电路。

8. 根据权利要求 5 所述的时序控制器,其中,当所述噪声检测电路检测到与所述基准不同的所述信号并且所述 H 同步噪声检测电路检测到所述 H 同步噪声时,将前一条线或前一帧的输入数据输出到所述源极驱动器作为输出数据。

9. 一种时序控制器,所述时序控制器针对从外部输入的作为基准的信号,生成源极驱动器的控制信号和栅极驱动器的控制信号,所述时序控制器包括:

噪声检测电路,所述噪声检测电路用于检测输入信号为与所述基准不同的信号;

传输时钟同步噪声检测电路,所述传输时钟同步噪声检测电路用于检测传输时钟同步噪声,在所述传输时钟同步噪声中,与所述基准不同的所述输入信号在各传输时钟时段中被反复检测到;

其中,所述时序控制器被控制为:

当所述噪声检测电路检测到与所述基准不同的所述信号并且所述传输时钟同步噪声检测电路未检测到所述传输时钟同步噪声时,生成用于使所述栅极驱动器的控制信号停止一定时段的信号;以及

当所述噪声检测电路检测到与所述基准不同的所述信号并且所述传输时钟同步噪声检测电路检测到传输时钟同步噪声时,产生用于防止所述栅极驱动器的所述控制信号停止的信号。

10. 根据权利要求9所述的时序控制器,还至少同时包括H同步噪声检测电路和所述传输时钟同步噪声检测电路。

11. 根据权利要求9所述的时序控制器,还至少同时包括V同步噪声检测电路和所述传输时钟同步噪声检测电路。

12. 根据权利要求9所述的时序控制器,其中,当所述噪声检测电路检测到与所述基准不同的所述信号并且所述传输时钟同步噪声检测电路检测到所述传输时钟同步噪声时,将前一条线或前一帧的输入数据输出到所述源极驱动器作为输出数据。

13. 一种包括根据权利要求1所述的时序控制器的显示装置。

14. 一种包括根据权利要求5所述的时序控制器的显示装置。

15. 一种包括根据权利要求9所述的时序控制器的显示装置。

## 时序控制器及显示装置

### 技术领域

[0001] 本发明涉及时序控制器及显示装置。具体地,本发明涉及当被施加与同步信号(例如,HSYNC、VSYNC、或DE)或传输时钟周期同步的外来噪声时能够抑制由所施加的外来噪声产生的影响出现在液晶显示器上、并且能够在不增大电路尺寸的情况下实现的时序控制器和显示装置。

### 背景技术

[0002] 液晶显示装置用时序控制器基于输入到液晶显示装置的 HSYNC(水平同步信号)、VSYNC(垂直同步信号)、或者 DE(复合同步信号)等基准信号,生成液晶驱动分选驱动器及液晶驱动栅极驱动器的控制信号。因此,在显示动作过程中,静电等外来噪声混入到基准信号中时,可能输出错误的控制信号,并在液晶显示器上引起产生噪声或画面变化的故障。

[0003] 以往的时序控制器大多具有以下结构:与各同步信号和传输时钟周期同步的噪声叠加在从外部供给的同步信号和图像数据上,对液晶显示装置的显示产生如下影响:噪声被识别为正常信号或者根据噪声的大小输出黑画面。近年来,实施从外部有意引入噪声的评价的用户数量增加,因此需要抗同步噪声等。

[0004] 图4表示以往的液晶显示装置的时序控制器12的结构,图5表示以往的液晶显示装置1。

[0005] 在图5中,以往的液晶显示装置1包括:液晶显示器2,该液晶显示器2包括以预定的间隔沿着X方向设置的多个扫描线电极18、以规定间隔设置沿着Y方向设置的多个信号线电极17、以使电极相互交叉的方式夹在电极之间并具有等同地形成的电容性负载的液晶单元51、公用电极(未示出)、用于驱动相应的液晶单元51的薄膜晶体管(TFT)50、以及在一个垂直同步时段中积蓄数据电荷的电容器52;包括一个或多个信号线驱动用源极驱动器IC8的信号线电极驱动电路6;包括一个或多个扫描线驱动用栅极驱动器IC9的扫描线电极驱动电路3;以及时序控制器12。

[0006] 在图4中,以往的显示装置用的时序控制器12包括:用于使从外部供给的 HSYNC、VSYNC和DE的各同步信号以及从外部供给的图像数据信号与从外部供给的CLK信号同步的接收电路单元14;时序生成单元13,该时序生成单元13生成用于驱动扫描线驱动用栅极驱动器IC9和信号线驱动用源极驱动器IC8的控制信号VSP(用于扫描线驱动用栅极驱动器IC的起始脉冲信号)、VCK(用于扫描线驱动用栅极驱动器IC的时钟信号)、用于扫描线驱动用栅极驱动器IC9的输出控制的信号VOE(用于扫描线驱动用栅极驱动器IC的输出使能信号)、HSP(用于信号线驱动用源极驱动器IC的起始脉冲信号)、DLP(用于信号线驱动用源极驱动器IC的数据锁存脉冲信号)、以及POL(交流驱动极性反转信号);以及处理从外部供给的图像数据的图像数据处理单元15。从接收电路单元14输出的各同步信号和图像数据是通过从外部供给的CLK(时钟信号)同步化的信号。

[0007] 时序控制器12基于从外部供给的时钟(以下“CLK”)或水平同步信号(以下“HSYNC”)、垂直同步信号(以下“VSYNC”)、或复合同步信号(以下“DE”)等同步信号和图

像数据,根据显示用时序信息,输出各驱动器的图像数据和上述的控制信号 VOE。

[0008] 在信号线电极驱动电路 6 中,按照从时序控制器 12 输出的 HSP(用于信号线驱动用源极驱动器 IC 的起始脉冲信号)、DLP(用于信号线驱动用源极驱动器 IC 的数据锁存脉冲信号)、POL(交流驱动极性反转信号)以及 CLK 的时序,各信号线驱动用源极驱动器 IC8 获取图像数据,将与一条线相对应的各像素中的各图像数据转换成电压值,该电压值经由 TFT 中的栅极电极被供给到与一条线相对应的液晶用面板的像素电极。

[0009] 扫描线电极驱动电路 3 的扫描线驱动用栅极驱动器 IC9 基于从时序控制器 12 输出的 VSP(用于扫描线驱动用栅极驱动器 IC 的起始脉冲信号)、VCK(用于扫描线驱动用栅极驱动器 IC 的时钟信号)、以及 VOE(用于扫描线驱动用栅极驱动器 IC 的输出使能信号),与 VCK 信号同步地,以一条线为单位控制上述的各 TFT 的全部扫描线电极,并通过使 Y 方向的上部或下部的一条线所对应的各 TFT 的顺序导通开始,在导通时将从信号线驱动用源极驱动器 8 供给的灰度电压施加到像素电极。

[0010] 为了如上所述驱动液晶显示装置 1,时序控制器 12 需要 HSYNC、VSYNC、DE 等同步信号,根据这些同步信号生成扫描线驱动用栅极驱动器 IC9 的控制信号和信号线驱动用源极驱动器 IC8 的控制信号。因此,当外部噪声叠加在 HSYNC、VSYNC、DE、CLK 等同步信号上时,用于扫描线驱动用栅极驱动器 IC9 和信号线驱动用源极驱动器 IC8 的控制信号与叠加有噪声的错误的同步信号同步,因此与正常的控制信号不同。当控制信号不同于正常状态时,引起显示相对于液晶显示上下移动(以下称为“V 同步移位”)、水平方向上形成线的显示(以下称为“线噪声”)、画面抖动(以下称为“画面闪烁”)、或者在某一固定颜色的画面下停止(以下称为“固定颜色画面显示”)等现象(以下“故障状态”)。

[0011] [引用列表]

[0012] [专利文献]

[0013] [专利文献 1] 日本专利特开 No. 2008 — 241828

[0014] [专利文献 2] 日本专利特开 No. 2006 — 98923

[0015] [专利文献 3] 日本专利特开 No. 2009 — 109955

[0016] [专利文献 4] 日本专利特开 No. 06 — 105262

[0017] 在用于防止如上所述的故障状态和噪声画面的通常方法中,通过对各同步信号 HSYNC、VSYNC、DE、CLK 设置噪声滤波器,防止噪声在时序控制器 12 内传播,从而实现扫描线驱动用栅极驱动器 IC9 和信号线驱动用源极驱动器 IC8 的控制信号的正常动作。然而,在噪声叠加的时序处,当噪声与各同步信号同步时,仅设置噪声滤波器不能完全改善故障状态。在用于液晶显示装置的时序控制器 12 中,为了防止由外来噪声引起的同步信号的误识别而使用噪声滤波器的技术例如公开于日本专利特开 No. 2008 — 241828(专利文献 1)、日本专利特开 No. 2006 — 98923(专利文献 2)、日本专利特开 No. 2009 — 109955(专利文献 3)中。在这些文献中,噪声被检测到叠加于同步信号,当检测到噪声时将扫描线驱动用栅极驱动器 IC9 的输出使能(VOE)控制成断开(OFF),从而防止从信号线驱动用源极驱动器 IC8 将电压施加于 TFT。由于不能从信号线驱动用源极驱动器 IC8 输出的图像数据经由滤波器移除噪声,因此需要防止噪声显示在液晶显示器上。由于噪声被检测到叠加于同步信号,因此可认为:当认为噪声也叠加在图像数据时,信号线驱动用源极驱动器 IC8 的输出也输出叠加有噪声的图像数据。因此,在该方法中,通过使扫描线驱动用栅极驱动器 IC9 的输

出使能断开,防止叠加有噪声的图像数据施加于 TFT,并通过保持在噪声施加前施加于 TFT 的电压,抑制叠加在图像数据上噪声出现。

[0018] 然而,该方法以主要叠加的噪声随机产生为前提。例如,当施加与同步信号(HSYNC、VSYNC、DE 等)或传输 CLK 周期同步的外来噪声时,仅在噪声叠加的时段期间,扫描线驱动用栅极驱动器 IC9 的输出始终为断开,因此,施加到 TFT 的电位逐渐自放电。其具有以下问题:作为结果,当使输出断开的扫描线驱动的线中出现亮度差时,该线被看作噪声。

[0019] 由于如上所述不能通过滤波器去除叠加在图像数据上的噪声,因此另外需要在施加噪声时的作为图像数据补充用的图像数据。日本专利特开 No. 06-105262(专利文献 4)披露了检测图像数据的劣化并且在不进行处理的情况下显示劣化前的帧的数据的方法;然而,其具有以下问题:由于需要用于保存帧的数据的帧存储器,因此电路尺寸增大,并发生电流增大等。另外,其具有以下问题:由于同步噪声,同一位置处的驱动停止,因此交流驱动停止,直流成分残留,然后同步噪声消失,在复原到正常驱动的情况下,产生重像、残像等。

[0020] 本发明的目的是:在施加与同步信号(HSYNC、VSYNC、DE 等)或传输 CLK 周期同步的外来噪声的情况下,在不增大电路尺寸的情况下抑制由所施加的噪声产生的影响出现在液晶显示器上。

## 发明内容

[0021] 根据本发明,通过检测在噪声检测电路 30 中检测到的噪声与同步信号或传输 CLK 周期同步,防止扫描线驱动用栅极驱动器 IC9 的输出使能(VOE)始终处于断开状态。当所检测到的噪声被检测到与同步信号或传输 CLK 周期同步时,需要解除扫描线驱动用栅极驱动器 IC9 的输出使能(VOE)的断开状态,因此还需要抑制叠加于图像数据上的噪声出现。根据本发明,使用线存储器而不使用帧存储器来保存与三条线相对应的图像数据。在噪声被检测到时,使用检测到噪声的线的前一条线的数据和检测到噪声的线之后的数据,来补充产生有噪声的线数据,由此能够抑制噪声出现。

[0022] 根据本发明,除安装以往的噪声滤波器以外,还安装用于同步检测的滤波器,由此能够应对各种噪声。特别地,通过避免由同步噪声产生的同一位置上的驱动停止,能够使交流驱动继续,以避免重像、残像等显示劣化。另外,通过控制在噪声施加时的图像数据的功能,能减少液晶显示器上的影响。

## 附图说明

[0023] 图 1 是根据本发明的显示装置的实施例 1 的时序控制器的结构图;

[0024] 图 2 是根据本发明的显示装置的实施例 1 的液晶显示装置的结构图;

[0025] 图 3 是根据本发明的显示装置的实施例 1 的动作时序图;

[0026] 图 4 是以往的时序控制器的结构图;

[0027] 图 5 是以往的液晶显示装置的结构图;

[0028] 图 6 是根据本发明的显示装置的实施例 2 的时序控制器的结构图;

[0029] 图 7 是根据本发明的显示装置的实施例 3 的时序控制器的结构图;

[0030] 图 8 是根据本发明的显示装置的实施例 4 的时序控制器的结构图;

[0031] 图 9 是根据本发明的显示装置的实施例 5 的时序控制器的结构图;

- [0032] 图 10 是根据本发明的显示装置的实施例 6 的时序控制器的结构图；  
[0033] 图 11 是根据本发明的显示装置的实施例 4 的时序控制器的结构图；  
[0034] 图 12 是根据本发明的显示装置的实施例 4 的时序控制器的结构图；  
[0035] 图 13 是根据本发明的显示装置的实施例 4 的时序控制器的结构图；  
[0036] 图 14 是根据本发明的显示装置的实施例 6 的时序控制器的结构图；  
[0037] 图 15 是根据本发明的显示装置的实施例 6 的时序控制器的结构图；  
[0038] 图 16 是根据本发明的显示装置的实施例 1 的流程图；  
[0039] 图 17 是根据本发明的显示装置的实施例 5 的时序控制器的结构图；以及  
[0040] 图 18 是根据本发明的显示装置的实施例 5 的时序控制器的结构图。

## 具体实施方式

### [0041] (实施例 1)

[0042] 图 1 表示作为本发明的实施例之一的显示装置用时序控制器的结构,图 2 表示作为本发明的实施例之一的液晶显示装置的结构。

[0043] 在图 2 中,本发明的液晶显示装置 1 包括:液晶显示器 2,该液晶显示器 2 包括以规定间隔沿着 X 方向设置的多个扫描线电极 18、以规定间隔沿着 Y 方向设置的多个信号线电极 17、以使电极相互交叉的方式被夹在电极之间并具有等同形成的电容性负载的液晶单元 51、公用电极(未示出)、用于驱动相应的液晶单元的薄膜晶体管(TFT)50、以及在一个垂直同步时段期间积蓄数据电荷的电容器 52;包括一个或多个信号线驱动用源极驱动器 IC8 的信号线电极驱动电路 6;包括一个或多个扫描线驱动用栅极驱动器 IC9 的扫描线电极驱动电路 3;以及时序控制器 16。

[0044] 在图 1 和图 2 中,本发明的液晶时序控制器 16 包括:针对从外部供给的 HSYNC、VSYNC 或 DE 等同步信号检测噪声的噪声检测电路 30;用于在检测到噪声后将信号保持在高电平的保持电路 31;从同步信号生成的用于扫描线驱动用栅极驱动器 IC9 的控制信号 VOE 39;包含将来自保持电路 31 和控制信号 VOE 39 的信号进行或运算(OR)的电路的 VOE 控制信号生成电路 100;V 同步噪声检测电路 101,该 V 同步噪声检测电路 101 包括使用从同步信号测量有效线数的垂直时段计数器 35,而检测产生噪声的线的 V 同步噪声检测电路 34;用于将外部供给的图像数据存储在每根线中的线存储器 A33、线存储器 B36 以及线存储器 C37;图像数据控制信号生成电路 102,该图像数据控制信号生成电路 102 包括用于在每个 V 同步噪声的检测中控制存储在线存储器 A33、线存储器 B36、以及线存储器 C37 中的图像数据的图像数据输出控制电路 38;以及时序生成单元 53,该时序生成单元 53 生成用于信号线驱动用源极驱动器的 HSP 信号、DLP 信号、用于扫描线驱动用栅极驱动器的 VCK 信号、VSP 信号、以及用于对液晶显示器进行交流驱动的极性反转信号 POL。也可供给从外部供给的同步信号 HSYNC、VSYNC、DE 中的仅任一个信号,或者也可从 HSYNC 和 VSYNC 的信号生成 DE。

[0045] 时序控制器 16 基于从外部供给的时钟或水平同步信号(以下“HSYNC”)、垂直同步信号(以下“VSYNC”)、或复合同步信号(以下“DE”)等同步信号和图像数据,从显示用时序信息输出用于各驱动器的图像数据和控制信号。本发明的时序控制器主要包括噪声检测电路、VOE 控制信号生成电路 100、V 同步噪声检测电路 101、以及图像数据控制信号生成电路 102。

[0046] 在具有将信号线驱动用源极驱动器 IC 串联连接的多级结构的信号线电极驱动电路 6 中,按照从时序控制器 16 输出的 HSP 信号、DLP 信号、POL 信号以及 DCK 信号的时序,各信号线驱动用源极驱动器获取图像数据,与一条线相对应的各像素的各图像数据转换成电压值,该电压值经由 TFT 的栅极电极被供给到与一条线相对应的液晶面板的像素电极。

[0047] 扫描线电极驱动电路 3 的扫描线驱动用栅极驱动器 IC9 基于从时序控制器 16 输出的 VSP 信号、VOE 信号以及 VCK 信号,与 VCK 信号同步地,以一条线为单位控制各 TFT 的所有的扫描线电极,并通过使上方或下方的一条线所对应的各 TFT 的依次导通开始,将在导通时从信号线驱动用源极驱动器供给的灰度电压施加于像素电极。

[0048] 以下,对本发明的时序控制器的动作进行说明。

[0049] 首先,对扫描线驱动用栅极驱动器 IC9 的控制信号 VOE 的控制方法进行说明。图 3 中示出了动作的时序图。以下参照图 3 进行说明。

[0050] 作为本发明的实施例之一的时序控制器 16 为了检测叠加于从外部供给的各同步信号 HSYNC、VSYNC、DE 的噪声,首先需要噪声检测电路 30。

[0051] 噪声检测电路 30 例如对从外部供给的同步信号,在作为触发的、信号从 0 切换到 1 的变化点,在内部生成针对显示分辨率的正常同步信号 59。噪声检测通过将正常同步信号 59 与从外部供给的同步信号 56 进行比较,将没有发生正常变化的时序这样的时序上的变化识别为噪声来实现。根据本发明,还需要 V 同步噪声检测电路 34。

[0052] V 同步噪声检测电路 34 通过检测如下的线来进行测量,在该线中产生在噪声检测电路 30 中检测到的噪声信号 57。为了检测产生噪声信号的线,使用正常同步信号 59 测量垂直时段需要垂直时段计数器 35。使用在噪声检测电路 30 中检测到的噪声信号 57 的时序和垂直时段计数器 35,检测产生噪声的线,并检测在同一直线上是否产生多次噪声。

[0053] 另外,根据本发明,对扫描线驱动用栅极驱动器 IC9 的输出使能控制信号 VOE 19 进行控制,以控制导通时从信号线驱动用源极驱动器 IC8 供给的灰度电压施加在像素电极上。因此,在噪声检测电路 30 中检测到的噪声的各产生时序处,使扫描线驱动用栅极驱动器 IC9 的输出使能控制信号 VOE 19 断开,并防止导通时从信号线驱动用源极驱动器 IC8 供给的灰度电压施加于像素电极。另外,在 V 同步噪声检测电路 101 中检测到的同一直线上检测到多次噪声的时刻,使扫描线驱动用栅极驱动器 IC9 的输出使能控制信号 VOE 19 接通,并将在导通时从信号线驱动用源极驱动器 IC8 供给的灰度电压施加于像素电极。

[0054] 以下对图像数据的控制方法进行说明。

[0055] 由于图像数据从外部供给,因此噪声可能以如同步信号的情况那样的方式叠加于图像数据上。然而,由于取决于显示数据,因此噪声不能通过滤波器检测或除去。在本发明中,首先,将从外部供给的第 N 条线上的图像数据存储在线存储器 A 33 中。线存储器 A 33 被不进行处理地供给到线存储器 B 36 和图像数据输出控制电路 38。其结果,线存储器 A33 能够重新存储第 (N+1) 条线上的图像数据。线存储器 B 36 同样地被供给到线存储器 C 37 和图像数据输出控制电路 38。以这种方式,第 (N+2) 条线上的图像数据被存储在线存储器 A 33 中,第 (N+1) 条线的图像数据被存储在线存储器 B 36 中,第 N 条线的图像数据被存储在线存储器 C 37 中,与三条线相对应的图像数据可保存在时序控制器 16 内。图像数据输出控制电路 38 在 V 同步噪声检测电路 101 检测的时刻处使从外部供给的数据控制输出图像数据 25。作为控制方法,例如,可将来自线存储器 A 33、线存储器 B 36、线存储器 C 37

的输出平均化来实现输出。

[0056] 以下说明在与同步信号同步的噪声被叠加的情况下抑制噪声出现在液晶显示器上的方法。图 16 中示出了流程图。

[0057] 需要从上述的 VOE 控制信号生成电路 100 和 V 同步噪声检测电路 101 生成的输出使能控制信号 VOE 19 和在图像数据控制信号生成电路 102 中生成的图像数据信号 26。下面对动作的流程进行说明。

[0058] (1) 当噪声叠加于从外部供给的各同步信号 HSYNC、VSYNC、DE 上时,通过噪声检测电路 30 检测噪声。

[0059] (2) 通过检测噪声将输出使能控制信号 VOE 19 的信号固定于高电平或低电平。通过这种固定,能够使输出使能断开。

[0060] (3) 对于从外部供给的各同步信号 HSYNC、VSYNC、DE 的噪声是各同步信号或传输 CLK 周期的噪声,通过 V 同步噪声检测电路 101 解除输出使能控制信号 VOE 19 的信号在高电平或低电平的固定。

[0061] (4) 关于在液晶显示器上噪声叠加于图像数据上的数据,通过解除,将导通时从信号线驱动用源极驱动器 IC8 供给的灰度电压施加于像素电极,因此,通过从图像数据控制信号生成电路 102 输出的图像数据,补充叠加有噪声的图像数据。

[0062] 在本实施例中,在图 2 中说明了将本发明的时序控制器应用于液晶显示装置的例子。但是,时序控制器不限于液晶显示装置,而可应用于有机 EL 和电子纸等其他的显示装置。

[0063] 以这种方式,避免在与各同步信号同步的噪声叠加的情况下的故障状态,并抑制液晶显示上的噪声出现。

[0064] (实施例 2)

[0065] 图 6 表示本发明的实施例 2 中的时序控制器 16 的结构。

[0066] 在图 6 中,在本发明的时序控制器 16 中,为了从外部供给的各同步信号之中检测与噪声同步的信号,在如上所述的实施例 1 中使用垂直时段计数器,然而在该情况下检测 V 同步噪声。因此,通过用水平时段计数器 41 替换垂直时段计数器,并用 H 同步噪声检测电路 54 替换 V 同步噪声检测电路 34,而具备 H 同步噪声检测电路 103,由此能够如上述的实施例 1 那样控制 VOE 信号和图像数据输出。

[0067] (实施例 3)

[0068] 图 7 表示本发明的实施例 3 中的时序控制器 16 的结构。

[0069] 在图 7 中,在本发明的时序控制器 16 中,为了从外部供给的各同步信号中检测与噪声同步的信号,通过用传输时钟计数器 42 替换垂直时段计数器,并用传输时钟周期同步噪声检测电路 55 替换 V 同步噪声检测电路 34,而包括传输时钟周期同步噪声检测电路 104,由此能够如上述的实施例 1 那样控制 VOE 信号和图像数据输出。

[0070] (实施例 4)

[0071] 图 8 表示本发明的实施例 4 中的时序控制器 16 的结构。

[0072] 在图 8 中,同时包括在如上所述的实施例 1 中包括的 V 同步噪声检测电路 101、在实施例 2 中包括的 H 同步噪声检测电路 103、以及在实施例 3 中包括的传输时钟周期同步噪声检测电路 104,由此能够检测与各同步信号和传输时钟同步的噪声。

[0073] 同样地,图 11、图 12、图 13 分别表示:在同时包括在如上所述的实施例 1 中包括的 V 同步噪声检测电路 101 和在实施例 2 中包括的 H 同步噪声检测电路 103 的情况下时序控制器 16 的结构;在同时包括在如上所述的实施例 2 中具备的 H 同步噪声检测电路 103 和在实施例 3 中包括的传输时钟周期同步噪声检测电路 104 的情况下时序控制器 16 的结构;在同时包括在如上所述的实施例 1 中包括的 V 同步噪声检测电路 101 和在实施例 3 中包括的传输时钟周期同步噪声检测电路 104 的情况下时序控制器 16 的结构。在这种情况下,也能够同样地检测与各同步信号以及传输时钟同步的噪声。

[0074] (实施例 5)

[0075] 图 9 表示本发明的实施例 5 中的时序控制器 16 的结构。

[0076] 在如上所述的实施例 1 中,在图像数据控制信号生成电路 102 中包括线存储器 A 33、线存储器 B 36、以及线存储器 C 37。然而,仅通过线存储器 D 44 并检测噪声而在图像数据写入使能 58 中控制向线存储器 D44 中的写入,在不进行处理的情况下输出与噪声产生之前的一条线的图像数据相同的图像数据,并且能够抑制叠加有噪声的图像数据影响液晶显示器上的显示。

[0077] 另外,图 17 和图 18 分别表示在如上所述的实施例 2 中实现本实施例的结构的情况下的时序控制器 16 的结构、以及在如上所述的实施例 3 中实现本实施例的结构的情况下的时序控制器 16 的结构。这种情况也能够以同样的方式执行。

[0078] (实施例 6)

[0079] 图 10 表示本发明的实施例 6 中的时序控制器 16 的结构。

[0080] 在如上所述的实施例 1 中,在图像数据控制信号生成电路 102 中包括线存储器 A、线存储器 B、线存储器 C。然而,通过帧存储器 43,可在不进行处理的情况下输出与噪声产生之前的 1 帧的图像数据相同的图像数据,并且能够抑制叠加有噪声的图像数据影响液晶显示器上的显示。另外,图 14 和图 15 分别表示在如上所述的实施例 2 中实现本实施例的结构的情况下的时序控制器 16 的结构、在如上所述的实施例 3 中实现本实施例的结构的情况下的时序控制器 16 的结构。这种情况也能够以同样的方式执行。

[0081] [附图标记列表]

[0082] 1 液晶显示装置

[0083] 2 液晶显示器

[0084] 3 扫描线电极驱动电路

[0085] 6 信号线电极驱动电路

[0086] 8 信号线驱动用源极驱动器 IC

[0087] 9 扫描线驱动用栅极驱动器 IC

[0088] 12 时序控制器

[0089] 13 时序生成单元

[0090] 14 接收电路单元

[0091] 15 图像数据处理单元

[0092] 16 时序控制器

[0093] 17 信号线电极

[0094] 18 扫描线电极

- [0095] 19 输出使能控制信号 VOE
- [0096] 25 输出图像数据
- [0097] 26 图像数据信号
- [0098] 30 噪声检测电路
- [0099] 31 保持电路
- [0100] 33 线存储器 A
- [0101] 34 V 同步噪声检测电路
- [0102] 35 垂直时段计数器
- [0103] 36 线存储器 B
- [0104] 37 线存储器 C
- [0105] 38 图像数据输出控制电路
- [0106] 39 控制信号 VOE
- [0107] 40 VOE 信号生成单元
- [0108] 41 水平时段计数器
- [0109] 42 传输时钟计数器
- [0110] 43 帧存储器
- [0111] 44 线存储器 D
- [0112] 50 薄膜晶体管 (TFT)
- [0113] 51 液晶单元
- [0114] 52 电容器
- [0115] 53 时序生成单元
- [0116] 54 H 同步噪声检测电路
- [0117] 55 传输时钟周期同步噪声检测电路
- [0118] 56 同步信号
- [0119] 58 图像数据写入使能
- [0120] 57 噪声信号
- [0121] 59 正常同步信号
- [0122] 100 VOE 控制信号生成电路
- [0123] 101 V 同步噪声检测电路
- [0124] 102、105、107 图像数据控制信号生成电路 103 H 同步噪声检测电路
- [0125] 104 传输时钟周期同步噪声检测电路。

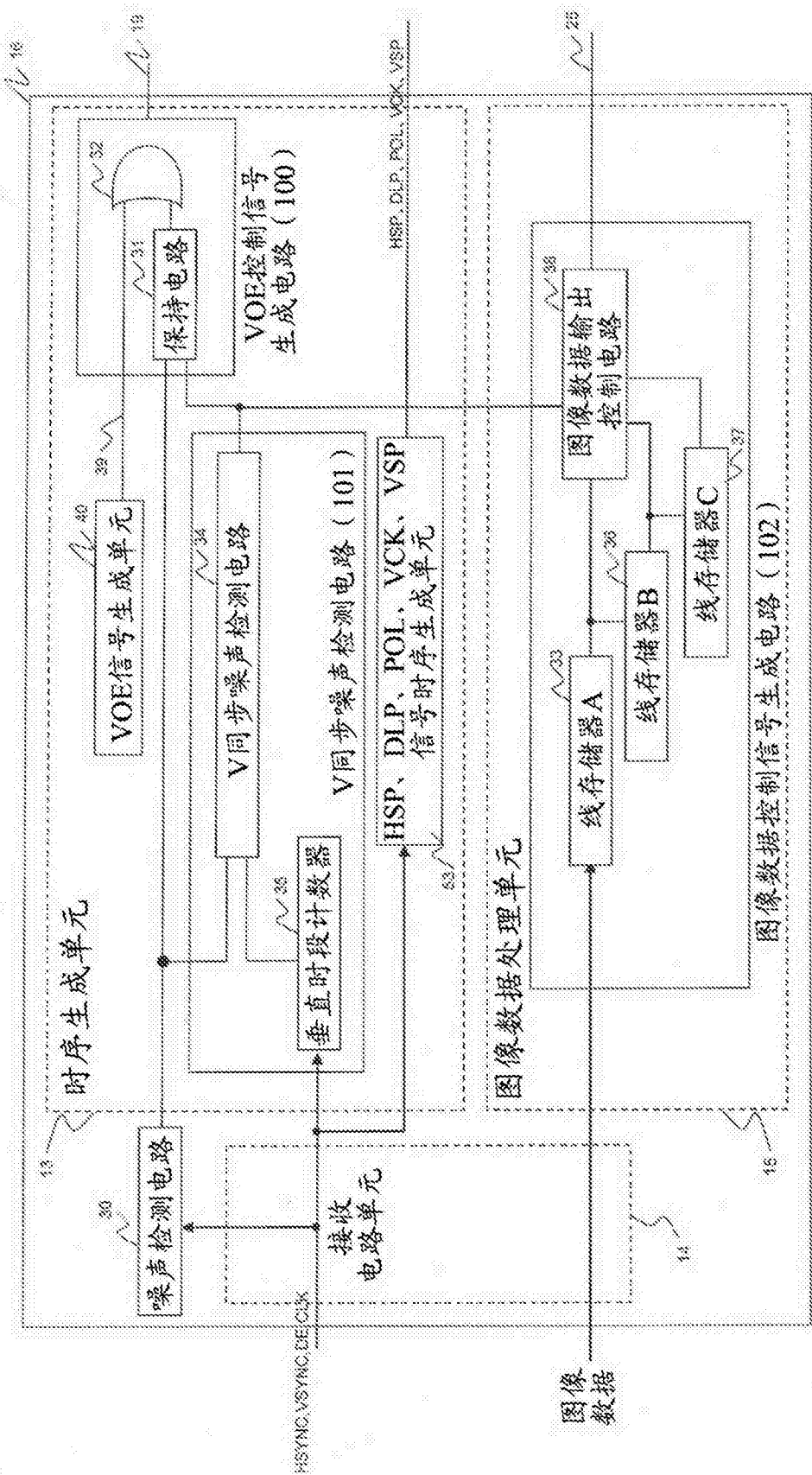


图 1

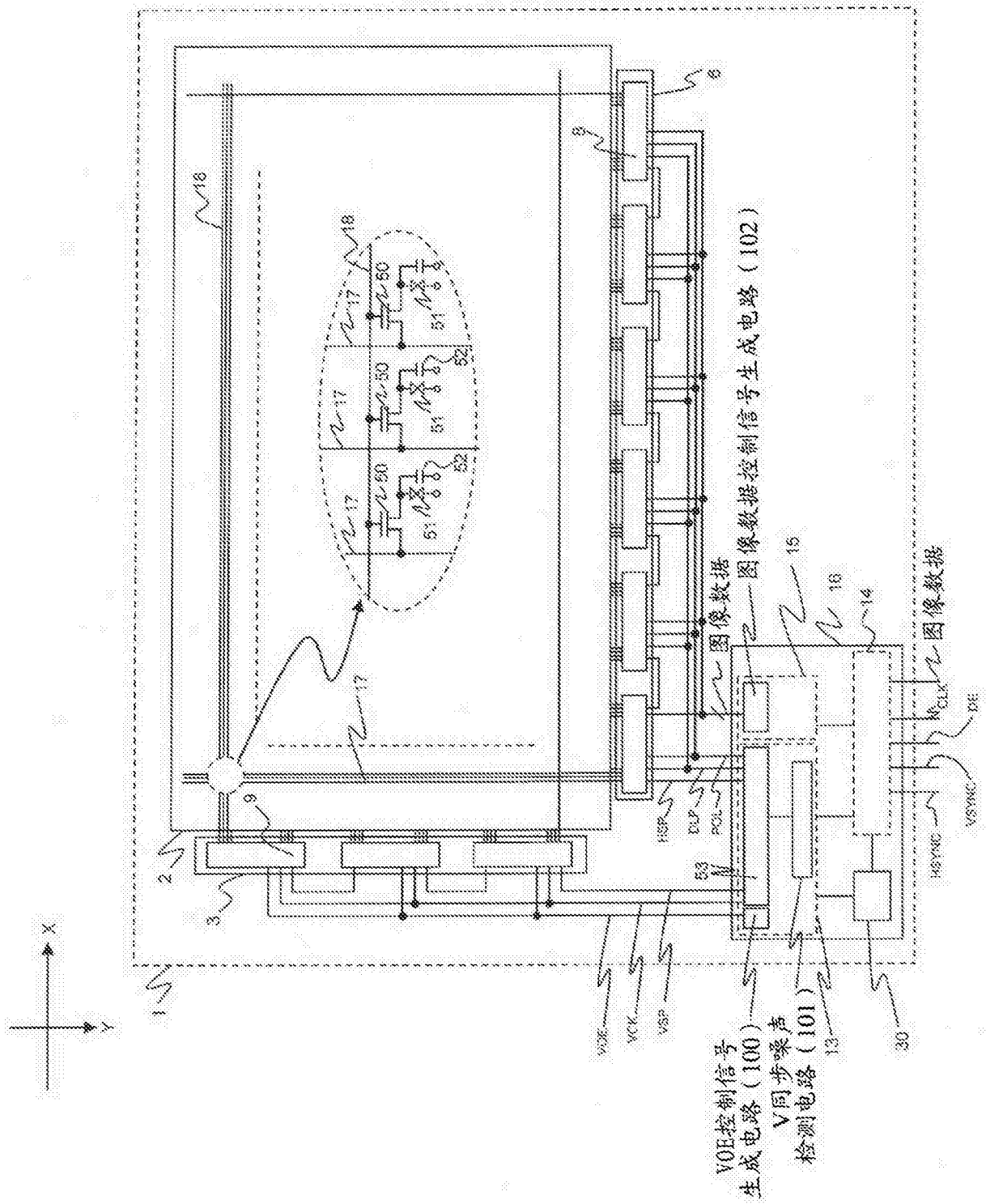


图 2

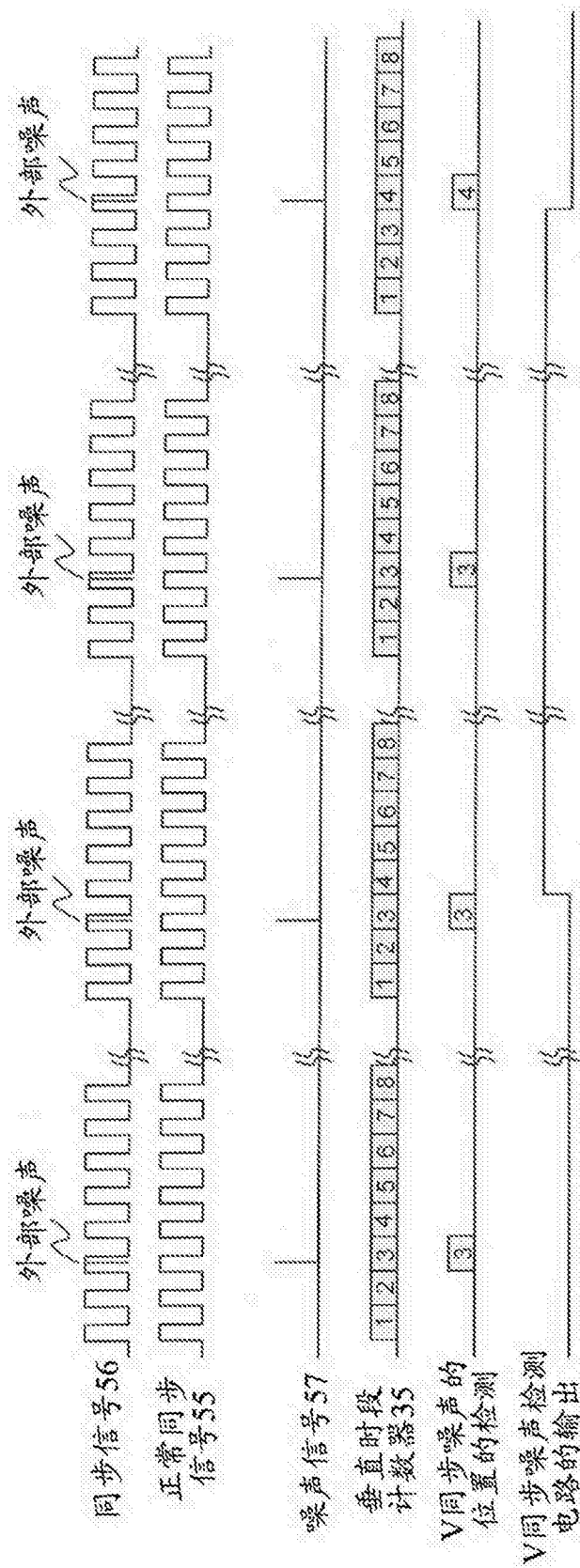


图 3

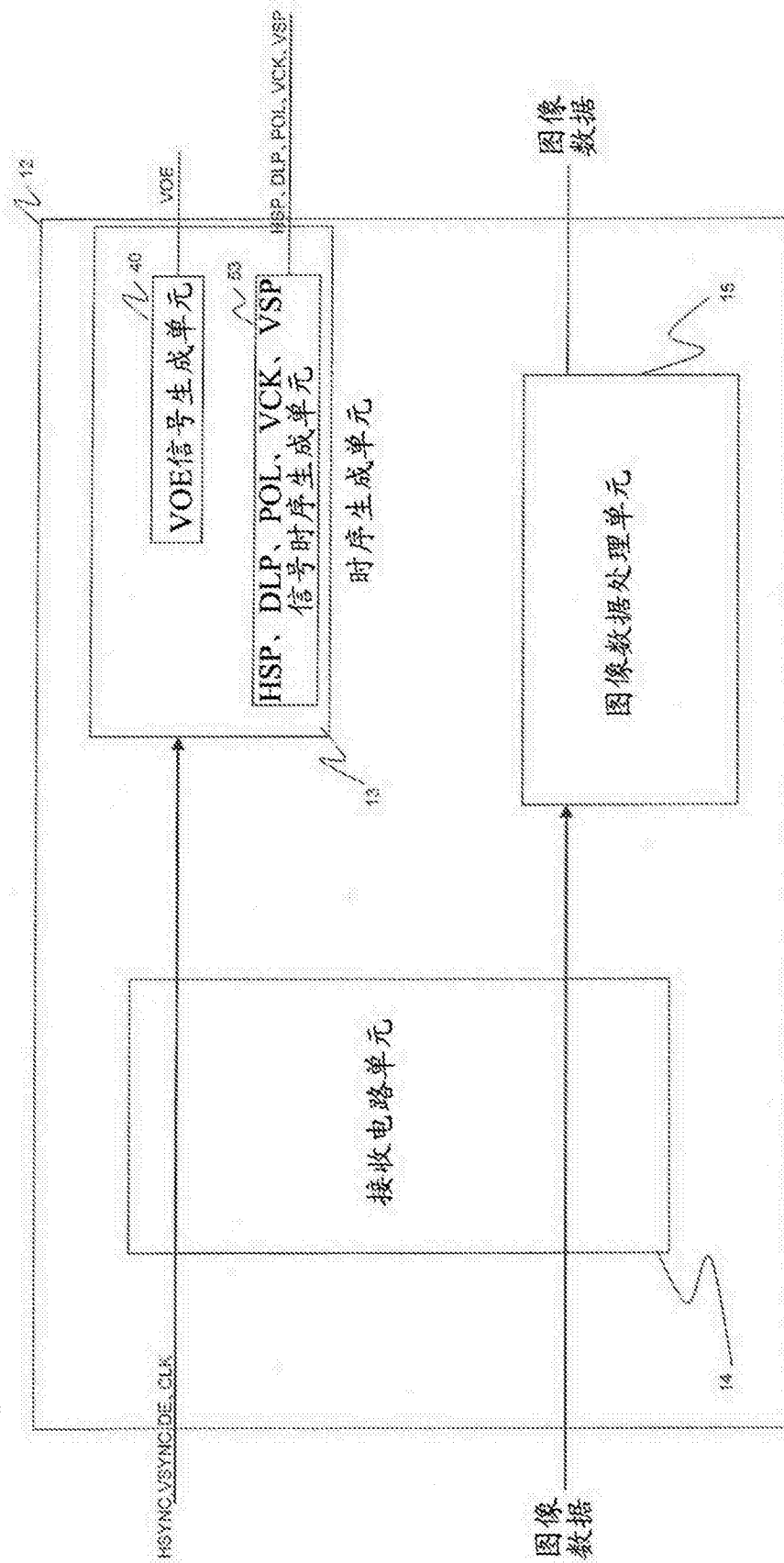


图 4

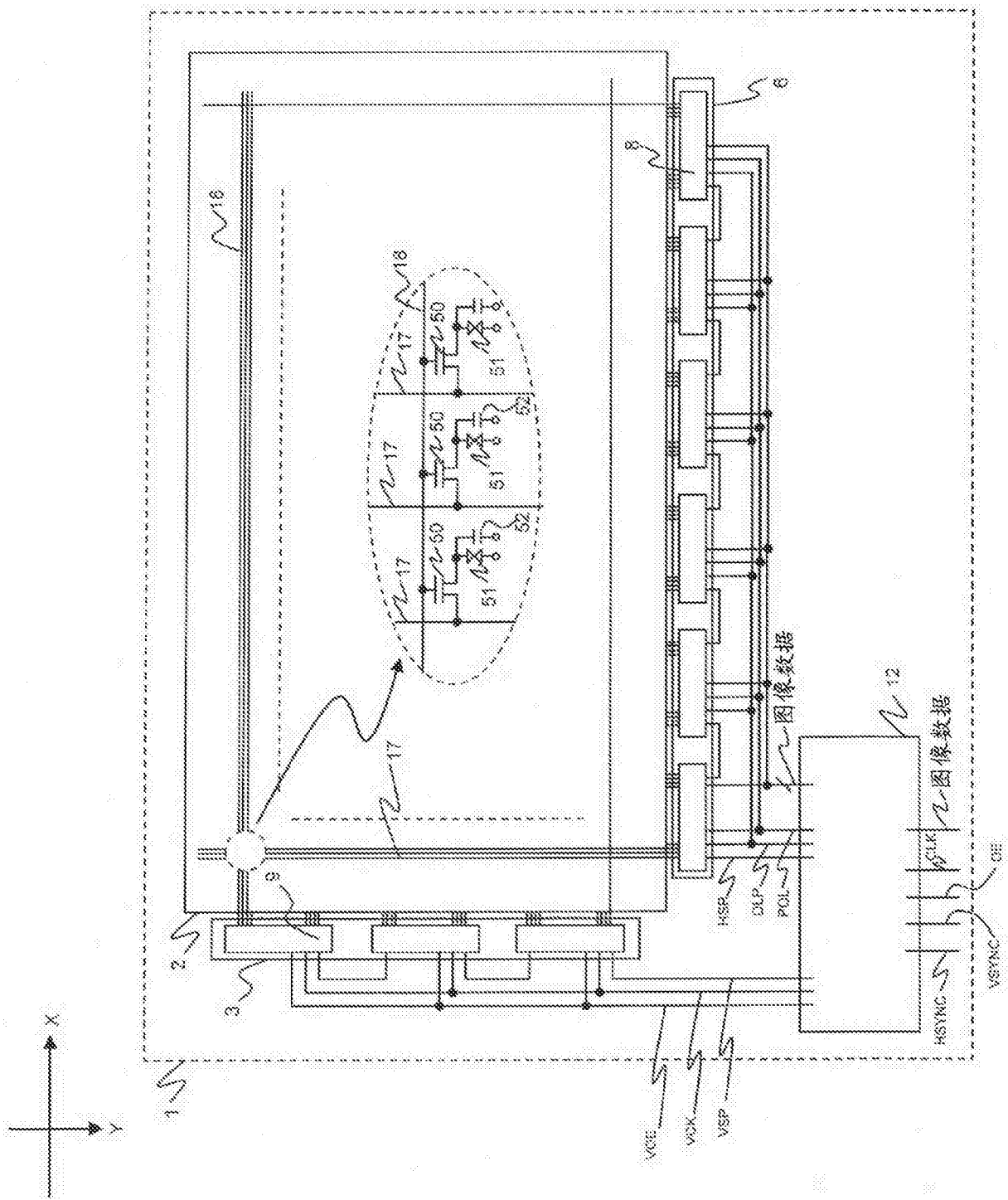


图 5

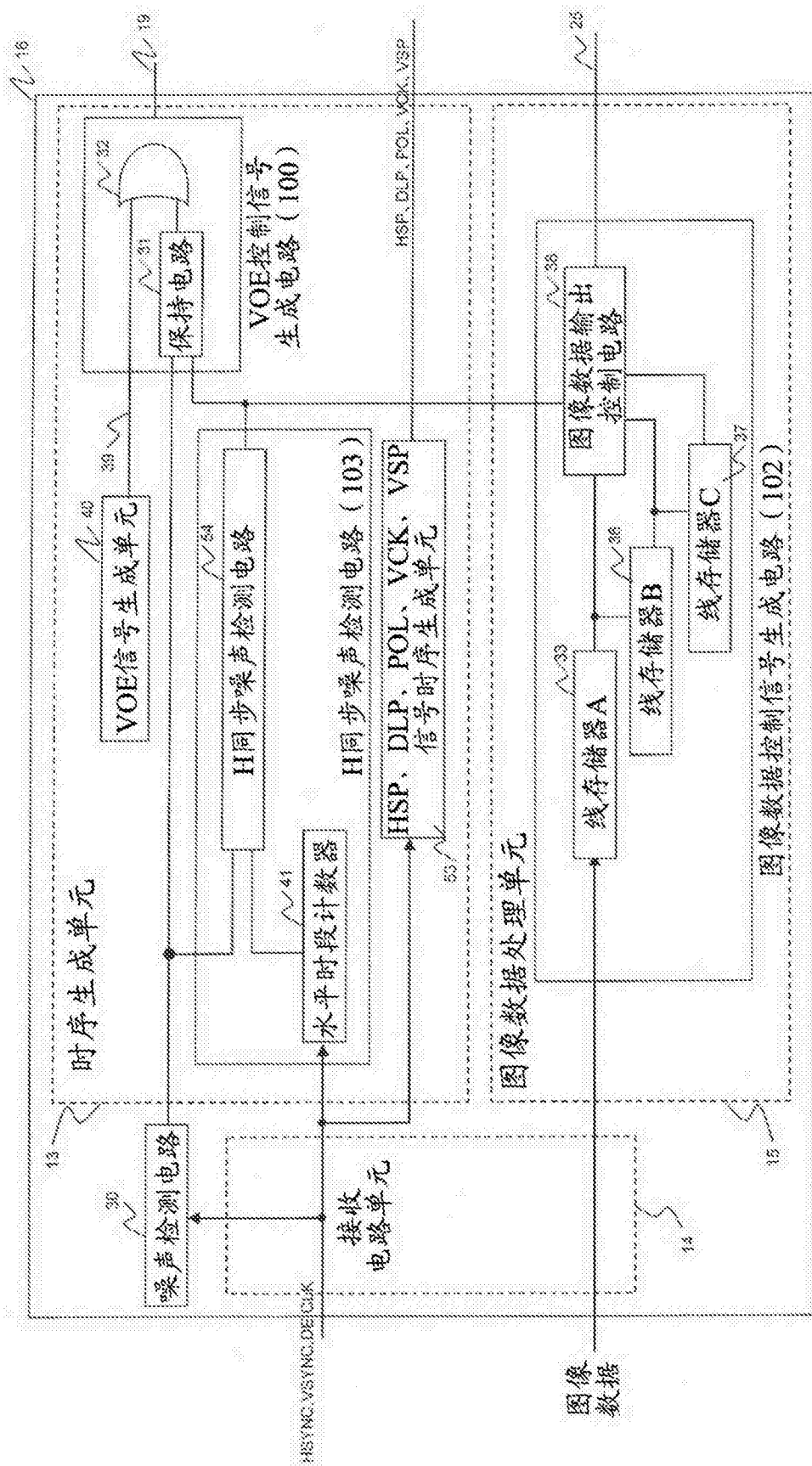


图 6

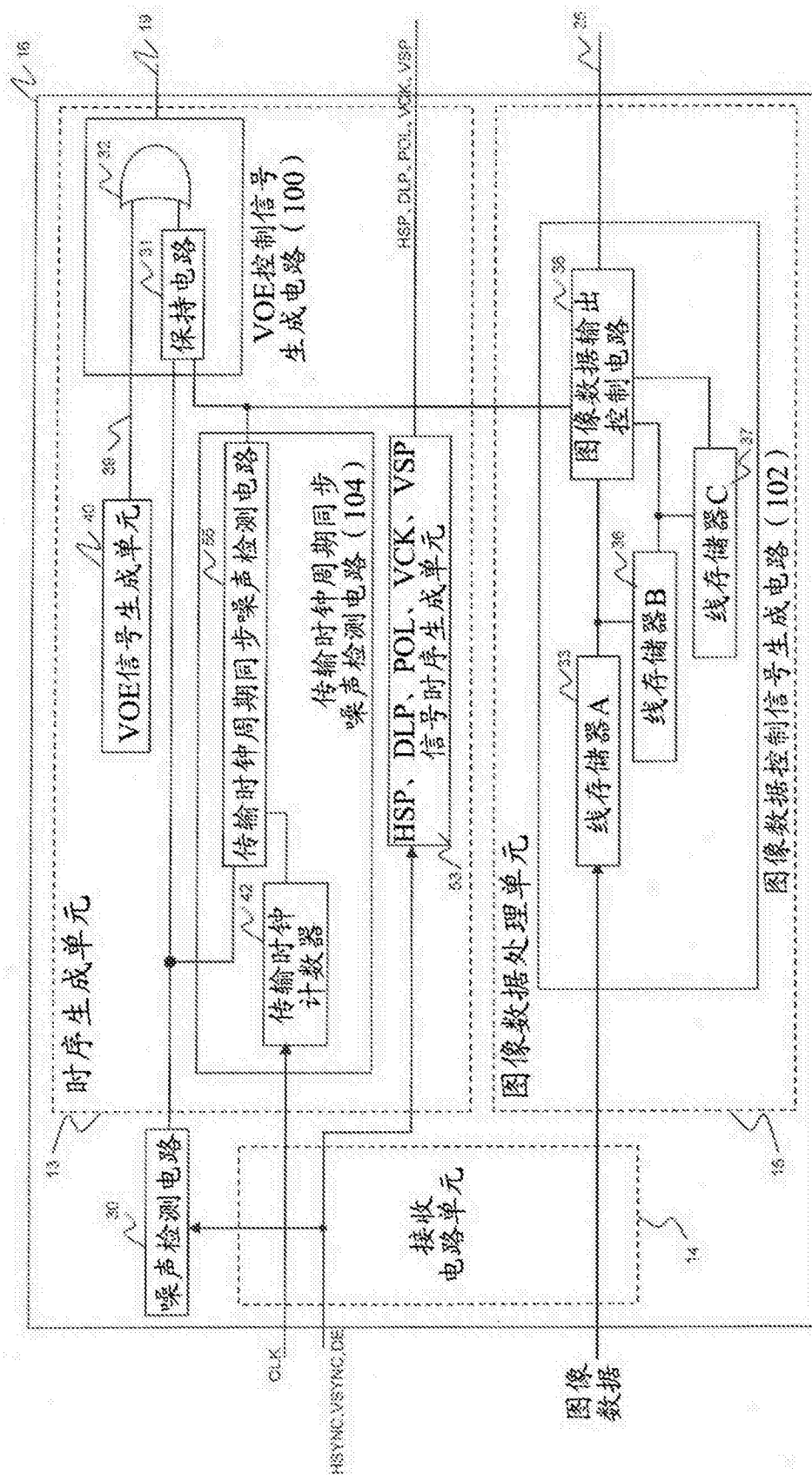


图 7





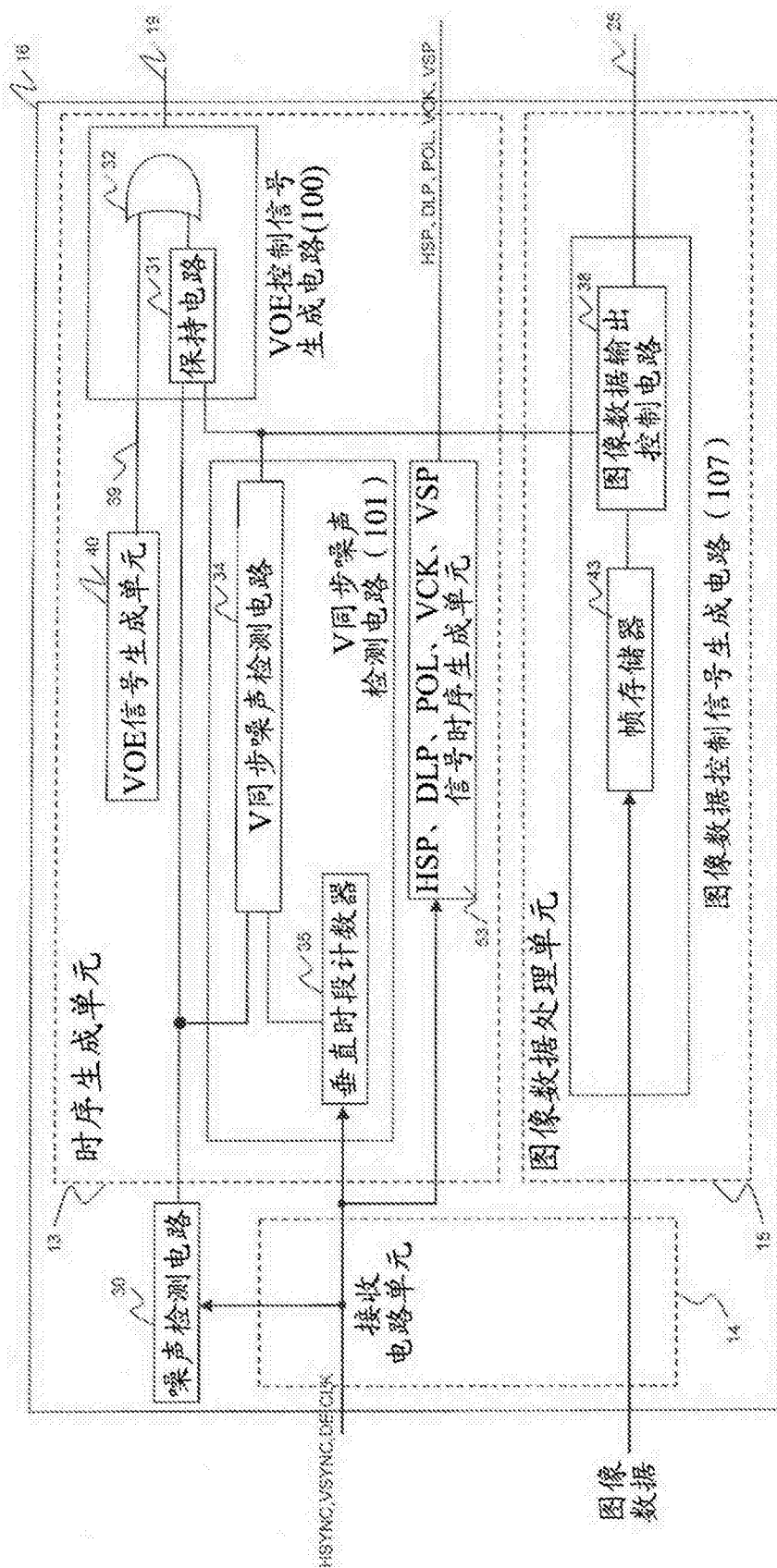


图 10

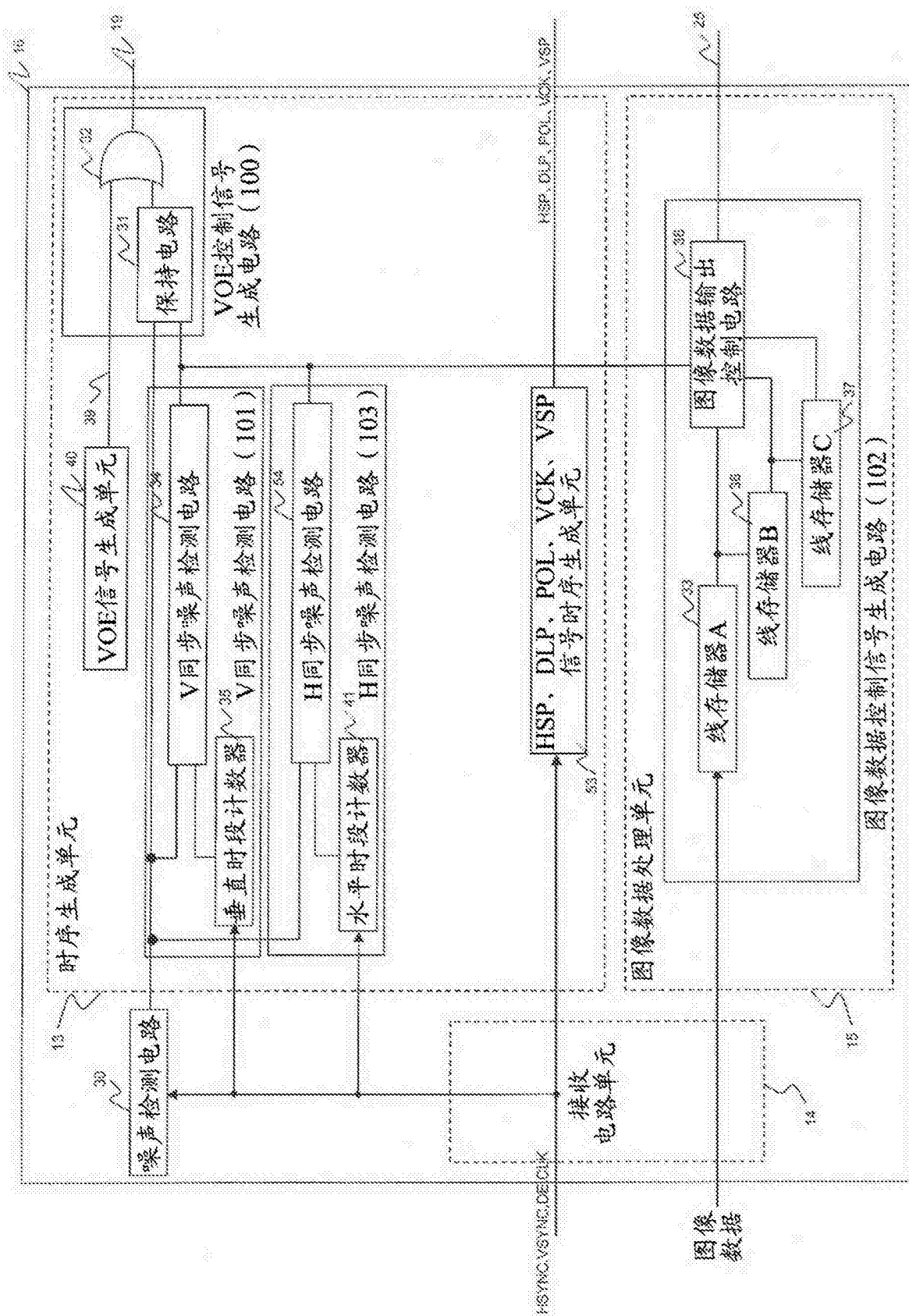


图 11

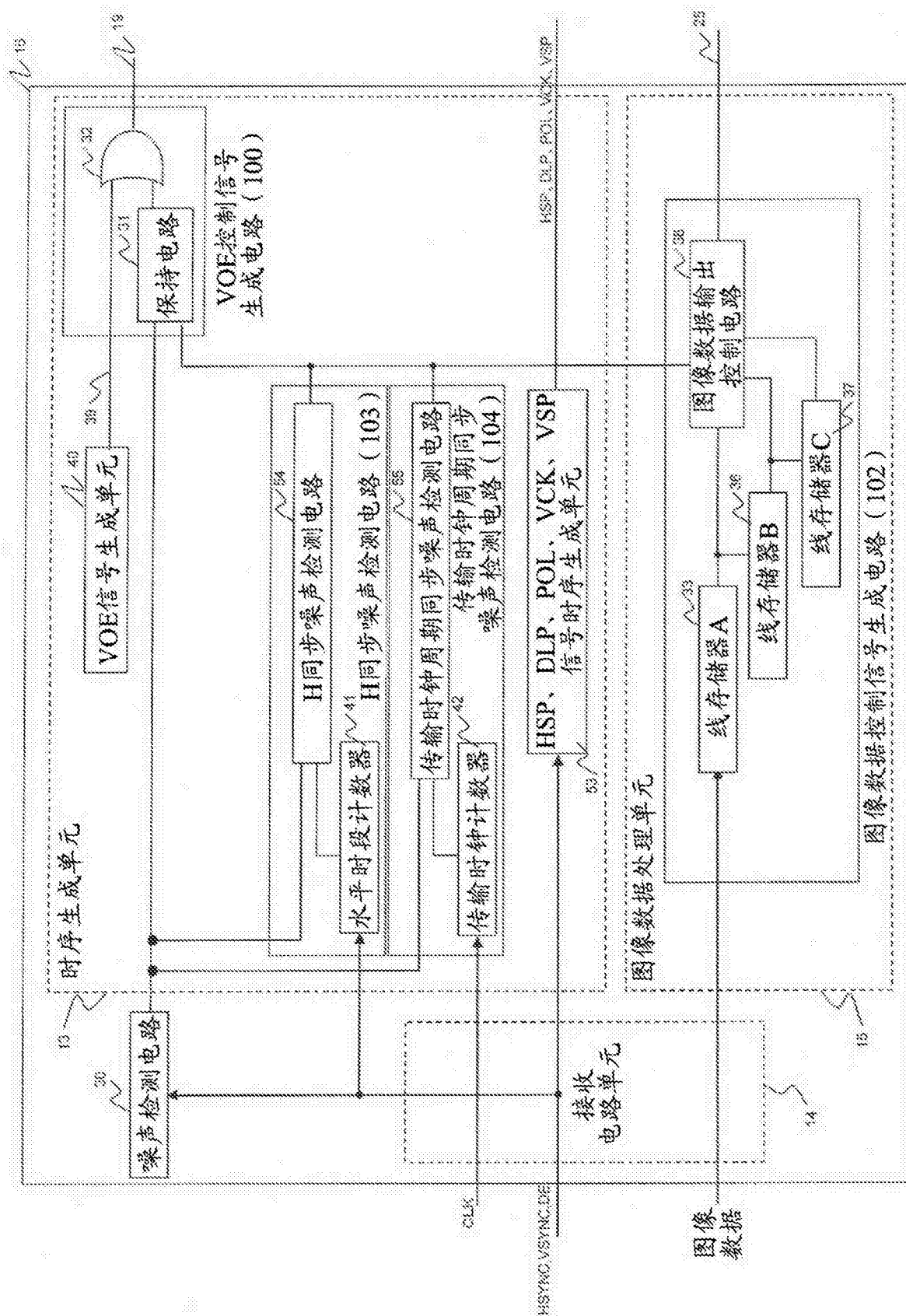


图 12

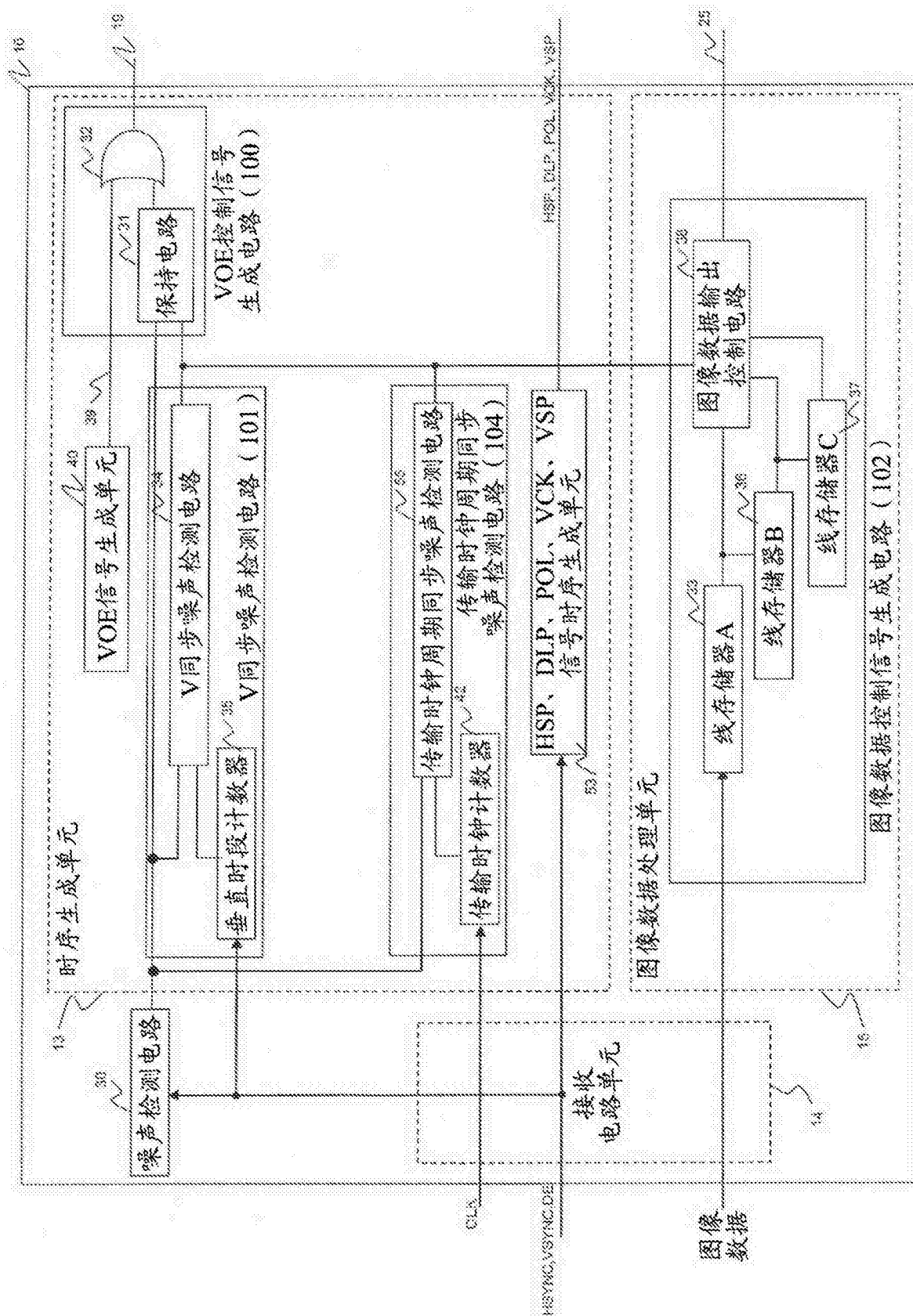


图 13

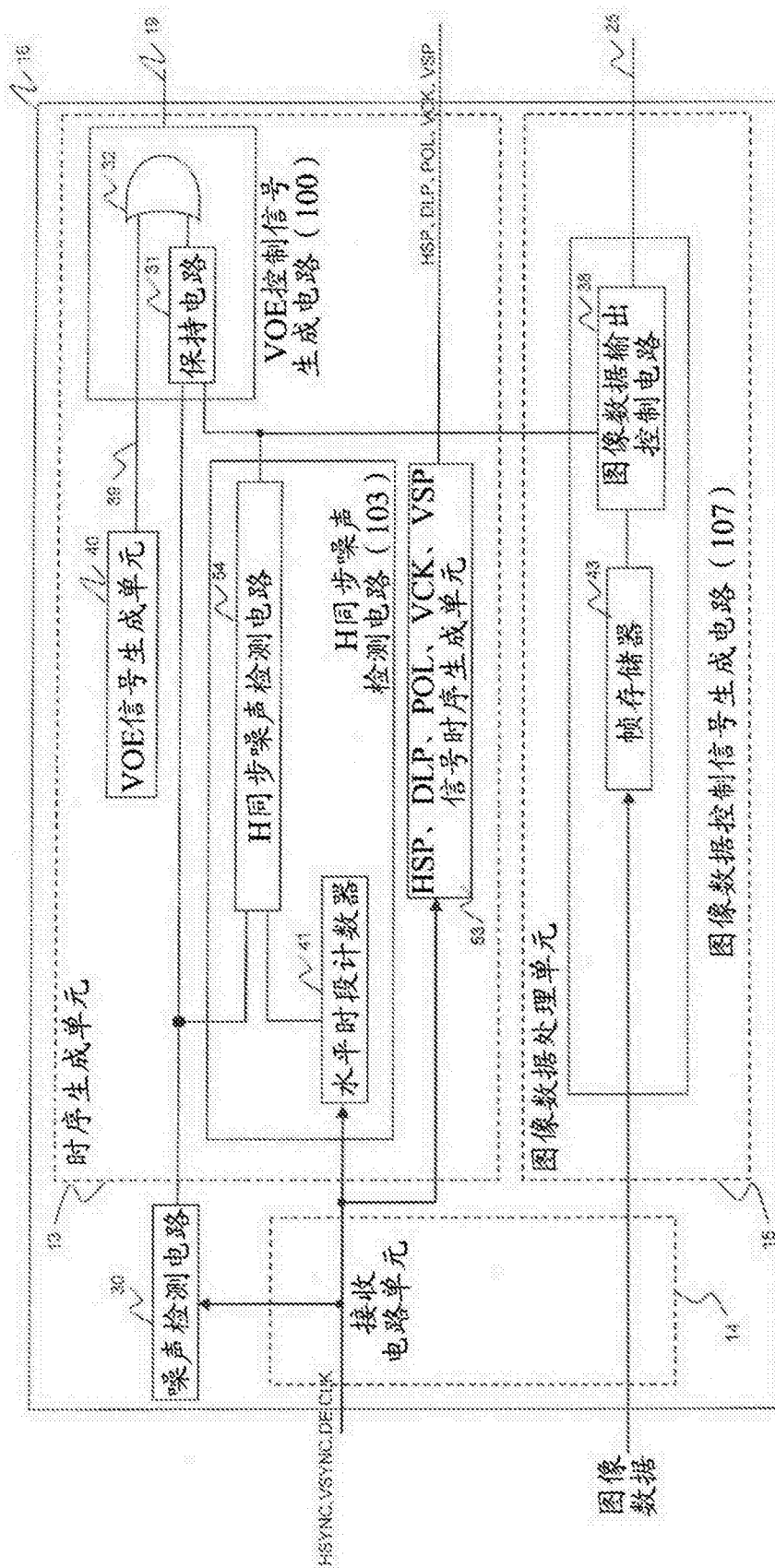


图 14

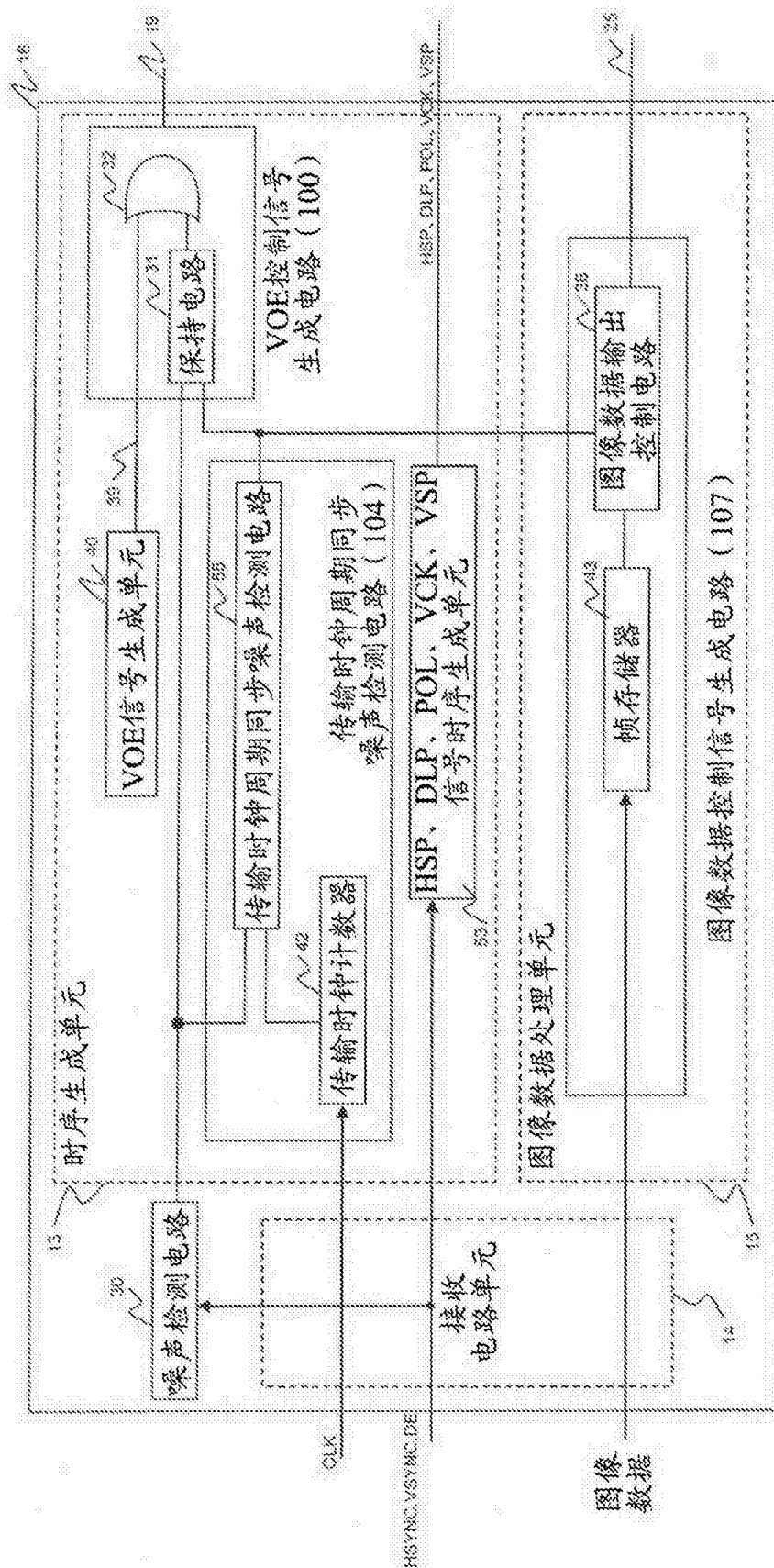


图 15

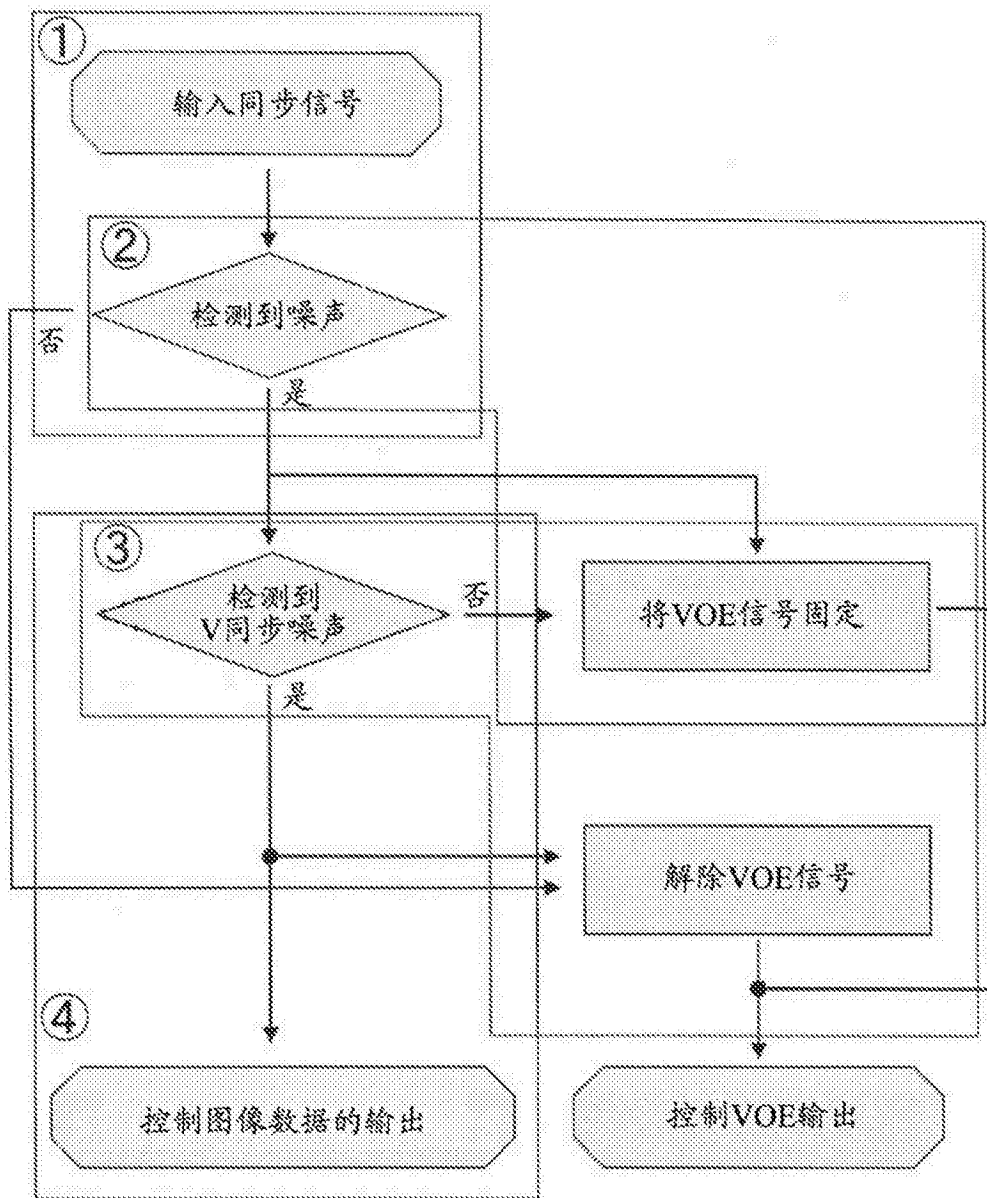


图 16

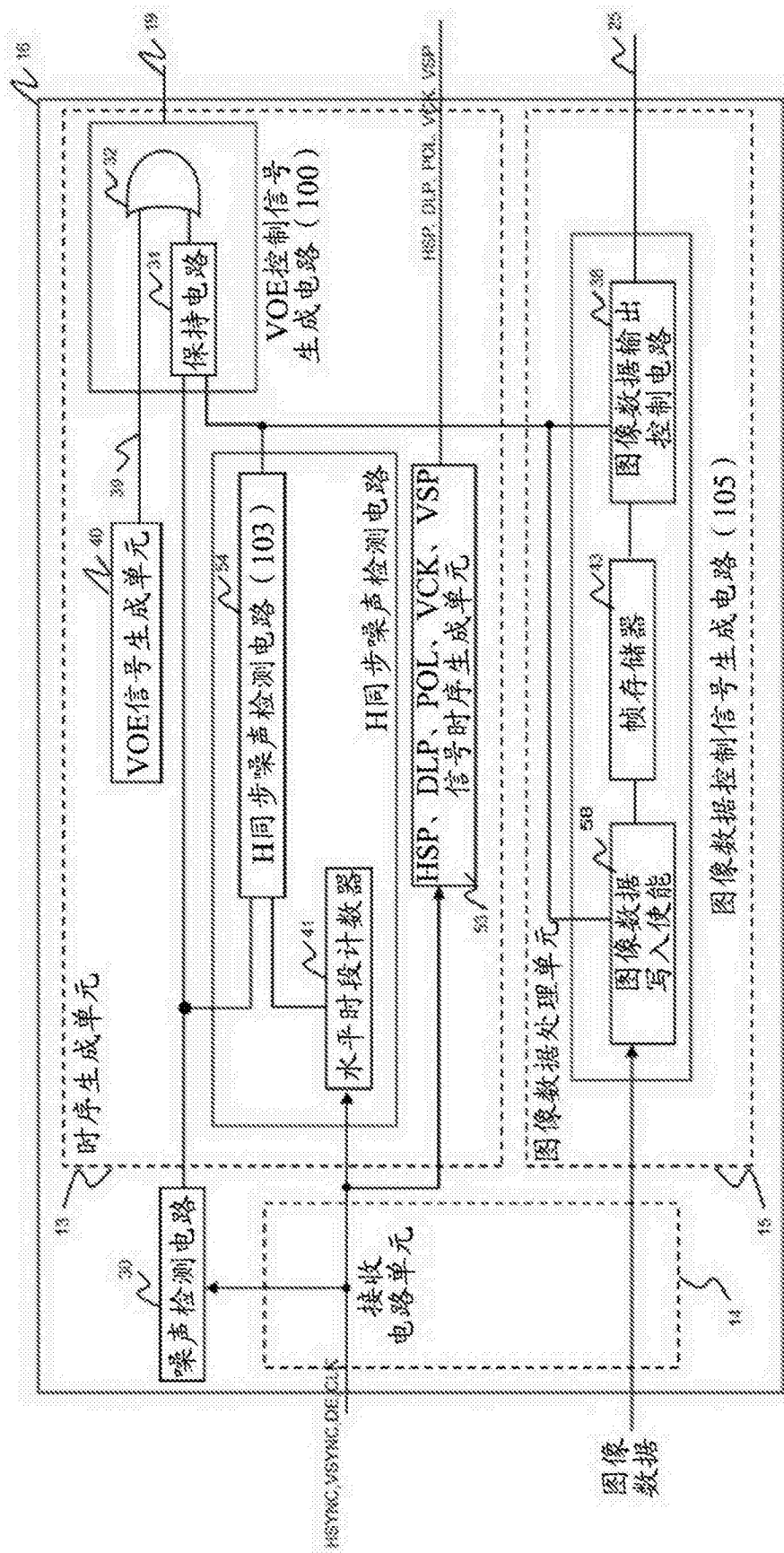


图 17

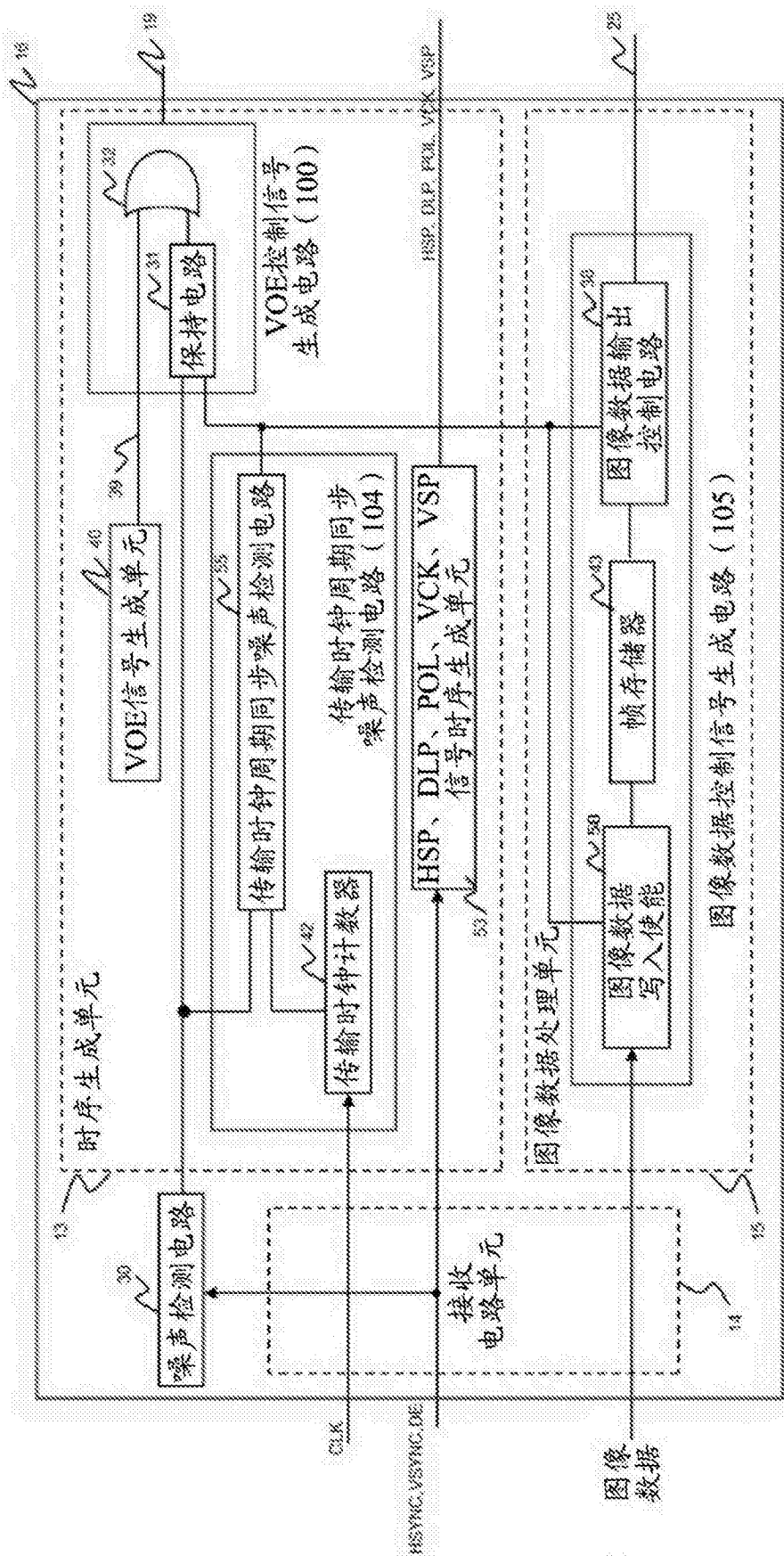


图 18

|                |                                                                                                                    |         |            |
|----------------|--------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 时序控制器及显示装置                                                                                                         |         |            |
| 公开(公告)号        | <a href="#">CN105321484A</a>                                                                                       | 公开(公告)日 | 2016-02-10 |
| 申请号            | CN201510364726.8                                                                                                   | 申请日     | 2015-06-26 |
| [标]申请(专利权)人(译) | NEC液晶技术株式会社                                                                                                        |         |            |
| 申请(专利权)人(译)    | NLT科技股份有限公司                                                                                                        |         |            |
| 当前申请(专利权)人(译)  | NLT科技股份有限公司                                                                                                        |         |            |
| [标]发明人         | 矶野克尔                                                                                                               |         |            |
| 发明人            | 矶野克尔                                                                                                               |         |            |
| IPC分类号         | G09G3/36                                                                                                           |         |            |
| CPC分类号         | G09G3/3611 G09G3/2096 G09G5/005 G09G5/18 G09G2310/08 G09G2320/0257 G09G2320/04 G09G2330/06 G09G2330/12 G09G2370/08 |         |            |
| 代理人(译)         | 黄志华<br>何月华                                                                                                         |         |            |
| 优先权            | 2014137323 2014-07-03 JP                                                                                           |         |            |
| 其他公开文献         | CN105321484B                                                                                                       |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a>                                                                     |         |            |

#### 摘要(译)

本发明涉及时序控制器及显示装置。在与同步信号(HSYNC, VSYNC, DE等)或传输时钟周期同步的外来噪声被施加的情况下,能够在不增大电路规模的情况下抑制由所施加的噪声产生的影响出现在液晶显示器上。包括:时序控制器,其基于从外部输入的作为基准的输入信号(HSYNC, VSYNC, DE等)生成扫描线驱动用栅极驱动器的控制信号和信号线驱动用源极驱动器的控制信号时序;使能信号生成单元,其包括用于检测各种噪声进入输入信号的噪声检测电路,并基于来自噪声检测电路的输出而输出使栅极驱动器控制信号的输出断开或接通规定时段的使能信号(VOE);以及检测到在垂直时段中同步的噪声的情况下的图像数据输出控制电路。栅极驱动器控制信号被控制为具有空闲时段。

