



(12) 发明专利申请

(10) 申请公布号 CN 105280153 A

(43) 申请公布日 2016. 01. 27

(21) 申请号 201510825091. 7

(22) 申请日 2015. 11. 24

(71) 申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道 9—2 号

(72) 发明人 王笑笑 杜鹏

(74) 专利代理机构 深圳翼盛智成知识产权事务所 (普通合伙) 44300

代理人 黄威

(51) Int. Cl.

G09G 3/36(2006. 01)

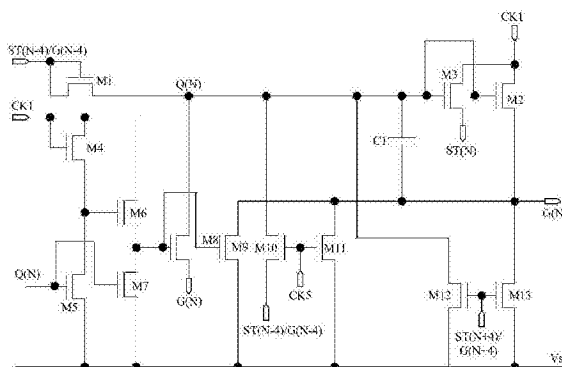
权利要求书3页 说明书13页 附图5页

(54) 发明名称

一种栅极驱动电路及其显示装置

(57) 摘要

本发明提供一种为栅极阵列 (gate on array, GOA) 的栅极驱动电路及其显示装置, 包括第一开关组件至第十三开关组件以及第一电容。该栅极驱动电路可形成二维的栅极驱动或三维的栅极驱动, 具有延长栅极开启时间之效果。三维的栅极驱动有两个一组结构的脉冲信号, 包括第 N 级起始脉冲信号、第 N 级栅极脉冲信号, 以及第一时钟脉冲信号相续至所述第八时钟脉冲信号, 提供画素足够充电时间, 达到液晶显示面板较佳的显示效果。



1. 一种栅极驱动电路,其特征在于,所述栅极驱动电路包括:

一第一开关组件,包括一第一通路端,一第一控制端,一第二通路端,所述第一通路端连结所述第一控制端,所述第一控制端接收一第 N-4 级起始脉冲信号 / 一第 N-4 级栅极脉冲信号;

一第二开关组件,包括一第三通路端,一第二控制端,一第四通路端,所述第三通路端接收一第一时钟脉冲信号;

一第三开关组件,包括一第五通路端,一第三控制端,一第六通路端,所述第三开关组件的所述第三控制端连结所述第一开关组件的所述第二通路端,所述第三开关组件的所述第六通路端输出一第 N 级起始脉冲信号,所述第二开关组件的所述第二控制端是连结所述第三开关组件的所述第三控制端;

一第四开关组件,包括一第七通路端,一第四控制端,一第八通路端,所述第四开关组件的所述第七通路端连结第四开关组件的所述第四控制端,所述第四控制端接收所述第一时钟脉冲信号;

一第五开关组件,包括一第九通路端,一第五控制端,一第十通路端,所述第五开关组件的所述第十通路端连接一第一电压源,所述第五控制端接收一第 N 级预充电电压节点讯号脉冲;

一第六开关组件,包括一第十一通路端,一第六控制端,一第十二通路端,所述第六开关组件的所述第十一通路端连接所述所述第四开关组件的所述第七通路端以及连结第四开关组件的所述第四控制端,所述第六开关组件的所述第六控制端连结所述第四开关组件的所述所述第八通路端以及连结所述第五开关组件的所述第九通路端;

一第七开关组件,包括一第十三通路端,一第七控制端,一第十四通路端,所述第七开关组件的所述第十四通路端连接一第一电压源,所述第七开关组件的所述第七控制端是连结所述第五开关组件的所述第五控制端;

一第八开关组件,包括一第十五通路端,一第八控制端,一第十六通路端,所述第八开关组件的所述第八控制端连结所述第六开关组的所述第十二通路端以及连结所述第七开关组件的所述第十三通路端,所述第八开关组件的所述第十五通路端连结所述第三开关组件的所述第三控制端以及连结所述第一开关组件的所述第二通路端,所述第八开关组件的所述第十六通路端输出一第 N 级栅极脉冲信号;

一第九开关组件,包括一第十七通路端,一第九控制端,一第十八通路端,所述第九开关组件的所述第十八通路端连接一第一电压源,所述第九开关组件的所述第九控制端是连结所述第八开关组件的所述第八控制端;

一第十开关组件,包括一第十九通路端,一第十控制端,一第二十通路端,所述第十开关组件的所述第十九通路端连结所述第三开关组件的所述第三控制端以及连结所述第一开关组件的所述第二通路端,所述第十开关组件的所述第二十通路端接收所述第 N-4 级起始脉冲信号 / 所述第 N-4 级栅极脉冲信号;

一第十一开关组件,包括一第二十一通路端,一第十一控制端,一第二十二通路端,所述第十一开关组件的所述第十一控制端连结所述第十开关组件的所述第十控制端,并接收一第五时钟脉冲信号,所述第十一开关组件的所述第二十二通路端连接所述第一电压源;

一第十二开关组件,包括一第二十三通路端,一第十二控制端,一第二十四通路端,所

述第十二开关组件的所述第二十三通路端连结所述第三开关组件的所述第三控制端以及连结所述第一开关组件的所述第二通路端,所述第十二开关组件的所述第二十四通路端连接所述第一电压源;以及

一第十三开关组件,包括一第二十五通路端,一第十三控制端,一第二十六通路端,所述第十三开关组件的所述第二十五通路端连结所述第十二开关组件的所述第十二控制端,并接收一第 $N+4$ 级起始脉冲信号 / 一第 $N+4$ 级栅极脉冲信号,所述第十三开关组件的所述第二十六通路端连接所述第一电压源;

其中, N 为自然数。

2. 根据权利要求 1 所述的栅极驱动电路,其特征在于,更包括一第一电容,所述第一电容的一端连结所述第三开关组件的所述第三控制端以及连结所述第一开关组件的所述第二通路端,并于连结点上形成所述第 N 级预充电电压节点讯号脉冲,所述第一电容的另一端连结所述第二开关组件的所述第四通路端、连结所述第九开关组件的所述第十七通路端、以及连结所述第十一开关组件的所述第二十一通路端、并共同输出所述第 N 级栅极脉冲信号。

3. 根据权利要求 1 所述的栅极驱动电路,其特征在于,所述第一开关组件到所述第十三开关组件均为 N 型晶体管。

4. 根据权利要求 1 所述的栅极驱动电路,其特征在于,时钟脉冲信号的第一时钟脉冲信号至第八时钟脉冲信号的占空比 (duty ratio) 相同,为 50%。

5. 根据权利要求 1 所述的栅极驱动电路,其特征在于,所述栅极驱动电路驱动一阵列栅极 (Gate on array, GOA) 的栅极打开时间为一第一时间差,所述第 N 级起始脉冲信号与相应同级的所述第 N 级栅极脉冲信号之间的相应脉冲波形宽度,以及相续级的相应时间排序相同。

6. 根据权利要求 5 所述的栅极驱动电路,其特征在于,所述栅极驱动电路,脉冲波形宽度包括:

用以驱动二维 (2D) 液晶显示器 (LCD) 中第 N 级起始脉冲信号至所述第 $N+4$ 级起始脉冲信号的波形宽度,为用以驱动三维 (3D) 液晶显示器 (LCD) 中第 N 级起始脉冲信号至所述第 $N+5$ 级起始脉冲信号的波形宽度的两倍;

用以驱动二维 (2D) 液晶显示器 (LCD) 中所述第 N 级栅极脉冲信号至所述第 $N+4$ 栅极极脉冲信号的波形宽度,为用以驱动三维 (3D) 液晶显示器 (LCD) 中所述第 N 级栅极脉冲信号至所述第 $N+5$ 栅极极脉冲信号的波形宽度的两倍;

用以驱动二维 (2D) 液晶显示器 (LCD) 中所述第一时钟脉冲信号相续至所述第八时钟脉冲信号的波形宽度,为用以驱动三维 (3D) 液晶显示器 (LCD) 中所述第一时钟脉冲信号相续至所述第八时钟脉冲信号的波形宽度的两倍。

7. 根据权利要求 5 所述的栅极驱动电路,其特征在于,所述栅极驱动电路,用以驱动二维 (2D) 液晶显示器 (LCD),驱动结构包括:

所述所述第 N 级起始脉冲信号至所述第 $N+4$ 级起始脉冲信号的波形宽度为 4 倍所述第一时间差的波形宽度,其中后级起始脉冲信号较连续的前级起始脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度;

所述第 N 级栅极脉冲信号至所述第 $N+4$ 栅极极脉冲信号的波形宽度为 4 倍所述第一时

间差的波形宽度,其中后级栅极脉冲信号较连续的前级栅极脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度,其中具有1倍所述第一时间差的波形宽度作为驱动所述阵列栅极(Gate on array, GOA)的栅极打开时间,以及具有3倍所述第一时间差的波形宽度作为提前栅极打开时间,用以延长所述阵列栅极(Gate on array, GOA)的相应画素的充电时间;以及

所述第一时钟脉冲信号相续至所述第八时钟脉冲信号的波形宽度为4倍所述第一时间差的波形宽度,其中排序后级时钟脉冲信号较连续的排序前级时钟脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度。

8. 根据权利要求5所述的栅极驱动电路,其特征在于,所述栅极驱动电路,用以驱动三维(3D)液晶显示器(LCD),驱动结构包括:

所述第N级起始脉冲信号至所述第N+5级起始脉冲信号的波形宽度为2倍所述第一时间差的波形宽度,其中三组连续起始脉冲信号为所述第N级起始脉冲信号至所述第N+1级起始脉冲信号为同步的第一组起始脉冲信号,所述第N+2级起始脉冲信号至所述第N+3级起始脉冲信号为同步的第二组起始脉冲信号,以及所述第N+4级起始脉冲信号至所述第N+5级起始脉冲信号为同步的第三组起始脉冲信号,其中后组起始脉冲信号较连续的前组起始脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度;

所述第N级栅极脉冲信号至所述第N+5级栅极脉冲信号的波形宽度为2倍所述第一时间差的波形宽度,其中三组连续栅极脉冲信号为所述第N级栅极脉冲信号至所述第N+1级栅极脉冲信号为同步的第一组栅极脉冲信号,所述第N+2级栅极脉冲信号至所述第N+3级栅极脉冲信号为同步的第二组栅极脉冲信号,以及所述第N+4级栅极脉冲信号至所述第N+5级栅极脉冲信号为同步的第三组栅极脉冲信号,其中后组栅极脉冲信号较连续的前组栅极脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度,其中具有1倍所述第一时间差的波形宽度作为驱动所述阵列栅极(Gate on array, GOA)的栅极打开时间,以及具有1倍所述第一时间差的波形宽度作为提前栅极打开时间,用以延长所述阵列栅极(Gate on array, GOA)的相应画素的充电时间;以及

所述第一时钟脉冲信号至所述第八时钟脉冲信号的波形宽度为2倍所述第一时间差的波形宽度,其中四组连续栅极脉冲信号为第一时钟脉冲信号至所述第二时钟脉冲信号为同步的第一组时钟脉冲信号,所述第三时钟脉冲信号至所述第四时钟脉冲信号为同步的第二组时钟脉冲信号,所述第五时钟脉冲信号至所述第六时钟脉冲信号为同步的第三组时钟脉冲信号,以及所述第七时钟脉冲信号至所述第八时钟脉冲信号为同步的第四组时钟脉冲信号,其中排序后组时钟脉冲信号较连续的排序前组时钟脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度。

9. 一种显示装置,其特征在于,所述显示装置包括如权利要求1至8项任一项的所述栅极驱动电路,其中所述显示装置具有一液晶显示面板,用于显示图像,以及具有所述栅极驱动电路集成在所述液晶显示面板中。

一种栅极驱动电路及其显示装置

【技术领域】

【0001】 本发明涉及一种栅极驱动电路及其显示装置,特别涉及延长栅极开启时间,以及涉及两个一组结构的起始脉冲信号、栅极脉冲信号、以及时钟脉冲信号的栅极驱动电路及其显示装置。

【背景技术】

【0002】 在液晶面板低成本高品质是产业技术的必要条件。栅极阵列 (gate on array, GOA) 是一种常用的降低成本的方法,它是将晶体管栅极的功能通过薄膜晶体管-液晶显示器 (TFT-LCD) 制程做在玻璃基板上,省掉栅极侧驱动集成电路 (IC),在降低成本的同时,还可以做到无边框,提升产品的市场竞争力。对于目前市面上的超高解析 (Ultra Definition, UD) 面板,二维 (2D) 面板的驱动为 60HZ,因超高解析 (Ultra Definition, UD) 面板分辨率较高,为保证较高开口率,面板内各金属走线及像素开关的薄膜晶体管 (TFT),要尽可能压缩到较小范围内,这样势必会导致先前技术中像素充电不足,会直接影响面板的显示效果的问题。

【0003】 先前技术,超高解析 (Ultra Definition, UD) 面板的产品,具有超高分辨率搭配 3D 功能,因此大尺寸超高解析 (Ultra Definition, UD) 产品一般都会搭配三维 (3D) 功能。三维 (3D) 的驱动,为保证左右眼各收到 60HZ 的讯号,驱动频率需加倍变为 120HZ,由于受带宽的限制,集成电路 (gate IC) 无法实现频率为 120*2160 的驱动。

【发明内容】

【0004】 本发明的一个目的在于提供一种栅极驱动电路及其显示装置,在不改变设计的前提下,可改善先前技术液晶显示面板中像素充电不足的问题。本发明实施例对栅极 (gate) 波形的时序进行微调,经由本发明实施例提供像素预充电 (pixel pre-charge),用以延长每个像素的充电时间,解决先前技术像素的充电时间不足的问题,达到液晶显示面板较佳的显示效果。

【0005】 本发明的另一个目的在于提供一种栅极驱动电路及其显示装置,用栅极阵列 (gate on array, GOA) 电路代替栅极集成电路 (gate IC)。本发明实施例具有两个一组结构的起始脉冲信号、栅极脉冲信号、以及时钟脉冲信号的栅极驱动电路。本发明实施例提供两条栅极 (gate) 同时打开的驱动方式,作为输出大尺寸超高解析 (Ultra Definition, UD) 面板的二维 / 三维 (2D/3D) 驱动所需的栅极讯号。本发明具体实施例解决先前技术的下述问题,三维 (3D) 面板为保证左右眼各收到 60HZ 的讯号,驱动电路需加倍变为 120HZ,由于受集成电路 (IC) 带宽的限制,先前技术三维 (3D) 面板的栅极集成电路 (gate IC),无法实现频率为 120*2160 的驱动。

【0006】 本发明的实施例具体的功效,为提供延长每个像素的充电时间以及加宽三维 (3D) 面板的栅极讯号频率,提高液晶显示面板的显示效果。

【0007】 为解决先前技术的上述问题,本发明实施例提供一种栅极驱动电路,所述栅极驱

动电路包括：第一开关元件、第二开关元件、第三开关元件、第四开关元件、第五开关元件、第六开关元件、第七开关元件、第八开关元件、第九开关元件、第十开关元件、第十一开关元件、第十二开关元件、第十三开关元件、以及第一电容，脉冲信号具有第 N 级起始脉冲信号、第 N 级栅极脉冲信号，时钟脉冲信号具有第一时钟脉冲信号相续至所述第八时钟脉冲信号。

[0008] 一第一开关元件，包括一第一通路端，一第一控制端，一第二通路端，所述第一通路端连结所述第一控制端，所述第一控制端接收一第 N-4 级起始脉冲信号 / 一第 N-4 级栅极脉冲信号；一第二开关元件，包括一第三通路端，一第二控制端，一第四通路端，所述第三通路端接收一第一时钟脉冲信号。一第三开关元件，包括一第五通路端，一第三控制端，一第六通路端，所述第三开关元件的所述第三控制端连结所述第一开关元件的所述第二通路端，所述第三开关元件的所述第六通路端输出一第 N 级起始脉冲信号，所述第二开关元件的所述第二控制端是连结所述第三开关元件的所述第三控制端；一第四开关元件，包括一第七通路端，一第四控制端，一第八通路端，所述第四开关元件的所述第七通路端连结第四开关元件的所述第四控制端，所述第四控制端接收所述第一时钟脉冲信号；一第五开关元件，包括一第九通路端，一第五控制端，一第十通路端，所述第五开关元件的所述第十通路端连接一第一电压源，所述第五控制端接收一第 N 级预充电电压节点讯号脉冲 Q(N)；一第六开关元件，包括一第十一通路端，一第六控制端，一第十二通路端，所述第六开关元件的所述第十一通路端连接所述第四开关元件的所述第七通路端以及连结第四开关元件的所述第四控制端，所述第六开关元件的所述第六控制端连结所述第四开关元件的所述第八通路端以及连结所述第五开关元件的所述第九通路端；一第七开关元件，包括一第十三通路端，一第七控制端，一第十四通路端，所述第七开关元件的所述第十四通路端连接一第一电压源，所述第七开关元件的所述第七控制端是连结所述第五开关元件的所述第五控制端。一第八开关元件，包括一第十五通路端，一第八控制端，一第十六通路端，所述第八开关元件的所述第八控制端连结所述第六开关元件的所述第十二通路端以及连结所述第七开关元件的所述第十三通路端，所述第八开关元件的所述第十五通路端连结所述第三开关元件的所述第三控制端以及连结所述第一开关元件的所述第二通路端，所述第八开关元件的所述第十六通路端输出一第 N 级栅极脉冲信号；一第九开关元件，包括一第十七通路端，一第九控制端，一第十八通路端，所述第九开关元件的所述第十八通路端连接一第一电压源，所述第九开关元件的所述第九控制端是连结所述第八开关元件的所述第八控制端。一第十开关元件，包括一第十九通路端，一第十控制端，一第二十通路端，所述第十开关元件的所述第十九通路端连结所述第三开关元件的所述第三控制端以及连结所述第一开关元件的所述第二通路端，所述第十开关元件的所述第二十通路端接收所述第 N-4 级起始脉冲信号 / 所述第 N-4 级栅极脉冲信号；一第十一开关元件，包括一第二十一通路端，一第十一控制端，一第二十二通路端，所述第十一开关元件的所述第十一控制端连结所述第十开关元件的所述第十控制端，并接收一第五时钟脉冲信号，所述第十一开关元件的所述第二十二通路端连接所述第一电压源；一第十二开关元件，包括一第二十三通路端，一第十二控制端，一第二十四通路端，所述第十二开关元件的所述第二十三通路端连结所述第三开关元件的所述第三控制端以及连结所述第一开关元件的所述第二通路端，所述第十二开关元件的所述第二十四通路端连接所述第一电压源；以及一第十三开关元件，包括一第二十五通路端，一第

十三控制端,一第二十六通路端,所述第十三开关元件的所述第二十五通路端连结所述第十二开关元件的所述第十二控制端,并接收一第 $N+4$ 级起始脉冲信号 / 一第 $N+4$ 级栅极脉冲信号,所述第十三开关元件的所述第二十六通路端端连接所述第一电压源 ;其中, N 为自然数。

[0009] 所述栅极驱动电路,更包括一第一电容,所述第一电容的一端连结所述第三开关元件的所述第三控制端以及连结所述第一开关元件的所述第二通路端,并于连结点上形成所述第 N 级预充电电压节点讯号脉冲,所述第一电容的另一端连结所述第二开关元件的所述第四通路端、连结所述第九开关元件的所述第十七通路端、以及连结所述第十一开关元件的所述第二十一通路端、并共同输出所述第 N 级栅极脉冲信号。

[0010] 所述第一开关元件到所述第十三开关元件均为 N 型晶体管。

[0011] 时钟脉冲信号的第一时钟脉冲信号至第八时钟脉冲信号的占空比 (duty ratio) 相同,为 50%。

[0012] 所述栅极驱动电路驱动一阵列栅极 (Gate on array, GOA) 的栅极打开时间为一第一时间差,所述第 N 级起始脉冲信号与相应同级的所述第 N 级栅极脉冲信号之间的相应脉冲波形宽度,以及相续级的相应时间排序相同。

[0013] 所述栅极驱动电路,脉冲波形宽度包括:用以驱动二维 (2D) 液晶显示器 (LCD) 中第 N 级起始脉冲信号至所述第 $N+4$ 级起始脉冲信号的波形宽度,为用以驱动三维 (3D) 液晶显示器 (LCD) 中第 N 级起始脉冲信号至所述第 $N+5$ 级起始脉冲信号的波形宽度的两倍;用以驱动二维 (2D) 液晶显示器 (LCD) 中所述第 N 级栅极脉冲信号至所述第 $N+4$ 栅极脉冲信号的波形宽度,为用以驱动三维 (3D) 液晶显示器 (LCD) 中所述第 N 级栅极脉冲信号至所述第 $N+5$ 栅极脉冲信号的波形宽度的两倍;用以驱动二维 (2D) 液晶显示器 (LCD) 中所述第一时钟脉冲信号相续至所述第八时钟脉冲信号的波形宽度,为用以驱动三维 (3D) 液晶显示器 (LCD) 中所述第一时钟脉冲信号相续至所述第八时钟脉冲信号的波形宽度的两倍。

[0014] 所述栅极驱动电路,用以驱动二维 (2D) 液晶显示器 (LCD),驱动结构包括:所述第 N 级起始脉冲信号至所述第 $N+4$ 级起始脉冲信号的波形宽度为 4 倍所述第一时间差的波形宽度,其中后级起始脉冲信号较连续的前级起始脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度;所述第 N 级栅极脉冲信号至所述第 $N+4$ 极栅极脉冲信号的波形宽度为 4 倍所述第一时间差的波形宽度,其中后级栅极脉冲信号较连续的前级栅极脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度,其中具有 1 倍所述第一时间差的波形宽度作为驱动所述阵列栅极 (Gate on array, GOA) 的栅极打开时间,以及具有 3 倍所述第一时间差的波形宽度作为提前栅极打开时间,用以延长所述阵列栅极 (Gate on array, GOA) 的相应画素的充电时间;以及所述第一时钟脉冲信号相续至所述第八时钟脉冲信号的波形宽度为 4 倍所述第一时间差的波形宽度,其中排序后级时钟脉冲信号较连续的排序前级时钟脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度。

[0015] 所述栅极驱动电路,用以驱动三维 (3D) 液晶显示器 (LCD),驱动结构包括:所述第 N 级起始脉冲信号至所述第 $N+5$ 级起始脉冲信号的波形宽度为 2 倍所述第一时间差的波形宽度,其中三组连续起始脉冲信号为所述第 N 级起始脉冲信号至所述第 $N+1$ 起始脉冲

信号为同步的第一组起始脉冲信号,所述第 $N+2$ 起始脉冲信号至所述第 $N+3$ 起始脉冲信号为同步的第二组起始脉冲信号,以及所述第 $N+4$ 起始脉冲信号至所述第 $N+5$ 起始脉冲信号为同步的第三组起始脉冲信号,其中后组起始脉冲信号较连续的前组起始脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度;所述第 N 级栅极脉冲信号至所述第 $N+5$ 极栅极脉冲信号的波形宽度为 2 倍所述第一时间差的波形宽度,其中三组连续栅极脉冲信号为所述第 N 级栅极脉冲信号至所述第 $N+1$ 栅极脉冲信号为同步的第一组栅极脉冲信号,所述第 $N+2$ 栅极脉冲信号至所述第 $N+3$ 栅极脉冲信号为同步的第二组栅极脉冲信号,以及所述第 $N+4$ 栅极脉冲信号至所述第 $N+5$ 栅极脉冲信号为同步的第三组栅极脉冲信号,其中后组栅极脉冲信号较连续的前组栅极脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度,其中具有 1 倍所述第一时间差的波形宽度作为驱动所述阵列栅极 (Gate on array, GOA) 的栅极打开时间,以及具有 1 倍所述第一时间差的波形宽度作为提前栅极打开时间,用以延长所述阵列栅极 (Gate on array, GOA) 的相应画素的充电时间;以及所述第一时钟脉冲信号至所述第八时钟脉冲信号的波形宽度为 2 倍所述第一时间差的波形宽度,其中四组连续栅极脉冲信号为第一时钟脉冲信号至所述第二时钟脉冲信号为同步的第一组时钟脉冲信号,所述第三时钟脉冲信号至所述第四时钟脉冲信号为同步的第二组时钟脉冲信号,所述第五时钟脉冲信号至所述第六时钟脉冲信号为同步的第三组时钟脉冲信号,以及所述第七时钟脉冲信号至所述第八时钟脉冲信号为同步的第四组时钟脉冲信号,其中排序后组时钟脉冲信号较连续的排序前组时钟脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度。

[0016] 一种显示装置,其特征在于,所述显示装置包括如上述任一的所述栅极驱动电路,其中所述显示装置具有一液晶显示面板,用于显示图像,以及具有所述栅极驱动电路集成在所述液晶显示面板中。

[0017] 为了让本发明的上述内容能更明显易懂,下文特举优选实施例,并配合所附图式,作详细说明如下:

【附图说明】

[0018] 图 1 为栅极驱动电路的第 N 级栅极脉冲信号具有第一时间差的波形宽度,相应所形成连续级的讯号波形图;

[0019] 图 2 为栅极驱动电路在二维 (2D) 驱动下的第 N 级栅极脉冲信号具有 4 倍第一时间差的波形宽度,预充电电压 (precharge) 相应所形成连续级的讯号波形图;

[0020] 图 3 为栅极驱动电路在三维 (3D) 驱动下的第 N 级栅极脉冲信号具有 2 倍第一时间差的波形宽度,预充电电压 (precharge) 相应所形成连续级的讯号波形图;

[0021] 图 4 为本发明栅极驱动电路的电路图;

[0022] 图 5 为图 4 栅极驱动电路在二维 (2D) 驱动下,相应所形成连续级的讯号波形图;

[0023] 图 6 为图 4 栅极驱动电路在三维 (3D) 驱动下,相应所形成连续级的讯号波形图。

【具体实施方式】

[0024] 以下各实施例的说明是参考附加的图式,用以例示本发明可用以实施的特定实施

例。

[0025] 请参阅图 1, 对于驱动频率为 60HZ 大尺寸超高清解析 (Ultra Definition, UD) 面板, 其栅极 (gate) 驱动讯号如图 1 所示, 每条控制画素的栅极 (gate) 所打开的第一时间差 (Δt) 约为 7.4ms, 面板的开口率增加, 可以变相降低背光成本。因此面板设计时, 画素开口区要尽量做大, 这样势必会导致驱动薄膜晶体管 (TFT) 尺寸受到限制, 再加上相较 16:9 比例显示的高解析全屏幕 (Full High Definition, FHD) 面板, 超高清解析 (Ultra Definition, UD) 面板每颗薄膜晶体管 (TFT) 开启时间减半, 导致画素充电不足, 会直接影响面板的显示效果。图 1 中第 N 级栅极脉冲信号 G(N) 到第 N+4 级栅极脉冲信号 G(N+4) 不具预充电电压 (precharge), 因此仅有 1 倍的第一时间差 (Δt)。

[0026] 请参阅图 2, 栅极驱动电路在二维 (2D) 驱动下的第 N 级栅极脉冲信号 G(N) 具有 4 倍第一时间差 (precharge) 相应所形成连续级的讯号波形图。针对控制画素的每条栅极 (gate) 打开的第一时间差 (Δt) 不足, 为了提高画素 (pixel) 的充电能力, 可以通过改变驱动的方式, 将每行栅极 (gate) 提前打开, 延长栅极 (gate) 开启时间, 使画素 (pixel) 充电时间延长, 改善充电不足问题。经由改良后的栅极脉冲 (gate pulse) 如图 2 所示, 预充电电压 (precharge) 时间可以根据设计进行调整。图 2 所示, 第 N 级栅极脉冲信号 G(N) 到第 N+4 级栅极脉冲信号 G(N+4) 的预充电电压 (precharge) 具有 3 倍的所述第一时间差 ($3\Delta t$) 为例, 加上原所述第一时间差 (Δt), 共 4 倍的所述第一时间差 ($4\Delta t$), 因此延长栅极 (gate) 开启时间。

[0027] 请参阅图 3, 为栅极驱动电路在三维 (3D) 驱动下的第 N 级栅极脉冲信号 G(N) 具有 2 倍第一时间差 (Δt) 的波形宽度, 预充电电压 (precharge) 相应所形成连续级的讯号波形图。相较图 2 中栅极驱动电路为二维 (2D) 驱动下的栅极 (gate) 波形图, 若显示面板切换为三维 (3D) 模式, 为保证左右眼各收到 60HZ 的讯号, 栅极驱动电路需加倍变为 120HZ。由于受集成电路 (IC) 带宽的限制, gate IC 无法实现频率为 120×2160 的驱动, 图 3 三维 (3D) 驱动使用两条栅极 (gate) 线同时打开的驱动方式, 使栅极集成电路 (gate IC) 频率变为 120×1080 , 栅极脉冲 (gate pulse) 如图 3 所示, 第 N 级栅极脉冲信号 G(N) 到第 N+1 级栅极脉冲信号 G(N+1) 为两个一组同时打开的驱动方式。第 N+2 级栅极脉冲信号 G(N+2) 到第 N+3 级栅极脉冲信号 G(N+3) 为两个一组同时打开的驱动方式。第 N+4 级栅极脉冲信号 G(N+4) 到第 N+5 级栅极脉冲信号 G(N+5) 为两个一组同时打开的驱动方式。在二维 (2D) 驱动下的第 N 级栅极脉冲信号 G(N) 具有 4 倍第一时间差 (Δt) 的波形宽度, 预充电电压 (precharge) 具有 3 倍第一时间差 (Δt) 的波形宽度; 在三维 (3D) 驱动下的第 N 级栅极脉冲信号 G(N) 具有 2 倍第一时间差 (Δt) 的波形宽度, 预充电电压 (precharge) 具有 1 倍第一时间差 (Δt) 的波形宽度。

[0028] 请参阅图 4, 由于大尺寸的面板线路中, 电阻 (R) 结合电容 (C) 的延迟 (RC Delay) 比较严重, 因此阵列栅极 (Gate on array, GOA) 电路的时钟信号, 往往采用 4 个时钟周期 (4CK), 第一时钟脉冲信号 CK1 相续至所述第四时钟脉冲信号 CK4、或者 6 个时钟周期 (6CK), 所述第一时钟脉冲信号 CK1 相续至所述第六时钟脉冲信号 CK6、或者 8 个时钟周期 (8CK), 所述第一时钟脉冲信号 CK1 相续至所述第八时钟脉冲信号 CK8, 等多个时钟信号的设计。但是, 这样的阵列栅极 (Gate on array, GOA) 电路输出的相邻两级栅极脉冲 (gate pulse) 波形一定会有相互重叠的部分, 阵列栅极 (Gate on array, GOA) 驱动电路图如图 4

所示,这里以 8 个时钟周期 (8CK) 为例,在实际设计中,钟脉冲信号所需的时钟周期 (CK) 数量以及时钟周期 (CK) 宽度可根据实际不同需求进行调整。图 2 以及图 3 所示的二维 (2D)/ 三维 (3D) 栅极 (gate) 驱动,均可通过图 4 所示的阵列栅极 (Gate on array, GOA) 的 8 个时钟周期 (8CK) 电路实现。这里 8 个时钟周期 (8CK) 中,8 个占空比 (duty ratio) 都为 50%,第 N 级起始脉冲信号 ST(N) 波形,与所述第 N 级栅极脉冲信号 G(N) 波形相同,相邻两个时钟周期 (CK) 时序差第一时间差 (Δt),第 N 级起始脉冲信号 ST(N) 与第 N+4 级起始脉冲信号 ST(N+4) 连接,用于拉高第 N 级预充电电压节点讯号脉冲 Q(N) 的节点电压,不同级的阵列栅极 (Gate on array, GOA) 电路讯号传递方式为, $1 \rightarrow 5 \rightarrow 9, 2 \rightarrow 6 \rightarrow 10, 3 \rightarrow 7 \rightarrow 11, 4 \rightarrow 8 \rightarrow 12$, 对应 G(N), G(N+1), G(N+2), G(N+3), G(N+4) 为相邻 5 级阵列栅极 (Gate on array, GOA) 电路的输出波形。

[0029] 如图 4 所示,本发明提供一实施例,为一种栅极驱动电路及其显示装置,一种驱动电路包括第一开关元件 M1、第二开关元件 M2、第三开关元件 M3、第四开关元件 M4、第五开关元件 M5、第六开关元件 M6、第七开关元件 M7、第八开关元件 M8、第九开关元件 M9、第十开关元件 M10、第十一开关元件 M11、第十二开关元件 M12、第十三开关元件 M13、以及第一电容 C1,脉冲信号具有第 N 级起始脉冲信号 ST(N)、第 N 级栅极脉冲信号 G(N),时钟脉冲信号具有第一时钟脉冲信号 CK1 相续至所述第八时钟脉冲信号 CK8。

[0030] 在本实施例中,第一开关元件至第十三开关元件 M1 ~ M13 为 N 型晶体管。第一控制端至第十三控制端为栅极。漏极包括:第一开关元件 M1 的第一通路端、第二开关元件 M2 的第三通路端、第三开关元件 M3 的第五通路端、第四开关元件 M4 的第七通路端、第五开关元件 M5 的第九通路端、第六开关元件 M6 的第十一通路端、第七开关元件 M7 的第十四通路端、第八开关元件 M8 的第十五通路端、第九开关元件 M9 的第十七通路端、第十开关元件 M10 的第二十通路端、第十一开关元件 M11 的第二十一通路端、第十二开关元件 M12 的第二十三通路端、第十三开关元件 M13 的第二十五通路端均为漏极。

[0031] 源极包括:第一开关元件 M1 的第二通路端、第二开关元件 M2 的第四通路端、第三开关元件 M3 的第六通路端、第四开关元件 M4 的第八通路端、第五开关元件 M5 的第十通路端、第六开关元件 M6 的第十二通路端、第七开关元件 M7 的第十三通路端、第八开关元件 M8 的第十六通路端、第九开关元件 M9 的第十八通路端、第十开关元件 M10 的第十九通路端、第十一开关元件 M11 的第二十二通路端、第十二开关元件 M12 的第二十四通路端及第十三开关元件 M13 的第二十六通路端均为源极。

[0032] 当然,可以理解的是,第一开关元件至第十三开关元件 M1 ~ M13 也可以采用其他的开关元件而实现,例如 P 型晶体管。

[0033] 以下以第一开关元件 M1 至第十三开关元件 M1 ~ M13 为 N 型晶体管为例来具体地介绍本发明的具体实施方式及其工作原理。

[0034] 如图 4 所示,本发明提供一实施例,为栅极驱动电路,包括:一第一开关元件,包括一第一通路端,一第一控制端,和一第二通路端;所述第一通路端连结所述第一控制端,所述第一控制端接收一第 N-4 级起始脉冲信号 ST(N-4)/一第 N-4 级栅极脉冲信号 G(N-4)。一第二开关元件,包括一第三通路端,一第二控制端,和一第四通路端;所述第三通路端接收一第一时钟脉冲信号 CK1。一第三开关元件 M3,包括一第五通路端,一第三控制端,和一第六通路端;所述第三开关元件 M3 的所述第三控制端连结所述第一开关元件的所述第二

通路端,所述第三开关元件 M3 的所述第六通路端输出一第 N 级起始脉冲信号 ST(N),所述第二开关元件 M2 的所述第二控制端是连结所述第三开关元件 M3 的所述第三控制端。一第四开关元件 M4,包括一第七通路端,一第四控制端,和一第八通路端;所述第四开关元件 M4 的所述第七通路端连结第四开关元件 M4 的所述第四控制端,所述第四控制端接收所述第一时钟脉冲信号 CK1。一第五开关元件 M5,包括一第九通路端,一第五控制端,和一第十通路端;所述第五开关元件 M5 的所述第十通路端连接一第一电压源,所述第五控制端接收一第 N 级预充电压节点讯号脉冲 Q(N)。一第六开关元件 M6,包括一第十一通路端,一第六控制端,和一第十二通路端;所述第六开关元件 M6 的所述第十一通路端连接所述第四开关元件 M4 的所述第七通路端以及连结第四开关元件 M4 的所述第四控制端,所述第六开关元件 M6 的所述第六控制端连结所述第四开关元件 M4 的所述第八通路端以及连结所述第五开关元件 M5 的所述第九通路端。一第七开关元件 M7,包括一第十三通路端,一第七控制端,和一第十四通路端;所述第七开关元件 M7 的所述第十四通路端连接一第一电压源,所述第七开关元件 M7 的所述第七控制端是连结所述第五开关元件 M5 的所述第五控制端。一第八开关元件 M8,包括一第十五通路端,一第八控制端,和一第十六通路端;所述第八开关元件 M8 的所述第八控制端连结所述第六开关元件 M6 的所述第十二通路端以及连结所述第七开关元件 M7 的所述第十三通路端,所述第八开关元件 M8 的所述第十五通路端连结所述第三开关元件 M3 的所述第三控制端以及连结所述第一开关元件的所述第二通路端,所述第八开关元件 M8 的所述第十六通路端输出一第 N 级栅极脉冲信号 G(N)。一第九开关元件 M9,包括一第十七通路端,一第九控制端,和一第十八通路端;所述第九开关元件 M9 的所述第十八通路端连接一第一电压源,所述第九开关元件 M9 的所述第九控制端是连结所述第八开关元件 M8 的所述第八控制端。一第十开关元件 M10,包括一第十九通路端,一第十控制端,和一第二十通路端;所述第十开关元件 M10 的所述第十九通路端连结所述第三开关元件 M3 的所述第三控制端以及连结所述第一开关元件的所述第二通路端,所述第十开关元件 M10 的所述第二十通路端接收所述第 N-4 级起始脉冲信号 ST(N-4)/所述第 N-4 级栅极脉冲信号 G(N-4)。一第十一开关元件 M11,包括一第二十一通路端,一第十一控制端,和一第二十二通路端;所述第十一开关元件 M11 的所述第十一控制端连结所述第十开关元件 M10 的所述第十控制端,并接收一第五时钟脉冲信号 CK5,所述第十一开关元件 M11 的所述第二十二通路端连接所述第一电压源。一第十二开关元件 M12,包括一第二十三通路端,一第十二控制端,和一第二十四通路端;所述第十二开关元件 M12 的所述第二十三通路端连结所述第三开关元件 M3 的所述第三控制端以及连结所述第一开关元件的所述第二通路端,所述第十二开关元件 M12 的所述第二十四通路端连接所述第一电压源。以及一第十三开关元件 M13,包括一第二十五通路端,一第十三控制端,和一第二十六通路端;所述第十三开关元件 M13 的所述第二十五通路端连结所述第十二开关元件 M12 的所述第十二控制端,并接收一第 N+4 级起始脉冲信号 ST(N+4)/一第 N+4 级栅极脉冲信号 G(N+4),所述第十三开关元件 M13 的所述第二十六通路端连接所述第一电压源;其中, N 为自然数。

[0035] 所述栅极驱动电路,更包括一第一电容 C1,所述第一电容 C1 的一端连结所述第三开关元件 M3 的所述第三控制端以及连结所述第一开关元件的所述第二通路端,并于连结点上形成所述第 N 级预充电压节点讯号脉冲 Q(N)。所述第一电容 C1 的另一端连结所述第二开关元件 M2 的所述第四通路端、连结所述第九开关元件 M9 的所述第十七通路端、以及连

结所述第十一开关元件 M11 的所述第二十一通路端、并共同输出所述第 N 级栅极脉冲信号 G(N)。

[0036] 所述第一开关元件 M1 到所述第十三开关元件 M13 均为 N 型晶体管。时钟脉冲信号的第一时钟脉冲信号 CK1 至第八时钟脉冲信号 CK8 的占空比 (duty ratio) 相同, 为 50%。所述栅极驱动电路驱动一阵列栅极 (Gate on array, GOA) 的栅极打开时间为第一时间差。所述第 N 级起始脉冲信号 ST(N) 与相应同级的所述第 N 级栅极脉冲信号 G(N) 之间的相应脉冲波形宽度, 以及相续级的相应时间排序相同。

[0037] 所述栅极驱动电路, 脉冲波形宽度包括: 用以驱动二维 (2D) 液晶显示器 (LCD) 中第 N 级起始脉冲信号 ST(N) 至所述第 N+4 级起始脉冲信号 ST(N+4) 的波形宽度, 为用以驱动三维 (3D) 液晶显示器 (LCD) 中第 N 级起始脉冲信号 ST(N) 至所述第 N+5 级起始脉冲信号 ST(N+5) 的波形宽度的两倍; 用以驱动二维 (2D) 液晶显示器 (LCD) 中所述第 N 级栅极脉冲信号 G(N) 至所述第 N+4 栅极脉冲信号 G(N+4) 的波形宽度, 为用以驱动三维 (3D) 液晶显示器 (LCD) 中所述第 N 级栅极脉冲信号 G(N) 至所述第 N+5 栅极脉冲信号 G(N+5) 的波形宽度的两倍; 用以驱动二维 (2D) 液晶显示器 (LCD) 中所述第一时钟脉冲信号 CK1 相续至所述第八时钟脉冲信号 CK8 的波形宽度, 为用以驱动三维 (3D) 液晶显示器 (LCD) 中所述第一时钟脉冲信号 CK1 相续至所述第八时钟脉冲信号 CK8 的波形宽度的两倍。

[0038] 所述栅极驱动电路, 用以驱动二维 (2D) 液晶显示器 (LCD), 驱动结构包括: 所述第 N 级起始脉冲信号 ST(N) 至所述第 N+4 级起始脉冲信号 ST(N+4) 的波形宽度为 4 倍所述第一时间差的波形宽度, 其中后级起始脉冲信号较连续的前级起始脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度, 且晚结束一个所述第一时间差的波形宽度; 所述第 N 级栅极脉冲信号 G(N) 至所述第 N+4 级栅极脉冲信号的波形宽度为 4 倍所述第一时间差的波形宽度, 其中后级栅极脉冲信号较连续的前级栅极脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度, 且晚结束一个所述第一时间差的波形宽度, 其中具有 1 倍所述第一时间差的波形宽度作为驱动所述阵列栅极 (Gate on array, GOA) 的栅极打开时间, 以及具有 3 倍所述第一时间差的波形宽度作为提前栅极打开时间, 用以延长所述阵列栅极 (Gate on array, GOA) 的相应画素的充电时间; 以及所述第一时钟脉冲信号 CK1 相续至所述第八时钟脉冲信号 CK8 的波形宽度为 4 倍所述第一时间差的波形宽度, 其中排序后级时钟脉冲信号较连续的排序前级时钟脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度, 且晚结束一个所述第一时间差的波形宽度。

[0039] 所述栅极驱动电路, 用以驱动三维 (3D) 液晶显示器 (LCD), 驱动结构包括: 所述第 N 级起始脉冲信号 ST(N) 至所述第 N+4 级起始脉冲信号 ST(N+4) 的波形宽度为 2 倍所述第一时间差的波形宽度, 其中三组连续起始脉冲信号为所述第 N 级起始脉冲信号 ST(N) 至所述第 N+1 起始脉冲信号 ST(N+1) 为同步的第一组起始脉冲信号, 所述第 N+2 起始脉冲信号 ST(N+2) 至所述第 N+3 起始脉冲信号 ST(N+3) 为同步的第二组起始脉冲信号, 以及所述第 N+4 起始脉冲信号 ST(N+4) 至所述第 N+5 起始脉冲信号 ST(N+5) 为同步的第三组起始脉冲信号, 其中后组起始脉冲信号较连续的前组起始脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度, 且晚结束一个所述第一时间差的波形宽度; 所述第 N 级栅极脉冲信号 G(N) 至所述第 N+5 级栅极脉冲信号 G(N+5) 的波形宽度为 2 倍所述第一时间差的波形宽度, 其中三组连续栅极脉冲信号为所述第 N 级栅极脉冲信号 G(N) 至所述第 N+1 栅极脉冲

信号 $G(N+1)$ 为同步的第一组栅极脉冲信号,所述第 $N+2$ 栅极脉冲信号 $G(N+2)$ 至所述第 $N+3$ 栅极脉冲信号 $G(N+3)$ 为同步的第二组栅极脉冲信号,以及所述第 $N+4$ 栅极脉冲信号 $G(N+4)$ 至所述第 $N+5$ 栅极脉冲信号 $G(N+5)$ 为同步的第三组栅极脉冲信号,其中后组栅极脉冲信号较连续的前组栅极脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度,其中具有 1 倍所述第一时间差的波形宽度作为驱动所述阵列栅极 (Gate on array, GOA) 的栅极打开时间,以及具有 1 倍所述第一时间差的波形宽度作为提前栅极打开时间,用以延长所述阵列栅极 (Gate on array, GOA) 的相应画素的充电时间;以及所述第一时钟脉冲信号 CK1 至所述第八时钟脉冲信号 CK8 的波形宽度为 2 倍所述第一时间差的波形宽度,其中四组连续栅极脉冲信号为第一时钟脉冲信号 CK1 至所述第二时钟脉冲信号 CK2 为同步的第一组时钟脉冲信号,所述第三时钟脉冲信号 CK3 至所述第四时钟脉冲信号 CK4 为同步的第二组时钟脉冲信号,所述第五时钟脉冲信号 CK5 至所述第六时钟脉冲信号 CK6 为同步的第三组时钟脉冲信号,以及所述第七时钟脉冲信号 CK7 至所述第八时钟脉冲信号 CK8 为同步的第四组时钟脉冲信号。其中排序后组时钟脉冲信号较连续的排序前组时钟脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度,且晚结束一个所述第一时间差的波形宽度。

[0040] 请参阅图 5,为将图 4 所示的栅极驱动电路,输入图 5 所示的所述第一时钟脉冲信号 CK1 相续至所述第八时钟脉冲信号 CK8,以及输入图 5 所示的第 N 级起始脉冲信号 $ST(N)$ 相续至第 $N+4$ 级起始脉冲信号 $ST(N+4)$,最后得到的第 N 级栅极脉冲信号 $G(N)$,第 $N+1$ 级栅极脉冲信号 $G(N+1)$,第 $N+2$ 级栅极脉冲信号 $G(N+2)$,第 $N+3$ 级栅极脉冲信号 $G(N+3)$,第 $N+4$ 级栅极脉冲信号 $G(N+4)$ 的输出波形,输出波形与图 2 所示 $G(N)$, $G(N+1)$, $G(N+2)$, $G(N+3)$, $G(N+4)$ 脉冲信号相同,即为超高解析 (Ultra Definition, UD) 面板二维 (2D) 栅极驱动下所需的栅极脉冲 (gate pulse) 波形。

[0041] 请参阅图 6,若想通过栅极阵列 (gate on array, GOA) 电路实现输出如图 3 所示三维 (3D) 面板栅极驱动的栅极脉冲 (gate pulse) 波形,需对图 4 所示栅极驱动电路,输入图 6 所示的第一时钟脉冲信号 CK1 相续至所述第八时钟脉冲信号 CK8,以及输入图 6 所示的所述第 N 级起始脉冲信号 $ST(N)$ 相续至第 $N+5$ 级起始脉冲信号 $ST(N+5)$ 进行调整,将 CK1 至 CK8,以及 $ST(N)$ 至 $ST(N+5)$ 讯号宽度降为上述二维 (2D) 时的 50%;并将 CK1 至 CK8,以及 $ST(N)$ 至 $ST(N+5)$ 讯号相位两两一组,输入相同讯号。调整到如图 6 所示波形,即可输出图 3 所示的三维 (3D) 栅极脉冲 (gate pulse) 波形,具体实施方式如图 6 所示。

[0042] 本发明提供另一实施例,为一种显示装置,使用上述如图 4 所示本发明的所述栅极驱动电路。所述显示装置具有一液晶显示面板,用于显示图像,以及具有所述栅极驱动电路集成在所述液晶显示面板中。所述驱动电路包括第一开关元件 M1、第二开关元件 M2、第三开关元件 M3、第四开关元件 M4、第五开关元件 M5、第六开关元件 M6、第七开关元件 M7、第八开关元件 M8、第九开关元件 M9、第十开关元件 M10、第十一开关元件 M11、第十二开关元件 M12、第十三开关元件 M13、以及第一电容 C1,脉冲信号具有第 N 级起始脉冲信号 $ST(N)$ 、第 N 级栅极脉冲信号 $G(N)$,时钟脉冲信号具有第一时钟脉冲信号 CK1 相续至所述第八时钟脉冲信号 CK8。

[0043] 在本实施例中显示装置,第一开关元件至第十三开关元件 M1 ~ M13 为 N 型晶体管。第一控制端至第十三控制端为栅极。漏极包括:第一开关元件 M1 的第一通路端、第

二开关元件 M2 的第三通路端、第三开关元件 M3 的第五通路端、第四开关元件 M4 的第七通路端、第五开关元件 M5 的第九通路端、第六开关元件 M6 的第十一通路端、第七开关元件 M7 的第十四通路端、第八开关元件 M8 的第十五通路端、第九开关元件 M9 的第十七通路端、第十开关元件 M10 的第二十通路端、第十一开关元件 M11 的第二十一通路端、第十二开关元件 M12 的第二十三通路端、第十三开关元件 M13 的第二十五通路端均为漏极。

[0044] 显示装置的源极包括：第一开关元件 M1 的第二通路端、第二开关元件 M2 的第四通路端、第三开关元件 M3 的第六通路端、第四开关元件 M4 的第八通路端、第五开关元件 M5 的第十通路端、第六开关元件 M6 的第十二通路端、第七开关元件 M7 的第十三通路端、第八开关元件 M8 的第十六通路端、第九开关元件 M9 的第十八通路端、第十开关元件 M10 的第十九通路端、第十一开关元件 M11 的第二十二通路端、第十二开关元件 M12 的第二十四通路端及第十三开关元件 M13 的第二十六通路端均为源极。

[0045] 当然，可以理解的是，显示装置的第一开关元件至第十三开关元件 M1 ~ M13 也可以采用其他的开关元件而实现，例如 P 型晶体管。

[0046] 显示装置以下以第一开关元件 M1 至第十三开关元件 M1 ~ M13 为 N 型晶体管为例来具体地介绍本发明的具体实施方式及其工作原理。

[0047] 本发明显示装置的栅极驱动电路，包括：一第一开关元件，包括一第一通路端，一第一控制端，一第二通路端，所述第一通路端连结所述第一控制端，所述第一控制端接收一第 N-4 级起始脉冲信号 ST(N-4)/一第 N-4 级栅极脉冲信号 G(N-4)；一第二开关元件，包括一第三通路端，一第二控制端，一第四通路端，所述第三通路端接收一第一时钟脉冲信号 CK1。一第三开关元件 M3，包括一第五通路端，一第三控制端，一第六通路端，所述第三开关元件 M3 的所述第三控制端连结所述第一开关元件的所述第二通路端，所述第三开关元件 M3 的所述第六通路端输出一第 N 级起始脉冲信号 ST(N)，所述第二开关元件 M2 的所述第二控制端是连结所述第三开关元件 M3 的所述第三控制端；一第四开关元件 M4，包括一第七通路端，一第四控制端，一第八通路端，所述第四开关元件 M4 的所述第七通路端连结第四开关元件 M4 的所述第四控制端，所述第四控制端接收所述第一时钟脉冲信号 CK1；一第五开关元件 M5，包括一第九通路端，一第五控制端，一第十通路端，所述第五开关元件 M5 的所述第十通路端连接一第一电压源，所述第五控制端接收一第 N 级预充电压节点讯号脉冲 Q(N)；一第六开关元件 M6，包括一第十一通路端，一第六控制端，一第十二通路端，所述第六开关元件 M6 的所述第十一通路端连接所述第四开关元件 M4 的所述第七通路端以及连结第四开关元件 M4 的所述第四控制端，所述第六开关元件 M6 的所述第六控制端连结所述第四开关元件 M4 的所述第八通路端以及连结所述第五开关元件 M5 的所述第九通路端；一第七开关元件 M7，包括一第十三通路端，一第七控制端，一第十四通路端，所述第七开关元件 M7 的所述第十四通路端连接一第一电压源，所述第七开关元件 M7 的所述第七控制端是连结所述第五开关元件 M5 的所述第五控制端。一第八开关元件 M8，包括一第十五通路端，一第八控制端，一第十六通路端，所述第八开关元件 M8 的所述第八控制端连结所述第六开关元件 M6 的所述第十二通路端以及连结所述第七开关元件 M7 的所述第十三通路端，所述第八开关元件 M8 的所述第十五通路端连结所述第三开关元件 M3 的所述第三控制端以及连结所述第一开关元件的所述第二通路端，所述第八开关元件 M8 的所述第十六通路端输出一第 N 级栅极脉冲信号 G(N)；一第九开关元件 M9，包括一第十七通路端，一第九控制端，一第十八通

路端,所述第九开关元件 M9 的所述第十八通路端连接一第一电压源,所述第九开关元件 M9 的所述第九控制端是连结所述第八开关元件 M8 的所述第八控制端。一第十开关元件 M10,包括一第十九通路端,一第十控制端,一第二十通路端,所述第十开关元件 M10 的所述第十九通路端连结所述第三开关元件 M3 的所述第三控制端以及连结所述第一开关元件的所述第二通路端,所述第十开关元件 M10 的所述第二十通路端接收所述第 N-4 级起始脉冲信号 ST(N-4)/所述第 N-4 级栅极脉冲信号 G(N-4);一第十一开关元件 M11,包括一第二十一通路端,一第十一控制端,一第二十二通路端,所述第十一开关元件 M11 的所述第十一控制端连结所述第十开关元件 M10 的所述第十控制端,并接收一第五时钟脉冲信号 CK5,所述第十一开关元件 M11 的所述第二十二通路端连接所述第一电压源;一第十二开关元件 M12,包括一第二十三通路端,一第十二控制端,一第二十四通路端,所述第十二开关元件 M12 的所述第二十三通路端连结所述第三开关元件 M3 的所述第三控制端以及连结所述第一开关元件的所述第二通路端,所述第十二开关元件 M12 的所述第二十四通路端连接所述第一电压源;以及一第十三开关元件 M13,包括一第二十五通路端,一第十三控制端,一第二十六通路端,所述第十三开关元件 M13 的所述第二十五通路端连结所述第十二开关元件 M12 的所述第十二控制端,并接收一第 N+4 级起始脉冲信号 ST(N+4)/一第 N+4 级栅极脉冲信号 G(N+4),所述第十三开关元件 M13 的所述第二十六通路端连接所述第一电压源;其中, N 为自然数。

[0048] 本发明显示装置的所述栅极驱动电路,更包括一第一电容 C1,所述第一电容 C1 的一端连结所述第三开关元件 M3 的所述第三控制端以及连结所述第一开关元件的所述第二通路端,并于连结点上形成所述第 N 级预充电电压节点讯号脉冲 Q(N),所述第一电容 C1 的另一端连结所述第二开关元件 M2 的所述第四通路端、连结所述第九开关元件 M9 的所述第十七通路端、以及连结所述第十一开关元件 M11 的所述第二十一通路端、并共同输出所述第 N 级栅极脉冲信号 G(N)。

[0049] 本发明显示装置的所述第一开关元件到所述第十三开关元件 M13 均为 N 型晶体管。时钟脉冲信号的第一时钟脉冲信号 CK1 至第八时钟脉冲信号 CK8 的占空比 (duty ratio) 相同,为 50%。所述栅极驱动电路驱动一阵列栅极 (Gate on array, GOA) 的栅极打开时间为一第一时间差,所述第 N 级起始脉冲信号 ST(N) 与相应同级的所述第 N 级栅极脉冲信号 G(N) 之间的相应脉冲波形宽度,以及相续级的相应时间排序相同。

[0050] 此外,本发明显示装置的所述栅极驱动电路,脉冲波形宽度包括:用以驱动二维 (2D) 液晶显示器 (LCD) 中第 N 级起始脉冲信号 ST(N) 至所述第 N+4 级起始脉冲信号 ST(N+4) 的波形宽度,为用以驱动三维 (3D) 液晶显示器 (LCD) 中第 N 级起始脉冲信号 ST(N) 至所述第 N+4 级起始脉冲信号 ST(N+4) 的波形宽度的两倍;用以驱动二维 (2D) 液晶显示器 (LCD) 中所述第 N 级栅极脉冲信号 G(N) 至所述第 N+4 级栅极脉冲信号 G(N+4) 的波形宽度,为用以驱动三维 (3D) 液晶显示器 (LCD) 中所述第 N 级栅极脉冲信号 G(N) 至所述第 N+5 级栅极脉冲信号 G(N+5) 的波形宽度的两倍;用以驱动二维 (2D) 液晶显示器 (LCD) 中所述第一时钟脉冲信号 CK1 相续至所述第八时钟脉冲信号 CK8 的波形宽度,为用以驱动三维 (3D) 液晶显示器 (LCD) 中所述第一时钟脉冲信号 CK1 相续至所述第八时钟脉冲信号 CK8 的波形宽度的两倍。

[0051] 本发明显示装置的所述栅极驱动电路,用以驱动二维 (2D) 液晶显示器 (LCD),驱

动结构包括：所述第 N 级起始脉冲信号 ST(N) 至所述第 N+4 级起始脉冲信号 ST(N+4) 的波形宽度为 4 倍所述第一时间差的波形宽度，其中后级起始脉冲信号较连续的前级起始脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度，且晚结束一个所述第一时间差的波形宽度；所述第 N 级栅极脉冲信号 G(N) 至所述第 N+4 级栅极脉冲信号 G(N+4) 的波形宽度为 4 倍所述第一时间差的波形宽度，其中后级栅极脉冲信号较连续的前级栅极脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度，且晚结束一个所述第一时间差的波形宽度，其中具有 1 倍所述第一时间差的波形宽度作为驱动所述阵列栅极 (Gate on array, GOA) 的栅极打开时间，以及具有 3 倍所述第一时间差 (的波形宽度作为提前栅极打开时间，用以延长所述阵列栅极 (Gate on array, GOA) 的相应画素的充电时间；以及所述第一时钟脉冲信号 CK1 相续至所述第八时钟脉冲信号 CK8 的波形宽度为 4 倍所述第一时间差的波形宽度，其中排序后级时钟脉冲信号较连续的排序前级时钟脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度，且晚结束一个所述第一时间差的波形宽度。

[0052] 本发明显示装置的所述栅极驱动电路，用以驱动三维 (3D) 液晶显示器 (LCD)，驱动结构包括：所述第 N 级起始脉冲信号 ST(N) 至所述第 N+4 级起始脉冲信号 ST(N+4) 的波形宽度为 2 倍所述第一时间差的波形宽度，其中三组连续起始脉冲信号为所述第 N 级起始脉冲信号 ST(N) 至所述第 N+1 级起始脉冲信号 ST(N+1) 为同步的第一组起始脉冲信号，所述第 N+2 级起始脉冲信号 ST(N+2) 至所述第 N+3 级起始脉冲信号 ST(N+3) 为同步的第二组起始脉冲信号，以及所述第 N+4 级起始脉冲信号 ST(N+4) 至所述第 N+5 级起始脉冲信号 ST(N+5) 为同步的第三组起始脉冲信号，其中后组起始脉冲信号较连续的前组起始脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度，且晚结束一个所述第一时间差的波形宽度；所述第 N 级栅极脉冲信号 G(N) 至所述第 N+5 级栅极脉冲信号 G(N+5) 的波形宽度为 2 倍所述第一时间差的波形宽度，其中三组连续栅极脉冲信号为所述第 N 级栅极脉冲信号 G(N) 至所述第 N+1 级栅极脉冲信号 G(N+1) 为同步的第一组栅极脉冲信号，所述第 N+2 级栅极脉冲信号 G(N+2) 至所述第 N+3 级栅极脉冲信号 G(N+3) 为同步的第二组栅极脉冲信号，以及所述第 N+4 级栅极脉冲信号 G(N+4) 至所述第 N+5 级栅极脉冲信号 G(N+5) 为同步的第三组栅极脉冲信号，其中后组栅极脉冲信号较连续的前组栅极脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度，且晚结束一个所述第一时间差的波形宽度，其中具有 1 倍所述第一时间差的波形宽度作为驱动所述阵列栅极 (Gate on array, GOA) 的栅极打开时间，以及具有 1 倍所述第一时间差的波形宽度作为提前栅极打开时间，用以延长所述阵列栅极 (Gate on array, GOA) 的相应画素的充电时间；以及所述第一时钟脉冲信号 CK1 至所述第八时钟脉冲信号 CK8 的波形宽度为 2 倍所述第一时间差的波形宽度，其中四组连续栅极脉冲信号为第一时钟脉冲信号 CK1 至所述第二时钟脉冲信号 CK2 为同步的第一组时钟脉冲信号，所述第三时钟脉冲信号 CK3 至所述第四时钟脉冲信号 CK4 为同步的第二组时钟脉冲信号，所述第五时钟脉冲信号 CK5 至所述第六时钟脉冲信号 CK6 为同步的第三组时钟脉冲信号，以及所述第七时钟脉冲信号 CK7 至所述第八时钟脉冲信号 CK8 为同步的第四组时钟脉冲信号，其中排序后组时钟脉冲信号较连续的排序前组时钟脉冲信号的时间顺序为晚启动一个所述第一时间差的波形宽度，且晚结束一个所述第一时间差的波形宽度。

[0053] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润

饰,因此本发明的保护范围以权利要求界定的范围为准。

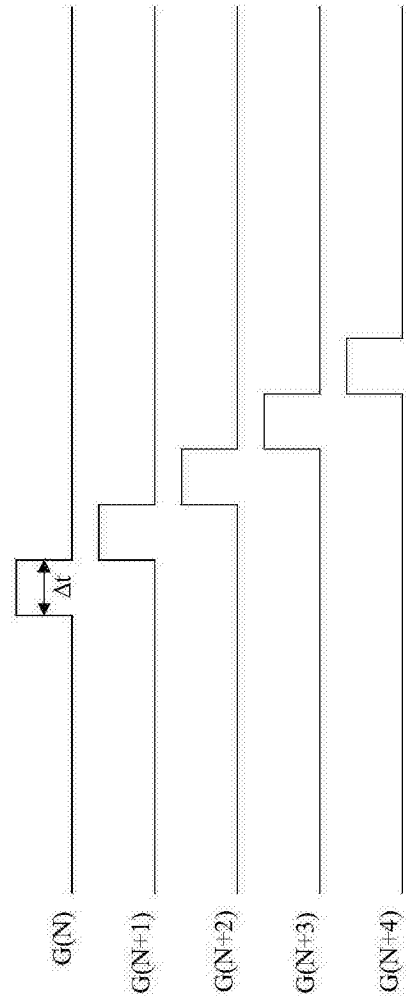


图 1

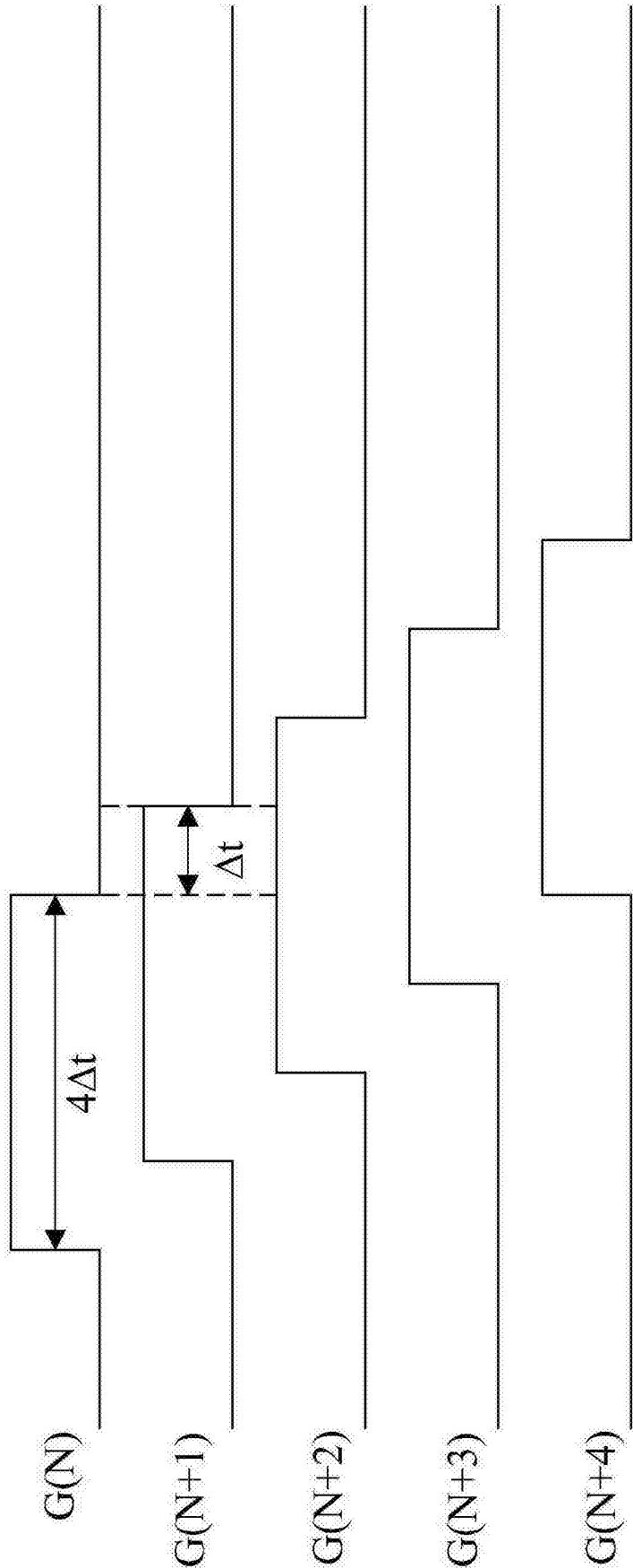


图 2

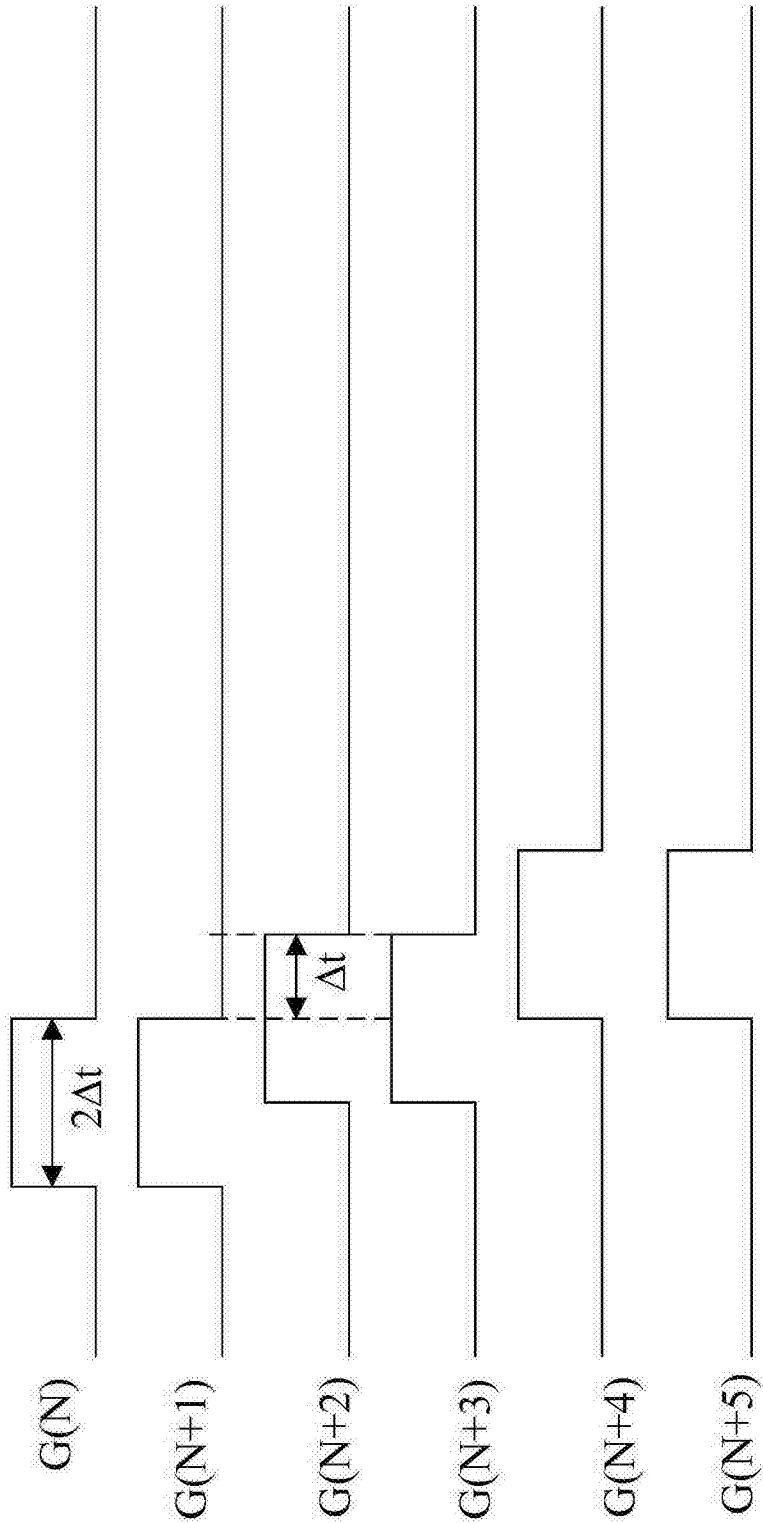


图 3

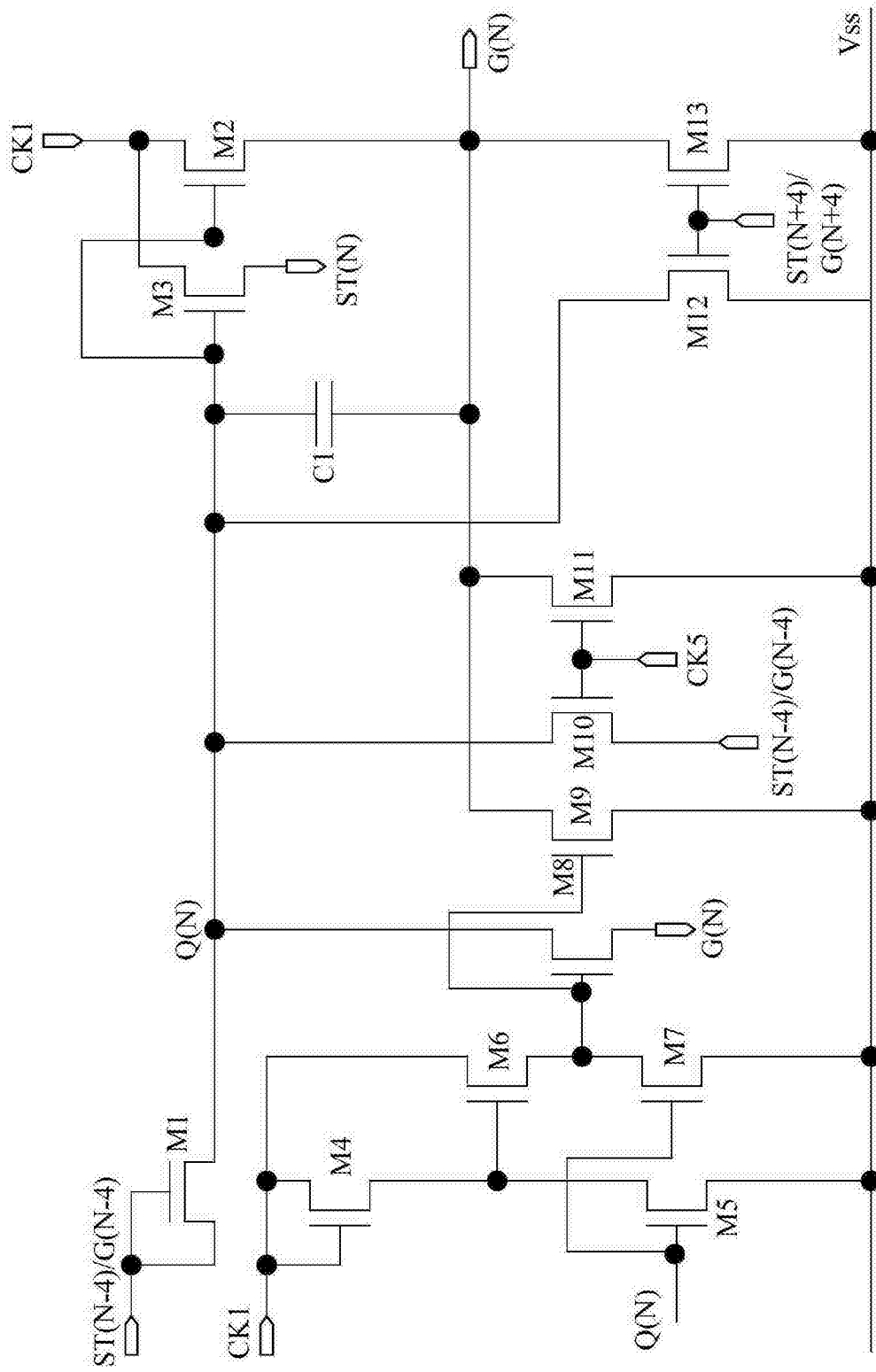


图 4

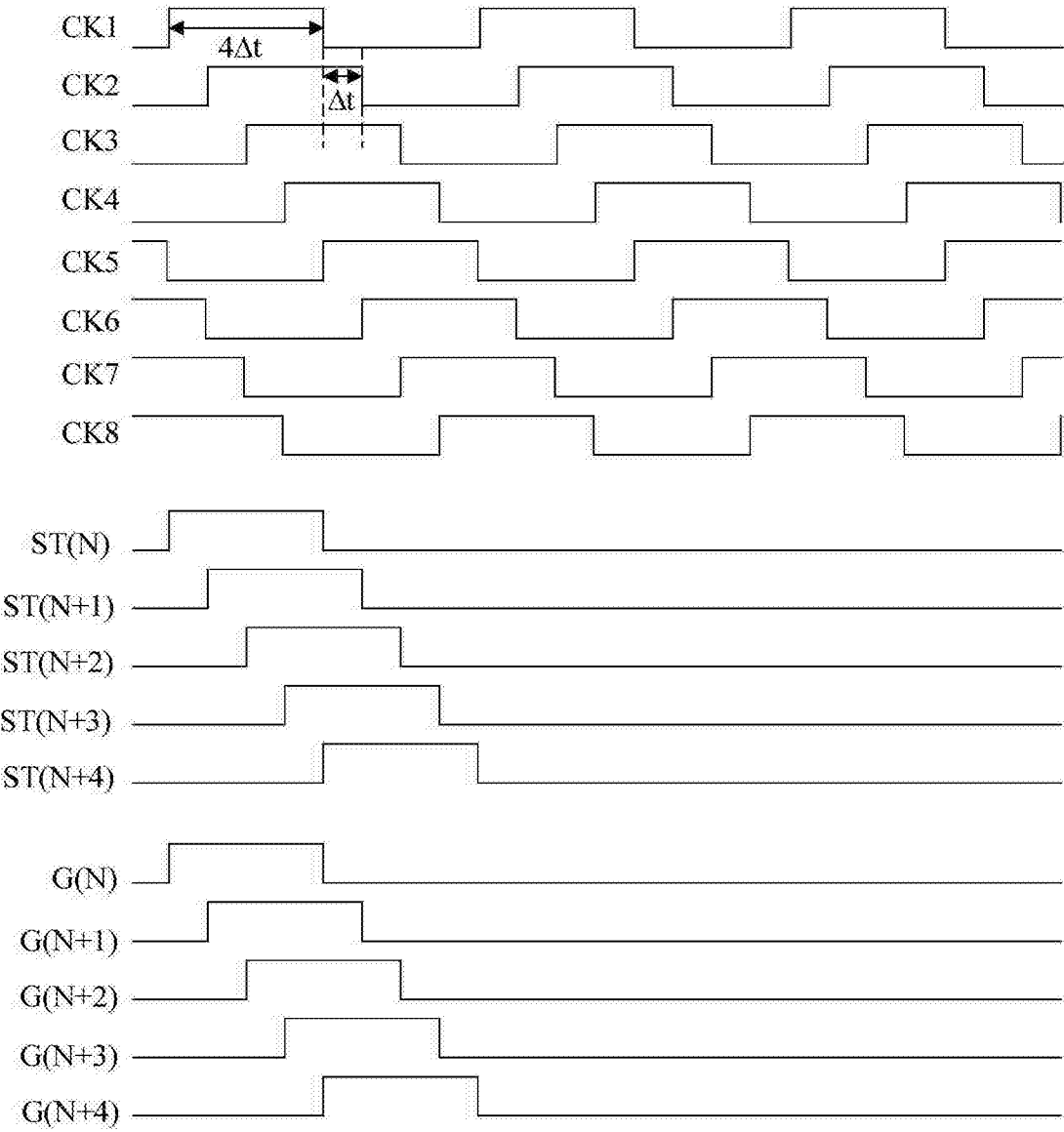


图 5

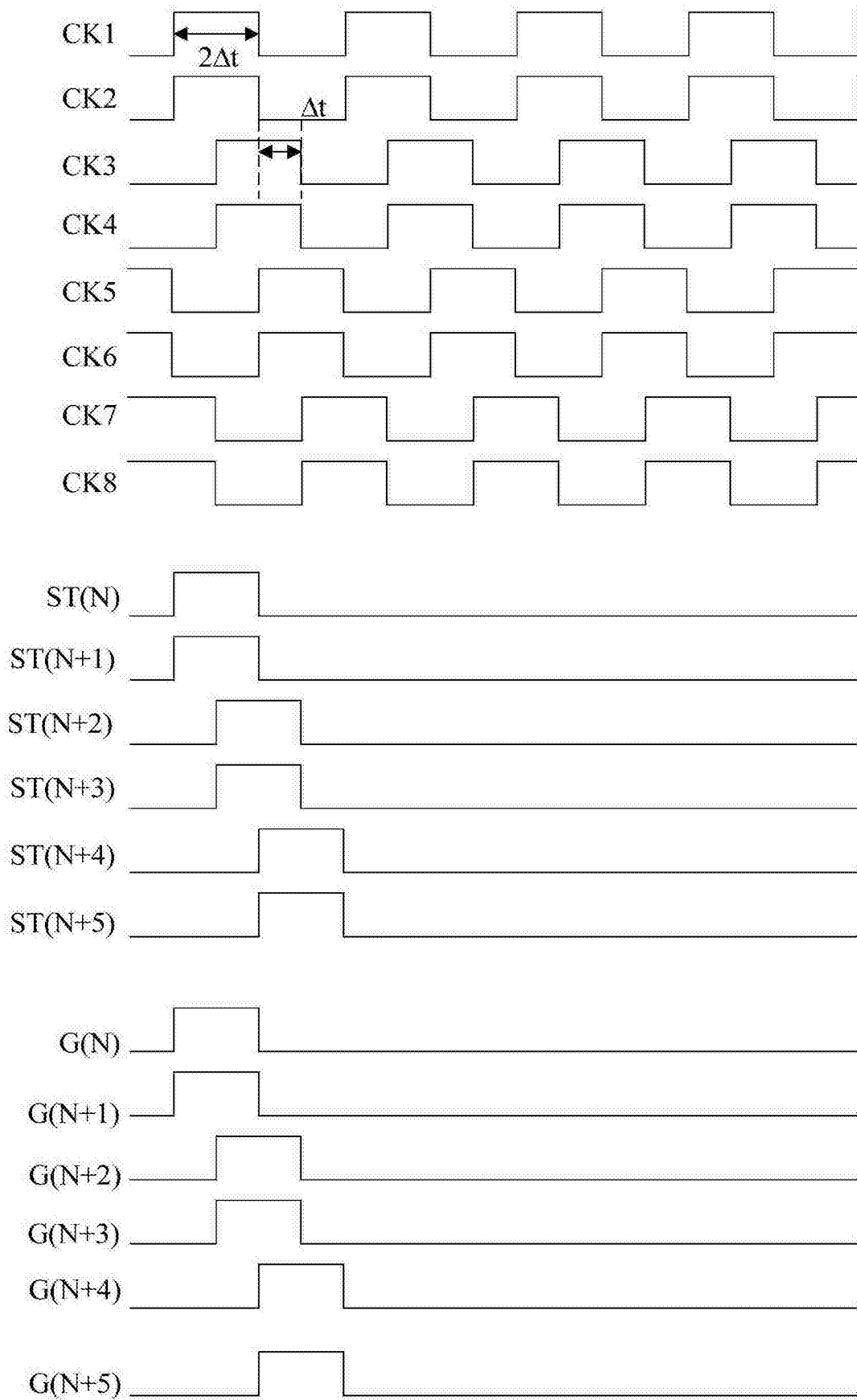


图 6

专利名称(译)	一种栅极驱动电路及其显示装置		
公开(公告)号	CN105280153A	公开(公告)日	2016-01-27
申请号	CN201510825091.7	申请日	2015-11-24
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	王笑笑 杜鹏		
发明人	王笑笑 杜鹏		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G3/3696 G09G2300/0809 G09G2310/0286 G11C19/28		
代理人(译)	黄威		
其他公开文献	CN105280153B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种为栅极阵列(gate on array, GOA)的栅极驱动电路及其显示装置, 包括第一开关组件至第十三开关组件以及第一电容。该栅极驱动电路可形成二维的栅极驱动或三维的栅极驱动, 具有延长栅极开启时间之效果。三维的栅极驱动有两个一组结构的脉冲信号, 包括第N级起始脉冲信号、第N级栅极脉冲信号, 以及第一时钟脉冲信号相续至所述第八时钟脉冲信号, 提供像素足够充电时间, 达到液晶显示面板较佳的显示效果。

