



(12) 发明专利申请

(10) 申请公布号 CN 103680439 A

(43) 申请公布日 2014. 03. 26

(21) 申请号 201310617047. 8

(22) 申请日 2013. 11. 27

(71) 申请人 合肥京东方光电科技有限公司

地址 230012 安徽省合肥市新站区铜陵北路
2177 号

申请人 京东方科技集团股份有限公司

(72) 发明人 郑亮亮 何剑

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 李迪

(51) Int. Cl.

G09G 3/36 (2006. 01)

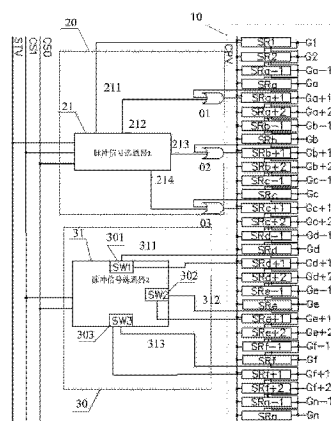
权利要求书2页 说明书8页 附图4页

(54) 发明名称

一种栅极驱动电路和显示装置

(57) 摘要

本发明公开了一种栅极驱动电路和显示装置,其中栅极驱动电路包括由多个移位寄存器单元依次相连组成的移位寄存器,还包括:第一选通模块和/或第二选通模块;第一选通模块,其连接于栅极扫描触发信号线和选通信号线;第二选通模块,其连接于选通信号线。通过增加第一选通模块用于根据选通信号线提供的选通信号而将栅极扫描触发信号线上的栅极扫描触发信号提供给预定的移位寄存器单元,第二选通模块用于根据选通信号线提供的选通信号而切断预定的移位寄存器单元与其上一级移位寄存器单元之间的联系,使得移位寄存器从预定的移位寄存器单元开始关闭,实现液晶显示面板在部分显示模式时选择性关闭扫黑区域的栅极信号,从而降低整个显示面板的功耗。



1. 一种栅极驱动电路,包括由多个移位寄存器单元依次相连组成的移位寄存器,其特征在于,还包括:第一选通模块和/或第二选通模块;

第一选通模块,其连接于栅极扫描触发信号线和选通信号线,用于根据所述选通信号线提供的选通信号而将所述栅极扫描触发信号线上的栅极扫描触发信号提供给预定的移位寄存器单元,使得所述移位寄存器从预定的移位寄存器单元开始工作;和/或

第二选通模块,其连接于选通信号线,用于根据所述选通信号线提供的选通信号而切断预定的移位寄存器单元与其上一级移位寄存器单元之间的联系,使得所述移位寄存器从预定的移位寄存器单元开始关闭。

2. 根据权利要求1所述栅极驱动电路,其特征在于,所述第一选通模块包括第一脉冲信号选通器和至少一个或门:

第一脉冲信号选通器的输入端连接所述栅极扫描触发信号和所述选通信号,第一输出端与所述移位寄存器中的第一级移位寄存器单元的输入端连接,其他输出端与或门的输入端连接;

或门的第一输入端连接所述第一脉冲信号选通器的除第一输出端之外的输出端,第二输入端连接预定的移位寄存器单元的上一级移位寄存器单元的输出端,其输出端与所述预定的移位寄存器单元的输入端连接。

3. 根据权利要求1所述栅极驱动电路,其特征在于,所述第二选通模块包括:

第二脉冲信号选通器,其输入端连接所述选通信号和预定的移位寄存器单元的上一级移位寄存器单元的输出端,其输出端与所述预定的移位寄存器单元的输入端连接。

4. 根据权利要求2所述栅极驱动电路,其特征在于,所述第一脉冲信号选通器的输出端在同一时刻只有一个输出端被选通。

5. 根据权利要求2或3所述栅极驱动电路,其特征在于,所述选通信号的个数为 N ,所述第一脉冲信号选通器的输出端个数为 M ,或门的个数最多为 $M-1$,所述第二脉冲信号选通器的输出端个数为 L ,其中, $M \leq 2^N$, $L \leq 2^N$, L, M, N 均为自然数。

6. 根据权利要求5所述栅极驱动电路,其特征在于,当 $N=2, M=4, L=3$ 时,所述选通信号包括第一选通信号和第二选通信号。

7. 根据权利要求1所述栅极驱动电路,其特征在于,所述移位寄存中除了第一级移位寄存器单元之外的所有其它级移位寄存器单元的输出端均与上一级移位寄存器单元的复位信号输入端连接,用于复位上一级移位寄存器单元;并且

所述移位寄存器中的每一级移位寄存器单元的输入端均与栅极驱动时钟信号连接。

8. 根据权利要求3所述栅极驱动电路,其特征在于,所述预定的移位寄存器单元的上一级移位寄存器单元的输出端还连接于所述栅极扫描触发信号线。

9. 如权利要求6所述的栅极驱动电路,其特征在于,当所述第一选通信号和所述第二选通信号都为低电平时,所述第一脉冲信号选通器的第一输出端被选通,第二输出端、第三输出端和第四输出端输出低电平,所述第二脉冲信号选通器的第一输出端、第二输出端和第三输出端均接通。

10. 如权利要求6所述的栅极驱动电路,其特征在于,当所述第一选通信号为低电平,所述第二选通信号都为高电平时,所述第一脉冲信号选通器的第二输出端被选通,第一输出端、第三输出端和第四输出端输出低电平,所述第二脉冲信号选通器的第一输出端和第

二输出端均接通,第三输出端关闭。

11. 如权利要求 6 所述的栅极驱动电路,其特征在于,当所述第一选通信号为高电平,所述第二选通信号都为低电平时,所述第一脉冲信号选通器的第三输出端被选通,第一输出端、第二输出端和第四输出端输出低电平,所述第二脉冲信号选通器的第一输出端接通,第二输出端和第三输出端均关闭。

12. 如权利要求 6 所述的栅极驱动电路,其特征在于,当所述第一选通信号和所述第二选通信号都为高电平时,所述第一脉冲信号选通器的第四输出端被选通,第一输出端、第二输出端和第三输出端输出低电平,所述第二脉冲信号选通器的第一输出端、第二输出端和第三输出端均关闭。

13. 一种显示装置,其特征在于,所述显示装置中包括多条栅极线以及如权利要求 1-12 中任一项所述的栅极驱动电路,各所述移位寄存器单元的输出端与各栅极线以一一对应的方式连接。

一种栅极驱动电路和显示装置

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种栅极驱动电路和显示装置。

背景技术

[0002] 近年来,随着半导体科技的蓬勃发展,便携式电子产品及平面显示器产品也随之兴起。薄膜晶体管(Thin Film Transistor,简称 TFT)液晶显示器由于具有操作电压低、无辐射线散射、重量轻以及体积小等优点,已逐渐成为各种电子产品的标准输出设备。随着各种显示设备,如手机、平板电脑(PAD)等系统集成度越来越高,厚度越来越薄,系统的中央处理器(Central Processing Unit,简称 CPU)从先前的单核升级到现在的双核、四核和八核乃至更多核产品系统陆续问市,系统耗电越来越高,市场对手机和 PAD 的续航时间的要求也越来越高,从而持续降低显示设备的功耗成为系统厂商和面板厂商持续追求的目标。

[0003] TFT 液晶显示器一般由水平和垂直两个方向排列的像素矩阵构成, TFT 液晶显示器进行显示时,通过移位寄存器(Shift Register,简称 SR)产生栅极输入信号,即驱动电路的输出信号 G1、G2、..... Gn,从第一行到最后一行依次扫描各行像素,如图 1 所示。每一个移位寄存器的输入端都有栅极驱动时钟信号 CPV,在第一级移位寄存器单元 SR1 的输入端还有栅极扫描触发信号 STV。在现有 TFT 液晶显示器设计中,当 TFT 液晶显示器处于部分显示状态时会进行扫黑动作,即 TFT 液晶显示器的栅极会从上到下逐行进行扫描,而源极驱动信号(即数据线)一直保持在低电平,未对 TFT 液晶显示器进行充电,从而降低源极驱动芯片的功耗,相应的栅极逻辑时序图如图 2 所示。

[0004] 现有的电路设计,仅是降低了源极驱动电路的功耗,然而,当 TFT 液晶显示器处于部分显示状态时,例如,当以长宽比为 4:3 的屏幕全屏播放长宽比为 16:9 的影片时,屏幕的上下边处存在黑色的边幅(即扫黑区域),然而栅极驱动电路依然从上到下逐行进行扫描而并没有关闭扫黑区域的栅极信号,从而栅极驱动电路的功耗没有降低,这就会造成液晶显示器的总体功耗仍然很大。

发明内容

[0005] (一)要解决的技术问题

[0006] 针对上述缺陷,本发明要解决的技术问题是如何降低栅极驱动电路的功耗,进一步降低液晶显示面板的总体功耗。

[0007] (二)技术方案

[0008] 为解决上述问题,本发明提供了一种栅极驱动电路,由多个移位寄存器单元依次相连组成的移位寄存器,还包括:第一选通模块和/或第二选通模块;

[0009] 第一选通模块,其连接于栅极扫描触发信号线和选通信号线,用于根据所述选通信号线提供的选通信号而将所述栅极扫描触发信号线上的栅极扫描触发信号提供给预定的移位寄存器单元,使得所述移位寄存器从预定的移位寄存器单元开始工作;和/或

[0010] 第二选通模块,其连接于选通信号线,用于根据所述选通信号线提供的选通信号

而切断预定的移位寄存器单元与其上一级移位寄存器单元之间的联系,使得所述移位寄存器从预定的移位寄存器单元开始关闭。

[0011] 进一步地,所述第一选通模块包括第一脉冲信号选通器和至少一个或门:

[0012] 第一脉冲信号选通器的输入端连接所述栅极扫描触发信号和所述选通信号,第一输出端与所述移位寄存器中的第一级移位寄存器单元的输入端连接,其他输出端与或门的输入端连接;

[0013] 或门的第一输入端连接所述第一脉冲信号选通器的除第一输出端之外的输出端,第二输入端连接预定的移位寄存器单元的上一级移位寄存器单元的输出端,其输出端与所述预定的移位寄存器单元的输入端连接。

[0014] 进一步地,所述第二选通模块包括:

[0015] 第二脉冲信号选通器,其输入端连接所述选通信号和预定的移位寄存器单元的上一级移位寄存器单元的输出端,其输出端与所述预定的移位寄存器单元的输入端连接。

[0016] 进一步地,所述第一脉冲信号选通器的输出端在同一时刻只有一个输出端被选通。

[0017] 进一步地,所述选通信号的个数为 N ,所述第一脉冲信号选通器的输出端个数为 M ,或门的个数最多为 $M-1$,所述第二脉冲信号选通器的输出端个数为 L ,其中, $M \leq 2^N$, $L \leq 2^N$, L 、 M 、 N 均为自然数。

[0018] 进一步地,当 $N=2$, $M=4$, $L=3$ 时,所述选通信号包括第一选通信号和第二选通信号。

[0019] 进一步地,所述移位寄存中除了第一级移位寄存器单元之外的所有其它级移位寄存器单元的输出端均与上一级移位寄存器单元的复位信号输入端连接,用于复位上一级移位寄存器单元;并且

[0020] 所述移位寄存器中的每一级移位寄存器单元的输入端均与栅极驱动时钟信号连接。

[0021] 进一步地,所述预定的移位寄存器单元的上一级移位寄存器单元的输出端还连接于所述栅极扫描触发信号线。

[0022] 进一步地,当所述第一选通信号和所述第二选通信号都为低电平时,所述第一脉冲信号选通器的第一输出端被选通,第二输出端、第三输出端和第四输出端输出低电平,所述第二脉冲信号选通器的第一输出端、第二输出端和第三输出端均接通。

[0023] 进一步地,当所述第一选通信号为低电平,所述第二选通信号都为高电平时,所述第一脉冲信号选通器的第二输出端被选通,第一输出端、第三输出端和第四输出端输出低电平,所述第二脉冲信号选通器的第一输出端和第二输出端均接通,第三输出端关闭。

[0024] 进一步地,当所述第一选通信号为高电平,所述第二选通信号都为低电平时,所述第一脉冲信号选通器的第三输出端被选通,第一输出端、第二输出端和第四输出端输出低电平,所述第二脉冲信号选通器的第一输出端接通,第二输出端和第三输出端均关闭。

[0025] 进一步地,当所述第一选通信号和所述第二选通信号都为高电平时,所述第一脉冲信号选通器的第四输出端被选通,第一输出端、第二输出端和第三输出端输出低电平,所述第二脉冲信号选通器的第一输出端、第二输出端和第三输出端均关闭。

[0026] 为解决上述问题,本发明还提供了一种显示装置,该显示装置包括多条栅极线以及上述的栅极驱动电路,各所述移位寄存器单元的输出端与各栅极线以一一对应的方式连

接。

[0027] (三) 有益效果

[0028] 本发明提供了一种栅极驱动电路,包括由多个移位寄存器单元依次相连组成的移位寄存器,还包括:第一选通模块和/或第二选通模块;第一选通模块连接于栅极扫描触发信号线和选通信号线,用于根据选通信号线提供的选通信号而将栅极扫描触发信号线上的栅极扫描触发信号提供给预定的移位寄存器单元,使得移位寄存器从预定的移位寄存器单元开始工作;和/或第二选通模块连接于选通信号线,用于根据选通信号线提供的选通信号而切断预定的移位寄存器单元与其上一级移位寄存器单元之间的联系,使得移位寄存器从预定的移位寄存器单元开始关闭。通过在栅极驱动电路中增加第一选通模块,控制栅极扫描触发信号加载到预定的移位寄存器单元的输入端上并从该移位寄存器单元开始工作,增加第二选通模块,能够根据选通信号的情况控制栅极逐行扫描的栅极输出从预定的移位寄存器开始关闭,实现液晶显示面板在部分显示模式时不再需要从上到下逐行进行扫描而并没有关闭扫黑区域的栅极信号,而是选择性关闭扫黑区域的栅极信号,从而降低栅极驱动电路的功耗,进一步降低整个显示面板的功耗。

附图说明

- [0029] 图1为现有技术中的栅极驱动电路设计原理图;
[0030] 图2为现有技术中的栅极驱动电路的逻辑时序图;
[0031] 图3为本发明实施例提供的一种栅极驱动电路的组成示意图;
[0032] 图4为本发明实施例提供一种最佳方案的栅极驱动电路的设计原理图;
[0033] 图5为选通信号的控制信号功能查询表;
[0034] 图6为本发明实施例提供的部分显示模式中CS0=0,CS1=1时的时序图;
[0035] 图7为本发明实施例提供的部分显示模式中CS0=1,CS1=0时的时序图;
[0036] 图8为本发明实施例提供的部分显示模式中CS0=1,CS1=1时的时序图。

具体实施方式

[0037] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明,但不用来限制本发明的范围。

[0038] 本发明提供了一种栅极驱动电路,其组成示意图如图3所示,由多个移位寄存器单元依次相连组成的移位寄存器10,其特征在于,还包括:第一选通模块20和/或第二选通模块30;

[0039] 其中第一选通模块20,其连接于栅极扫描触发信号线和选通信号线,用于根据选通信号线提供的选通信号而将栅极扫描触发信号线上的栅极扫描触发信号提供给预定的移位寄存器单元,使得移位寄存器10从预定的移位寄存器单元开始工作;和/或

[0040] 第二选通模块30,其连接于选通信号线,用于根据选通信号线提供的选通信号而切断预定的移位寄存器单元与其上一级移位寄存器单元之间的联系,使得移位寄存器10从预定的移位寄存器单元开始关闭。

[0041] 上述栅极驱动电路,在现有技术提供的只包括移位寄存器的栅极驱动电路基础上,增加第一选通模块和第二选通模块,第一选通模块用于控制栅极扫描触发信号加载到

预定的移位寄存器的输入端上,第二选通模块用于控制栅极逐行扫描的栅极输出从预定的移位寄存器开始关闭,实现液晶显示面板在部分显示模式时选择性关闭扫描区域的栅极信号,从而降低栅极驱动电路的功耗,进一步降低整个显示面板的功耗。

[0042] 具体的,本实施例中的移位寄存器 10 是由多级移位寄存器单元依次连接组成的,即在移位寄存器 10 中包括 n 个移位寄存器单元,对其进行分级表示分别为 $1, \dots, n$,即第一级移位寄存器单元 SR1、第二级移位寄存器单元 SR2、第 $a-1$ 级移位寄存器单元 SR $a-1$ 、第 a 级移位寄存器单元 SR a 、第 $a+1$ 级移位寄存器单元 SR $a+1, \dots$ 第 n 级移位寄存器单元 SR n ,相对应的输出端为 $G1, G2, Ga-1, Ga, Ga+1, \dots, Gn$ 。

[0043] 需要说明的是,本实施例中选通信号线提供的选通信号个数至少为 1 个,选通信号的个数不作具体限定,还可以根据兼容的部分显示的情况进行选择。

[0044] 优选地,移位寄存器 10 中除了第一级移位寄存器单元 SR1 之外的所有其它级移位寄存器单元的输出端均与上一级移位寄存器单元的复位信号输入端连接,用于复位上一级移位寄存器单元,并且移位寄存器 10 中的每一级移位寄存器单元的输入端均与栅极驱动时钟信号 CPV 连接。例如,第 a 级移位寄存器单元的输出端 Ga 与上一级移位寄存器单元(即第 $a-1$ 级移位寄存器单元的复位信号输入端)连接,以此类推。需要说明的是,本实施例中预定的移位寄存器单元的上一级移位寄存器单元的输出端还连接于栅极扫描触发信号线,保证一帧扫描完后能够自动开始下一帧的扫描。

[0045] 优选地,本实施例中的第一选通模块 20 包括第一脉冲信号选通器 21 和至少一个或门:

[0046] 第一脉冲信号选通器 21 的输入端连接栅极扫描触发信号和选通信号,第一输出端与移位寄存器中的第一级移位寄存器单元的输入端连接,其他输出端与或门的输入端连接;

[0047] 或门的第一输入端连接第一脉冲信号选通器 21 的除第一输出端之外的输出端,第二输入端连接预定的移位寄存器单元的上一级移位寄存器单元的输出端,其输出端与预定的移位寄存器单元的输入端连接。

[0048] 优选地,本实施例中的第二选通模块 30 包括:

[0049] 第二脉冲信号选通器 31,其输入端连接选通信号和预定的移位寄存器单元的上一级移位寄存器单元的输出端,其输出端与预定的移位寄存器单元的输入端连接。

[0050] 基于上述,本实施例中提供了一种最佳方案,且该最佳方案的栅极驱动电路的设计原理图如图 4 所示,其中的 STV 表示栅极扫描触发信号,CPV 为栅极驱动时钟信号,CS0 和 CS1 分别为第一选通信号和第二选通信号,OR Gate1、OR Gate2 和 OR Gate3 分别表示三个或门,分别对应编号为 01、02 和 03。第一选通模块用 20 表示,第一脉冲信号选通器用 21 表示,其第一输出端、第二输出端、第三输出端和第四输出端分别用 211、212、213 和 214 表示。第二选通模块用 30 表示,第二脉冲信号选通器用 31 表示,其第一输出端、第二输出端和第三输出端分别用 311、312 和 313 表示,每个输出端分别用一个开关进行控制,即第一输出端的开关 SW1 为 301,第二输出端的开关 SW2 为 302,第三输出端的开关 SW3 为 303。移位寄存器单元用 10 表示,其中的移位寄存器分别用 SR1、SR2、 $\dots$ SR n 表示。

[0051] 需要说明的是,本实施例中的第一脉冲信号选通器 21 的输出端在同一时刻只有一个输出端被选通。

[0052] 具体的,本实施例中选通信号线提供的选通信号的个数为 N ,第一脉冲信号选通器的输出端个数为 M ,或门的个数最多为 $M-1$,第二脉冲信号选通器 31 的输出端个数为 L ,其中, $M \leq 2^N$, $L \leq 2^N$, L 、 M 、 N 均为自然数。

[0053] 例如,。

[0054] 以下给出本实施例的一个最佳方案,当 $N=2$, $M=4$, $L=3$ 时,即当选通信号的个数为 2 时,包括第一选通信号 CS_0 和第二选通信号 CS_1 ,相应地,该栅极驱动电路中第一脉冲信号选通器 21 的输出端个数为 4,即 211、212、213 和 214,还包括 3 个或门,即 OR Gate1、OR Gate2 和 OR Gate3,第二脉冲信号选通器 31 的输出端个数为 3,即 311、312 和 313。需要说明的是,所述“或门”还可以是“与门”也可以是“非门”,本发明实施例中以所述或门为最佳实施例进行详细说明。

[0055] 具体的,本实施例中的第一级移位寄存器单元 SR1 的输入端除了与栅极驱动时钟信号 CPV 连接之外,还与第一脉冲信号选通器 21 的第一输出端 211 连接。第一脉冲信号选通器 21 除了第一输出端 211 之外的输出端连接移位寄存器单元的输入端之前还包括或门 (OR Gate),或门的输入端连接第一脉冲信号选通器 21 的输出端和上一级移位寄存器单元的输出端,或门的输出端连接移位寄存器 10 中的本级移位寄存器单元。

[0056] 需要说明的是,并不是移位寄存器 10 中的任何一个移位寄存器单元的输入端都通过或门与第一脉冲信号选通器 21 的输出端连接,所以第一脉冲信号选通器 21 输出端的个数为 M 时,或门的个数是最多为 $M-1$ 个,即在 $1 \sim M-1$ 之间不等,具体根据需要进行设定。而第一脉冲信号选通器 21 的输出端(除了第一输出端 211 之外,即第二输出端 212、第三输出端 213 以及第四输出端 214)都经过或门连接移位寄存器单元的输入端。例如,第一脉冲信号选通器 21 的第二输出端 212 通过第一或门 (OR Gate1) 连接第 $a+1$ 级移位寄存器单元的输入端,具体的,第一或门 (OR Gate1) 的另外一个输入端连接第 a 级移位寄存器单元的输出端 G_a ,并且第一或门 (OR Gate1) 的输出端连接第 $a+1$ 级移位寄存器单元的输入端,其它同理。

[0057] 还需要说明的是,第一脉冲信号选通器 21 的输出端个数和或门的个数都是根据选通信号的个数确定的。

[0058] 具体的,第一脉冲信号选通器 21 的输出端在同一时刻只能有一个输出端被选通,其余未被选通的输出端的电位被拉低;第二脉冲信号选通器 31 的输出端在同一时刻至少有一个输出端接通或者全部关闭。实际使用中,第一脉冲信号选通器 21 为单刀多掷开关,即一次只能选通一路导通,而第二脉冲信号选通器 31 为包含多个单刀单掷开关的选通器,即多个通路之间的导通和关闭互不影响,即任意一路的导通和关闭都是根据控制输入端电平的高低实现的。

[0059] 第二脉冲信号选通器 31 中的任何一个输出端均与上一级移位寄存器的输出端和本级移位寄存器的输入端连接。例如,第二脉冲信号选通器 31 的第一输出端 311 通过第一开关 301 控制,第一输出端 311 与第 d 级移位寄存器 SR d 的输出端 G_d 和第 $d+1$ 级移位寄存器 SR $d+1$ 的输入端连接。第 d 级即为上述的上一级,第 $d+1$ 级为上述的本级。

[0060] 另外,第一选通模块 20 和第二选通模块 30 输入端的两个选通信号 CS_0 和 CS_1 的控制信号功能查询表如图 5 所示。其中 VGL 为 TFT 液晶显示屏的负电压输入端, S 表示接通, 0 表示关闭。

[0061] 栅极驱动时钟信号 CPV 与每一级移位寄存器单元 SR 链接,除了第一级移位寄存器单元 SR1 之外的所有级的输出信号 G_i (其中 $1 < i \leq n$) 均与上一级移位寄存器 SR_{i-1} 的复位信号输入连接,用于复位上一级移位寄存器。

[0062] 另外,本实施例中还需要时序控制器 T-CON 对信号 CPV、STV、CS0、CS1 进行控制,需要说明的是选通信号 CS 不限于 2 个,可以根据需要兼容的部分显示的情况进行选择。其中栅极扫描触发信号 STV 仅提供给第一脉冲信号选通器 21, CS0 和 CS1 同时提供给第一脉冲信号选通器 21 和第二脉冲信号选通器 31,第一脉冲信号选通器 21 具有多路输出,本方案中有 4 路输出,但是不限于 4 路。

[0063] 第一脉冲信号选通器 21 的第一输出端 211 与第一级移位寄存器 SR1 的输入端连接,第二输出端 212 和或门 1 (OR Gate1, 即 01) 的一路输入端连接,第三输出端 213 和或门 2 (OR Gate2, 即 02) 的一路输入端连接,第四输出端 214 和或门 3 (OR Gate3, 即 03) 的一路输入端连接。第 a 级移位寄存器 SR_a 的输出端和或门 1 (OR Gate1) 的另外一路输入端连接,或门 1 (OR Gate1) 的输出与第 a+1 级移位寄存器 SR_{a+1} 的输入端连接。第 b 级移位寄存器 SR_b 的输出端和或门 2 (OR Gate2) 的另外一路输入端连接,或门 2 (OR Gate2) 的输出与第 b+1 级移位寄存器 SR_{b+1} 的输入端连接。第 c 级移位寄存器 SR_c 的输出端和或门 3 (OR Gate3) 的另外一路输入端连接,或门 3 (OR Gate3) 的输出端与第 c+1 级移位寄存器 SR_{c+1} 的输入端连接。第 1 级移位寄存器 SR1 至第 a-1 级移位寄存器 SR_{a-1} 的输出端 G_i 分别与下一级移位寄存器 SR_{i+1} 的输入端连接,第 a+1 级移位寄存器 SR_{a+1} 至第 b-1 级移位寄存器 SR_{b-1} 的输出端 G_i 分别与下一级移位寄存器 SR_{i+1} 的输入端连接,第 c+1 级移位寄存器 SR_{c+1} 至第 d-1 级移位寄存器 SR_{d-1} 的输出端 G_i 分别与下一级移位寄存器 SR_{i+1} 的输入端连接,此处仅以三级作为说明,其中 a/b/c 值的选择取决于时序控制器 T-CON 所支持的部分显示 (Partial Display) 的种类。例如,对于 800*1280 分辨率的 WXGA (Wide Extended Graphics Array) 分辨率时序控制器 T-CON,若时序控制器支持 600*1024/540*960/480*800 等部分显示 (Partial Display) 模式,此处可以选取为 a=128, b=160, c=240。

[0064] 相应地,第 d 级移位寄存器 SR_d 的输出端和第二脉冲信号选通器 31 的第一输出端 311,即单刀单掷开关 SW1 连接,SW1 与第 d+1 级移位寄存器 SR_{d+1} 的输入端连接。第 e 级移位寄存器 SR_e 的输出端和第二脉冲信号选通器 31 的第二输出端 312,即单刀单掷开关 SW2 连接,SW2 与第 e+1 级移位寄存器 SR_{e+1} 的输入端连接。第 f 级移位寄存器 SR_f 的输出端和第二脉冲信号选通器 31 的第三输出端 313,即单刀单掷开关 SW3 连接,SW3 与第 f+1 级移位寄存器 SR_{f+1} 的输入端连接。第 c+1 级移位寄存器 SR_{c+1} 与第 d-1 级移位寄存器 SR_{d-1} 之间的移位寄存器的输出端 G_i 分别与下一级的移位寄存器的输入端 SR_{i+1} 的输入端连接,第 d+1 级移位寄存器 SR_{d+1} 与第 e-1 级移位寄存器 SR_{e-1} 之间的移位寄存器的输出端 G_i 分别与下一级的移位寄存器 SR_{i+1} 的输入端连接,第 e+1 级移位寄存器 SR_{e+1} 与第 f-1 级移位寄存器 SR_{f-1} 之间的移位寄存器的输出端 G_i 分别与下一级的移位寄存器的输入端 SR_{i+1} 的输入端连接,第 f+1 级移位寄存器 SR_{f+1} 与第 n 级移位寄存器 SR_n 之间的移位寄存器的输出端 G_i 分别与下一级的移位寄存器的输入端 SR_{i+1} 的输入端连接,此处仅以三级作为说明,其中 d/e/f 等的选择取决于时序控制器 T-CON 所支持的部分显示 (Partial Display) 的种类,如对于 800*1280 分辨率的 WXGA 分辨率时序控制器 T-CON,若时序控制器支持 600*1024/540*960/480*800 等部分显示 Partial Display 模式,此处可以选取为

$d=1040, e=1120, f=1152$ 。

[0065] 由于第一选通模块 20 包括一个单刀多掷开关,第二选通模块 30 包括多个单刀单掷开关。CS0=CS1=0 时,第一脉冲信号选通器 21 的第一输出端 211 被选通,即第一输出端 211 输出给第一寄存器 SR1 输入端的是信号 STV,而第二输出端 212、第三输出端 213 和第四输出端 214 被拉低,第二脉冲信号选通器 31 中的输出端 SW1、SW2 和 SW3 均接通(即图 5 中的 S);当 CS0=0, CS1=1 时,第一脉冲信号选通器 21 的第二输出端 212 被选通,而第一输出端 211、第三输出端 213 和第四输出端 214 被拉低,第二脉冲信号选通器 31 的输出端 SW1 和 SW2 接通(即 S),SW3 关闭(即 0);当 CS0=1, CS1=0 时,第一脉冲信号选通器 21 的第三输出端 213 被选通,而第一输出端 211、第二输出端 212 和第四输出端 214 被拉低,第二脉冲信号选通器 31 中的 SW1 接通(即 S),SW2 和 SW3 关闭(即 0);当 CS0=1, CS1=1 时,第一脉冲信号选通器 21 的第四输出端 214 被选通,而第一输出端 211、第二输出端 212 和第三输出端 213 被拉低,第二脉冲信号选通器 31 中的 SW1、SW2 和 SW3 均关闭(即 0)。其中,在时序控制器 T-CON 进入部分显示 (Partial Display) 模式时,时序控制器先保持 CS0 和 CS1 信号为低电平 2 帧,同时通知源极驱动芯片进行扫黑动作,即将扫黑的部分放电至低电平(即 VGL)之后再切换 CS0 和 CS1 的电平至相应的部分显示配置状态。

[0066] 1) 当 CS0=CS1=0 时,第一脉冲信号选通器 21 的第一输出端 211 被选通,第二脉冲信号选通器 31 中的 SW1、SW2 和 SW3 均接通,则 STV 信号进入第一级移位寄存器 SR1。当第 a 级移位寄存器单元的输出端 Ga 为高电平时,或门 OR Gate1 输出高电平,第 a+1 级寄存器 SRa+1 正常工作。当第 b 级移位寄存器单元的输出端 Gb 为高电平时,或门 OR Gate2 输出高电平,第 b+1 级寄存器 SRb+1 正常工作。当第 c 级移位寄存器单元的输出端 Gc 为高电平时,或门 OR Gate3 输出高电平,第 c+1 级寄存器 SRc+1 正常工作。第 d 级移位寄存器 SRd 的输出端 Gd 与第 d+1 级移位寄存器 SRd+1 的输入端相连接,第 d+1 级移位寄存器 SRd+1 正常工作。第 e 级移位寄存器 SRe 的输出端 Ge 与第 e+1 级移位寄存器 SRe+1 的输入端相连接,第 e+1 级移位寄存器 SRe+1 正常工作,第 f 级移位寄存器 SRf 的输出端 Gf 与第 f+1 级移位寄存器 SRf+1 的输入相连接,第 f+1 级移位寄存器 SRf+1 正常工作,在此模式下时序控制器 T-CON 和栅极驱动电路处于正常工作(Normal Display)模式。

[0067] 2) 当 CS0=0, CS1=1 时,第一脉冲信号选通器 21 的第二输出端 212 被选通,第二脉冲信号选通器 31 中的 SW1 和 SW2 接通,SW3 关闭,则 STV 信号连接至或门(OR Gate1)的输入端,或门(OR Gate1)输出高电平,第 a+1 级寄存器 SRa+1 正常工作。当第 b 级移位寄存器单元的输出端 Gb 为高电平时,或门(OR Gate2)输出高电平,第 b+1 级寄存器 SRb+1 正常工作。当第 c 级移位寄存器单元的输出端 Gc 为高电平时,或门(OR Gate3)输出高电平,第 c+1 级寄存器 SRc+1 正常工作,第一级移位寄存器 SR1 由于输入端没有 STV 信号输入,从而使得第一级移位寄存器 SR1 至第 a 级移位寄存器 SRa 持续输出低电平,源极数据无法写入,进而保持 VGL (低电平)。第 d 级移位寄存器 SRd 的输出端 Gd 与第 d+1 级移位寄存器 SRd+1 的输入端相连接,第 d+1 级移位寄存器 SRd+1 正常工作。第 e 级移位寄存器 SRe 的输出端 Ge 与第 e+1 级移位寄存器 SRe+1 的输入端相连接,第 e+1 级移位寄存器 SRe+1 正常工作。第 f 级移位寄存器 SRf 的输出端 Gf 与第 f+1 级移位寄存器 SRf+1 的输入关闭,则第 f+1 级移位寄存器 SRf+1 至第 n 级移位寄存器 SRn 无 STV 信号输入,相应的移位寄存器持续输出低电平,因此可以在部分显示的情况下降低栅极驱动电路的功耗,此种状况下的时序图如图 6

所示。

[0068] 3) 当 $CS0=1, CS1=0$ 时, 第一脉冲信号选通器 21 的第三输出端 213 被选通, 第二脉冲信号选通器 31 中的 SW1 接通, SW2 和 SW3 关闭, 则 STV 信号连接至或门(OR Gate2)的输入端, 或门(OR Gate2)输出高电平, 第 b+1 级寄存器 SRb+1 正常工作。当第 c 级移位寄存器单元的输出端 Gc 为高电平时, 或门(OR Gate3)输出高电平, 第 c+1 级寄存器 SRc+1 正常工作, 第一级移位寄存器 SR1 由于输入端没有 STV 信号输入, 从而使得第一级移位寄存器 SR1 至第 b 级移位寄存器 SRb 持续输出低电平, 源极数据无法写入, 进而保持 GND(低电平)。第 d 级移位寄存器 SRd 的输出端 Gd 与第 d+1 级移位寄存器 SRd+1 的输入端相连接, 第 d+1 级移位寄存器 SRd+1 正常工作, 第 e 级移位寄存器 SRe 的输出端与第 e+1 级移位寄存器 SRe+1 的输入端关闭, 则第 e+1 级移位寄存器 SRe+1 至第 n 级移位寄存器 SRn 无 STV 信号输入, 相应的移位寄存器持续输出低电平, 因此可以在该种部分显示模式的情况下也能够降低栅极驱动电路的功耗, 此种状况下的时序图如图 7 所示。

[0069] 4) 当 $CS0=1, CS1=1$ 时, 第一脉冲信号选通器 21 的第四输出端 214 被选通, 第二脉冲信号选通器 31 中的 SW1、SW2 和 SW3 关闭, 则 STV 信号连接至或门(OR Gate3)的输入端, 或门(OR Gate3)输出高电平, 第 c+1 级寄存器 SRc+1 正常工作。第一级移位寄存器 SR1 由于输入端没有 STV 信号输入, 从而使得第一级移位寄存器 SR1 至第 c 级移位寄存器 SRc 持续输出低电平, 源极数据无法写入, 进而保持 GND(低电平)。第 d 级移位寄存器 SRd 的输出端 Gd 与第 d+1 级移位寄存器 SRd+1 的输入端关闭, 则第 d+1 级移位寄存器 SRd+1 至第 n 级移位寄存器 SRn 无 STV 信号输入, 相应的移位寄存器持续输出低电平, 因此可以在该部分显示模式的情况下降低栅极驱动电路的功耗, 此种状况下的时序图如图 8 所示。

[0070] 需要说明的是, 上述方案是以选通信号的个数为 2 时进行说明的, 但是对于选通信号的个数为 1 或者大于 2 时上述栅极驱动电路的原理也同样适用, 只需要对相关的端口进行适应性扩展即可, 此处不再赘述。

[0071] 上述栅极驱动电路在原有的移位寄存器的基础上增加第一选通模块, 控制栅极扫描触发信号加载到需要的移位寄存器上, 增加选通模块, 控制栅极逐行扫描的栅极输出从需要的移位寄存器开始关闭。通过采用正负压驱动的移位寄存器, 选择性关闭扫黑区域的栅极信号, 能够降低栅极驱动电路的功耗, 进一步降低整个显示面板的功耗。

[0072] 在上述栅极驱动电路的基础上, 本发明实施例还提供了一种显示装置, 该显示装置包括上述栅极驱动电路。

[0073] 所述包括上述栅极驱动电路的显示装置可以为液晶面板、电子纸、OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0074] 以上实施方式仅用于说明本发明, 而并非对本发明的限制, 有关技术领域的普通技术人员, 在不脱离本发明的精神和范围的情况下, 还可以做出各种变化和变型, 因此所有等同的技术方案也属于本发明的范畴, 本发明的专利保护范围应由权利要求限定。

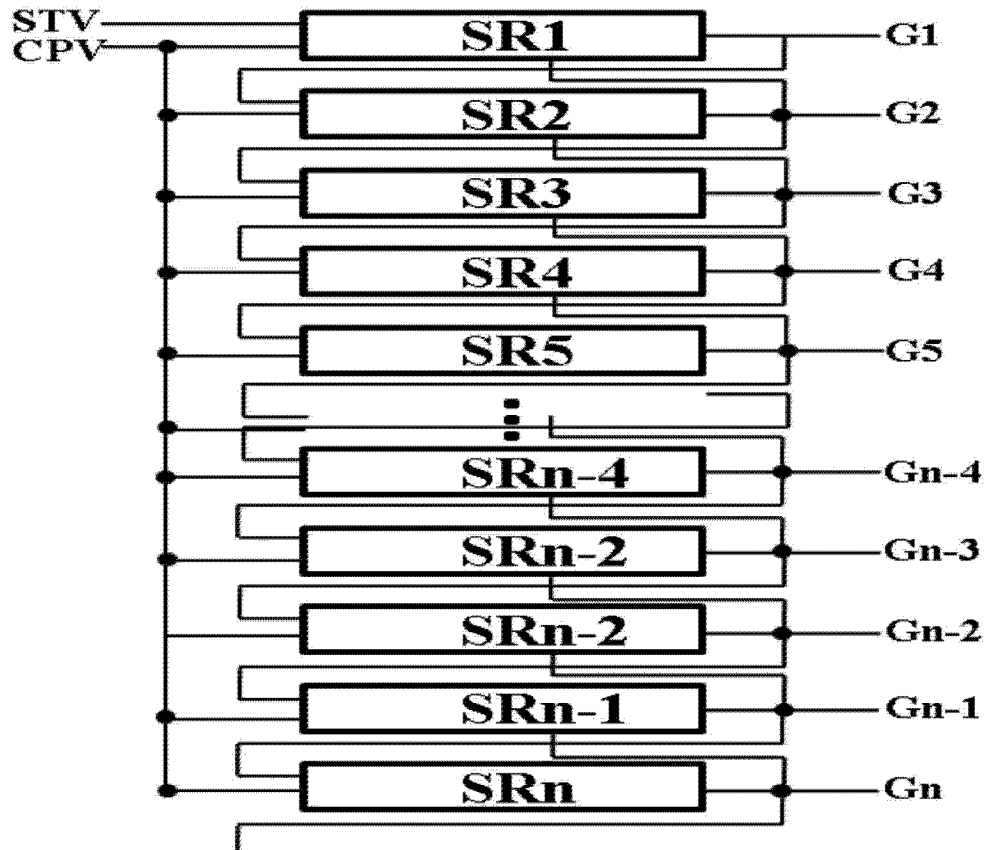


图 1

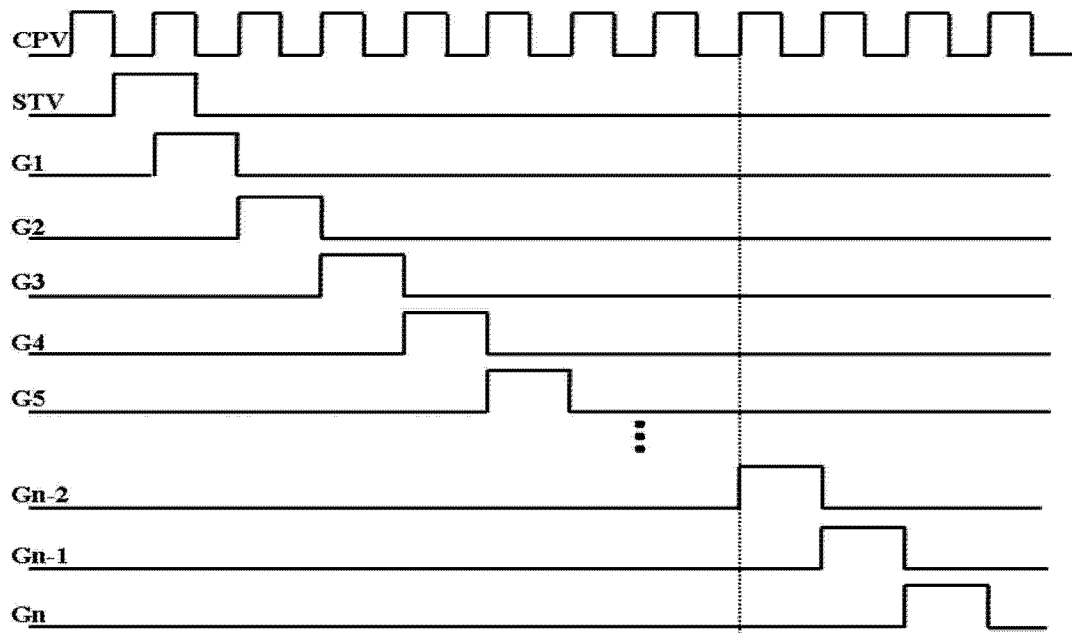


图 2

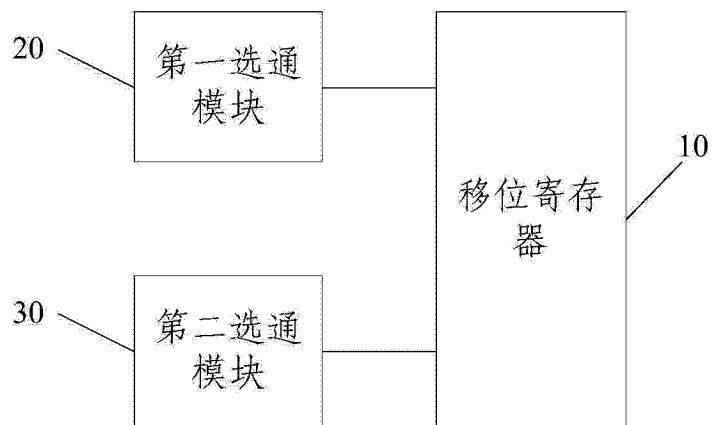


图 3

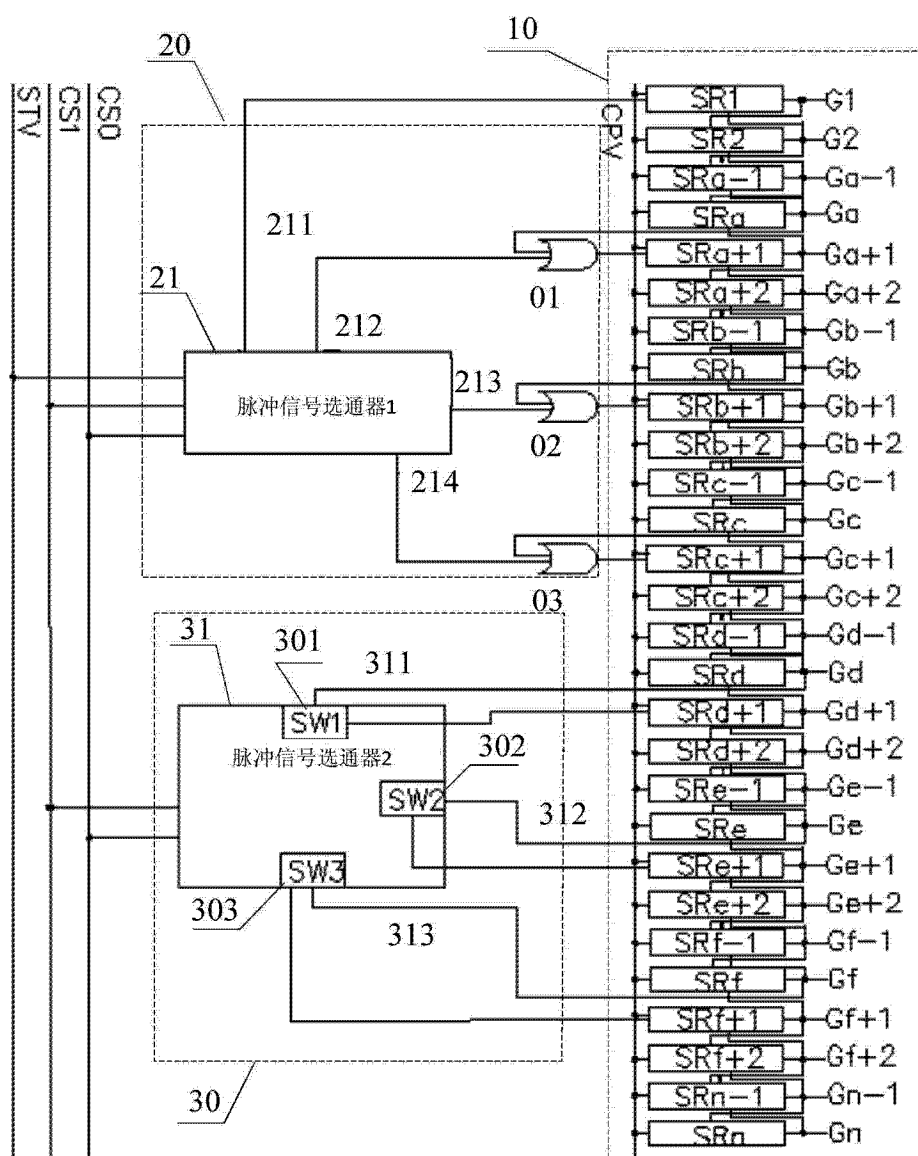


图 4

选通信号		第一脉冲信号选通器 20				第二脉冲信号选通器 30		
CS0	CS1	201	202	203	204	301	302	303
0	0	STV	VGL	VGL	VGL	S	S	S
0	1	VGL	STV	VGL	VGL	S	S	O
1	0	VGL	VGL	STV	VGL	S	O	O
1	1	VGL	VGL	VGL	STV	O	O	O

图 5

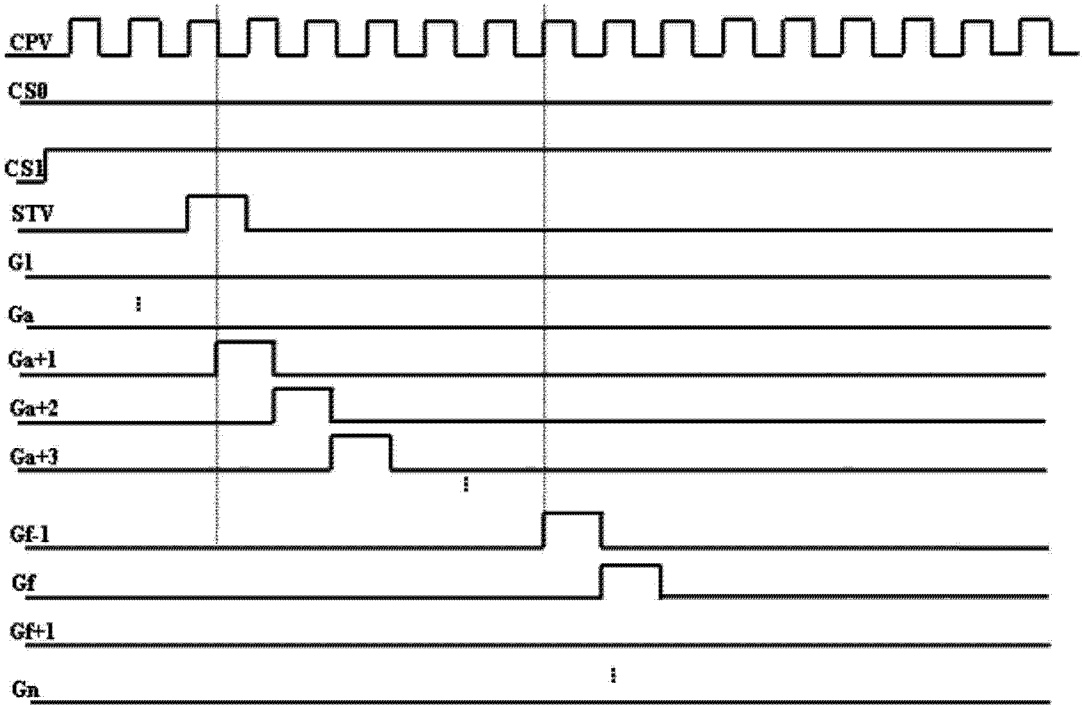


图 6

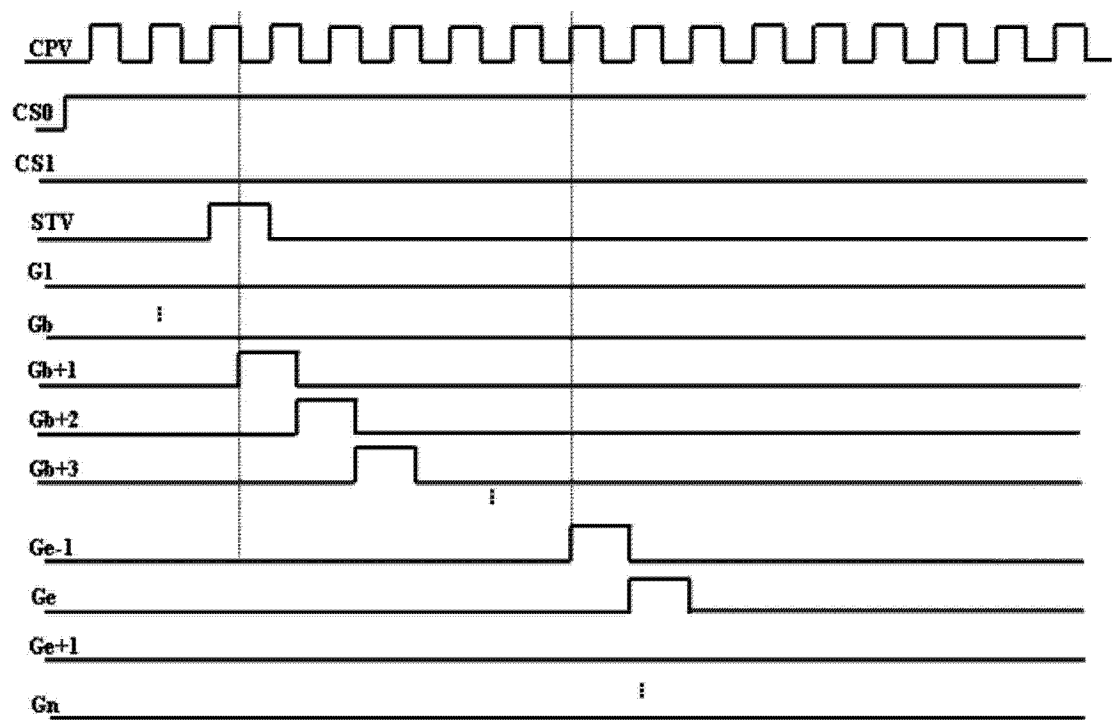


图 7

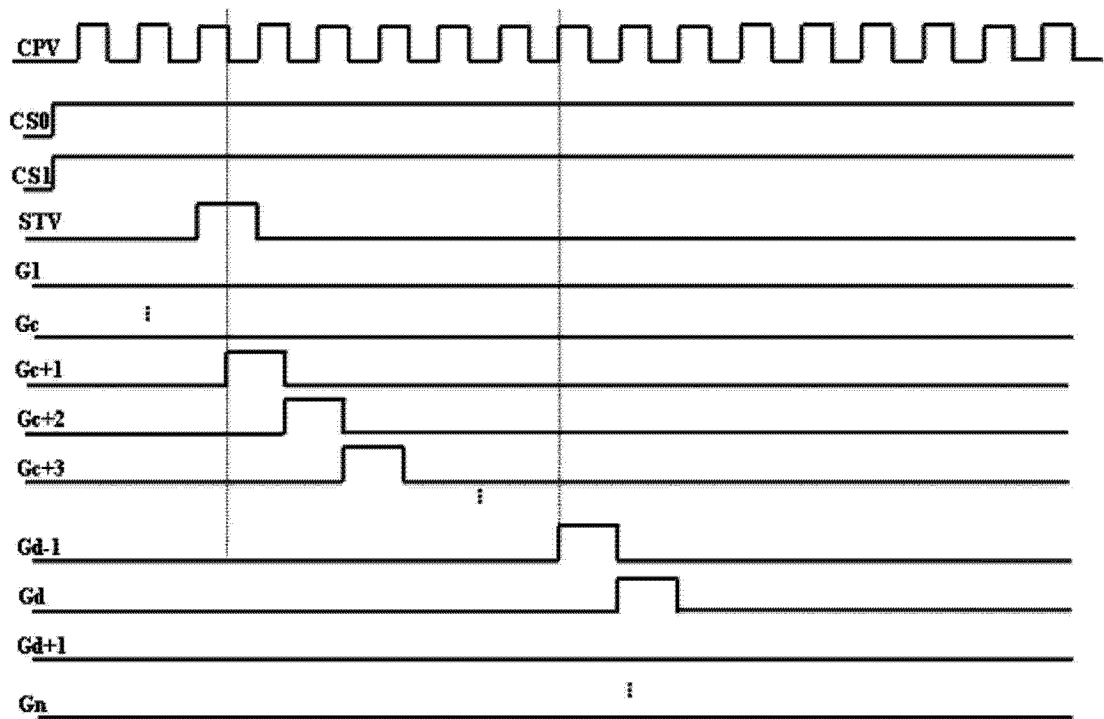


图 8

专利名称(译)	一种栅极驱动电路和显示装置		
公开(公告)号	CN103680439A	公开(公告)日	2014-03-26
申请号	CN201310617047.8	申请日	2013-11-27
[标]申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
当前申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
[标]发明人	郑亮亮 何剑		
发明人	郑亮亮 何剑		
IPC分类号	G09G3/36		
CPC分类号	G11C19/287 G09G3/20 G09G3/3674 G09G3/3677 G09G2300/0426 G09G2310/0267 G09G2310/0286 G09G2310/04 G09G2310/08 G09G2330/021		
代理人(译)	李迪		
其他公开文献	CN103680439B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种栅极驱动电路和显示装置，其中栅极驱动电路包括由多个移位寄存器单元依次相连组成的移位寄存器，还包括：第一选通模块和/或第二选通模块；第一选通模块，其连接于栅极扫描触发信号线和选通信号线；第二选通模块，其连接于选通信号线。通过增加第一选通模块用于根据选通信号线提供的选通信号而将栅极扫描触发信号线上的栅极扫描触发信号提供给预定的移位寄存器单元，第二选通模块用于根据选通信号线提供的选通信号而切断预定的移位寄存器单元与其上一级移位寄存器单元之间的联系，使得移位寄存器从预定的移位寄存器单元开始关闭，实现液晶显示面板在部分显示模式时选择性关闭扫描黑区域的栅极信号，从而降低整个显示面板的功耗。

