



(12) 发明专利申请

(10) 申请公布号 CN 103000120 A

(43) 申请公布日 2013. 03. 27

(21) 申请号 201210540703. 4

(22) 申请日 2012. 12. 13

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 马占洁

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51) Int. Cl.

G09G 3/20 (2006. 01)

G09G 3/36 (2006. 01)

G11C 19/28 (2006. 01)

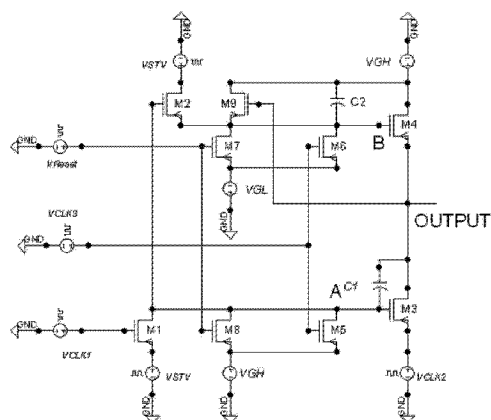
权利要求书 2 页 说明书 5 页 附图 3 页

(54) 发明名称

一种移位寄存器、栅极驱动电路及显示装置

(57) 摘要

本发明公开了一种移位寄存器、栅极驱动电路及液晶显示器,涉及液晶显示器领域,包括第一时钟电路、第二时钟电路、关闭信号电路、起始信号电路、第三时钟电路和复位开关。本发明通过复位开关在移位寄存器的电路正常工作前,先进行复位阶段使电路中各悬浮栅极节点的电位复位,不会对开始工作时写入的信号造成影响,并且本发明解决了在工作过程中出现的电位悬浮、输出的信号质量较差等问题。



1. 一种移位寄存器,其特征在于,包括:

第一时钟电路,与起始信号电路连接,并与第二时钟电路、第三时钟电路、复位电路连接于控制节点 A,在第一时钟信号的控制下,将起始信号输入到控制节点 A;

第二时钟电路,在第一时钟信号的控制下,将第二时钟信号输出给信号输出端 OUTPUT;

关闭信号电路,与第三时钟电路连接于控制节点 B,接收起始信号电路输出的起始信号,将第一电平信号输出至信号输出端 OUTPUT;

起始信号电路,在第一时钟电路输出的起始信号的控制下,将自身的起始信号输出给控制节点 B;

第三时钟电路,在第三时钟信号的控制下,将第一电平信号输出至控制节点 A,将第二电平信号输出至控制节点 B。

2. 如权利要求 1 所述的一种移位寄存器,其特征在于,所述第一时钟电路包括第一晶体管 M1,所述第一晶体管的栅极连接所述第一时钟信号输入端,第一晶体管的源极连接起始信号输入端,第一晶体管的漏极连接控制节点 A。

3. 如权利要求 2 所述的一种移位寄存器,其特征在于,所述第二时钟电路包括第三晶体管 M3 和第一电容 C1,所述第三晶体管的栅极连接控制节点 A,第三晶体管的源极连接第二时钟信号,第三晶体管的漏极连接信号输出端 OUTPUT,所述第一电容 C1 连接在第三晶体管 M3 的栅极与漏极之间。

4. 如权利要求 3 所述的一种移位寄存器,其特征在于,所述关闭信号电路包括第四晶体管 M4 和第九晶体管 M9,所述第四晶体管的栅极连接控制节点 B,第四晶体管的源极连接第一电平信号,第四晶体管的漏极连接信号输出端 OUTPUT,所述第九晶体管的栅极连接信号输入端 OUTPUT,第九晶体管的源极与第四晶体管的源极连接,第九晶体管的漏极与第四晶体管的栅极连接。

5. 如权利要求 4 所述的一种移位寄存器,其特征在于,所述起始信号电路包括第二晶体管 M2,所述第二晶体管的栅极连接控制节点 A,第二晶体管的源极连接起始信号,第二晶体管的漏极连接控制节点 B。

6. 如权利要求 5 所述的一种移位寄存器,其特征在于,所述第三时钟电路包括第六晶体管 M6 和第五晶体管 M5,所述第五晶体管的源极连接第一电平信号,第五晶体管的漏极连接控制节点 A,所述第六晶体管的源极连接第二电平信号,第六晶体管的漏极连接控制节点 B,所述第五晶体管与第六晶体管的栅极连接第三时钟信号。

7. 如权利要求 1 至 6 任一所述的移位寄存器,其特征在于,还包括复位电路,所述复位电路与关闭信号电路和第三时钟电路连接于控制节点 B,在复位信号的控制下,将第一电平信号输出至控制节点 A,将第二电平信号输出至控制节点 B。

8. 如权利要求 7 所述的移位寄存器,其特征在于,所述复位电路包括第七晶体管 M7 和第八晶体管 M8,所述第七晶体管的源极连接第二电平信号,第七晶体管的漏极连接控制节点 B,第八晶体管的源极连接第一电平信号,第八晶体管的源极连接控制节点 A,所述第七晶体管与第八晶体管的栅极连接复位信号。

9. 如权利要求 8 所述的移位寄存器,其特征在于,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管和第九晶体管均为

P 型晶体管,所述第一电平信号为高电平信号,所述第二电平信号为低电平信号。

10. 如权利要求 8 所述的一种移位寄存器,其特征在于,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管和第九晶体管均为 N 型晶体管,所述第一电平信号为低电平信号,所述第二电平信号为高电平信号。

11. 一种栅极驱动电路,其特征在于,包括权利要求 1-10 中任一所述的移位寄存器。

12. 一种显示装置,其特征在于,包括权利要求 11 所述的栅极驱动电路。

一种移位寄存器、栅极驱动电路及显示装置

技术领域

[0001] 本发明涉及液晶显示器领域,特别涉及一种移位寄存器、栅极驱动电路及显示装置。

背景技术

[0002] 随着液晶显示技术的不断成熟,以及 LCD(Liquid Crystal Display,液晶显示器)价格的不断下降,采用液晶显示屏作为生活中多种电子设备的显示屏或者装饰用的电子显示装置,已经逐渐成为一种液晶显示屏消费的发展方向。现有技术的液晶显示屏已被广泛用于各种各样的电器中,如液晶电视、手机等。

[0003] 液晶显示器由矩阵形式排列的多个像素所组成,具体是由水平和垂直两个方向的像素矩阵构成的。液晶显示器的驱动主要包括数据驱动器和栅级驱动器,其中,数据驱动器将输入的显示数据及时钟信号定时顺序锁存,转换成模拟信号后输入到液晶显示面板的数据线,栅级驱动器将输入的时钟信号经过移位寄存器转换,切换成导通 / 截止电压,顺次施加到液晶显示面板的栅级线上。

[0004] 图 1 为现有技术中一种采用 P 型晶体管的简单三时钟的移位寄存器的电路结构示意图,P 型晶体管的特点是栅极电极输入信号为高压时,晶体管截止;栅极电极输入低压时,晶体管导通。图 2 为其三阶段的工作时序图,该移位寄存器的工作原理如下:

[0005] 第一阶段时,第一时钟信号 CLK1 和开启信号 STV 变成开启低平信号后,晶体管 M3 导通,STV 信号通过 M3 传输到晶体管 M1 的栅极端,并且通过电容 C1 保持导通状态。同时由 STV 信号控制的晶体管 M5 导通,将高压截止信号 Vgh 传输到晶体管 M2 的栅极端,使 M2 关闭;第二阶段时,第二时钟信号 CLK2 变成导通低平信号后,晶体管 M1 通过 C1 保持的导通状态将 CLK2 的低平信号传输到移位寄存器的输出端 Output;第三阶段时,第三时钟信号 CLK3 变成导通低平信号,晶体管 M6 导通,将低压导通信号 Vgl 传输到晶体管 M2 和 M4 的栅极,使得 M2 和 M4 都导通,M2 的导通将 Vgh 信号传输到 Output,M4 的导通将 Vgh 信号传输到 M1 的栅极,使 M1 栅极电位变高,从而截止 M1。

[0006] 上述移位寄存器存在以下缺陷,在第二阶段时,M2 和 M4 的栅极信号端信号悬空,无信号控制,导致其电位不稳定,致使 M2 对 M1 的信号输出造成了影响;在第一阶段时,此时移位寄存器输出端 Output 的信号输出效果仅由 M1 确定,而此时 M1 输出能力受其栅极电位大小影响,单一输出导致信号质量较差,影响了 Output 的信号输出效果。

发明内容

[0007] 本发明实施例提供了一种移位寄存器、栅极驱动电路及显示装置,用以解决在工作过程中出现的电位悬浮、输出的信号质量较差等问题。

[0008] 本发明提供了一种移位寄存器,包括:

[0009] 第一时钟电路,与起始信号电路连接,并与第二时钟电路、第三时钟电路、复位电路连接于控制节点 A,在第一时钟信号的控制下,将起始信号输入到控制节点 A;

[0010] 第二时钟电路,在第一时钟信号的控制下,将第二时钟信号输出给信号输出端 OUTPUT;

[0011] 关闭信号电路,与第三时钟电路连接于控制节点 B,接收起始信号电路输出的起始信号,将第一电平信号输出至信号输出端 OUTPUT;

[0012] 起始信号电路,在第一时钟电路输出的起始信号的控制下,将自身的起始信号输出给控制节点 B;

[0013] 第三时钟电路,在第三时钟信号的控制下,将第一电平信号输出至控制节点 A,将第二电平信号输出至控制节点 B。

[0014] 上述的移位寄存器,其中,所述第一时钟电路包括第一晶体管 M1,所述第一晶体管的栅极连接所述第一时钟信号输入端,第一晶体管的源极连接起始信号输入端,第一晶体管的漏极连接控制节点 A。

[0015] 上述的移位寄存器,其中,所述第二时钟电路包括第三晶体管 M3 和第一电容 C1,所述第三晶体管的栅极连接控制节点 A,第三晶体管的源极连接第二时钟信号,第三晶体管的漏极连接信号输出端 OUTPUT,所述第一电容 C1 连接在第三晶体管 M3 的栅极与漏极之间。

[0016] 上述的移位寄存器,其中,所述关闭信号电路包括第四晶体管 M4 和第九晶体管 M9 所述第四晶体管的栅极连接控制节点 B,第四晶体管的源极连接第一电平信号,第四晶体管的漏极连接信号输出端 OUTPUT,所述第九晶体管的栅极连接信号输入端 OUTPUT,第九晶体管的源极与第四晶体管的源极连接,第九晶体管的漏极与第四晶体管的栅极连接;第二电容 C2 的两端分别连接第四晶体管的源极和栅极。

[0017] 上述的移位寄存器,其中,所述起始信号电路包括第二晶体管 M2,所述第二晶体管的栅极连接控制节点 A,第二晶体管的源极连接起始信号,第二晶体管的漏极连接控制节点 B。

[0018] 上述的移位寄存器,其中,所述第三时钟电路包括第六晶体管 M6 和第五晶体管 M5,所述第五晶体管的源极连接第一电平信号,第五晶体管的漏极连接控制节点 A,所述第六晶体管的源极连接第二电平信号,第六晶体管的漏极连接控制节点 B,所述第五晶体管与所述第六晶体管的栅极连接第三时钟信号。

[0019] 进一步地,上述的移位寄存器,其中,还包括复位电路,所述复位电路与关闭信号电路和第三时钟电路连接于控制节点 B,在复位信号的控制下,将第一电平信号输出至控制节点 A,将第二电平信号输出至控制节点 B。

[0020] 上述的移位寄存器,其中,所述复位电路包括第七晶体管 M7 和第八晶体管 M8,所述第七晶体管的源极连接第二电平信号,第七晶体管的漏极连接控制节点 B,第八晶体管的源极连接第一电平信号,第八晶体管的源极连接控制节点 A,所述第七晶体管与所述第八晶体管的栅极连接复位信号。

[0021] 上述的移位寄存器,其中,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管和第九晶体管均为 P 型晶体管,所述第一电平信号为高电平,所述第二电平信号为低电平。

[0022] 上述的移位寄存器,其中,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管和第九晶体管均为 N 型晶体管,所述第一电平信号为低电平,所述第二电平信号为高电平。

[0023] 本发明还提供了一种栅极驱动电路,包括上述的移位寄存器。

[0024] 本发明还提供了一种显示装置,包括上述的栅极驱动电路。

[0025] 本发明实施例在每阶段工作时,均通过对第四晶体管和第五晶体管的栅极进行控制来避免工作过程中出现悬浮节点,在移位寄存器信号输出时不会有干扰和影响,信号的输出质量好;设置了复位开关,在移位寄存器的电路正常工作前,先进行复位阶段使电路中各悬浮栅极节点的电位复位,不对开始工作时写入的信号造成影响;在第一阶段时,移位寄存器同时输出第二时钟信号和关闭信号,相比现有技术仅使用单一晶体管的输出一路信号,信号更加稳定。

附图说明

[0026] 图 1 为现有技术提供的一种移位寄存器的电路结构图;

[0027] 图 2 为现有技术提供的一种移位寄存器的工作时序图;

[0028] 图 3 为本发明实施例提供的一种移位寄存器的电路结构图;

[0029] 图 4 为本发明实施例提供的一种移位寄存器的工作时序图。

具体实施方式

[0030] 本发明实施例提供了一种移位寄存器、栅极驱动电路及液晶显示器,用以解决在工作过程中出现的电位悬浮、输出的信号质量较差等问题。

[0031] 由于本发明主要是通过移位寄存器来解决上述问题的,故对其进行重点叙述,本发明实施例了一种移位寄存器,该移位寄存器包括:

[0032] 第一时钟电路,与起始信号电路连接,并与第二时钟电路、第三时钟电路、复位电路连接于控制节点 A,在第一时钟信号的控制下,将起始信号输入到控制节点 A;

[0033] 第二时钟电路,在第一时钟信号的控制下,将第二时钟信号输出给信号输出端 OUTPUT;

[0034] 关闭信号电路,与第三时钟电路连接于控制节点 B,接收起始信号电路输出的起始信号,将第一电平信号输出至信号输出端 OUTPUT;

[0035] 起始信号电路,在第一时钟电路输出的起始信号的控制下,将自身的起始信号输出给控制节点 B;

[0036] 第三时钟电路,在第三时钟信号的控制下,将第一电平信号输出至控制节点 A,将第二电平信号输出至控制节点 B。

[0037] 所述移位寄存器还可包括复位电路,所述复位电路与关闭信号电路和第三时钟电路连接于控制节点 B,在复位信号的控制下,将第一电平信号输出至控制节点 A,将第二电平信号输出至控制节点 B。

[0038] 本发明实施例所述的移位寄存器的信号输出是通过关闭信号电路的信号输出端和第二时钟电路的信号输出端这两个输出端输出的信号质量来决定的,所以两方输出相比与现有技术的单一输出明显更加稳定。

[0039] 而且本发明实施例所述的移位寄存器的在每个阶段信号输出不管是通过关闭信号电路还是通过第二时钟电路输出时,这两个电路都会受到来自其他电路的信号对其进行控制,所以本移位寄存器的信号输出是不会受到影响的。

[0040] 下面通过将上述各电路细化,配合图 3,详细介绍一种本发明实施例提供的移位寄存器:

[0041] 所述第一时钟电路包括第一晶体管 M1,所述第一晶体管的栅极连接所述第一时钟信号输入端,第一晶体管的源极连接起始信号输入端,第一晶体管的漏极连接控制节点 A。

[0042] 所述第二时钟电路包括第三晶体管 M3 和第一电容 C1,所述第三晶体管的栅极连接控制节点 A,第三晶体管的源极连接第二时钟信号,第三晶体管的漏极连接信号输出端 OUTPUT,所述第一电容 C1 连接在第三晶体管 M3 的栅极与漏极之间。

[0043] 所述关闭信号电路包括第四晶体管 M4 和第九晶体管 M9,所述第四晶体管的栅极连接控制节点 B,第四晶体管的源极连接第一电平信号,第四晶体管的漏极连接信号输出端 OUTPUT,所述第九晶体管的栅极连接信号输入端 OUTPUT,第九晶体管的源极与第四晶体管的源极连接,第九晶体管的漏极与第四晶体管的栅极连接。

[0044] 为了更好的保持控制节点 B 的电位,例如在 TFT 漏电流较大时,为了保持 B 点电位,控制节点 B 不发生电位悬空时,所述关闭信号电路还可以包括第二电容 C2,第二电容 C2 的两端分别连接第四晶体管的源极和栅极。

[0045] 所述起始信号电路包括第二晶体管 M2,所述第二晶体管的栅极连接控制节点 A,第二晶体管的源极连接起始信号,第二晶体管的漏极连接控制节点 B。

[0046] 所述第三时钟电路包括第六晶体管 M6 和第五晶体管 M5,所述第五晶体管的源极连接第一电平信号,第五晶体管的漏极连接控制节点 A,所述第六晶体管的源极连接第二电平信号,第六晶体管的漏极连接控制节点 B,所述第五晶体管与所述第六晶体管的栅极连接第三时钟信号。

[0047] 本发明实施例在每阶段工作时,均通过对第四晶体管和第五晶体管的栅极进行控制来避免工作中出现悬浮节点,在移位寄存器信号输出时不会有干扰和影响,信号的输出质量好。

[0048] 需要注意的是,本发明实施例中,每个晶体管的源极和漏极不做严格区别,将每个晶体管与信号端相连的一极称为源极,每个晶体管非与信号端相连的一极称为漏极。

[0049] 由于本发明实施例中所述的移位寄存器的电路连接结构可以同时应用于 N 型晶体管和 P 型晶体管,也可以是由 N 型晶体管与 P 型晶体管混搭组成。

[0050] 由于在信号充电前,电路中各晶体管的悬浮栅极节点电位不确定,有可能造成最初信号写入时,对写入信号造成干扰,所以本发明实施例所述的移位寄存器还可以包括:

[0051] 复位电路,用于接收复位信号,且在复位信号的控制下控制第二时钟电路和关闭时钟电路的导通和关闭。所述复位电路包括第七晶体管 M7 和第八晶体管 M8,所述第七晶体管的源极连接第一电平信号,第七晶体管的漏极连接控制节点 B,第八晶体管的源极连接第二电平信号,第八晶体管的源极连接控制节点 A,所述第七晶体管与所述第八晶体管的栅极连接复位信号。

[0052] 本发明实施例通过复位信号在电路正式工作前,对第四晶体管和第三晶体管进行了电位恢复,使其在正式工作时可以以正常的电位工作。

[0053] 如图 3,为了更好的理解本发明的技术方案,下面详细介绍了一种本发明移位寄存器采用 P 型晶体管配合图 2 工作时序时的工作过程:

[0054] 如图 4 所示,此电路结构在信号最初写入时分成 4 个阶段,在正常工作后分成 3 个

阶段,此 3 个阶段就是 3 个时钟信号阶段。在信号最初写入时,首先进行的是复位阶段,将所有电路结构中的栅极悬浮点的信号进行复位,也就是由 Reset 复位信号控制,将第四晶体管 M4 和第三晶体管 M3 的栅极端电位复位,使移位寄存器的信号输出端 Output 输出高压 V_{gh} 的关闭信号。

[0055] 此时第一电平信号为高电压信号 V_{GH},第二电平信号为低电压 V_L。

[0056] 复位阶段结束后,便开始了移位寄存器的正常工作的三个阶段。

[0057] 第一阶段:CLK1 第一时钟信号和起始信号 STV 变成低平的导通信号,晶体管 M1 打开,STV 信号通过 M1 传输到第二晶体管 M2 和第三晶体管 M3 的栅极端使其导通。M3 导通后第二时钟信号 CLK2 的高电平的关闭信号传输到移位寄存器的输出端 Output。当 M2 导通后,起始信号 STV 传输到节点 B,节点 B 控制着第四晶体管 M4,使 M4 导通,将 V_{gh} 的关闭信号传输到 Output 端。

[0058] 第二阶段:CLK1 和 STV 变为高电平,第二时钟信号 CLK2 变为低电平的导通信号,此时 CLK2 通过 M3 传输到 Output,并且传输到第九晶体管 M9 的栅极端,使得 M9 导通,V_{gh} 关闭信号变通过 M9 将 B 点电位拉高至截止,控制 M4 使其不影响 Output 输出。

[0059] 第三阶段:CLK2 变为高电平信号,第三时钟信号 CLK3 变为低电平导通信号,CLK3 通过第五晶体管 M5 将 A 点电位拉高,变成 V_{gh},这样便使 M3 完全截止,不会影响 Output 输出信号。同时也使第六晶体管 M6 导通,将 B 点电位拉低,将 M4 导通,使 V_{gh} 信号输出到 Output 端。

[0060] 通过上述这三个工作阶段的循环反复,实现了移位寄存器的功能。

[0061] 本发明实施例还提供了一种栅极驱动电路,包括权利要求上述技术方案中任一所述的移位寄存器。

[0062] 本发明实施例还提供了一种显示装置,包括上述的栅极驱动电路。

[0063] 需要说明的是,上述本发明实施例中所述的移位寄存器不仅适用于液晶显示器,还适用于 AMOLED 有源矩阵有机发光二极体面板。

[0064] 综上所述,本发明实施例在每阶段工作时,均通过对第四晶体管和第五晶体管的栅极进行控制来避免工作过程中出现悬浮节点,在移位寄存器信号输出时不会有干扰和影响,信号的输出质量好;设置了复位开关,在移位寄存器的电路正常工作前,先进行复位阶段使电路中各悬浮栅极节点的电位复位,不对开始工作时写入的信号造成影响;在第一阶段时,移位寄存器同时输出第二时钟信号和关闭信号,相比现有技术仅使用单一晶体管的输出一路信号,信号更加稳定。

[0065] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

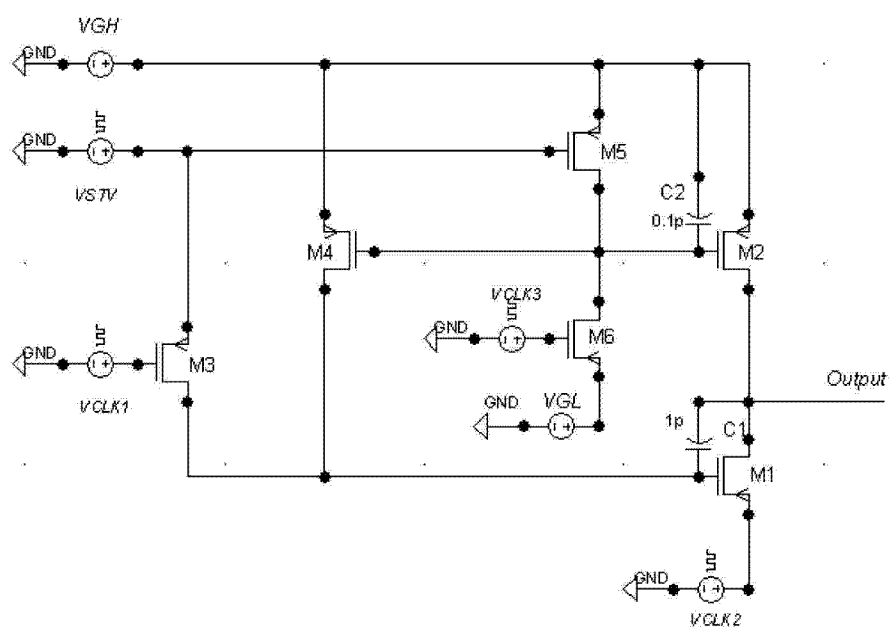


图 1

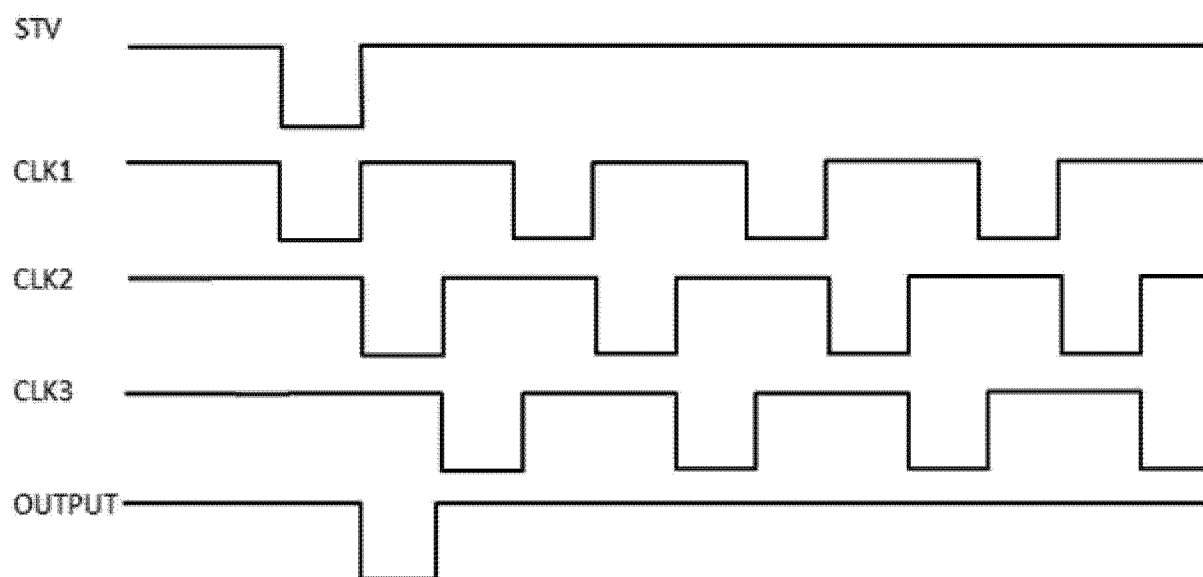


图 2

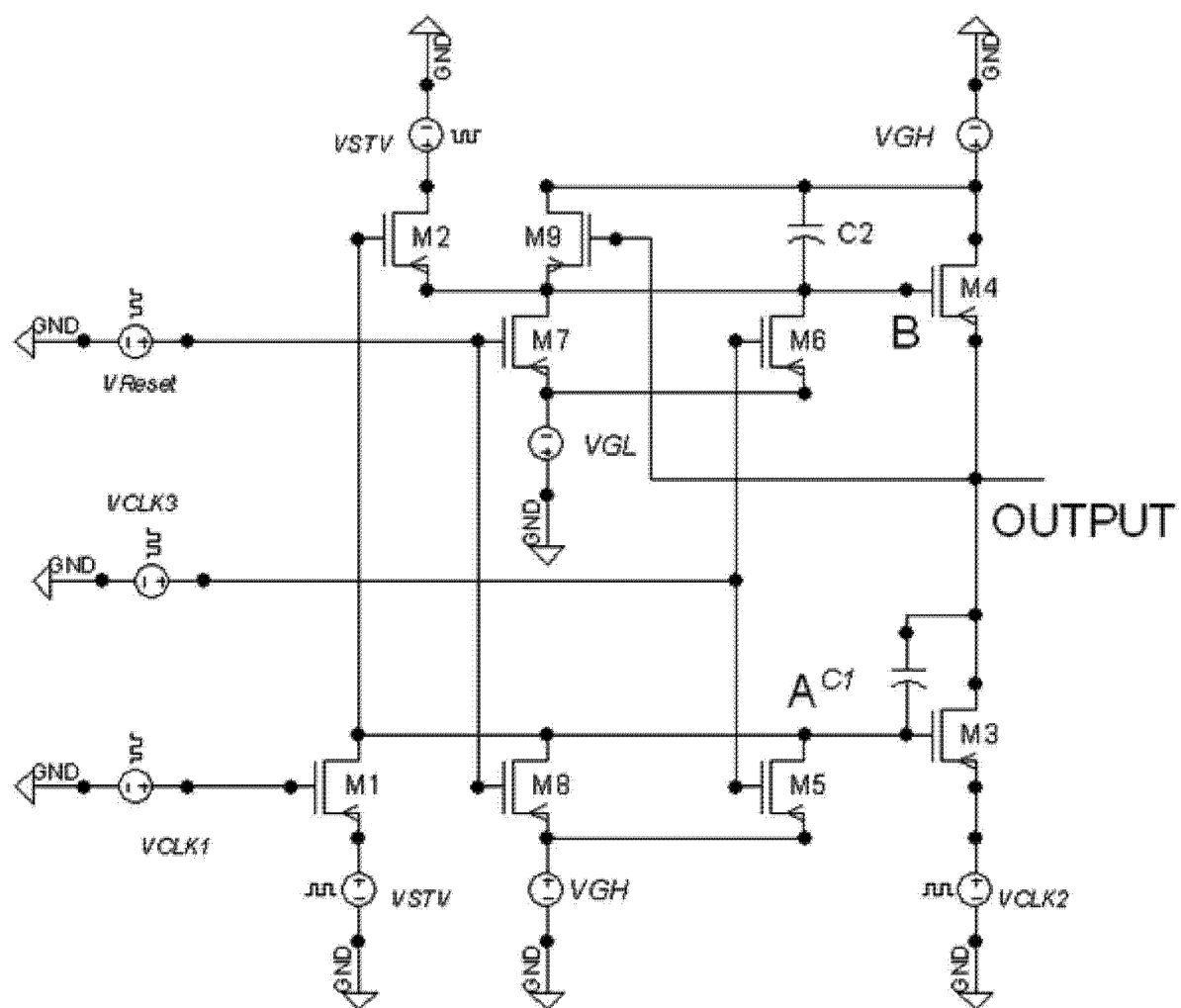


图 3

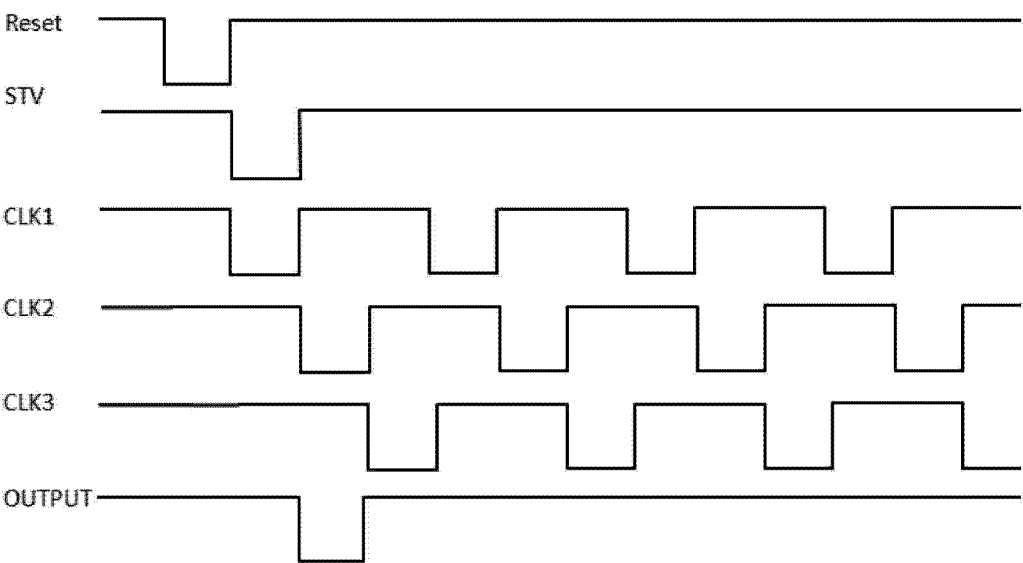


图 4

专利名称(译)	一种移位寄存器、栅极驱动电路及显示装置		
公开(公告)号	CN103000120A	公开(公告)日	2013-03-27
申请号	CN201210540703.4	申请日	2012-12-13
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	马占洁		
发明人	马占洁		
IPC分类号	G09G3/20 G09G3/36 G11C19/28		
代理人(译)	黄志华		
其他公开文献	CN103000120B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种移位寄存器、栅极驱动电路及液晶显示器，涉及液晶显示器领域，包括第一时钟电路、第二时钟电路、关闭信号电路、起始信号电路、第三时钟电路和复位开关。本发明通过复位开关在移位寄存器的电路正常工作前，先进行复位阶段使电路中各悬浮栅极节点的电位复位，不会对开始工作时写入的信号造成影响，并且本发明解决了在工作过程中出现的电位悬浮、输出的信号质量较差等问题。

