



(12)实用新型专利

(10)授权公告号 CN 206097875 U

(45)授权公告日 2017.04.12

(21)申请号 201621080449.4

(22)申请日 2016.09.26

(73)专利权人 西京学院

地址 710123 陕西省西安市长安区西京路1号

(72)发明人 刘文强 邱力军 王震

(74)专利代理机构 西安智大知识产权代理事务所 61215

代理人 贺建斌

(51)Int.Cl.

G09G 3/36(2006.01)

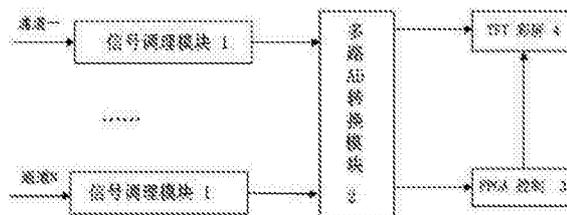
权利要求书1页 说明书3页 附图2页

(54)实用新型名称

一种基于FPGA的脑电处理系统液晶显示控制电路

(57)摘要

一种基于FPGA的脑电处理系统液晶显示控制电路,包括多通道的信号调理模块,信号调理模块的输出和多路AD转换模块的输入连接,多路AD转换模块的第一输出和FPGA控制的输入连接,FPGA控制的输出和TFT彩屏的第一输入连接,多路AD转换模块的第二输出和TFT彩屏的第二输入连接,采用FPGA控制,实现了实时显示脑电波节律的变化,测试表明,波形显示清晰,稳定,在达到当前同类设备相同显示效果的前提下,所利用的资源更少,减小了成本和体积。



1. 一种基于FPGA的脑电处理系统液晶显示控制电路,包括多通道的信号调理模块(1),其特征在于:信号调理模块(1)的输出和多路AD转换模块(2)的输入连接,多路AD转换模块(2)的第一输出和FPGA控制(3)的输入连接,FPGA控制(3)的输出和TFT彩屏(4)的第一输入连接,多路AD转换模块(2)的第二输出和TFT彩屏(4)的第二输入连接。

2. 根据权利要求1所述的一种基于FPGA的脑电处理系统液晶显示控制电路,其特征在于:所述的信号调理模块(1)采用AD620,对要显示的脑电波形进行预处理以方便AD采样。

3. 根据权利要求1所述的一种基于FPGA的脑电处理系统液晶显示控制电路,其特征在于:所述的多路AD转换模块(2)采用AD7290芯片,8位8通。

4. 根据权利要求1所述的一种基于FPGA的脑电处理系统液晶显示控制电路,其特征在于:所述的FPGA控制(3)采用Cyclone 111 EP3C16Q240C8作为控制和数据处理核心,在FPGA中构建Nios软核作为微控制器,通过对Nios软核进行编程实现控制功能。

5. 根据权利要求1所述的一种基于FPGA的脑电处理系统液晶显示控制电路,其特征在于:所述的TFT彩屏(4)采用WG12864A 128*64图形点阵液晶。

一种基于FPGA的脑电处理系统液晶显示控制电路

技术领域

[0001] 本实用新型涉及一种控制电路,具体涉及一种基于FPGA的脑电处理系统液晶显示控制电路。

背景技术

[0002] 与DSP控制电路相比,FPGA具有开发过程投资小、周期短、可反复编程、保密性好,扩展性强等特点,随着电子制造工艺的不断进步,FPGA的集成度越来越高,稳定性越来越好,价格却越来越低,FPGA已成为当前数字电路系统设计的首选方式之一。

[0003] 为了能够对脑电信号处理系统采集的波形进行实时显示,需要将采集来的数据直接送入液晶进行显示,传统的一般采用DSP进行控制,但是现在大多数液晶的控制器支持复杂的指令,也更适合在FPGA下使用。

发明内容

[0004] 为了克服上述现有技术的缺点,本实用新型的目的在于提供一种基于FPGA的脑电处理系统液晶显示控制电路,为使用FPGA控制提供了方便,具有稳定性好、价格低的优点。

[0005] 为了达到上述目的,本实用新型采取的技术方案为:

[0006] 一种基于FPGA的脑电处理系统液晶显示控制电路,包括多通道的信号调理模块1,信号调理模块1的输出和多路AD转换模块2的输入连接,多路AD转换模块2的第一输出和FPGA控制3的输入连接,FPGA控制3的输出和TFT彩屏4的第一输入连接,多路AD转换模块2的第二输出和TFT彩屏4的第二输入连接。

[0007] 所述的信号调理模块1采用AD620,对要显示的脑电波形进行预处理以方便AD采样。

[0008] 所述的多路AD转换模块2采用AD7290芯片,8位8通。

[0009] 所述的FPGA控制3采用Cyclone 111 EP3C16Q240C8作为控制和数据处理核心,在FPGA中构建Nios软核作为微控制器,通过对Nios软核进行编程实现控制功能。

[0010] 所述的TFT彩屏4采用WG12864A 128*64图形点阵液晶。

[0011] 本实用新型具有如下有益效果:采用FPGA控制3,实现了实时显示脑电波节律的变化,测试表明,波形显示清晰,稳定。在达到当前同类设备相同显示效果的前提下,所利用的资源更少,减小了成本和体积。

附图说明

[0012] 图1为本实用新型的结构示意图。

[0013] 图2为FPGA控制3内部电路框图。

[0014] 图3为TFT彩屏4与FPGA控制3的连接图。

具体实施方式

[0015] 下面结合附图和实施例对本实用新型进行详细说明。

[0016] 参照图1,一种基于FPGA的脑电处理系统液晶显示控制电路,包括多通道的信号调理模块1,信号调理模块1的输出和多路AD转换模块2的输入连接,多路AD转换模块2的第一输出和FPGA控制3的输入连接,FPGA控制3的输出和TFT彩屏4的第一输入连接,多路AD转换模块2的第二输出和TFT彩屏4的第二输入连接。

[0017] 所述信号调理模块1采用AD620,对要显示的脑电波形进行预处理以方便AD采样。

[0018] 所述的多路AD转换模块2采用AD7290芯片,8位8通。

[0019] 参照图2,所述的FPGA控制3采用Cyclone 111 EP3C16Q240C8作为控制和数据处理核心,在FPGA中构建Nios软核作为微控制器,通过对Nios软核进行编程实现控制功能。FPGA控制3包括FIFO缓存,FIFO缓存的输入与多路AD转换模块2的AD数据输出连接,AD采集来的数据在采样时钟AD_CLK的控制下被不断存入FIFO缓存中,然后在触发条件的控制下从FIFO缓存中取出数据存入到数据存储中;数据存储的输出与数据转换的输入连接,数据转换的输出与显存的输入连接,在刷屏间隙将数据储存中的数据依次取出,经数据转,将电压数据转换成显示数据存入到显存;显存的输出与TFT彩屏4的第一输入连接,执行刷屏时,禁止从数据存储中读出数据,也禁止向显存中写入数据,显存中的数据依次读出,送往TFT彩屏4进行显示,显存的控制时序控制由控制信号DE和PCLK共同完成,TFT彩屏4的驱动时序为HSYNC和VSYNC。

[0020] 所述的TFT彩屏4采用WG12864A 128*64图形点阵液晶,接口电路定义如表1所示,根据表1对WG12864A的引脚定义,与FPGA控制3的电路接口如图3所示,图3中VCC均为5V,引脚7-14是FPGA控制3端口与液晶的控制端口,均是直接连接,通过FPGA产生各种时序来控制液晶的动作;引脚1、3和引脚18之间接一个几百欧的变阻器,为液晶提供-5V~-10V的负压,调节液晶的对比度,增强字符图形的可读性;引脚19、20为背光电源,电压为-4.0V~-4.3V,严禁直接接5V电源,防止电流过大导致液晶发热损坏背光灯、缩短液晶使用寿命;引脚15、16的CS1、CS2通过指令控制切换实现屏幕的分左右区显示;引脚20的RES用来控制液晶的复位。

[0021] 表1

[0022]

| 序号 | 符号 | 电平 | 状态 | 功能 |
|----|-----|-------|----|-----------|
| 1 | GND | 0V | - | 电源地 |
| 2 | Vcc | 5.0V | - | 逻辑电源正 |
| 3 | V0 | 0~-5V | - | 液晶显示驱动电源 |
| 4 | D/1 | H/L | 输入 | 寄存器选择信号 |
| 7 | R/W | H/L | 输入 | 读/写选择信号 |
| 8 | E | H/L | 输入 | 使能信号 |
| 7 | DB0 | H/L | 三态 | 数据总线(最低位) |
| 8 | DB1 | H/L | 三态 | 数据总线 |
| 9 | DB2 | H/L | 三态 | 数据总线 |
| 10 | DB3 | H/L | 三态 | 数据总线 |
| 11 | DB4 | H/L | 三态 | 数据总线 |

| | | | | |
|----|------|------|----|-------------|
| 12 | DB5 | H/L | 三态 | 数据总线 |
| 13 | DB6 | H/L | 三态 | 数据总线 |
| 14 | DB7 | H/L | 三态 | 数据总线(最高位) |
| 15 | CS2 | H | 输入 | 片选2(高电平有效) |
| 16 | CS1 | H | 输入 | 片选1(高电平有效) |
| 17 | /RES | L | 输入 | 复位信号(低电平有效) |
| 18 | VEE | - | 输出 | LCD驱动负电压 |
| 19 | A | 4.2V | 输入 | 背光电源(+) |
| 20 | K | 0V | - | 背光电源(-) |

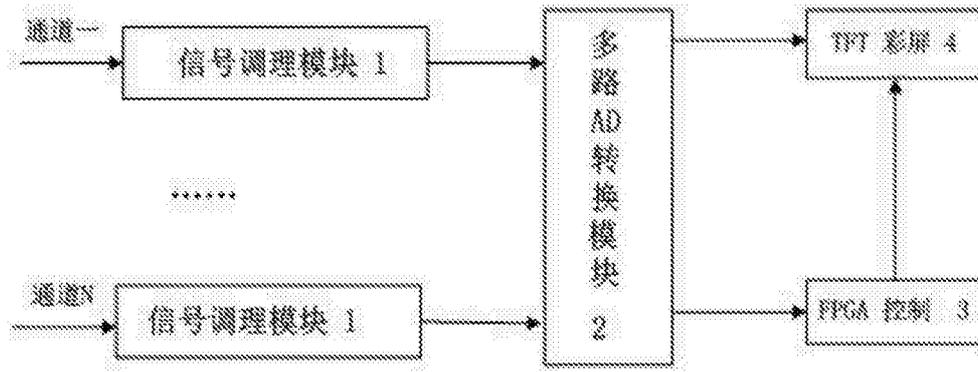


图1

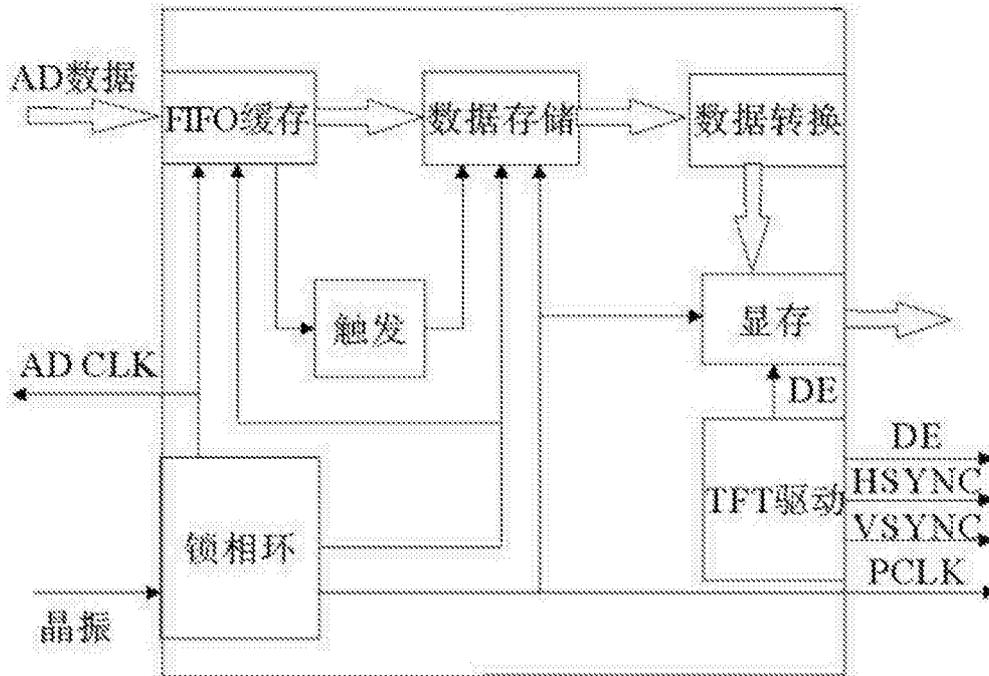


图2

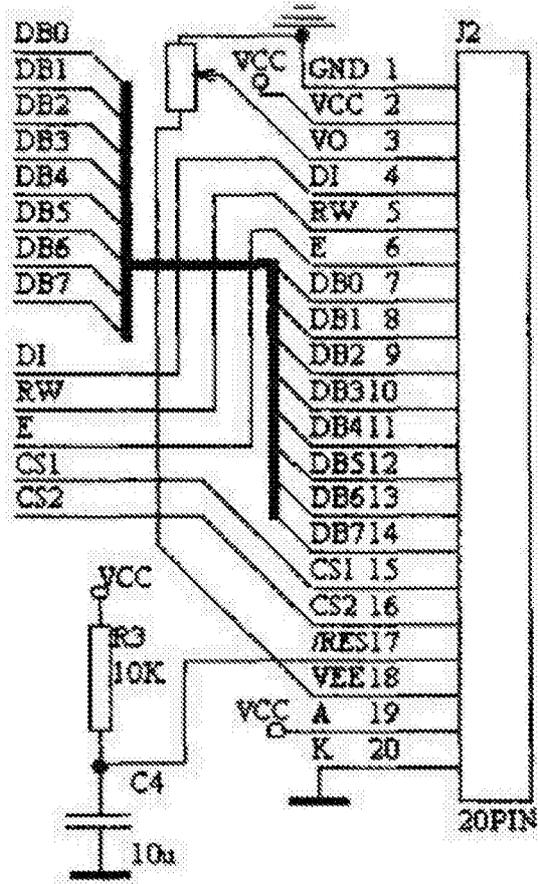


图3

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 一种基于FPGA的脑电处理系统液晶显示控制电路 | | |
| 公开(公告)号 | CN206097875U | 公开(公告)日 | 2017-04-12 |
| 申请号 | CN201621080449.4 | 申请日 | 2016-09-26 |
| [标]申请(专利权)人(译) | 西京学院 | | |
| 申请(专利权)人(译) | 西京学院 | | |
| 当前申请(专利权)人(译) | 西京学院 | | |
| [标]发明人 | 刘文强 邱力军 王震 | | |
| 发明人 | 刘文强 邱力军 王震 | | |
| IPC分类号 | G09G3/36 | | |
| 外部链接 | Espacenet SIPO | | |

摘要(译)

一种基于FPGA的脑电处理系统液晶显示控制电路，包括多通道的信号调理模块，信号调理模块的输出和多路AD转换模块的输入连接，多路AD转换模块的第一输出和FPGA控制的输入连接，FPGA控制的输出和TFT彩屏的第一输入连接，多路AD转换模块的第二输出和TFT彩屏的第二输入连接，采用FPGA控制，实现了实时显示脑电波节律的变化，测试表明，波形显示清晰，稳定，在达到当前同类设备相同显示效果的前提下，所利用的资源更少，减小了成本和体积。

