

1. 一种栅极驱动单元,其特征在于,包括:上拉输入模块、上拉模块、下拉模块、第一单极维持控制模块和第一维持模块;

所述上拉输入模块,与驱动信号输入端和上拉控制节点连接,用于接收上级驱动信号,并在所述上级驱动信号为第一电平时,将上拉控制节点置为第一电平;

所述上拉模块,与所述上拉控制节点、时钟信号输入端和驱动信号输出端连接,用于在所述上拉控制节点为第一电平时,将所述时钟信号输入端与所述驱动信号输出端导通;

所述下拉模块,与所述上拉控制节点、驱动信号输出端、下级驱动信号输入端和第二电平输入端连接,用于接收下级驱动信号,并在所述下级驱动信号为第一电平时,将所述上拉控制节点和所述驱动信号输出端均与所述第二电平输入端导通;

所述第一单极维持控制模块,与所述第一维持模块的第一维持信号输入端和第一低频时钟信号输入端连接,用于接收第一低频时钟信号,并在所述第一低频时钟信号为第一电平时,将该第一维持信号输入端置为第一电平;

所述第一维持模块,与所述上拉控制节点、所述驱动信号输出端和所述第二电平输入端连接,用于在所述上拉控制节点被下拉模块下拉为第二电平后使能,并在所述第一维持模块的第一维持信号输入端为第一电平时,将所述上拉控制节点和所述驱动信号输出端均与所述第二电平输入端导通。

2. 根据权利要求1所述的栅极驱动单元,其特征在于,所述第一单极维持控制模块包括:第三晶体管和第五晶体管;

所述第三晶体管的栅极和源极均与所述第一低频时钟信号输入端连接,漏极与所述第五晶体管的栅极连接;

所述第五晶体管的源极与所述第一低频时钟信号输入端连接,漏极与所述第一维持模块的第一维持信号输入端连接。

3. 根据权利要求2所述的栅极驱动单元,其特征在于,所述第一维持模块包括:第六晶体管、第七晶体管和第八晶体管;

所述第六晶体管的栅极与所述上拉控制节点连接,源极与所述第一维持模块的第一维持信号输入端连接,漏极与所述第二电平输入端连接;

所述第七晶体管的栅极与所述第一单极维持控制模块连接,源极与所述上拉控制节点连接,漏极与所述第二电平输入端连接;

所述第八晶体管的栅极与所述第一单极维持控制模块连接,源极与所述驱动信号输出端连接,漏极与所述第二电平输入端连接。

4. 根据权利要求2所述的栅极驱动单元,其特征在于,所述第一单极维持控制模块中,第三晶体管的漏极与所述第一维持模块的第二维持信号输入端连接;所述第一维持模块还包括:第九晶体管;

所述第九晶体管的栅极与所述上拉控制节点连接,源极与所述第一维持模块的第二维持信号输入端连接,漏极与所述第二电平输入端连接。

5. 根据权利要求1所述的栅极驱动单元,其特征在于,所述下拉模块包括:第二晶体管;

所述第二晶体管的栅极与所述下级驱动信号输入端连接,源极与所述上拉控制节点连接,漏极与所述第二电平输入端连接。

6. 根据权利要求5所述的栅极驱动单元,其特征在于,所述下拉模块还包括:第四晶体

管；

所述第四晶体管的栅极与所述下级驱动信号输入端连接，源极与所述驱动信号输出端连接，漏极与所述第二电平输入端连接。

7. 根据权利要求1所述的栅极驱动单元，其特征在于，所述上拉输入模块包括：第一晶体管；

所述第一晶体管的栅极和源极均与所述驱动信号输入端连接，漏极与所述上拉控制节点连接。

8. 根据权利要求1-7任一项所述的栅极驱动单元，其特征在于，所述单元还包括：与所述第一单极维持控制模块结构相同的第二单极维持控制模块，以及与所述第一维持模块对称设置的第二维持模块；

所述第二单极维持控制模块，与所述第二维持模块的第一维持信号输入端、第二低频时钟信号输入端连接，用于接收第二低频时钟信号，并在所述第二低频时钟信号为第一电平时，将该第一维持信号输入端置为第一电平；

所述第二维持模块，与所述上拉控制节点、所述驱动信号输出端、所述第二电平输入端连接，用于在所述上拉控制节点被下拉模块下拉为第二电平后使能，并在所述第一维持信号输入端为第一电平时，将所述上拉控制节点和所述驱动信号输出端均与所述第二电平输入端导通；

其中，所述第一低频时钟信号和所述第二低频时钟信号为相反时钟信号。

9. 根据权利要求1所述的栅极驱动单元，其特征在于，所述上拉模块包括：第十晶体管和第一电容；

所述第十晶体管的栅极与所述上拉控制节点连接，源极与所述时钟信号输入端连接，漏极与所述驱动信号输出端连接；

所述第一电容的一端与所述上拉控制节点连接，另一端与所述驱动信号输出端连接。

10. 一种栅极扫描驱动电路，其特征在于，包括：多个级联的栅极驱动单元；所述栅极驱动单元为如权利要求1-9任一项所述的栅极驱动单元。

11. 一种液晶显示装置，其特征在于，包括：液晶显示基板、以及设置与所述液晶显示基板上的源极驱动电路和如权利要求10所述的栅极扫描驱动电路。

栅极驱动单元、栅极扫描驱动电路和液晶显示装置

技术领域

[0001] 本发明实施例涉及液晶显示技术领域,尤其涉及一种栅极驱动单元、栅极扫描驱动电路和液晶显示装置。

背景技术

[0002] 随着液晶显示技术的发展,消费者对于窄边框屏幕的需求越来越大,为了窄化边框,可以采用GOA (Gate On Array,阵列基板行驱动) 技术将外置的栅极扫描驱动电路制作在阵列基板上,省去栅极驱动芯片以及电路板的空间。

[0003] 现有的GOA技术,如图1所示,通常采用2T1C (2个薄膜晶体管1个电容) 的电路结构生成栅极驱动信号。

[0004] 然而,上述栅极扫描驱动电路采用了高电平信号走线VGH实现信号的输入和维持,并且为配合VGH的使用设置了清零模块 (M2、M4和M12),进行清零,可见上述栅极扫描驱动电路中所用器件多,走线数量多导致了成本较高,器件失效风险大,易引发线路不良。

发明内容

[0005] 本发明实施例提供一种栅极驱动单元、栅极扫描驱动电路和液晶显示装置,以实现简化电路结构,减少走线数量,降低成本,从而解决现有技术中采用高压线VGH导致的成本高、器件失效风险大、易引发线路不良的问题。

[0006] 第一方面,本发明实施例提供一种栅极驱动单元,包括:上拉输入模块、上拉模块、下拉模块、第一单极维持控制模块和第一维持模块;

[0007] 所述上拉输入模块,与驱动信号输入端和上拉控制节点连接,用于接收上级驱动信号,并在所述上级驱动信号为第一电平时,将上拉控制节点置为第一电平;

[0008] 所述上拉模块,与所述上拉控制节点、时钟信号输入端和驱动信号输出端连接,用于在所述上拉控制节点为第一电平时,将所述时钟信号输入端与所述驱动信号输出端导通;

[0009] 所述下拉模块,与所述上拉控制节点、驱动信号输出端、下级驱动信号输入端和第二电平输入端连接,用于接收下级驱动信号,并在所述下级驱动信号为第一电平时,将所述上拉控制节点和所述驱动信号输出端均与所述第二电平输入端导通;

[0010] 所述第一单极维持控制模块,与所述第一维持模块的第一维持信号输入端和第一低频时钟信号输入端连接,用于接收第一低频时钟信号,并在所述第一低频时钟信号为第一电平时,将该第一维持信号输入端置为第一电平;

[0011] 所述第一维持模块,与所述上拉控制节点、所述驱动信号输出端和所述第二电平输入端连接,用于在所述上拉控制节点被下拉模块下拉为第二电平后使能,并在所述第一维持模块的第一维持信号输入端为第一电平时,将所述上拉控制节点和所述驱动信号输出端均与所述第二电平输入端导通。

[0012] 在一种可能的设计中,所述第一单极维持控制模块包括:第三晶体管和第五晶体

管；

[0013] 所述第三晶体管的栅极和源极均与所述第一低频时钟信号输入端连接，漏极与所述第五晶体管的栅极连接；

[0014] 所述第五晶体管的源极与所述第一低频时钟信号输入端连接，漏极与所述第一维持模块的第一维持信号输入端连接。

[0015] 在一种可能的设计中，所述第一维持模块包括：第六晶体管、第七晶体管和第八晶体管；

[0016] 所述第六晶体管的栅极与所述上拉控制节点连接，源极与所述第一维持模块的第一维持信号输入端连接，漏极与所述第二电平输入端连接；

[0017] 所述第七晶体管的栅极与所述第一单极维持控制模块连接，源极与所述上拉控制节点连接，漏极与所述第二电平输入端连接；

[0018] 所述第八晶体管的栅极与所述第一单极维持控制模块连接，源极与所述驱动信号输出端连接，漏极与所述第二电平输入端连接。

[0019] 在一种可能的设计中，所述第一单极维持控制模块中，第三晶体管的漏极与所述第一维持模块的第二维持信号输入端连接；所述第一维持模块还包括：第九晶体管；

[0020] 所述第九晶体管的栅极与所述上拉控制节点连接，源极与所述第一维持模块的第二维持信号输入端连接，漏极与所述第二电平输入端连接。

[0021] 在一种可能的设计中，所述下拉模块包括：第二晶体管；

[0022] 所述第二晶体管的栅极与所述下级驱动信号输入端连接，源极与所述上拉控制节点连接，漏极与所述第二电平输入端连接。

[0023] 在一种可能的设计中，所述下拉模块还包括：第四晶体管；

[0024] 所述第四晶体管的栅极与所述下级驱动信号输入端连接，源极与所述驱动信号输出端连接，漏极与所述第二电平输入端连接。

[0025] 在一种可能的设计中，所述上拉输入模块包括：第一晶体管；

[0026] 所述第一晶体管的栅极和源极均与所述驱动信号输入端连接，漏极与所述上拉控制节点连接。

[0027] 在一种可能的设计中，所述单元还包括：与所述第一单极维持控制模块结构相同的第二单极维持控制模块，以及与所述第一维持模块对称设置的第二维持模块；

[0028] 所述第二单极维持控制模块，与所述第二维持模块的第一维持信号输入端、第二低频时钟信号输入端连接，用于接收第二低频时钟信号，并在所述第二低频时钟信号为第一电平时，将该第一维持信号输入端置为第一电平；

[0029] 所述第二维持模块，与所述上拉控制节点、所述驱动信号输出端、所述第二电平输入端连接，用于在所述上拉控制节点被下拉模块下拉为第二电平后使能，并在所述第一维持信号输入端为第一电平时，将所述上拉控制节点和所述驱动信号输出端均与所述第二电平输入端导通；

[0030] 其中，所述第一低频时钟信号和所述第二低频时钟信号为相反时钟信号。

[0031] 在一种可能的设计中，所述上拉模块包括：第十晶体管和第一电容；

[0032] 所述第十晶体管的栅极与所述上拉控制节点连接，源极与所述时钟信号输入端连接，漏极与所述驱动信号输出端连接。

[0033] 所述第一电容的一端与所述上拉控制节点连接,另一端与所述驱动信号输出端连接。

[0034] 第二方面,本发明实施例提供一种栅极扫描驱动电路,包括:多个级联的栅极驱动单元;所述栅极驱动单元为上述第一方面以及第一方面各种可能的设计所述的栅极驱动单元。

[0035] 第三方面,本发明实施例提供一种液晶显示装置,包括:液晶显示基板、以及设置与所述液晶显示基板上的源极驱动电路和如上述第一方面以及第一方面各种课程的设计所述的栅极扫描驱动电路。

[0036] 本实施例提供的栅极驱动单元、栅极扫描驱动电路和液晶显示装置,该栅极驱动单元通过将维持控制模块设置为单极控制模块,直接通过LC信号控制维持模块工作,从而省去了高电压信号线VGH的使用以及清零模块的使用,进而能够简化电路,减少走线,降低成本。

附图说明

[0037] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0038] 图1为现有技术中栅极驱动单元的电路示意图;

[0039] 图2为本发明一实施例提供的栅极驱动单元的电路示意图;

[0040] 图3为本发明又一实施例提供的栅极驱动单元的电路示意图;

[0041] 图4为本发明又一实施例提供的栅极驱动单元的电路示意图;

[0042] 图5为本发明又一实施例提供的栅极驱动单元的电路示意图;

[0043] 图6为本发明一实施例提供的栅极扫描驱动电路的结构示意图;

[0044] 图7为本发明又一实施例提供的栅极扫描驱动电路的驱动信号示意图;

[0045] 图8为本发明又一实施例提供的液晶显示装置的结构示意图。

[0046] 附图标记:

[0047] 11:上拉输入模块;12:上拉模块;20:下拉模块;31:第一单极维持控制模块;32:第一维持模块;33:第二单极维持控制模块;34:第二维持模块;M1:第一晶体管;M2:第二晶体管;M3:第三晶体管;M4:第四晶体管;M5:第五晶体管;M6:第六晶体管;M7:第七晶体管;M8:第八晶体管;M9:第九晶体管;M10:第十晶体管;M3':第十三晶体管;M5':第十五晶体管;M6':第十六晶体管;M7':第十七晶体管;M8':第十八晶体管;M9':第十九晶体管;PU:上拉控制节点;LC1:第一低频时钟信号;LC2:第二低频时钟信号;Gn-b:驱动信号输入端;Gn:驱动信号输出端;Gn+m:下级驱动信号输入端;VSS:第二电平。

具体实施方式

[0048] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员

在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0049] 图1为现有技术中栅极驱动单元的电路示意图。如图1所示,该栅极驱动单元采用的是21T1C(21个薄膜晶体管1个电容)结构的电路。其包括:上拉子单元(M1和M10),下拉子单元(M9)、维持子单元(M3A、M5A、M6A、M7A、M8A、M13A、M14A、M3B、M5B、M6B、M7B、M8B、M13B和M14B)、清零子单元(M2和M12)和级传子单元(M11、M4、M14A和M14B)。

[0050] 在具体工作过程中,当驱动信号输入端input输入的上级驱动信号为高电平时,上拉子单元中的M1导通,栅极高电压VGH对QA节点充电,在QA节点为高电平时上拉子单元中的M10导通,时钟信号CKm作为本级驱动信号Gn输出,同时级传子单元中的M11导通,时钟信号CKm作为本级级传信号Tn输出,并且维持子单元中的M6A、M6B、M7A和M7B导通,维持子单元不被使能;当下级驱动信号为高电平时,下拉子单元中的M9导通,QA节点与VSS输入端导通,该VSS输入端输入低电平电压,QA节点的电平被拉低,M10关闭,本级驱动信号Gn输出结束,同时,维持子单元中的M6A和M6B关闭;当驱动信号输入端input输入的上级驱动信号为低电平时,M7A和M7B关闭,若LC1为高电平时,M5A导通,在VGH的作用下M13A、M8A和M14A导通(相应的,若LC2为高电平时,M5B导通,在VGH的作用下M13B、M8B和M14B导通),QA节点和QB节点被拉低。在一帧画面结束下一帧开启前,当清零信号CLR为高电平时,M2、M4和M12开启,分别对QA节点、QD节点与QB节点进行放电,实现清零功能。

[0051] 由此可见,现有的21T1C结构的栅极驱动单元,器件很多,引发器件不良的风险也随之较大,该驱动单元还采用了两根高电平信号走线VGH分别作用于上拉子单元和维持子单元,集中高电平易引起发热出现烧伤不良的问题,并且由于VGH的加入,还必须有专门的清零模块进行清零,增大了器件占用面积,基于此,本发明实施例提供一种栅极驱动单元,以实现简化电路结构以及降低成本。

[0052] 下面以具体地实施例对本发明的技术方案进行详细说明。下面这几个具体的实施例可以相互结合,对于相同或相似的概念或过程可能在某些实施例不再赘述。

[0053] 图2为本发明一实施例提供的栅极驱动单元的电路示意图。如图2所示,该栅极驱动单元包括:上拉输入模块11、上拉模块12、下拉模块20、第一单极维持控制模块31和第一维持模块32。

[0054] 上拉输入模块11,与驱动信号输入端Gn-b、上拉控制节点PU连接,用于接收上级驱动信号,并在该上级驱动信号为第一电平时,将上拉控制节点PU置为第一电平。

[0055] 上拉模块12,与上拉控制节点PU、时钟信号输入端CKm和驱动信号输出端Gn连接,用于在上拉控制节点PU为第一电平时,将时钟信号输入端CKm与所述驱动信号输出端导通。

[0056] 下拉模块20,与上拉控制节点PU、驱动信号输出端Gn、下级驱动信号输入端Gn+m和第二电平输入端VSS连接,用于接收下级驱动信号,并在所述下级驱动信号为第一电平时,将上拉控制节点PU和驱动信号输出端Gn分别与第二电平输入端VSS导通。

[0057] 第一单极维持控制模块31,与第一维持模块32的第一维持信号输入端、第一低频时钟信号输入端LC1连接,用于接收第一低频时钟信号LC1,并在所述第一低频时钟信号LC1为第一电平时,将该第一维持信号输入端置为第一电平。

[0058] 第一维持模块32,与上拉控制节点PU、驱动信号输出端Gn、第二电平输入端VSS和所述第一单极维持控制模块31连接,用于在上拉控制节点PU被下拉模块20下拉为第二电平后使能,并在第一维持模块32的第一维持信号输入端为第一电平时,将上拉控制节点PU和

驱动信号输出端G_n均与第二电平输入端VSS导通。

[0059] 实际应用中,上拉控制模块接收的上级驱动信号,可以是上级扫描信号G_{n-b},还可以是上级级传信号T_{n-b}。本实施例对此不做限定,以实际电路需要为准。

[0060] 上拉模块12用于产生本级驱动信号,输出到本级扫描信号线,进而输出给像素显示区域进行扫描线的驱动。

[0061] 可选地,本实施例中所述第二电平为低电平,所述第一电平为高电平。

[0062] 第一单极维持控制模块31,为单向控制模块,可以由一个晶体管构成,也可以由多个晶体管构成。具体以实际电路需要为准,本实施例对此不做限定。具体的,在下拉模块20对上拉控制节点PU进行下拉后,第一维持模块32使能,第一单极维持控制模块31根据第一低频时钟信号LC1生成维持信号,将维持信号输入第一维持模块32的第一输入端,以使第一维持模块32对上拉控制节点PU和驱动信号输出端G_n维持在第二电平,以避免驱动信号输出端G_n受非正常信号干扰,提高栅极驱动单元的可靠性。

[0063] 本实施例提供的栅极驱动单元,通过将维持控制模块设置为单极控制模块,直接通过LC信号控制维持模块工作,从而省去了高电压信号线VGH的使用以及清零模块的使用,进而能够简化电路,减少走线,降低成本。

[0064] 图3为本发明又一实施例提供的栅极驱动单元的电路示意图。在上述实施例的基础上本实施例对第一单极维持控制模块31以及第一维持模块32的具体结构进行了详细说明,如图3所示,第一单极维持控制模块31包括:第三晶体管M3和第五晶体管M5;所述第三晶体管M3的栅极和源极均与所述第一低频时钟信号LC1输入端连接,漏极与所述第五晶体管M5的栅极连接;所述第五晶体管M5的源极与所述第一低频时钟信号LC1输入端连接,漏极与第一维持模块32的第一维持信号输入端连接。第一单极维持控制模块31采用了双器件单极控制器件(M3和M5),从而能够防止控制器件失效风险,并且可以防止LC1处于低位时(此时下拉模块20输入高电平时),形成对第一单极维持控制模块31的反向相对高电平回溯引起第一单极维持控制模块31的寄生电荷(寄生电容),后续在驱动信号输出端G_n输出高电平时过开启(相对于VSS信号),从而会拉低G_n的输出。

[0065] 第一维持模块32包括:第六晶体管M6、第七晶体管M7和第八晶体管M8。

[0066] 第六晶体管M6的栅极与上拉控制节点PU连接,源极与第一单极维持控制模块31连接,漏极与第二电平输入端VSS连接,用于在上拉控制节点PU被下拉模块20拉低后,使能第一维持模块32。

[0067] 第七晶体管M7的栅极与第一单极维持控制模块31连接,源极与上拉控制节点PU连接,漏极与第二电平输入端VSS连接,用于在LC1为高电平时,将上拉控制节点PU维持在低电平,以避免受到非正常信号的干扰,使得上拉控制信号非正常工作。

[0068] 第八晶体管M8的栅极与第一单极维持控制模块31连接,源极与驱动信号输出端G_n连接,漏极与第二电平输入端VSS连接,用于在LC1为高电平时,将驱动信号输出端G_n维持在低电平,以防止G_n受干扰信号影响非正常工作。

[0069] 可以理解,本实施例中,第一维持模块32包括维持上拉控制节点PU的第七晶体管M7和维持驱动信号输出端G_n的第八晶体管M8。可选地,在其他实施例中,可以根据实际电路需要去掉第七晶体管M7或第八晶体管M8,以进一步简化电路,减小占用面积。

[0070] 如图3所示,可选地,下拉模块20包括:第二晶体管M2;所述第二晶体管M2的栅极与

下级驱动信号输入端 G_{n+m} 连接,源极与上拉控制节点PU连接,漏极与第二电平输入端VSS连接,用于接收下级驱动信号,并在下级驱动信号为高电平时,将上拉控制节点PU的电位下拉至低电平。

[0071] 如图3所示,可选地,下拉模块20还包括:第四晶体管M4;所述第四晶体管M4的栅极与下级驱动信号输入端 G_{n+m} 连接,源极与驱动信号输出端 G_n 连接,漏极与第二电平输入端VSS连接,用于在下级驱动信号为高电平时,将驱动信号输出端 G_n 的电位下拉至低电平。

[0072] 如图3所示,可选地,上拉输入模块11包括:第一晶体管M1;所述第一晶体管M1的栅极和源极均与驱动信号输入端 G_{n-b} 连接,漏极与上拉控制节点PU连接,用于接收上级驱动信号,并在上级驱动信号为高电平时,将上拉控制节点PU的电位上拉至高电平。

[0073] 如图3所示,可选地,上拉模块12包括:第十晶体管M10;所述第十晶体管M10的栅极与上拉控制节点PU连接,源极与时钟信号输入端 CK_m 连接,漏极与驱动信号输出端 G_n 连接,用于对在上拉控制节点PU为高电平时导通,使时钟信号 CK_m 通过驱动信号输出端 G_n 输出。

[0074] 如图3所示,可选地,上拉模块12还包括:第一电容;所述第一电容的一端与上拉控制节点PU连接,另一端与驱动信号输出端 G_n 连接,用于在驱动信号输出期间对上拉控制节点PU的电位进行抬升。

[0075] 在具体工作过程中,当驱动信号输入端 G_{n-b} 输入的上级驱动信号为高电平时,上拉控制模块中的第一晶体管M1导通,上级驱动信号对上拉控制节点PU充电,在上拉控制节点PU为高电平时上拉模块12中的第十晶体管M10导通,时钟信号 CK_m 作为本级驱动信号 G_n 输出,同时,第一维持模块32中的第六晶体管M6导通,第一维持模块32不被使能;当下级驱动信号为高电平时,下拉模块20中的第二晶体管M2和第四晶体管M4导通,上拉控制节点PU与第二电平输入端VSS导通,上拉控制节点PU的电平被拉低,上拉模块12中的第十晶体管M10关闭,驱动信号输出端 G_n 与第二电平输入端VSS导通,驱动信号输出端 G_n 被拉低,本级驱动信号 G_n 输出结束,同时,第一维持模块32中的第六晶体管M6关闭,第一维持模块32被使能;当驱动信号输入端 G_{n-b} 输入的上级驱动信号为低电平时,若LC1为高电平,第三晶体管M3导通后控制第五晶体管M5导通,将LC1输入到第七晶体管M7的栅极,使第七晶体管M7和第八晶体管M8导通,分别使得上拉控制节点PU和驱动信号输出端 G_n 与第二电平输入端VSS导通,使上拉控制节点PU和驱动信号输出端 G_n 被维持在低电平。

[0076] 本实施例提供的栅极驱动单元,通过第一单极维持控制模块31采用双器件单极控制,能够实现防止控制器件失效风险,并且能够防止LC1处于低位时(此时下拉模块20输入高电平时),形成对第一单极维持控制模块31的反向相对高电平回溯引起第一单极维持控制模块31的寄生电荷(寄生电容),后续在驱动信号输出端 G_n 输出高电平时过开启(相对于VSS信号),从而会拉低 G_n 的输出。另外,在本实施例中,通过下拉模块20同时对上拉控制节点PU和驱动信号输出端 G_n 进行下拉,能够减低非正常开启风险。

[0077] 图4为本发明又一实施例提供的栅极驱动单元的电路示意图。在上述实施例的基础上,例如在图3所示的实施例的基础上,本实施例中增加了第一维持控制模块和第一维持模块32的对称电路,降低了维持模块中各器件失效的风险,如图4所示,所述栅极驱动单元还包括:与第一单极维持控制模块31对称的第二单极维持控制模块33,以及与第一维持模块32对称的第二维持模块34。

[0078] 所述第二单极维持控制模块33,与所述第二维持模块34的第一维持信号输入端、

第二低频时钟信号LC2输入端连接,用于接收第二低频时钟信号LC2,并在所述第二低频时钟信号LC2为第一电平时,将该第一维持信号输入端置为第一电平。

[0079] 所述第二维持模块34,与上拉控制节点PU、驱动信号输出端Gn、第二电平输入端VSS连接,用于在上拉控制节点PU被下拉模块20下拉为第二电平后使能,并在所述第一维持信号输入端为第一电平时,将上拉控制节点PU和驱动信号输出端Gn均与第二电平输入端VSS导通。

[0080] 其中,所述第一低频时钟信号LC1和所述第二低频时钟信号LC2为相反时钟信号。

[0081] 可选地,所述第二单极维持控制模块33包括:第十三晶体管M3'和第十五晶体管M5'。所述第十三晶体管M3'的栅极和源极均与所述第二低频时钟信号LC2输入端连接,漏极与所述第十五晶体管M5'的栅极连接。

[0082] 所述第十五晶体管M5'的源极与所述第二低频时钟信号LC2输入端连接,漏极与所述第二维持模块34的第一维持信号输入端连接。

[0083] 所述第二维持模块34包括:第十六晶体管M6'、第十七晶体管M7'和第十八晶体管M8';所述第十六晶体管M6'的栅极与上拉控制节点PU连接,源极与所述第二维持模块34的第一维持信号输入端连接,漏极与第二电平输入端VSS连接;所述第十七晶体管M7'的栅极与所述第二维持模块34的第一维持信号输入端连接,源极与上拉控制节点PU连接,漏极与第二电平输入端VSS连接;所述第十八晶体管M8'的栅极与所述第二维持模块34的第一维持信号输入端连接,源极与驱动信号输出端Gn连接,漏极与第二电平输入端VSS连接。

[0084] 可以理解,第二单极维持模块与第一单极维持控制模块31具有相同的电路结构,其工作原理可参见上述实施例对第一单极维持控制模块31的描述,此处不再赘述。第二维持模块34与第一维持模块32也具有相同的电路结构,其工作原理也可参见上述实施例对第一维持模块32的描述,此处不再赘述。

[0085] 本实施例中,通过设置相对称的第一单极维持控制模块31和第二单极维持控制模块33,以及相对称的第一维持模块32和第二维持模块34,能够在相反信号,第一低频时钟信号LC1和第二低频时钟信号LC2的交替作用下,在Gn不工作期间对上拉控制节点PU和驱动信号输出端Gn进行低电平维持,以防止器件长时间受偏压,半导体极化,导致器件特性漂移,漏电流增大,进而引起器件失效且增大信赖性风险的问题。

[0086] 图5为本发明又一实施例提供的栅极驱动单元的电路示意图。在上述是实力的基础上,例如在图4所示的实施例的基础上,本实施例中,对维持模块进行了改进,在第一维持模块32中增加了第九晶体管M9,如图5所示,第一单极维持控制模块31中,第三晶体管M3的漏极与第一维持模块32的第二维持信号输入端连接;第一维持模块32还包括:第九晶体管M9;所述第九晶体管M9的栅极与上拉控制节点PU连接,源极与第一维持模块32的第二维持信号输入端连接,漏极与第二电平输入端VSS连接。

[0087] 可选地,所述第二单极维持控制模块33中,第十三晶体管M3'的漏极与所述第二维持模块34的第二维持信号输入端连接;第一维持模块32还包括:第十九晶体管M9';所述第十九晶体管M9'的栅极与上拉控制节点PU连接,源极与所述第二维持模块34的第二维持信号输入端连接,漏极与第二电平输入端VSS连接。

[0088] 本实施例提供的栅极驱动单元,通过在第一单极维持控制模块31的第三晶体管M3的漏极增加输出端,并将该输出端与维持模块中的第九晶体管M9连接,能够进一步提高第

一单极维持控制模块31的可靠性。

[0089] 图6为本发明一实施例提供的栅极扫描驱动电路的结构示意图。如图6所示,在本实施例中,该栅极扫描驱动电路采用了6个时钟信号(CK1-CK6)进行驱动,可以理解,在实际应用中时钟信号的数量可以根据面板的负载和电路的驱动能力来决定,例如还可以采用8个时钟、10个时钟,本实施例为了减少走线所以采用了6个时钟。电路架构主要包含驱动信号输入部分(如图中CK1-CK6、LC1、LC2、VSS)、电路输出与级传部分(如图中output、STV)。

[0090] 图7为本发明又一实施例提供的栅极扫描驱动电路的驱动信号示意图。

[0091] 如图7所示:

[0092] STV是启动信号,负责启动前面级的电路;

[0093] CK1-CK6是驱动的高频时钟信号,主要负责产生本级扫描信号(也即级传信号);

[0094] LC1和LC2是相位相反的第一低频时钟信号和第二低频时钟信号,LC1和LC2的频率低于高频时钟信号,但是具体的频率需要根据面板特性和TFT元件特性决定;

[0095] VSS是恒压低电平控制信号,为本实施例中的低电平;

[0096] 图8为本发明又一实施例提供的液晶显示装置的结构示意图。如图8所示,该液晶显示装置80包括液晶显示基板81、分别与液晶显示基板81连接的栅极驱动器82和源极驱动器83以及与所述源极驱动器83连接的电路板84,栅极驱动器82设置在液晶显示基板81的内部,电路板84均与源极驱动器83和栅极驱动器82连接,液晶显示基板81上设有纵横交错的多个扫描线 G_x 1011和多个数据线 S_y 1012,扫描线811设有栅极,栅极驱动器82与该多个扫描线811连接并给扫描线811提供信号,源极驱动器83与多个数据线812连接并给数据线812提供信号。

[0097] 所述栅极驱动器102内设有上述的栅极扫描驱动电路,所述电路板104内设有电平转换器(Level shift)、时序控制器芯片(T-CON)、GIP电路等,电路板输出低电平VSS、本级时钟信号CK_m、前面级时钟信号CK_{m-2}、后面级时钟信号CK_{m+2}、第一低频时钟信号LC1、第二低频时钟信号LC2、启动信号STV至所述栅极扫描驱动电路。

[0098] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

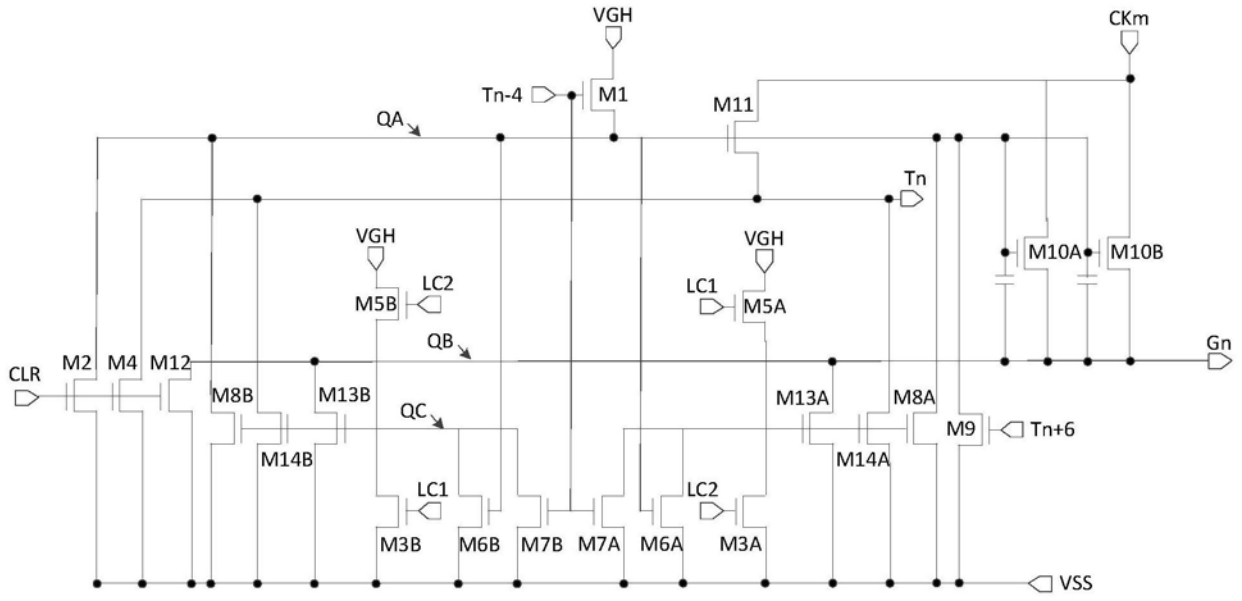


图1

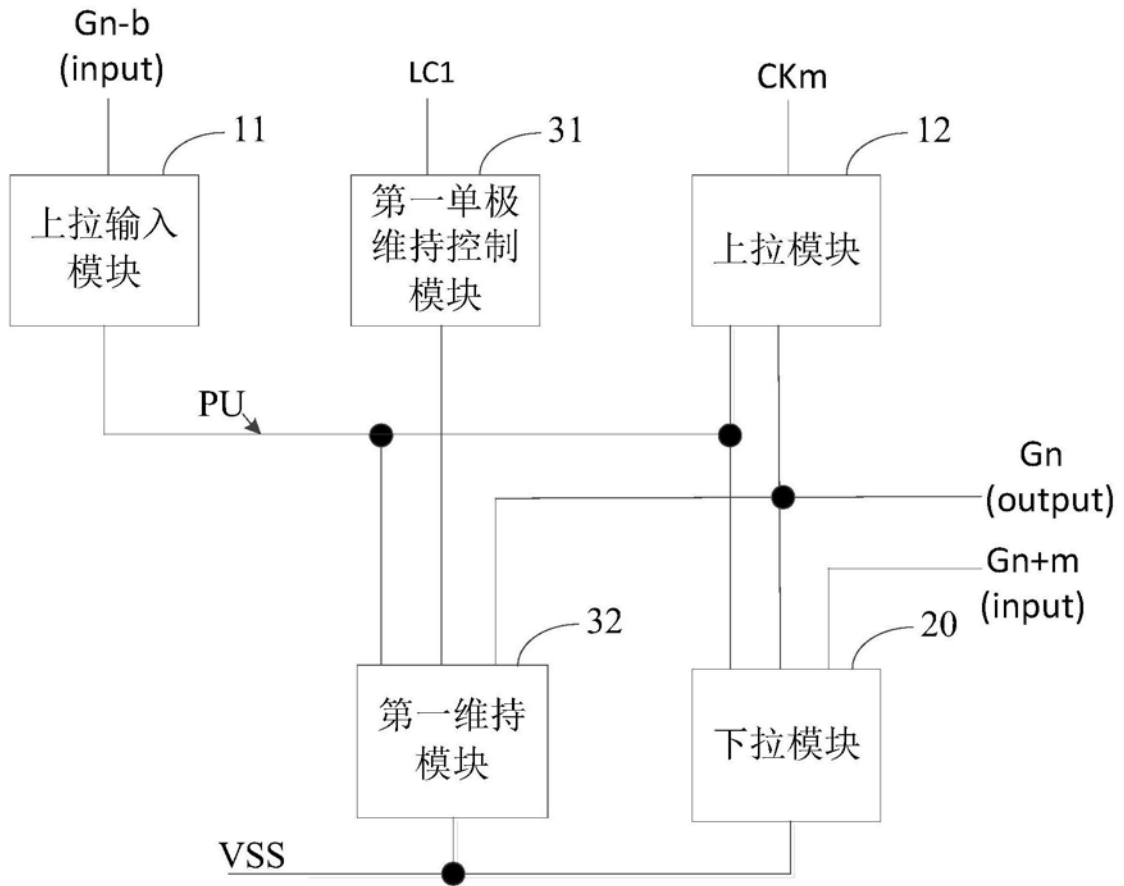


图2

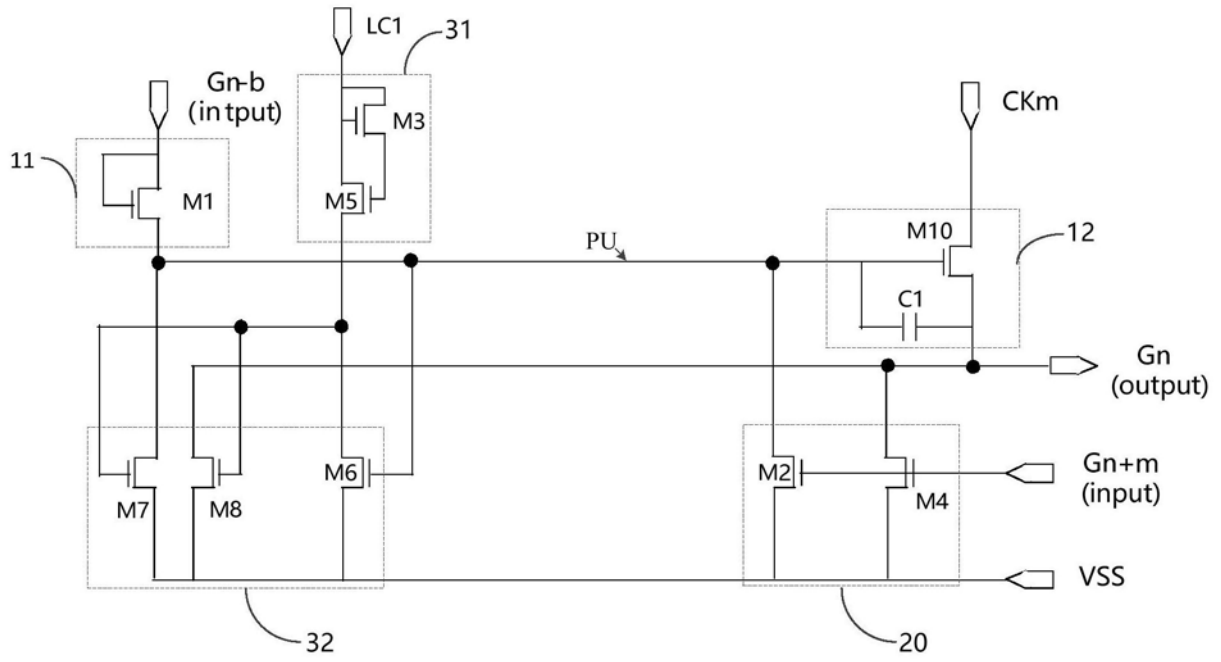


图3

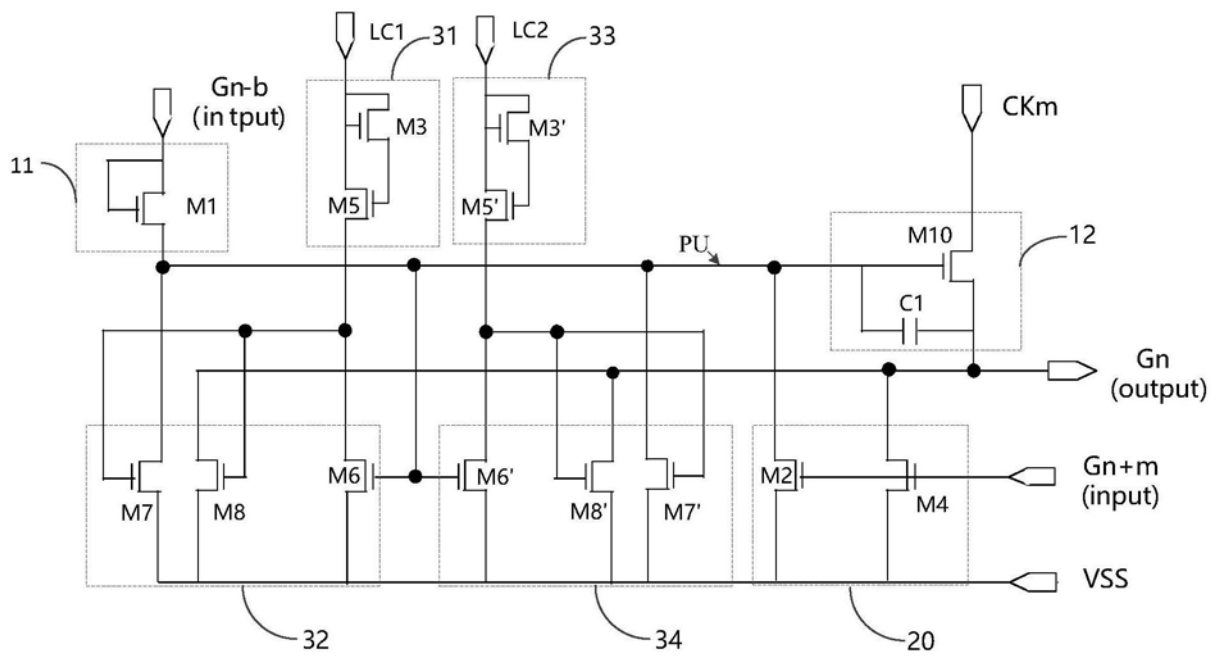


图4

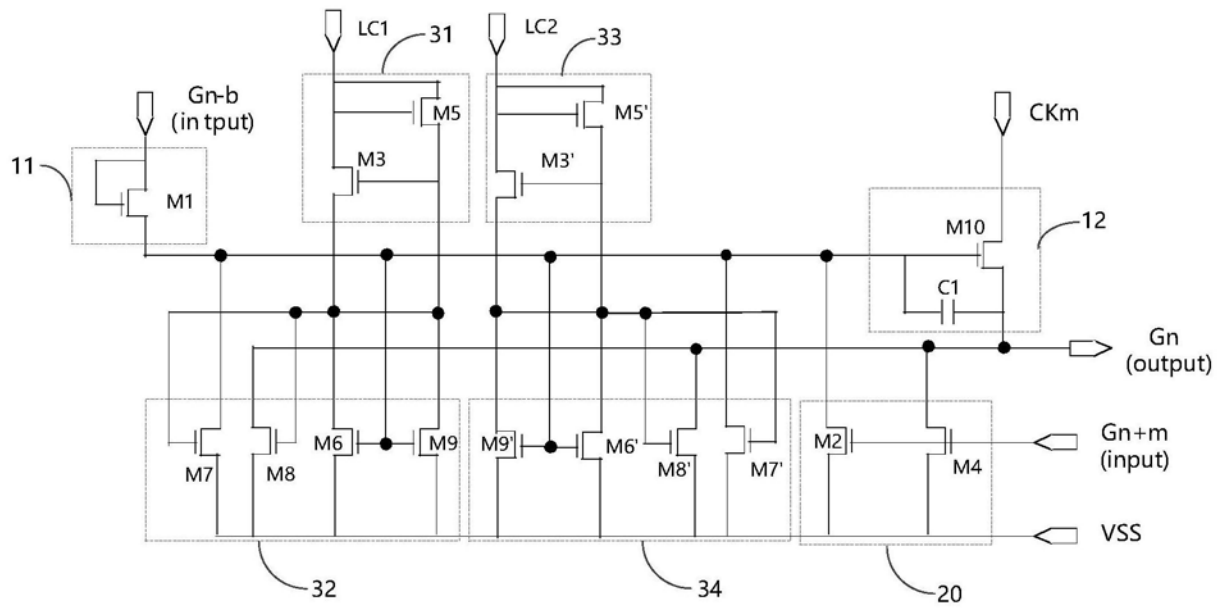


图5

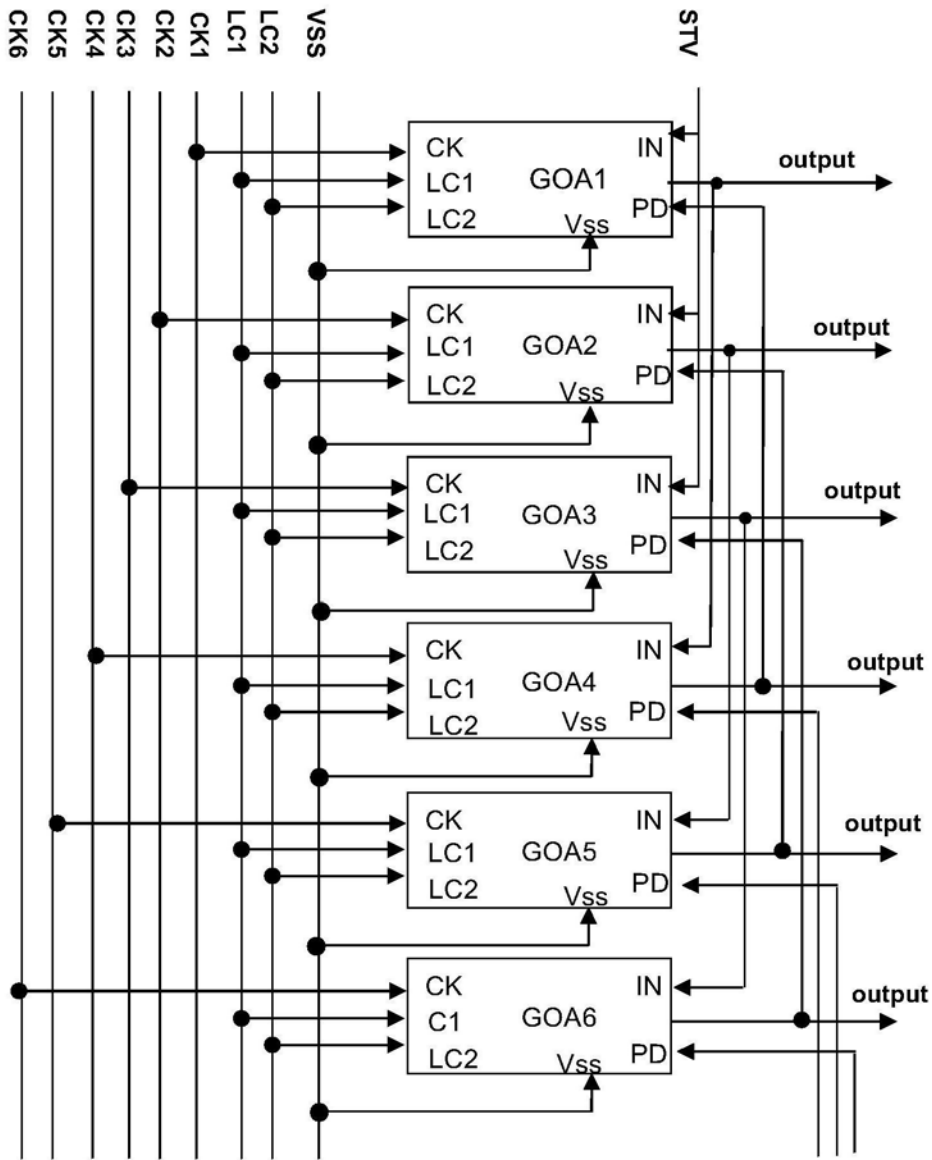


图6

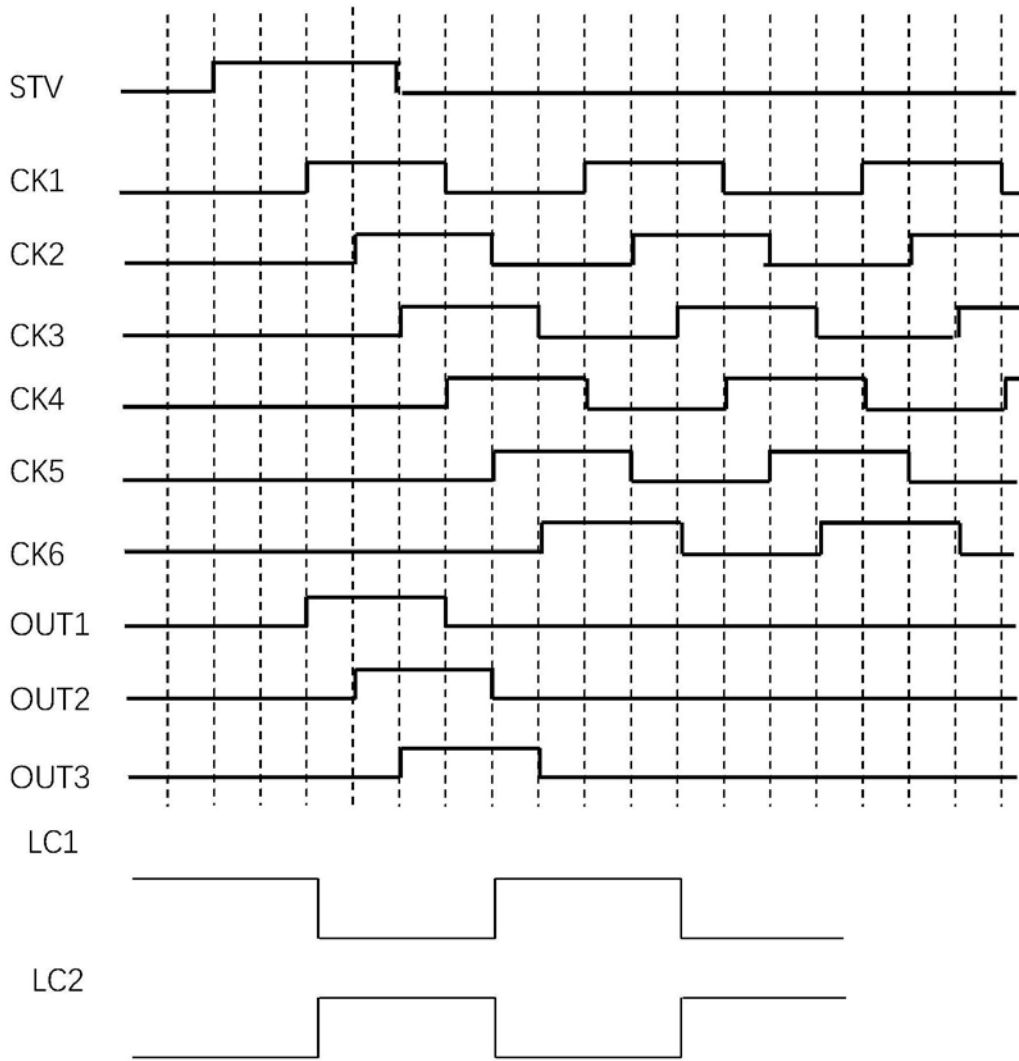


图7

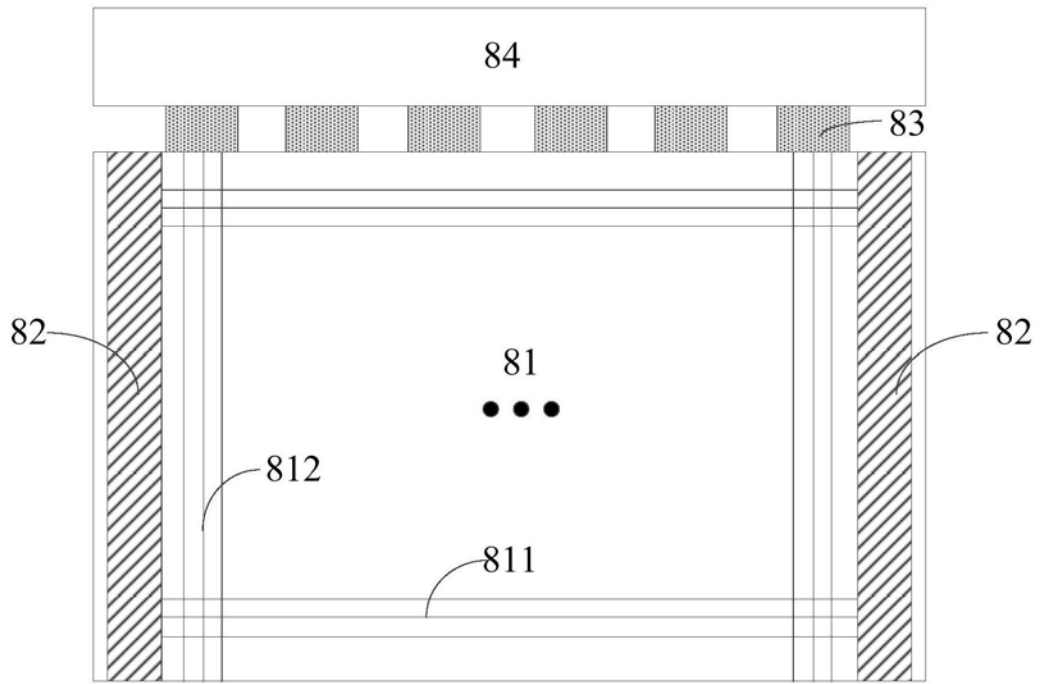


图8

专利名称(译)	栅极驱动单元、栅极扫描驱动电路和液晶显示装置		
公开(公告)号	CN110827780A	公开(公告)日	2020-02-21
申请号	CN201911164187.8	申请日	2019-11-25
[标]发明人	陈岗		
发明人	陈岗		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677		
代理人(译)	刘芳		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例提供一种栅极驱动单元、栅极扫描驱动电路和液晶显示装置，该栅极驱动单元包括上拉输入模块、上拉模块、下拉模块、第一单极维持控制模块和第一维持模块；第一单极维持控制模块，用于接收第一低频时钟信号，并在第一低频时钟信号为第一电平时，将该第一维持信号输入端置为第一电平；第一维持模块，用于在上拉控制节点被下拉模块下拉为第二电平后使能，并在第一维持模块的第一维持信号输入端为第一电平时，将上拉控制节点和驱动信号输出端均与第二电平输入端导通。本发明实施例通过将维持控制模块设置为单极控制模块，从而能够省去高电压信号线VGH以及清零模块的使用，进而简化了电路，降低了成本。

