



(12)发明专利申请

(10)申请公布号 CN 106601205 A

(43)申请公布日 2017. 04. 26

(21)申请号 201611262965.3

(22)申请日 2016.12.30

(71)申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道9-2号

(72)发明人 石龙强 陈书志

(74)专利代理机构 深圳市铭粤知识产权代理有限公司 44304

代理人 孙伟峰 黄进

(51)Int.Cl.

G09G 3/36(2006.01)

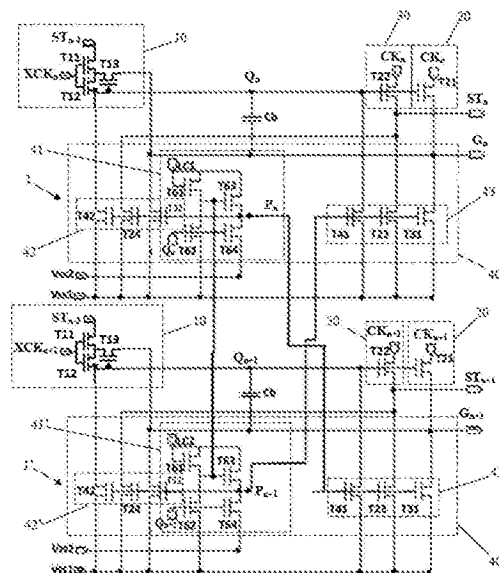
权利要求书3页 说明书10页 附图5页

(54)发明名称

栅极驱动电路以及液晶显示装置

(57)摘要

本发明公开了一种栅极驱动电路,包括级联设置的N级GOA驱动单元,每一级GOA驱动单元包括上拉控制电路、上拉电路、级传电路、自举电容以及下拉维持电路;其中,第n级GOA驱动单元的下拉维持电路和第n+1级GOA驱动单元的下拉维持电路相互交替地开启;第n级GOA驱动单元的下拉维持电路可以同时第n级GOA驱动单元和第n+1级GOA驱动单元中的节点电位维持在关闭状态;第n+1级GOA驱动单元的下拉维持电路也可同时第n级GOA驱动单元和第n+1级GOA驱动单元中的节点电位维持在关闭状态;其中, $n=1,3,5,\cdots,N-1$,N为大于1的偶数。本发明还公开了一种液晶显示装置,其包括如上所述的栅极驱动电路。



1. 一种栅极驱动电路,包括级联设置的N级GOA驱动单元(1、1'),其特征在于,每一级GOA驱动单元(1、1')包括上拉控制电路(10)、上拉电路(20)、级传电路(30)、自举电容(Cb)以及下拉维持电路(40、40');

其中,第n级GOA驱动单元(1)的下拉维持电路(40)和第n+1级GOA驱动单元(1')的下拉维持电路(40')相互交替地开启:

在第n级GOA驱动单元(1)的下拉维持电路(40)开启时,第n级GOA驱动单元(1)的下拉维持电路(40)同时将第n级GOA驱动单元(1)和第n+1级GOA驱动单元(1')中的上拉控制电路(10)、上拉电路(20)以及级传电路(30)的输出端分别连通至基准低电平信号;

在第n+1级GOA驱动单元(1')的下拉维持电路(40')开启时,第n+1级GOA驱动单元(1')的下拉维持电路(40')同时将第n级GOA驱动单元(1)和第n+1级GOA驱动单元(1')中的上拉控制电路(10)、上拉电路(20)以及级传电路(30)的输出端分别连通至基准低电平信号;

其中, $n=1,3,5,\cdots,N-1$,N为大于1的偶数。

2. 根据权利要求1所述的栅极驱动电路,其特征在于,所述下拉维持电路(40、40')包括开关控制单元(41、41')、第一开关模块(42、42')和第二开关模块(43、43'),所述第一开关模块(42、42')和所述第二开关模块(43、43')分别连接在所述上拉控制电路(10)、上拉电路(20)以及级传电路(30)的输出端与基准低电平信号之间;

其中,第n级GOA驱动单元(1)中的开关控制单元(41)同时向第n级GOA驱动单元(1)中的第一开关模块(42)和第n+1级GOA驱动单元(1')中的第二开关模块(43')提供第一控制信号(P_n);第n+1级GOA驱动单元(1')中的开关控制单元(41')同时向第n级GOA驱动单元(1)中的第二开关模块(43)和第n+1级GOA驱动单元(1')中的第一开关模块(42')提供第二控制信号(P_{n+1});

其中,第n级GOA驱动单元(1)中的开关控制单元(41)和第n+1级GOA驱动单元(1')中的开关控制单元(41')相互交替地输出所述第一控制信号(P_n)和所述第二控制信号(P_{n+1})。

3. 根据权利要求2所述的栅极驱动电路,其特征在于,所述第一开关模块(42、42')包括第一下拉晶体管(T42)、第二下拉晶体管(T24)和第三下拉晶体管(T32),所述第二开关模块(43、43')包括第四下拉晶体管(T41)、第五下拉晶体管(T23)和第六下拉晶体管(T31);

所述第一下拉晶体管(T42)、第二下拉晶体管(T24)、第三下拉晶体管(T32)、第四下拉晶体管(T41)、第五下拉晶体管(T23)以及第六下拉晶体管(T31)的漏极分别与基准低电平信号连接,所述第一下拉晶体管(T42)和第四下拉晶体管(T41)的源极分别与所述上拉控制电路(10)的输出端连接,所述第二下拉晶体管(T24)和第五下拉晶体管(T23)分别与所述级传电路(30)的输出端连接,所述第三下拉晶体管(T32)和第六下拉晶体管(T31)的源极分别与所述上拉电路(20)的输出端连接;

在第n级GOA驱动单元(1)中,所述第一下拉晶体管(T42)、第二下拉晶体管(T24)和第三下拉晶体管(T32)的栅极连接至所述第一控制信号(P_n),所述第四下拉晶体管(T41)、第五下拉晶体管(T23)和第六下拉晶体管(T31)的栅极则连接至所述第二控制信号(P_{n+1});在第n+1级GOA驱动单元(1)中,所述第一下拉晶体管(T42)、第二下拉晶体管(T24)和第三下拉晶体管(T32)的栅极连接至所述第二控制信号(P_{n+1}),所述第四下拉晶体管(T41)、第五下拉晶体管(T23)和第六下拉晶体管(T31)的栅极则连接至所述第一控制信号(P_n)。

4. 根据权利要求2或3所述的栅极驱动电路,其特征在于,第n级GOA驱动单元(1)中的开

关控制单元(41)根据输入的第一下拉时钟信号(LC1)输出所述第一控制信号(P_n),第n+1级GOA驱动单元(1')中的开关控制单元(41')根据输入的第二下拉时钟信号(LC2)输出所述第二控制信号(P_{n+1});

其中,所述第一下拉时钟信号(LC1)与所述第二下拉时钟信号(LC2)的相位相反。

5.根据权利要求4所述的栅极驱动电路,其特征在于,所述开关控制单元(41、41')包括第一控制晶体管(T61)、第二控制晶体管(T62)、第三控制晶体管(T63)和第四控制晶体管(T64);所述第一控制晶体管(T61)的栅极和源极相互连接并接收对应的下拉时钟信号,漏接与所述第二控制晶体管(T62)的源极连接,所述第二控制晶体管(T62)的漏极与基准低电平信号连接,所述第三控制晶体管(T63)的源极连接至所述第一控制晶体管(T61)并接收对应的下拉时钟信号,漏接与所述第四控制晶体管(T64)的源极连接,所述第四控制晶体管(T64)的漏极与基准低电平信号连接;

其中,在第n级GOA驱动单元(1)中,所述第一控制晶体管(T61)和所述第三控制晶体管(T63)的源极连接至第一下拉时钟信号(LC1),所述第二控制晶体管(T62)的栅极和所述第四控制晶体管(T64)的栅极分别连接至第n级GOA驱动单元(1)的上拉控制电路(10)的输出端,所述第三控制晶体管(T63)的漏极输出所述第一控制信号(P_n);

其中,在第n+1级GOA驱动单元(1')中,所述第一控制晶体管(T61)和所述第三控制晶体管(T63)的源极连接至第二下拉时钟信号(LC2),所述第二控制晶体管(T62)的栅极和所述第四控制晶体管(T64)的栅极分别连接至第n+1级GOA驱动单元(1')的上拉控制电路(10)的输出端,所述第三控制晶体管(T63)的漏极输出所述第二控制信号(P_{n+1});

其中,第n级GOA驱动单元(1)中的第三控制晶体管(T63)的栅极和第n+1级GOA驱动单元(1')中的第三控制晶体管(T63)的栅极相互连接。

6.根据权利要求5所述的栅极驱动电路,其特征在于,所述开关控制单元(41、41')还包括第五控制晶体管(T65);所述第五控制晶体管(T65)的源极与所述第三控制晶体管(T63)的漏极连接,所述第五控制晶体管(T65)的漏极与基准低电平信号连接;

其中,第n级GOA驱动单元(1)中的第五控制晶体管(T65)的栅极连接至第n+1级GOA驱动单元(1')的上拉控制电路(10)的输出端;第n+1级GOA驱动单元(1')中的第五控制晶体管(T65)的栅极连接至第n级GOA驱动单元(1)的上拉控制电路(10)的输出端。

7.根据权利要求4所述的栅极驱动电路,其特征在于,所述开关控制单元(41、41')包括第一控制晶体管(T61)、第二控制晶体管(T62)、第三控制晶体管(T63)和第四控制晶体管(T64);所述第一控制晶体管(T61)的栅极和源极相互连接并接收对应的下拉时钟信号,漏接与所述第二控制晶体管(T62)的源极连接,所述第二控制晶体管(T62)的漏极与基准低电平信号连接,所述第三控制晶体管(T63)的源极连接至所述第一控制晶体管(T61)并接收对应的下拉时钟信号,漏接与所述第四控制晶体管(T64)的源极连接,所述第四控制晶体管(T64)的漏极与基准低电平信号连接;

所述开关控制单元(41、41')还包括第六控制晶体管(T66),所述第六控制晶体管(T66)的源极与所述第一控制晶体管(T61)的漏极连接,所述第六控制晶体管(T66)的漏极与基准低电平信号连接;

其中,在第n级GOA驱动单元(1)中,所述第一控制晶体管(T61)和所述第三控制晶体管(T63)的源极连接至第一下拉时钟信号(LC1),所述第二控制晶体管(T62)的栅极和所述第

四控制晶体管(T64)的栅极分别连接至第n级GOA驱动单元(1)的上拉控制电路(10)的输出端,所述第六控制晶体管(T66)的栅极连接至第n+1级GOA驱动单元(1')的上拉控制电路(10)的输出端;所述第三控制晶体管(T63)的漏极输出所述第一控制信号(P_n);

其中,在第n+1级GOA驱动单元(1')中,所述第一控制晶体管(T61)和所述第三控制晶体管(T63)的源极连接至第二下拉时钟信号(LC2),所述第二控制晶体管(T62)的栅极和所述第四控制晶体管(T64)的栅极分别连接至第n+1级GOA驱动单元(1')的上拉控制电路(10)的输出端,所述第六控制晶体管(T66)的栅极连接至第n级GOA驱动单元(1)的上拉控制电路(10)的输出端;所述第三控制晶体管(T63)的漏极输出所述第二控制信号(P_{n+1})。

8.根据权利要求7所述的栅极驱动电路,其特征在于,所述开关控制单元(41、41')还包括第五控制晶体管(T65);所述第五控制晶体管(T65)的源极与所述第三控制晶体管(T63)的漏极连接,所述第五控制晶体管(T65)的漏极与基准低电平信号连接;

其中,第n级GOA驱动单元(1)中的第五控制晶体管(T65)的栅极连接至第n+1级GOA驱动单元(1')的上拉控制电路(10)的输出端;第n+1级GOA驱动单元(1')中的第五控制晶体管(T65)的栅极连接至第n级GOA驱动单元(1)的上拉控制电路(10)的输出端。

9.根据权利要求1所述的栅极驱动电路,其特征在于,所述上拉控制电路(10)包括第一上拉晶体管(T11)和第二上拉晶体管(T12),所述第一上拉晶体管(T11)和第二上拉晶体管(T12)的栅极相互连接并接收第一时钟信号(XCK_x 、 XCK_{x+1}),所述第一上拉晶体管(T11)的源极接收本级对应的前四级传递信号(ST_{n-4} 、 ST_{n-3}),所述第一上拉晶体管(T11)的漏极与所述第二上拉晶体管(T12)的源极相互连接,所述第二上拉晶体管(T12)的漏极作为所述上拉控制电路(10)输出端,输出本级的栅极控制信号(Q_n 、 Q_{n+1});

所述上拉电路(20)包括第四上拉晶体管(T21),所述第四上拉晶体管(T21)的栅极连接至所述上拉控制电路(10)输出端,源极连接至第二时钟信号(CK_x 、 CK_{x+1}),漏极作为所述上拉电路(20)的输出端,输出本级的扫描驱动信号(G_n 、 G_{n+1});

所述级传电路(30)包括传递晶体管(T22),所述传递晶体管(T22)的栅极连接至所述上拉控制电路(10)输出端,源极连接至第二时钟信号(CK_x 、 CK_{x+1}),漏极作为所述级传电路(30)的输出端,输出本级的传递信号(ST_n 、 ST_{n+1});

所述自举电容(C_b)连接在所述上拉控制电路(10)的输出端和所述上拉电路(20)的输出端之间;

其中,所述第一时钟信号(XCK_x 、 XCK_{x+1})和所述第二时钟信号(CK_x 、 CK_{x+1})的相位相反。

10.一种液晶显示装置,其特征在于,包括如权利要求1-9任一所述的栅极驱动电路。

栅极驱动电路以及液晶显示装置

技术领域

[0001] 本发明涉及显示器技术领域,尤其涉及一种栅极驱动电路,还涉及包含如上栅极驱动电路的液晶显示装置。

背景技术

[0002] 主动式液晶显示装置中,每个像素具有一个薄膜晶体管(TFT),其栅极(Gate)连接至水平扫描线,漏极(Drain)连接至垂直方向的数据线,源极(Source)则连接至像素电极。在水平扫描线上施加足够的电压,会使得该条线上的所有TFT打开,此时该水平扫描线上的像素电极会与垂直方向的数据线连接,从而将数据线上的显示信号电压写入像素,控制不同液晶的透光度进而达到控制色彩的效果。目前主动式液晶显示面板水平扫描线的驱动主要由面板外接的IC来完成,外接的IC可以控制各级水平扫描线的逐级充电和放电。而GOA技术,即Gate Driver on Array(阵列基板行驱动)技术,可以运用液晶显示面板的原有制程将水平扫描线的驱动电路制作在显示区周围的基板上,使之能替代外接IC来完成水平扫描线的驱动。GOA技术能减少外接IC的绑定(bonding)工序,有机会提升产能并降低产品成本,而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

[0003] 现有的GOA栅极驱动电路,通常包括级联的多个GOA单元,每一级GOA单元对应驱动一级水平扫描线。GOA单元的主要结构包括上拉电路(Pull-up part),上拉控制电路(Pull-up control part),传递电路(Transfer Part),下拉电路(Key Pull-down Part)和下拉维持电路(Pull-down Holding Part),以及负责电位抬升的自举(Boost)电容。上拉电路主要负责将时钟信号(Clock)输出为栅极(Gate)信号;上拉控制电路负责控制上拉电路的打开时间,一般连接前面级GOA电路传递过来的传递信号或者Gate信号;下拉电路负责在第一时间将Gate拉低为低电位,即关闭Gate信号;下拉维持电路则负责将Gate输出信号和上拉电路的Gate信号(通常称为Q点)维持(Holding)在关闭状态(即低电平电位),自举电容(Boost)则负责Q点的二次抬升,这样有利于上拉电路的Gate信号输出。

[0004] 其中,下拉维持电路通常由多个晶体管组成,为了保持下拉维持电路中的晶体管的性能的稳定,通常每一级GOA单元中都设置有两组下拉维持电路,两组下拉维持电路交替地将Q点和G点的电位下拉维持在低电平状态。然而,每一级GOA单元中都增加了一组下拉维持电路,即增加了数量较多的薄膜晶体管,增大了工艺难度且增加了成本;进一步地,由于GOA电路是直接阵列基板上制备获得,使用更多数量的薄膜晶体管,不利于实现产品的窄边框的要求。

发明内容

[0005] 有鉴于此,本发明提供了一种栅极驱动电路,每相邻的两级GOA驱动单元共用下拉维持电路,在保证下拉维持电路的稳定性能的同时,节省了每一级GOA驱动单元中所使用的薄膜晶体管的数量,不仅降低了产品的成本,还有利于实现产品的窄边框的要求。

[0006] 为了实现上述目的,本发明采用了如下的技术方案:

[0007] 一种栅极驱动电路,包括级联设置的N级GOA驱动单元,其中,每一级GOA驱动单元包括上拉控制电路、上拉电路、级传电路、自举电容以及下拉维持电路;其中,第n级GOA驱动单元的下拉维持电路和第n+1级GOA驱动单元的下拉维持电路相互交替地开启;在第n级GOA驱动单元的下拉维持电路开启时,第n级GOA驱动单元的下拉维持电路同时将第n级GOA驱动单元和第n+1级GOA驱动单元中的上拉控制电路、上拉电路以及级传电路的输出端分别连通至基准低电平信号;在第n+1级GOA驱动单元的下拉维持电路开启时,第n+1级GOA驱动单元的下拉维持电路同时将第n级GOA驱动单元和第n+1级GOA驱动单元中的上拉控制电路、上拉电路以及级传电路的输出端分别连通至基准低电平信号;其中, $n=1,3,5,\cdots,N-1$,N为大于1的偶数。

[0008] 具体地,所述下拉维持电路包括开关控制单元、第一开关模块和第二开关模块,所述第一开关模块和所述第二开关模块分别连接在所述上拉控制电路、上拉电路以及级传电路的输出端与基准低电平信号之间;其中,第n级GOA驱动单元中的开关控制单元同时向第n级GOA驱动单元中的第一开关模块和第n+1级GOA驱动单元中的第二开关模块提供第一控制信号;第n+1级GOA驱动单元中的开关控制单元同时向第n级GOA驱动单元中的第二开关模块和第n+1级GOA驱动单元中的第一开关模块提供第二控制信号;其中,第n级GOA驱动单元中的开关控制单元和第n+1级GOA驱动单元中的开关控制单元相互交替地输出所述第一控制信号和所述第二控制信号。

[0009] 具体地,所述第一开关模块包括第一下拉晶体管、第二下拉晶体管和第三下拉晶体管,所述第二开关模块包括第四下拉晶体管、第五下拉晶体管和第六下拉晶体管;所述第一下拉晶体管、第二下拉晶体管、第三下拉晶体管、第四下拉晶体管、第五下拉晶体管以及第六下拉晶体管的漏极分别与基准低电平信号连接,所述第一下拉晶体管和第四下拉晶体管的源极分别与所述上拉控制电路的输出端连接,所述第二下拉晶体管和第五下拉晶体管分别与所述级传电路的输出端连接,所述第三下拉晶体管和第六下拉晶体管的源极分别与所述上拉电路的输出端连接;在第n级GOA驱动单元中,所述第一下拉晶体管、第二下拉晶体管和第三下拉晶体管的栅极连接至所述第一控制信号,所述第四下拉晶体管、第五下拉晶体管和第六下拉晶体管的栅极则连接至所述第二控制信号;在第n+1级GOA驱动单元中,所述第一下拉晶体管、第二下拉晶体管和第三下拉晶体管的栅极连接至所述第二控制信号,所述第四下拉晶体管、第五下拉晶体管和第六下拉晶体管的栅极则连接至所述第一控制信号。

[0010] 具体地,第n级GOA驱动单元中的开关控制单元根据输入的第一下拉时钟信号输出所述第一控制信号,第n+1级GOA驱动单元中的开关控制单元根据输入的第二下拉时钟信号输出所述第二控制信号;其中,所述第一下拉时钟信号与所述第二下拉时钟信号的相位相反。

[0011] 具体地,所述开关控制单元包括第一控制晶体管、第二控制晶体管、第三控制晶体管和第四控制晶体管;所述第一控制晶体管的栅极和源极相互连接并接收对应的下拉时钟信号,漏极与所述第二控制晶体管的源极连接,所述第二控制晶体管的漏极与基准低电平信号连接,所述第三控制晶体管的源极连接至所述第一控制晶体管并接收对应的下拉时钟信号,漏极与所述第四控制晶体管的源极连接,所述第四控制晶体管的漏极与基准低电平信号连接;其中,在第n级GOA驱动单元中,所述第一控制晶体管和所述第三控制晶体管的源

极连接至第一下拉时钟信号,所述第二控制晶体管的栅极和所述第四控制晶体管的栅极分别连接至第 n 级GOA驱动单元的上拉控制电路的输出端,所述第三控制晶体管的漏极输出所述第一控制信号;其中,在第 $n+1$ 级GOA驱动单元中,所述第一控制晶体管和所述第三控制晶体管的源极连接至第二下拉时钟信号,所述第二控制晶体管的栅极和所述第四控制晶体管的栅极分别连接至第 $n+1$ 级GOA驱动单元的上拉控制电路的输出端,所述第三控制晶体管的漏极输出所述第二控制信号;其中,第 n 级GOA驱动单元中的第三控制晶体管的栅极和第 $n+1$ 级GOA驱动单元中的第三控制晶体管的栅极相互连接。

[0012] 具体地,所述开关控制单元包括第一控制晶体管、第二控制晶体管、第三控制晶体管和第四控制晶体管;所述第一控制晶体管的栅极和源极相互连接并接收对应的下拉时钟信号,漏接与所述第二控制晶体管的源极连接,所述第二控制晶体管的漏极与基准低电平信号连接,所述第三控制晶体管的源极连接至所述第一控制晶体管并接收对应的下拉时钟信号,漏接与所述第四控制晶体管的源极连接,所述第四控制晶体管的漏极与基准低电平信号连接;所述开关控制单元还包括第六控制晶体管,所述第六控制晶体管的源极与所述第一控制晶体管的漏极连接,所述第六控制晶体管的漏极与基准低电平信号连接;其中,在第 n 级GOA驱动单元中,所述第一控制晶体管和所述第三控制晶体管的源极连接至第一下拉时钟信号,所述第二控制晶体管的栅极和所述第四控制晶体管的栅极分别连接至第 n 级GOA驱动单元的上拉控制电路的输出端,所述第六控制晶体管的栅极连接至第 $n+1$ 级GOA驱动单元的上拉控制电路的输出端;所述第三控制晶体管的漏极输出所述第一控制信号;其中,在第 $n+1$ 级GOA驱动单元中,所述第一控制晶体管和所述第三控制晶体管的源极连接至第二下拉时钟信号,所述第二控制晶体管的栅极和所述第四控制晶体管的栅极分别连接至第 $n+1$ 级GOA驱动单元的上拉控制电路的输出端,所述第六控制晶体管的栅极连接至第 n 级GOA驱动单元的上拉控制电路的输出端;所述第三控制晶体管的漏极输出所述第二控制信号。

[0013] 进一步地,所述开关控制单元还包括第五控制晶体管;所述第五控制晶体管的源极与所述第三控制晶体管的漏极连接,所述第五控制晶体管的漏极与基准低电平信号连接;其中,第 n 级GOA驱动单元中的第五控制晶体管的栅极连接至第 $n+1$ 级GOA驱动单元的上拉控制电路的输出端;第 $n+1$ 级GOA驱动单元中的第五控制晶体管的栅极连接至第 n 级GOA驱动单元的上拉控制电路的输出端。

[0014] 具体地,所述上拉控制电路包括第一上拉晶体管和第二上拉晶体管,所述第一上拉晶体管和所述第二上拉晶体管的栅极相互连接并接收第一时钟信号,所述第一上拉晶体管的源极接收本级对应的前四级传递信号,所述第一上拉晶体管的漏极与所述第二上拉晶体管的源极相互连接,所述第二上拉晶体管的漏极作为所述上拉控制电路输出端,输出本级的栅极控制信号;所述上拉电路包括第四上拉晶体管,所述第四上拉晶体管的栅极连接至所述上拉控制电路输出端,源极连接至第二时钟信号,漏极作为所述上拉电路的输出端,输出本级的扫描驱动信号;所述级传电路包括传递晶体管,所述传递晶体管的栅极连接至所述上拉控制电路输出端,源极连接至第二时钟信号,漏极作为所述级传电路的输出端,输出本级的传递信号;所述自举电容连接在所述上拉控制电路的输出端和所述上拉电路的输出端之间;其中,所述第一时钟信号和所述第二时钟信号的相位相反。

[0015] 本发明还提供了一种液晶显示装置,其包括如上所述的栅极驱动电路。

[0016] 本发明实施例中提供的栅极驱动电路,每一级GOA驱动单元设置有一组下拉维持

电路,每相邻的两级GOA驱动单元共用该两级GOA驱动单元的下拉维持电路,即,每一级GOA驱动单元对应有两组下拉维持电路,而每一组下拉维持电路又对应着两级GOA驱动单元。由此,在保证下拉维持电路的稳定性能的同时,节省了每一级GOA驱动单元中所使用的薄膜晶体管的数量,不仅降低了产品的成本,还有利于实现产品的窄边框的要求。

附图说明

- [0017] 图1是本发明实施例1提供的栅极驱动电路的电路图;
- [0018] 图2是本发明实施例2提供的栅极驱动电路的电路图;
- [0019] 图3是本发明实施例3提供的栅极驱动电路的电路图;
- [0020] 图4是本发明实施例4提供的栅极驱动电路的电路图;
- [0021] 图5是本发明实施例5提供的液晶显示装置的结构示意图。

具体实施方式

[0022] 为使本发明的目的、技术方案和优点更加清楚,下面结合附图对本发明的具体实施方式进行详细说明。这些优选实施方式的示例在附图中进行了例示。附图中所示和根据附图描述的本发明的实施方式仅仅是示例性的,并且本发明并不限于这些实施方式。

[0023] 在此,还需要说明的是,为了避免因不必要的细节而模糊了本发明,在附图中仅仅示出了与根据本发明的方案密切相关的结构和/或处理步骤,而省略了与本发明关系不大的其他细节。

[0024] 实施例1

[0025] 本实施例提供了一种栅极驱动电路,包括级联设置的N个GOA驱动单元,按照第n级GOA驱动单元控制对显示区域第n级水平扫描线提供扫描驱动信号 G_n 。如图1所示,每一级GOA驱动单元1、1'包括上拉控制电路10、上拉电路20、级传电路30、自举电容 C_b 以及下拉维持电路40、40'。

[0026] 其中,所述上拉控制电路10根据本级对应的前四级传递信号和第一时钟信号控制产生本级栅极控制信号。具体地,如图1所示,所述上拉控制电路10包括第一上拉晶体管T11和第二上拉晶体管T12,所述第一上拉晶体管T11和第二上拉晶体管T12的栅极相互连接并接收第一时钟信号,所述第一上拉晶体管T11的源极接收本级对应的前四级传递信号,所述第一上拉晶体管T11的漏极与所述第二上拉晶体管T12的源极相互连接,所述第二上拉晶体管T12的漏极作为所述上拉控制电路10输出端,输出本级的栅极控制信号。例如,参阅图1,第n级GOA驱动单元1中,其对应的第一时钟信号 XCK_x ,对应的前四级传递信号 ST_{n-4} ,其输出本级栅极控制信号 Q_n ;而第n+1级GOA驱动单元1'中,其对应的第一时钟信号 XCK_{x+1} ,对应的前四级传递信号 ST_{n-3} ,其输出本级栅极控制信号 Q_{n+1} 。需要说明的是,当 $n-4$ 小于零时, ST_{n-4} 不存在,此时应当采用时序芯片(Tcon)中的STV信号代替,这是本领域常用的手段。

[0027] 其中,所述上拉电路20由栅极控制信号控制,将接收到的第二时钟信号转换为扫描驱动信号输出。具体地,所述上拉电路20包括第四上拉晶体管T21,所述第四上拉晶体管T21的栅极连接至所述上拉控制电路10输出端,接收栅极控制信号,源极连接至第二时钟信号,漏极作为所述上拉电路20的输出端,输出本级的扫描驱动信号。例如,参阅图1,第n级GOA驱动单元1中,第四上拉晶体管T21的栅极接收栅极控制信号 Q_n ,源极对应的第二时钟信

号 CK_x ,漏极输出本级的扫描驱动信号 G_n ;而第 $n+1$ 级GOA驱动单元1'中,第四上拉晶体管T21的栅极接收栅极控制信号 Q_{n+1} ,源极对应的第二时钟信号 CK_{x+1} ,漏极输出本级的扫描驱动信号 G_{n+1} 。其中,所述第一时钟信号 XCK_x 、 XCK_{x+1} 和所述第二时钟信号 CK_x 、 CK_{x+1} 的相位相反,并且, x 是时钟信号的序数,取值为正整数,在一些具体的实施例中,采用8个时钟信号,包括4对相位相反的时钟信号。

[0028] 其中,所述自举电容 C_b 连接在所述上拉控制电路10的输出端和所述上拉电路20的输出端之间。即,自举电容 C_b 的两端分别连接栅极控制信号 Q_n 、 Q_{n+1} 和扫描驱动信号 G_n 、 G_{n+1} ,所述自举电容 C_b 的作用是在 Q_n 、 Q_{n+1} 为高电平时,存储晶体管T21栅端电压,当 G_n 、 G_{n+1} 输出高电平,自举电容 C_b 可以二次抬升晶体管T21的栅极的电位,以保证晶体管T21可靠地开启与输出扫描驱动信号。在完成本级的扫描驱动信号后, G_n 、 G_{n+1} 为低电平,并在其他行进行扫描的时候一直维持这个低电平。

[0029] 其中,所述级传电路30包括传递晶体管T22,所述传递晶体管T22的栅极连接至所述上拉控制电路10输出端,接收栅极控制信号,源极连接至第二时钟信号,漏极作为所述级传电路30的输出端,输出本级的传递信号。本级传递信号是用于控制后四级的上拉控制单元,通过由传递信号控制上拉控制单元,避免使用扫描驱动信号来控制这一动作,使得扫描驱动信号更加稳定。参阅图1,第 n 级GOA驱动单元1中,传递晶体管T22的栅极接收栅极控制信号 Q_n ,源极对应的第二时钟信号 CK_x ,漏极输出本级的传递信号 ST_n ;而第 $n+1$ 级GOA驱动单元1'中,传递晶体管T22的栅极接收栅极控制信号 Q_{n+1} ,源极对应的第二时钟信号 CK_{x+1} ,漏极输出本级的传递信号 ST_{n+1} 。

[0030] 所述下拉维持电路主要是用于在本级的GOA驱动单元处于非输出时序时,将电路下的一些主要节点的电位拉低至低电平。本实施例中,第 n 级GOA驱动单元1和第 $n+1$ 级GOA驱动单元1'具有共用的下拉维持电路40、40'。具体地,第 n 级GOA驱动单元1中设置有下拉维持电路40,第 $n+1$ 级GOA驱动单元1'中设置有下拉维持电路40',第 n 级GOA驱动单元1的下拉维持电路40和第 $n+1$ 级GOA驱动单元1'的下拉维持电路40'相互交替地开启:在第 n 级GOA驱动单元1的下拉维持电路40开启时,第 n 级GOA驱动单元1的下拉维持电路40同时将第 n 级GOA驱动单元1和第 $n+1$ 级GOA驱动单元1'中的上拉控制电路10、上拉电路20以及级传电路30的输出端分别连通至基准低电平信号;在第 $n+1$ 级GOA驱动单元1'的下拉维持电路40'开启时,第 $n+1$ 级GOA驱动单元1'的下拉维持电路40'同时将第 n 级GOA驱动单元1和第 $n+1$ 级GOA驱动单元1'中的上拉控制电路10、上拉电路20以及级传电路30的输出端分别连通至基准低电平信号;其中, $n=1,3,5,\dots,N-1$, N 为大于1的偶数。

[0031] 具体地,如图1所示,所述下拉维持电路40、40'包括开关控制单元41、41'、第一开关模块42、42'和第二开关模块43、43',所述第一开关模块42、42'和所述第二开关模块43、43'分别连接在所述上拉控制电路10、上拉电路20以及级传电路30的输出端与基准低电平信号之间。其中,第 n 级GOA驱动单元1中的开关控制单元41同时向第 n 级GOA驱动单元1中的第一开关模块42和第 $n+1$ 级GOA驱动单元1'中的第二开关模块43'提供第一控制信号 P_n ;第 $n+1$ 级GOA驱动单元1'中的开关控制单元41'同时向第 n 级GOA驱动单元1中的第二开关模块43和第 $n+1$ 级GOA驱动单元1'中的第一开关模块43'提供第二控制信号 P_{n+1} ;其中,第 n 级GOA驱动单元1中的开关控制单元41和第 $n+1$ 级GOA驱动单元1'中的开关控制单元41'相互交替地输出所述第一控制信号 P_n 和所述第二控制信号 P_{n+1} 。

[0032] 更具体地,如图1所示,本实施例中,所述第一开关模块42、42'包括第一下拉晶体管T42、第二下拉晶体管T24和第三下拉晶体管T32,所述第二开关模块43、43'包括第四下拉晶体管T41、第五下拉晶体管T23和第六下拉晶体管T31。其中,所述第一下拉晶体管T42、第二下拉晶体管T24、第三下拉晶体管T32、第四下拉晶体管T41、第五下拉晶体管T23以及第六下拉晶体管T31的漏极分别与基准低电平信号连接,所述第一下拉晶体管T42和第四下拉晶体管T41的源极分别与所述上拉控制电路10的输出端连接,所述第二下拉晶体管T24和第五下拉晶体管T23分别与所述级传电路30的输出端连接,所述第三下拉晶体管T32和第六下拉晶体管T31的源极分别与所述上拉电路20的输出端连接。在第n级GOA驱动单元1中,所述第一下拉晶体管T42、第二下拉晶体管T24和第三下拉晶体管T32的栅极连接至所述第一控制信号 P_n ,所述第四下拉晶体管T41、第五下拉晶体管T23和第六下拉晶体管T31的栅极则连接至所述第二控制信号 P_{n+1} 。在第n+1级GOA驱动单元1'中,所述第一下拉晶体管T42、第二下拉晶体管T24和第三下拉晶体管T32的栅极连接至所述第二控制信号 P_{n+1} ,所述第四下拉晶体管T41、第五下拉晶体管T23和第六下拉晶体管T31的栅极则连接至所述第一控制信号 P_n 。

[0033] 其中,第n级GOA驱动单元1中的开关控制单元41根据输入的第一下拉时钟信号LC1输出所述第一控制信号 P_n ,第n+1级GOA驱动单元1'中的开关控制单元41'根据输入的第二下拉时钟信号LC2输出所述第二控制信号 P_{n+1} ;其中,所述第一下拉时钟信号LC1与所述第二下拉时钟信号LC2的相位相反。需要说明的是,第一下拉时钟信号LC1和所述第二下拉时钟信号LC2是一对相位相反的低频信号,而前述的第一时钟信号 XCK_x 和第二时钟信号 CK_x 则是相位相反的高频信号。

[0034] 进一步地,所述开关控制单元41、41'还连接至第n级GOA驱动单元1和第n+1级GOA驱动单元1'的上拉控制电路10的输出端,当第n级GOA驱动单元1和/或第n+1级GOA驱动单元1'的上拉控制电路10的输出端输出高电平时,所述开关控制单元41、41'控制对应的第一开关模块42、42'和第二开关模块43、43'关闭,切断栅极控制信号 Q_n 、 Q_{n+1} 和扫描驱动信号 G_n 、 G_{n+1} 与基准低电平信号之间的连通,使得栅极控制信号 Q_n 、 Q_{n+1} 和扫描驱动信号 G_n 、 G_{n+1} 可以稳定爬升至高电位。

[0035] 更具体地,如图1所示,本实施例中,所述开关控制单元41、41'包括第一控制晶体管T61、第二控制晶体管T62、第三控制晶体管T63和第四控制晶体管T64;所述第一控制晶体管T61的栅极和源极相互连接并接收对应的下拉时钟信号,漏极与所述第二控制晶体管T62的源极连接,所述第二控制晶体管T62的漏极与基准低电平信号连接,所述第三控制晶体管T63的源极连接至所述第一控制晶体管T61并接收对应的下拉时钟信号,漏极与所述第四控制晶体管T64的源极连接,所述第四控制晶体管T64的漏极与基准低电平信号连接。在第n级GOA驱动单元1中,所述第一控制晶体管T61和所述第三控制晶体管T63的源极连接至第一下拉时钟信号LC1,所述第二控制晶体管T62的栅极和所述第四控制晶体管T64的栅极分别连接至第n级GOA驱动单元1的上拉控制电路10的输出端,所述第三控制晶体管T63的漏极输出所述第一控制信号 P_n 。在第n+1级GOA驱动单元1'中,所述第一控制晶体管T61和所述第三控制晶体管T63的源极连接至第二下拉时钟信号LC2,所述第二控制晶体管T62的栅极和所述第四控制晶体管T64的栅极分别连接至第n+1级GOA驱动单元1'的上拉控制电路10的输出端,所述第三控制晶体管T63的漏极输出所述第二控制信号 P_{n+1} 。并且,第n级GOA驱动单元1中的第三控制晶体管T63的栅极和第n+1级GOA驱动单元1'中的第三控制晶体管T63的栅极

相互连接。

[0036] 进一步地,在本实施例中,如图1所示,为了使得电路更加稳定,所述基准低电平信号包括第一基准低电平信号 V_{ss1} 和第二基准低电平信号 V_{ss2} ,所述所述第一下拉晶体管T42、第二下拉晶体管T24、第三下拉晶体管T32、第四下拉晶体管T41、第五下拉晶体管T23以及第六下拉晶体管T31的漏极分别连接至所述第一基准低电平信号 V_{ss1} ,所述第二控制晶体管T62的漏极连接至所述第一基准低电平信号 V_{ss1} ,所述第四控制晶体管T64的漏极连接至所述第二基准低电平信号 V_{ss2} ;其中,所述第一基准低电平信号 V_{ss1} 的电位低于所述第二基准低电平信号 V_{ss2} 的电位。

[0037] 进一步地,在本实施例中,如图1所示,为了使得电路更加稳定,所述上拉控制电路10还包括第三上拉晶体管T13,所述第三上拉晶体管T13的栅极连接到所述第二上拉晶体管T12的漏极,源极连接至所述所述第一上拉晶体管T11的漏极,栅极连接至所述上拉电路20的输出端。需要说明的是,所述第三上拉晶体管T13在导通时,其源极和漏极之间的电阻很大,电流很小,以不影响连接在其漏极的上拉电路20的输出端的电位为准。

[0038] 如上实施例所提供的栅极驱动电路的工作过程如下:

[0039] (1)、在传递到第 n 级GOA驱动单元1之前,本实施例以第一下拉时钟信号LC1为高电平和第二下拉时钟信号LC2为低电平为例,此时第一控制信号 P_n 为高电平而第二控制信号 P_{n+1} 为低电平;第 n 级GOA驱动单元1的第一开关模块42和第 $n+1$ 级GOA驱动单元1'的第二开关模块43'导通,即第 n 级GOA驱动单元1和第 $n+1$ 级GOA驱动单元1'的栅极控制信号、传递信号和扫描驱动信号都被拉低至基准低电平信号。相反地,若第一下拉时钟信号LC1为低电平,则第二下拉时钟信号LC2为高电平,此时第二控制信号 P_{n+1} 为高电平,第 n 级GOA驱动单元1的第二开关模块43和第 $n+1$ 级GOA驱动单元1'的第一开关模块42'导通,第 n 级GOA驱动单元1和第 $n+1$ 级GOA驱动单元1'的栅极控制信号、传递信号和扫描驱动信号都被拉低至基准低电平信号。

[0040] (2)、在传递到第 n 级GOA驱动单元1时,第一时钟信号 XCK_x 和对应的前四级传递信号 ST_{n-4} 为高电平,节点 Q_n 为高电平,第四上拉晶体管T21导通;由于第二时钟信号 CK_x 和第一时钟信号 XCK_x 反相,为低电平,此时扫描驱动信号 G_n 为低电平;而由于节点 Q_n 为高电平,第一控制信号 P_n 被拉低为低电平,第 n 级GOA驱动单元1和第 $n+1$ 级GOA驱动单元1'的栅极控制信号、传递信号和扫描驱动信号与基准低电平信号之间的连接被切断。

[0041] (3)、在传递到第 $n+1$ 级GOA驱动单元1'时,第一时钟信号 XCK_{x+1} 和对应的前四级传递信号 ST_{n-3} 为高电平,节点 Q_{n+1} 为高电平,第四上拉晶体管T21导通;由于第二时钟信号 CK_{x+1} 和第一时钟信号 XCK_{x+1} 反相,为低电平,此时扫描驱动信号 G_{n+1} 为低电平;而由于节点 Q_{n+1} 为高电平,第三控制晶体管T63的栅极为低电平,使得第一控制信号 P_n 保持为低电平。

[0042] (4)、第一时钟信号 XCK_x 和第二时钟信号 CK_x 进入下一个时序,此时,第 n 级GOA驱动单元1中,第一时钟信号 XCK_x 和对应的前四级传递信号 ST_{n-4} 为低电平,由于自举电容 C_b 的作用,节点 Q_n 保持高电平,第一控制信号 P_n 保持为低电平,第四上拉晶体管T21保持导通;此时,第二时钟信号 CK_x 与第一时钟信号 XCK_x 相反,为高电平,扫描驱动信号 G_n 为输出为高电平,进行相应行的扫描。

[0043] (5)、第一时钟信号 XCK_{x+1} 和第二时钟信号 CK_{x+1} 进入下一个时序,此时,第 $n+1$ 级GOA驱动单元1'中,第一时钟信号 XCK_{x+1} 和对应的前四级传递信号 ST_{n-3} 为低电平,由于自举电容

Cb的作用,节点 Q_{n+1} 保持高电平,第一控制信号 P_n 保持为低电平,第四上拉晶体管T21保持导通;此时,第二时钟信号 CK_{x+1} 与第一时钟信号 XCK_{x+1} 相反,为高电平,扫描驱动信号 G_{n+1} 为输出为高电平,进行相应行的扫描。

[0044] (6)、第一时钟信号 XCK_x 和第二时钟信号 CK_x 进入下一个时序,此时,第 n 级GOA驱动单元1中,第一时钟信号 XCK_x 为高电平,而对应的前四级传递信号 ST_{n-4} 为低电平,节点 Q_n 变为低电平,第二时钟信号 CK_x 为低电平,此时扫描驱动信号 G_n 为低电平,完成相应行的扫描。而此时由于 Q_{n+1} 仍为高电平,并且第 n 级GOA驱动单元1中的第三控制晶体管T63的栅极和第 $n+1$ 级GOA驱动单元1'中的第三控制晶体管T63的栅极相互连接,第三控制晶体管T63的栅极为低电平,第一控制信号 P_n 保持为低电平。

[0045] (7)、第一时钟信号 XCK_{x+1} 和第二时钟信号 CK_{x+1} 进入下一个时序,此时,第 $n+1$ 级GOA驱动单元1'中,第一时钟信号 XCK_{x+1} 为高电平,而对应的前四级传递信号 ST_{n-3} 为低电平,节点 Q_{n+1} 变为低电平,第二时钟信号 CK_{x+1} 为低电平,此时扫描驱动信号 G_{n+1} 为低电平,完成相应行的扫描。此时,第 n 级GOA驱动单元1中节点 Q_n 为低电平,第 $n+1$ 级GOA驱动单元1'中节点 Q_{n+1} 也为低电平,第一控制信号 P_n 变为高电平,第一开关模块42和第二开关模块43'导通,即第 n 级GOA驱动单元1和第 $n+1$ 级GOA驱动单元1'的栅极控制信号、传递信号和扫描驱动信号都被拉低至基准低电平信号,保持低电位,维持关闭状态。

[0046] 上述实施例提供的栅极驱动电路,每一级GOA驱动单元设置有一组下拉维持电路,每相邻的两级GOA驱动单元共用该两级GOA驱动单元的下拉维持电路,即,每一级GOA驱动单元对应有两组下拉维持电路,而每一组下拉维持电路又对应控制着两级GOA驱动单元。由此,在保证下拉维持电路的稳定性能的同时,节省了每一级GOA驱动单元中所使用的薄膜晶体管的数量,不仅降低了产品的成本,还有利于实现产品的窄边框的要求。

[0047] 实施例2

[0048] 本实施例与实施例1不同的是,如图2的电路图中,所述开关控制单元41、41'在实施例1的基础上还增加了第五控制晶体管T65;所述第五控制晶体管T65的源极与所述第三控制晶体管T63的漏极连接,所述第五控制晶体管T65的漏极与基准低电平信号连接。

[0049] 其中,第 n 级GOA驱动单元1中的第五控制晶体管T65的栅极连接至第 $n+1$ 级GOA驱动单元1'的上拉控制电路10的输出端,即连接至节点 Q_{n+1} 。而第 $n+1$ 级GOA驱动单元1'中的第五控制晶体管T65的栅极则连接至第 n 级GOA驱动单元1的上拉控制电路10的输出端,即连接至节点 Q_n 。

[0050] 本实施例的栅极驱动电路的工作过程与实施例1中的相同。不同之处在于,实施例1中,对于第一控制信号 P_n 的控制,在节点 Q_{n+1} 为高电平时,仅是将第三控制晶体管T63的栅极拉低为低电平。而本实施例中,在节点 Q_{n+1} 为高电平时,同时将第三控制晶体管T63的栅极和漏极都拉低为低电平,使得第一控制信号 P_n 的电位和时序更加准确。

[0051] 相应地,如果是在第二控制信号 P_{n+1} 的控制时序内,则在节点 Q_n 为高电平时,也是同时将第三控制晶体管T63的栅极和漏极都拉低为低电平,使得第二控制信号 P_{n+1} 的电位和时序更加准确。

[0052] 实施例3

[0053] 本实施例与实施例1不同的是,如图3的电路图中,所述开关控制单元41、41'还包括第六控制晶体管T66,所述第六控制晶体管T66的源极与所述第一控制晶体管T61的漏极

连接,所述第六控制晶体管T66的漏极与基准低电平信号连接。并且,在本实施例中,第n级GOA驱动单元1中的第三控制晶体管T63的栅极和第n+1级GOA驱动单元1'中的第三控制晶体管T63的栅极不再相互连接。

[0054] 其中,第n级GOA驱动单元1中的第六控制晶体管T66的栅极连接至第n+1级GOA驱动单元1'的上拉控制电路10的输出端,即连接至节点 Q_{n+1} 。而第n+1级GOA驱动单元1'中的第六控制晶体管T66的栅极则连接至第n级GOA驱动单元1的上拉控制电路10的输出端,即连接至节点 Q_n 。

[0055] 本实施例的栅极驱动电路的工作过程与实施例1中的相同。不同之处在于,实施例1中,第n级GOA驱动单元1中,对于第一控制信号 P_n 的控制,在节点 Q_{n+1} 为高电平时,通过所述第六控制晶体管T66将第三控制晶体管T63的栅极连接至基准低电平信号,使得第一控制信号 P_n 保持为低电平。第n+1级GOA驱动单元1'中,对于第二控制信号 P_{n+1} 的控制,在节点 Q_n 为高电平时,通过所述第六控制晶体管T66将第三控制晶体管T63的栅极连接至基准低电平信号,使得第二控制信号 P_{n+1} 保持为低电平。

[0056] 实施例4

[0057] 本实施例与实施例3不同的是,如图4的电路图中,所述开关控制单元41、41'在实施例3的基础上还增加了第五控制晶体管T65;所述第五控制晶体管T65的源极与所述第三控制晶体管T63的漏极连接,所述第五控制晶体管T65的漏极与基准低电平信号连接。

[0058] 其中,第n级GOA驱动单元1中的第五控制晶体管T65的栅极连接至第n+1级GOA驱动单元1'的上拉控制电路10的输出端,即连接至节点 Q_{n+1} 。而第n+1级GOA驱动单元1'中的第五控制晶体管T65的栅极则连接至第n级GOA驱动单元1的上拉控制电路10的输出端,即连接至节点 Q_{n+1} 。

[0059] 本实施例的栅极驱动电路的工作过程与实施例3中的相同。不同之处在于,实施例3中,对于第一控制信号 P_n 的控制,在节点 Q_{n+1} 为高电平时,仅是将第三控制晶体管T63的栅极拉低为低电平。而本实施例中,在节点 Q_{n+1} 为高电平时,同时将第三控制晶体管T63的栅极和漏极都拉低为低电平,使得第一控制信号 P_n 的电位和时序更加准确。

[0060] 相应地,如果是在第二控制信号 P_{n+1} 的控制时序内,则在节点 Q_n 为高电平时,也是同时将第三控制晶体管T63的栅极和漏极都拉低为低电平,使得第二控制信号 P_{n+1} 的电位和时序更加准确。

[0061] 实施例5

[0062] 本实施例还提供了一种液晶显示装置,如图5所示,所述液晶显示装置包括显示区域200以及集成设置在显示区域200边缘上的栅极驱动电路100,所述栅极驱动电路100采用了如上实施例所提供的栅极驱动电路。进一步地,为了提高驱动能力,可以在显示区域200相对的两侧同时设置栅极驱动电路100。

[0063] 需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在

包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0064] 以上所述仅是本申请的具体实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本申请原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本申请的保护范围。

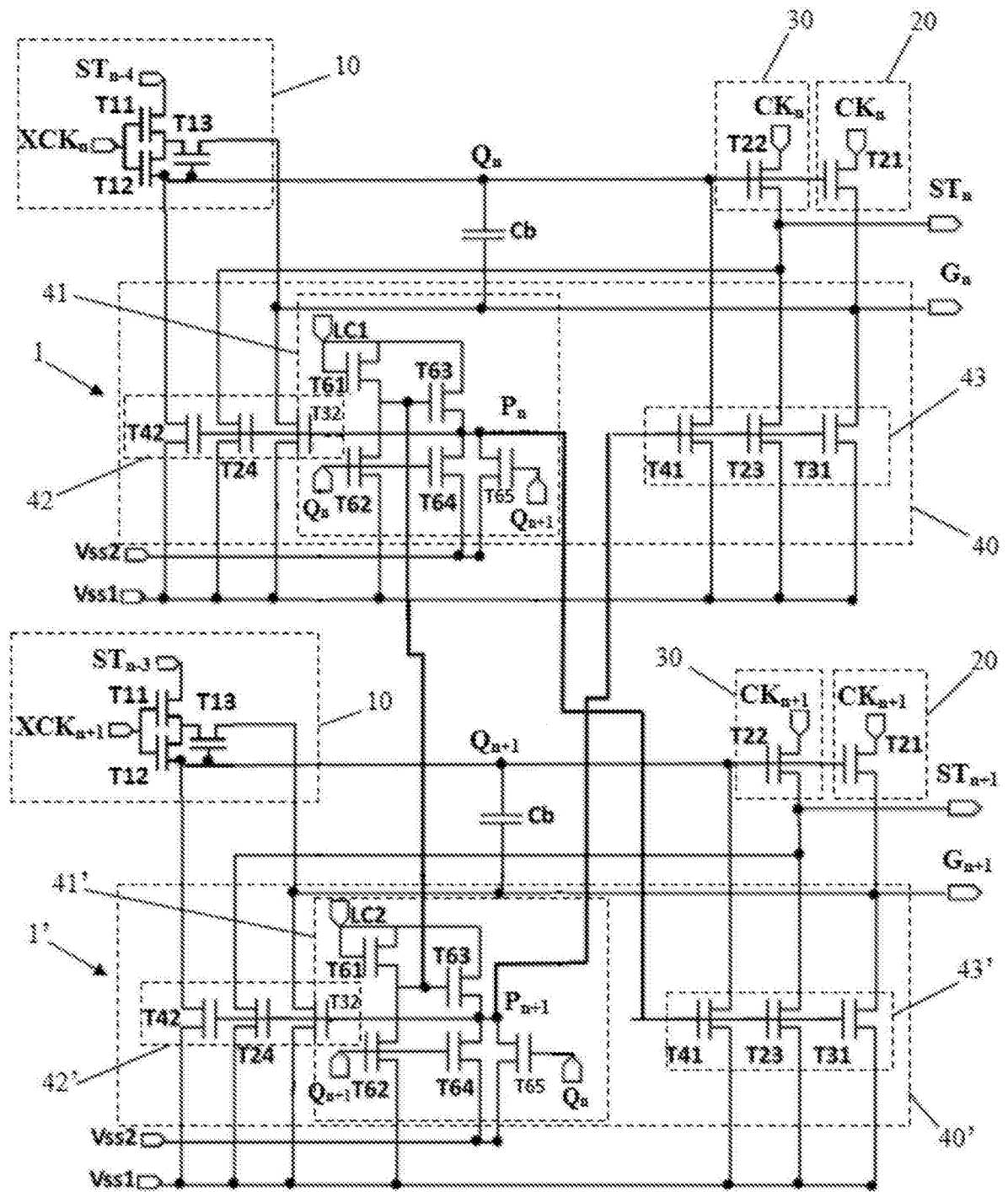


图2

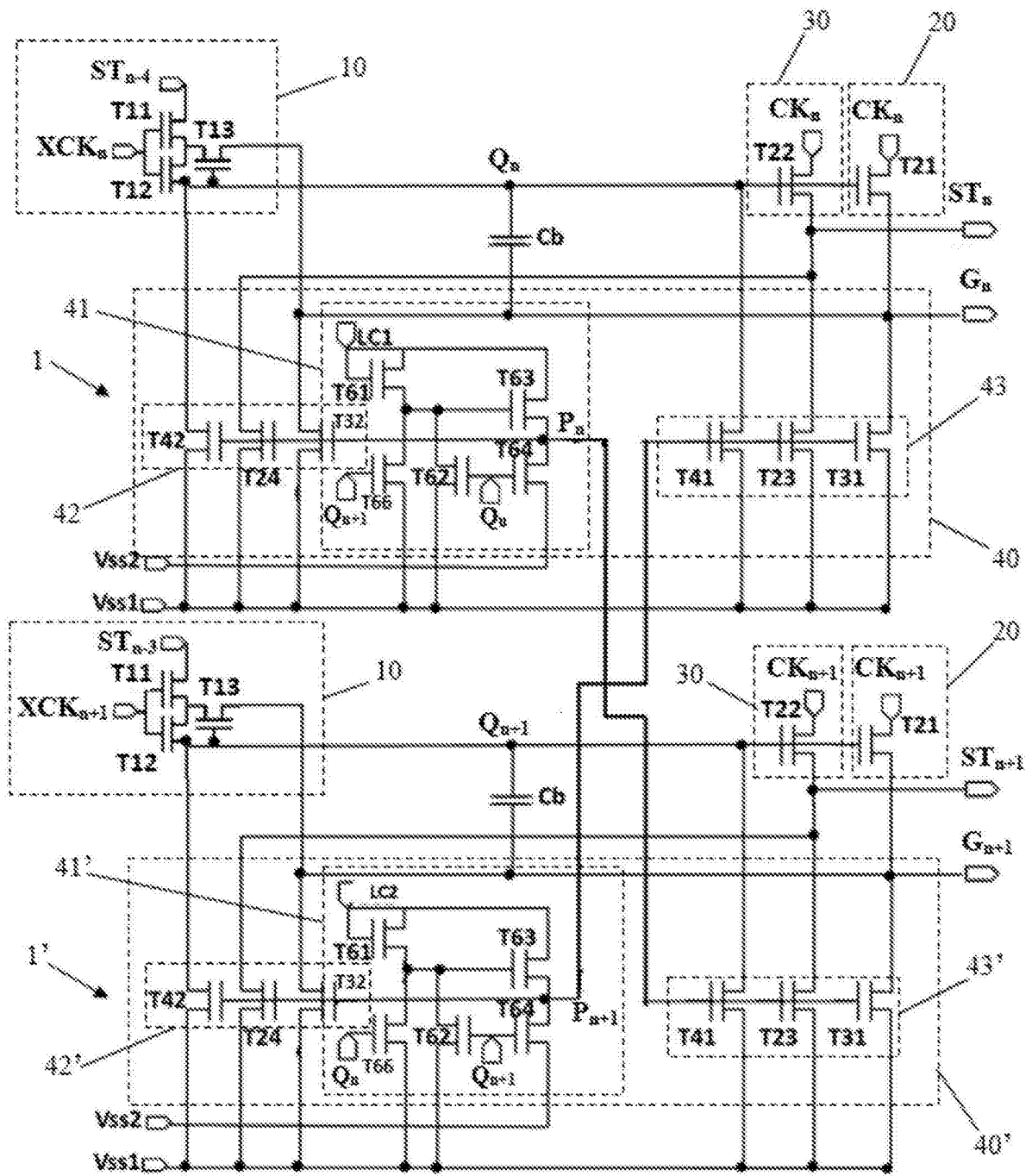


图3

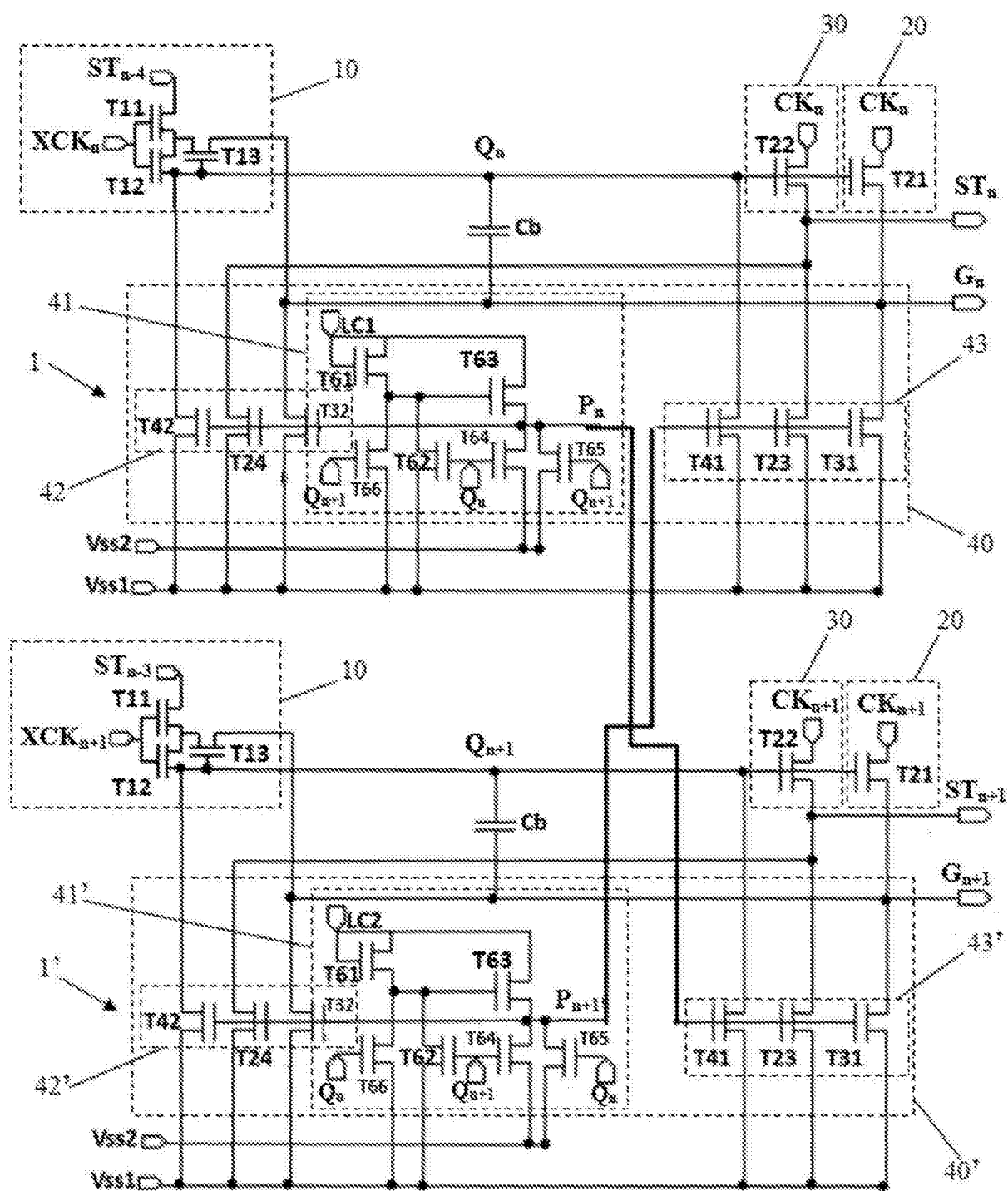


图4

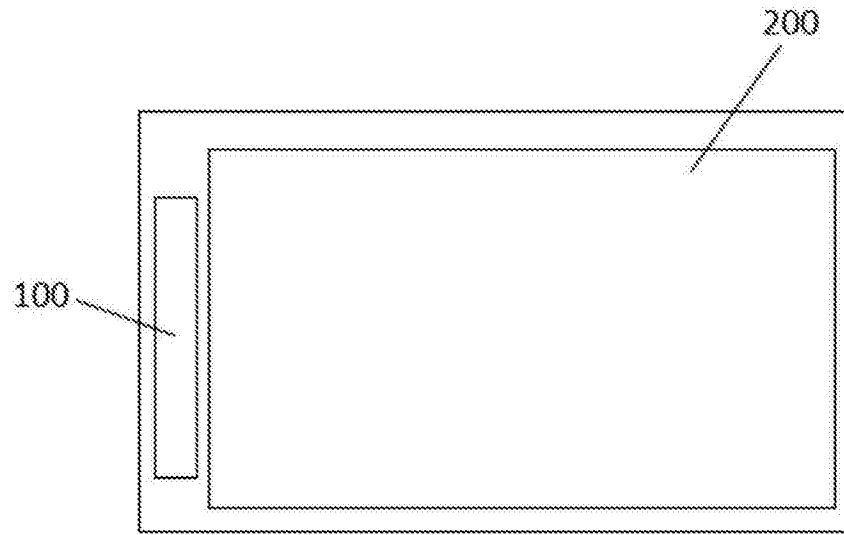


图5

专利名称(译)	栅极驱动电路以及液晶显示装置		
公开(公告)号	CN106601205A	公开(公告)日	2017-04-26
申请号	CN201611262965.3	申请日	2016-12-30
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	石龙强 陈书志		
发明人	石龙强 陈书志		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2300/0814 G09G2310/0286 G09G2310/0289 G11C19/28 G09G2310/0264		
代理人(译)	孙伟峰 黄进		
其他公开文献	CN106601205B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种栅极驱动电路，包括级联设置的N级GOA驱动单元，每一级GOA驱动单元包括上拉控制电路、上拉电路、级传电路、自举电容以及下拉维持电路；其中，第n级GOA驱动单元的下拉维持电路和第n+1级GOA驱动单元的下拉维持电路相互交替地开启：第n级GOA驱动单元的下拉维持电路可以同时第n级GOA驱动单元和第n+1级GOA驱动单元中的节点电位维持在关闭状态；第n+1级GOA驱动单元的下拉维持电路也可同时第n级GOA驱动单元和第n+1级GOA驱动单元中的节点电位维持在关闭状态；其中， $n=1, 3, 5, \dots, N-1$ ，N为大于1的偶数。本发明还公开了一种液晶显示装置，其包括如上所述的栅极驱动电路。

