



(12)发明专利申请

(10)申请公布号 CN 106340277 A

(43)申请公布日 2017. 01. 18

(21)申请号 201610784907.0

(22)申请日 2016.08.30

(71)申请人 德为显示科技股份有限公司

地址 100176 北京市大兴区北京经济技术
开发区科创十三街12号院4号楼3层

(72)发明人 张斌

(74)专利代理机构 北京路浩知识产权代理有限
公司 11002

代理人 李相雨

(51)Int.Cl.

G09G 3/36(2006.01)

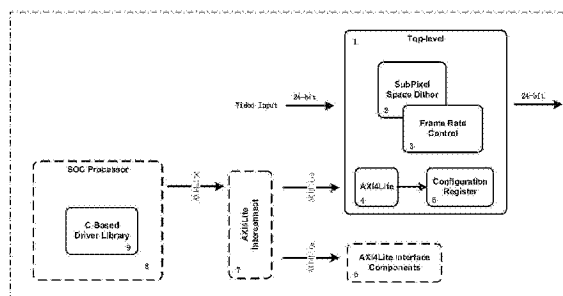
权利要求书1页 说明书5页 附图5页

(54)发明名称

基于FPGA的灰阶像素抖动实现装置

(57)摘要

本发明涉及一种基于FPGA的灰阶像素抖动实现装置,包括顶层逻辑封装单元、AXI4Lite Interconnect内部总线互联模块以及控制单元;顶层逻辑封装单元用于进行子像素空间抖动以及帧速控制;AXI4Lite Interconnect内部总线互联模块用于将具有不同时钟域、不同功能的所述顶层逻辑封装单元与所述控制单元互联,本发明同时应用子像素空间抖动方法和帧速控制方法即可重建出6139级灰阶梯度等级,其IP实现形式所占用的可编程逻辑资源很少,可以将此控制器在不同的FPGA可编程逻辑平台上去实现,并通过标准的AXI协议互连接口扩展到丰富的片上SOC系统中,特别适合在液晶屏显示产品中推广使用。



1. 一种基于FPGA的灰阶像素抖动实现装置, 其特征在于, 包括顶层逻辑封装单元、AXI4Lite Interconnect内部总线互联模块以及控制单元;

所述顶层逻辑封装单元用于进行子像素空间抖动以及帧速控制;

所述AXI4Lite Interconnect内部总线互联模块用于将具有不同时钟域、不同功能的所述顶层逻辑封装单元与所述控制单元互联。

2. 根据权利要求1所述的装置, 其特征在于, 所述顶层逻辑封装单元包括:

子像素空间抖动模块、帧速控制模块、AXI4Lite总线接口协议模块以及寄存器模块;

所述子像素空间抖动模块用于实现子像素的有序组合排列方式;

所述帧速控制模块用于通过控制视频帧的刷新速率重建灰阶梯度;

所述AXI4Lite总线接口协议模块用于将AMBA AXI4Lite标准协议转化为内部寄存器读写接口协议;

所述寄存器单元为由多位触发器构成的寄存器阵列单元, 用于存储预设的实现子像素空间抖动方法、帧速控制方法功能控制参数。

3. 根据权利要求1所述的装置, 其特征在于, 所述顶层逻辑封装单元还包括用于各模块间进行互联的接口。

4. 根据权利要求1所述的装置, 其特征在于, 所述装置还包括支持AXI4Lite总线接口协议的外围模块/组件。

5. 根据权利要求2所述的装置, 其特征在于, 所述帧速控制模块具体采用两帧视频帧速控制方法, 以通过两帧视频帧的交替显示来重建灰阶梯度。

6. 根据权利要求1所述的装置, 其特征在于, 所述控制单元为片上系统SOC。

7. 根据权利要求1所述的装置, 其特征在于, 所述控制单元为处理器。

8. 根据权利要求6或7所述的装置, 其特征在于, 所述控制单元还包括:

C函数驱动库单元, 用于将所有控制命令实现为C函数的驱动。

9. 一种采用权利要求1-8任一项所述装置实现灰阶像素抖动的方法, 其特征在于, 包括:

根据查找表技术进行显示驱动信号上的映射;

为所述查找表配置相应的数据位宽;

将所述灰阶像素抖动实现装置的输出端与相应的液晶屏相连。

10. 一种液晶显示装置, 其特征在于, 包括权利要求1-8任一项所述的基于FPGA的灰阶像素抖动实现装置。

基于FPGA的灰阶像素抖动实现装置

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种基于FPGA的灰阶像素抖动实现装置。

背景技术

[0002] 在单色液晶屏应用的显示器产品中,单色液晶屏一般也具有像彩色液晶屏一样的子像素组合方式,如图1所示。在具有数字视频接口(Digital Visual Interface,DVI)或RGB视频接口的液晶显示器中,通常都采用24-bit RGB像素封装格式,每个子像素颜色位深为8-bit。对于RGB色度空间,仅当R、G、B颜色分量相等时,才会合成表现为灰阶色。所以8-bit显示系统,无论是彩色或单色液晶显示屏,通常仅具有256级灰阶色调。

[0003] 然而在诊断医疗液晶显示器产品中,必须要求医疗显示器所呈现的显示亮度梯度遵从DICOM PART#14标准的GSDF曲线。当一个显示器的显示亮度范围在0~500cd/m²,根据DICOM PART#14的GSDF曲线标准,至少有705级人眼可识别的亮度等级(JND)可以参照遵从。假如JND STEP要求 $\leq |1|$,则显示器至少需要具有705级显示灰阶等级。因此,通用液晶显示器的256级灰阶色调特性无法满足医疗显示器对于显示亮度等级数量以及GSDF曲线性能的要求,进而利用通用液晶显示器观察DCM医学光片图像时,很多病灶的细节就有可能呈现不出来。如果医生在这样的液晶显示器上做诊断,很有可能引起误诊或漏诊。

[0004] 目前,很多专业显示器制造商为了提高液晶显示器的灰阶呈现能力,普遍采用10-bit单色液晶屏,其已成为业界医疗显示器的标配组件之一。采用10-bit液晶屏,可将灰阶显示亮度梯度提升至1024级,其较普通8-bit液晶屏的256级灰阶梯度而言,灰阶显示亮度梯度等级有了较大提升。以某液晶屏面板制造商的专用医疗单色液晶屏为例,其中心亮度最大可达800cd/m²,对比度为1000,10-bit编码的子像素驱动信号,因此至少可呈现1000多级的灰阶亮度梯度。如图2所示,根据液晶屏厂商提供的数据,1024级灰阶梯度等级仅占可显示亮度范围的高90%亮度范围。由于TFT-LCD液晶屏的固有特性,10%以下亮度范围的低亮度对灰阶呈现是没有贡献的,因此1024级灰阶亮度梯度还要打个折扣,约为920阶左右。根据DICOM PART#14的GSDF曲线定义,对于800cd/m²最大亮度,存在766级JND灰阶亮度梯度。因此医疗显示器如需达到JND Step $\leq |1|$ 或更高精度JND Step $\leq |0.5|$,则需要更多的灰阶亮度梯度。

发明内容

[0005] 针对现有液晶显示器的灰阶色调特性无法满足医疗显示器对于显示亮度等级数量以及GSDF曲线性能的要求的缺陷,本发明提出一种基于FPGA的灰阶像素抖动实现装置,包括顶层逻辑封装单元、AXI4Lite Interconnect内部总线互联模块以及控制单元;

[0006] 所述顶层逻辑封装单元用于进行子像素空间抖动以及帧速控制;

[0007] 所述AXI4Lite Interconnect内部总线互联模块用于将具有不同时钟域、不同功能的所述顶层逻辑封装单元与所述控制单元互联。

- [0008] 可选地,所述顶层逻辑封装单元包括:
- [0009] 子像素空间抖动模块、帧速控制模块、AXI4Lite总线接口协议模块以及寄存器模块;
- [0010] 所述子像素空间抖动模块用于实现子像素的有序组合排列方式;
- [0011] 所述帧速控制模块用于通过控制视频帧的刷新速率重建灰阶梯度;
- [0012] 所述AXI4Lite总线接口协议模块用于将AMBA AXI4Lite标准协议转化为内部寄存器读写接口协议;
- [0013] 所述寄存器单元为由多位触发器构成的寄存器阵列单元,用于存储预设的实现子像素空间抖动方法、帧速控制方法功能控制参数。
- [0014] 可选地,所述顶层逻辑封装单元还包括用于各模块间进行互联的接口。
- [0015] 可选地,所述装置还包括支持AXI4Lite总线接口协议的外围模块/组件。
- [0016] 可选地,所述帧速控制模块具体采用两帧视频帧速控制方法,以通过两帧视频帧的交替显示来重建灰阶梯度。
- [0017] 可选地,所述控制单元为片上系统SOC。
- [0018] 可选地,所述控制单元为处理器。
- [0019] 可选地,所述控制单元还包括:
- [0020] C函数驱动库单元,用于将所有控制命令实现为C函数的驱动。
- [0021] 另一方面,本发明还提供了一种采用上述任一种所述装置实现灰阶像素抖动的方法,包括:
- [0022] 根据查找表技术进行显示驱动信号上的映射;
- [0023] 为所述查找表配置相应的数据位宽;
- [0024] 将所述灰阶像素抖动实现装置的输出端与相应的液晶屏相连。
- [0025] 另一方面,本发明还提供了一种液晶显示装置,包括上述任一种基于FPGA的灰阶像素抖动实现装置。
- [0026] 本发明的基于FPGA的灰阶像素抖动实现装置,包括顶层逻辑封装单元、AXI4Lite Interconnect内部总线互联模块以及控制单元;所述顶层逻辑封装单元用于进行子像素空间抖动以及帧速控制;所述AXI4Lite Interconnect内部总线互联模块用于将具有不同时钟域、不同功能的所述顶层逻辑封装单元与所述控制单元互联,本发明同时应用子像素空间抖动方法和帧速控制方法即可重建出6139级灰阶梯度等级,其IP实现形式所占用的可编程逻辑资源很少,可以将此控制器在不同的FPGA可编程逻辑平台上(包括CPLD)去实现,并通过标准的AXI协议互连接口扩展到丰富的片上SOC系统中,特别适合在液晶屏显示产品中推广使用。

附图说明

[0027] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0028] 图1为现有技术中的彩色液晶屏、单色液晶屏像素组成及结构示意图;

- [0029] 图2为现有技术中的10-bit液晶屏的灰阶梯度与亮度等级对应关系示意图；
- [0030] 图3为现有技术中的对称型子像素结构、非对称型子像素结构示意图；
- [0031] 图4为本发明一个实施例的子像素空间抖动技术重建灰阶色调梯度的实现原理示意图；
- [0032] 图5为本发明一个实施例的帧速控制技术重建灰阶色调梯度的实现原理示意图；
- [0033] 图6为本发明一个实施例的基于FPGA的灰阶像素抖动实现装置的结构示意图；
- [0034] 图7为本发明一个实施例的融合子像素空间抖动技术、帧速控制技术重建灰阶色调梯度的原理示意图。

具体实施方式

[0035] 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0036] 本发明实施例提供了一种低成本、可独立实现、可重复、可跨平台移植、可封装IP的在普通液晶屏上重建更多数量灰阶色调的技术方案。总的来说，本发明实施例基于可编程语言Verilog，在FPGA可编程逻辑资源平台上执行一个逻辑模块，该模块主要包括子像素空间抖动模块、帧速控制模块。

[0037] 如图3所示，单色液晶屏子像素的结构可以分为：均匀对称型像素结构和非均匀对称型像素结构。

[0038] 对于非均匀对称型像素结构，由于每个子像素的开孔尺寸比例大小不同，所以每种子像素对整体像素的亮度贡献不同，进而可产生更多中子像素排列组合编码，即可通过重建有序的子像素排列组合产生出更多数量的像素灰阶梯度。

[0039] 而对于均匀对称型像素结构，由于每个子像素的开孔尺寸比例大小相同，所以每个子像素对整体像素的亮度贡献相同，即假设子像素亮度符合正态分布、且子像素之间亮度互不影响，它们的子像素排列组合编码仅有3种：如{0,0,1}、{0,1,0}、{1,0,0}三种子像素排列方式，实际上这三种子像素组成的像素亮度等级是一样的。国外一些医疗显示器制造商多采用非均匀对称型像素接口的液晶屏，而国内医疗显示器则多倾向选择均匀对称型像素接口的液晶屏，因为其制造工序与彩色液晶屏基本一样，唯一差异在于单色液晶屏没有了彩色滤色膜。

[0040] 本发明实施例的子像素空间抖动实现方法基于具有均匀对称型像素结构的液晶屏面板，通过对三个子像素进行重建组合、排列，可实现更多的显示灰阶，每个液晶像素的子像素驱动数据在串行编码前端被重新排列、组合，重建出一套比液晶屏固有灰阶数更多的灰阶亮度梯度等级。如图4所示，应用本实施例的子像素空间抖动方法可在10-bit液晶屏固有像素灰阶特性的基础之上重建出3070级灰阶梯度。

[0041] 进一步地，本实施例的帧速控制方法基于时间线的显示抖动技术。目前显示器数据帧的刷新率都已达60Hz，当数据帧速高达120Hz、200Hz时，人眼将完全察觉不出闪烁的感觉，其实临界闪烁频率(CFF)大于30Hz左右，人眼基本也感受不出闪烁的感觉。因此在60Hz的刷新速率基础之上应用帧速控制，利用人眼的视觉感应时间差，可重建出数据帧融合的

效应,即可重建出新的灰阶梯度。如图5所示,应用本实施例的帧速控制方法可在10-bit液晶屏固有像素灰阶特性的基础之上重建出2047级灰阶梯度。

[0042] 下面以一具体的实施例来说明本发明,但不限定本发明的保护范围。

[0043] 图6示出了本发明一个实施例的基于FPGA的灰阶像素抖动实现装置示意图,如图6所示,该装置包括:

[0044] 顶层逻辑封装单元1,封装了子像素空间抖动模块2、帧速控制模块3、AXI4Lite总线接口协议模块4、寄存器模块5以及模块间的接口互联,其中:

[0045] 子像素空间抖动单元2,实现了子像素的有序组合排列方式,如图4所示,第一级子像素组合排列方式比较简单,仅包含第1级0灰阶梯度;第2级子像素组合排列方式包含三种,它由第2级灰阶梯度1与第1级灰阶梯度0组成,即Pattern{0,1,0}、Pattern{1,0,1}以及Pattern{1,1,1};按照上述规则迭代到10-bit液晶屏的第1023级灰阶梯度,即Pattern{1022,1023,1022}、Pattern{1023,1022,1023}、Pattern{1023,1023,1023}。通过计算,子像素空间抖动技术可重建出3070级灰阶梯度等级。

[0046] 帧速控制单元3,通过控制视频帧的刷新速率,达到重建灰阶梯度的目的。本实施例中采用了2帧视频帧速控制方法,即通过两帧视频帧的交替显示来重建灰阶梯度。

[0047] 对于灰阶梯度0,其帧速控制比较简单,其每帧刷新的都是灰阶梯度0的数据;

[0048] 对于灰阶梯度1,有两种数据帧刷新方式,即1/60帧刷新灰阶梯度1的数据,与此同时2/60帧刷新灰阶梯度1的数据,其他时刻都刷新上一级灰阶梯度0的数据,这样就可以使人眼中感受到灰阶梯度0和灰阶梯度1的时延混合效果,重建出了两种新的灰阶梯度等级。

[0049] 通过上述规则迭代到10-bit液晶屏的第1023级灰阶梯度,即也有两种数据帧刷新方式,1/60帧刷新灰阶梯度1023级灰阶梯度的数据、1/60帧刷新灰阶梯度1023的数据同时2/60帧刷新灰阶梯度1023的数据,其他时刻都刷新上一级灰阶梯度1022的数据,这样使人眼感受到灰阶梯度1022和灰阶梯度1023的时延混合效果,重新出了两种新的灰阶梯度等级。

[0050] 通过计算,应用本实施例的帧速控制技术可重建出2047级灰阶梯度等级。

[0051] AXI4Lite总线接口协议模块4,用于将AMBA AXI4Lite标准协议转化为内部寄存器读写接口协议;

[0052] 其中,AXI4Lite协议是一个支持Burst模式、独立数据/地址/响应通道的总线接口,用于处理器与外围设备之间的互连通讯。

[0053] 通过AXI4Lite接口可以将此实现灰阶像素抖动方法的模块扩展至业界丰富的片上系统SOC处理器平台。

[0054] 寄存器单元5,其为由多位触发器构成的寄存器阵列单元,用于存储实现子像素空间抖动方法、帧速控制方法的功能控制参数;

[0055] 通过对寄存器的控制实现对算法功能模块的控制。

[0056] 进一步地,还包括支持AXI4Lite总线接口协议的外围模块/组件6以及AXI4Lite Interconnect内部总线互联模块7;

[0057] 通过AXI4Lite Interconnect内部总线互联模块7可以将不同时钟域、不同功能的模块与控制单元(片上系统SOC或处理器)互联。

[0058] 此外,该装置还包括具有控制功能的片上系统SOC或处理器单元8,如图6所示,其

中具有控制功能的片上系统SOC或处理器单元8还包括:

[0059] C函数驱动库单元9,用于将所有控制命令实现为C函数的驱动,使模块的寄存器级控制转化为更好理解的设备实例、C函数操作,并可以应用于支持C编译器的任意片上系统SOC或处理器平台。

[0060] 进一步地,本实施例采用基于FPGA的灰阶像素抖动实现装置实现的基于FPGA灰阶像素抖动实现方法,包括如下工作流程:

[0061] 1)结合相应查找表技术进行显示驱动信号上的映射;

[0062] 具体地,首先要配置合适的查找表地址位深。举例来说,驱动信号数据位宽可兼容8-bit、10-bit显示系统,查找表地址位深可配置为8-bit、10-bit;

[0063] 2)配置查找表合适的数据位宽,具体地:

[0064] 当仅应用子像素空间抖动技术时,查找表数据位宽可配置为12-bit;

[0065] 当仅应用帧速控制技术时,查找表数据位宽可配置为11-bit;

[0066] 当同时应用子像素空间抖动技术和帧速控制技术时,查找表数据位宽可配置为13-bit;

[0067] 3)本实施例的实现灰阶像素抖动的方法,以10-bit数据像素编码,因此输出端也需要连接至10-bit液晶屏才可达到相应效果。如果系统显示组件为8-bit液晶屏,则需要增加相应的数据进位/截短算法先Dither到8-bit数据,再连接相应液晶屏。

[0068] 本发明所述的基于FPGA的灰阶像素抖动实现装置,同时应用子像素空间抖动方法和帧速控制方法即可重建出6139级灰阶梯度等级,如附录图7所示;其IP实现形式所占用的可编程逻辑资源很少,可以将此控制器在不同的FPGA可编程逻辑平台上(包括CPLD)去实现;通过标准的AXI协议互连接口扩展到丰富的片上SOC系统中,特别适合在液晶屏显示产品中推广使用。

[0069] 以上实施例仅用于说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

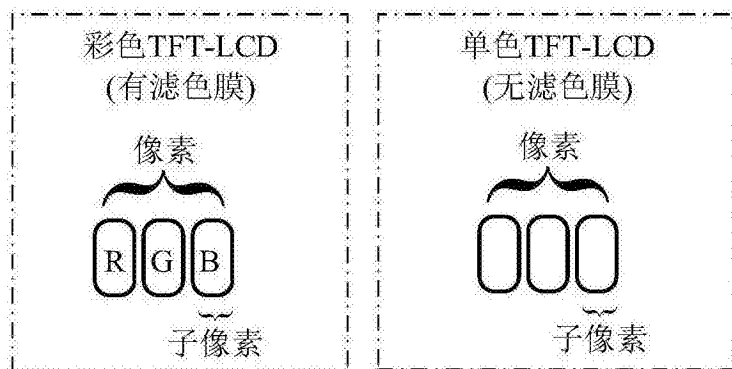


图1

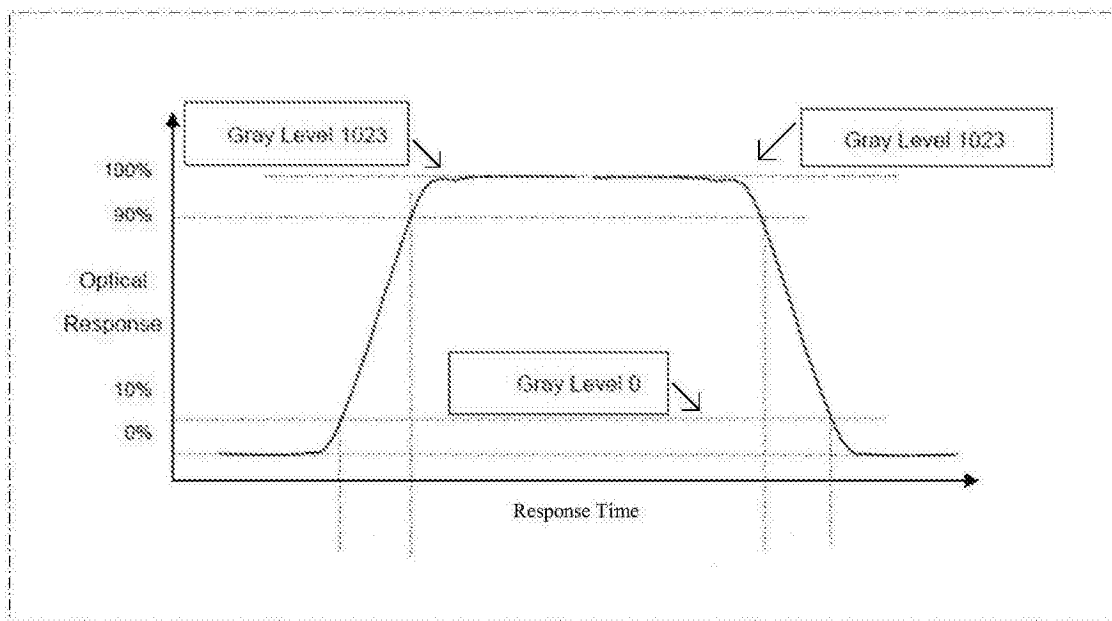


图2

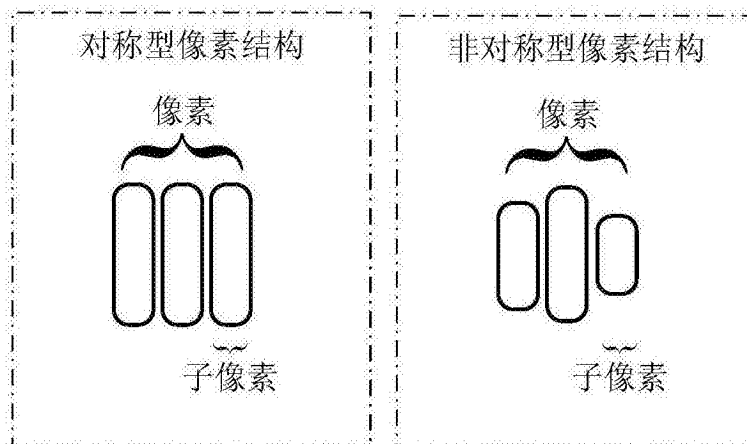


图3

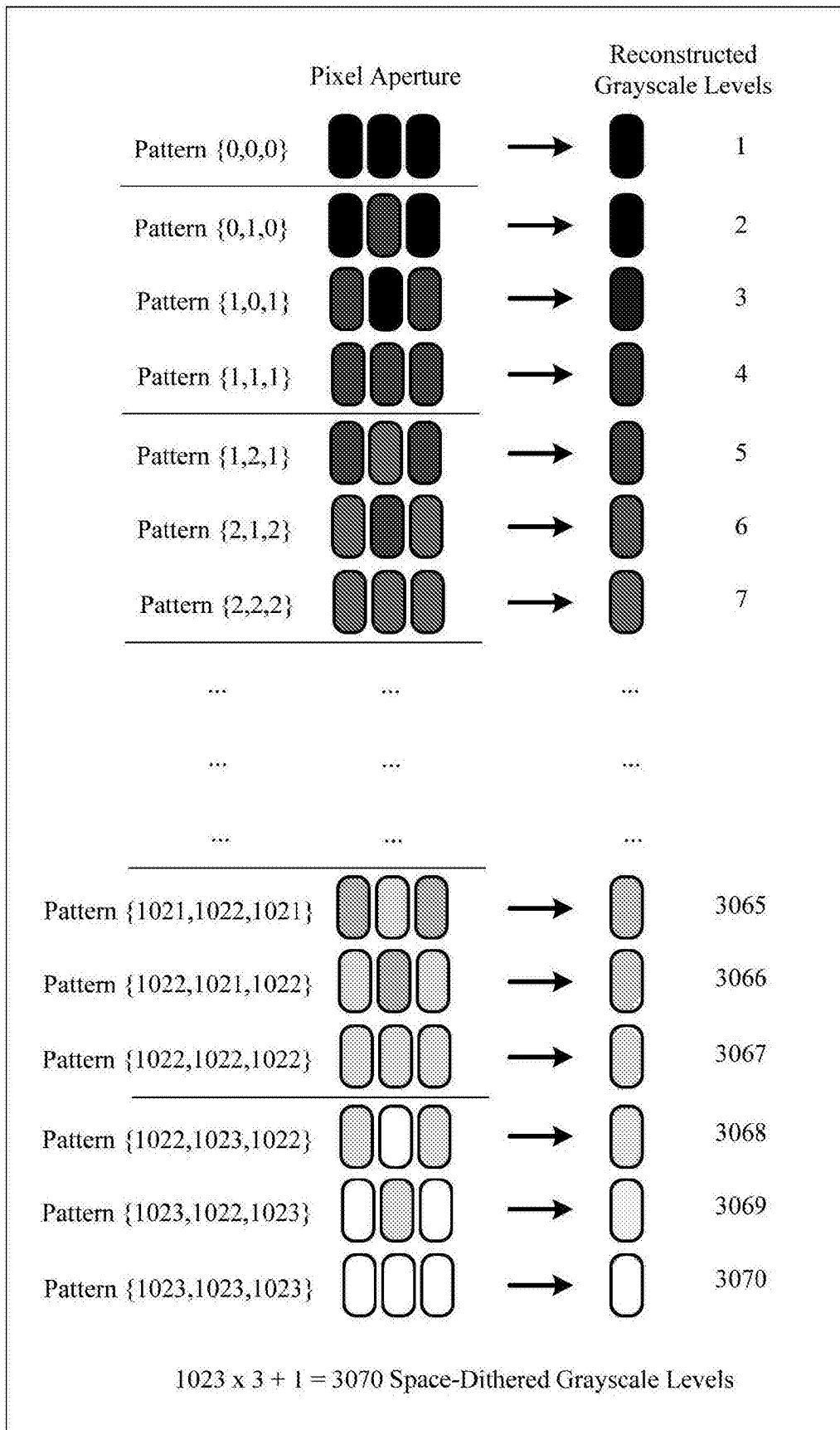


图4

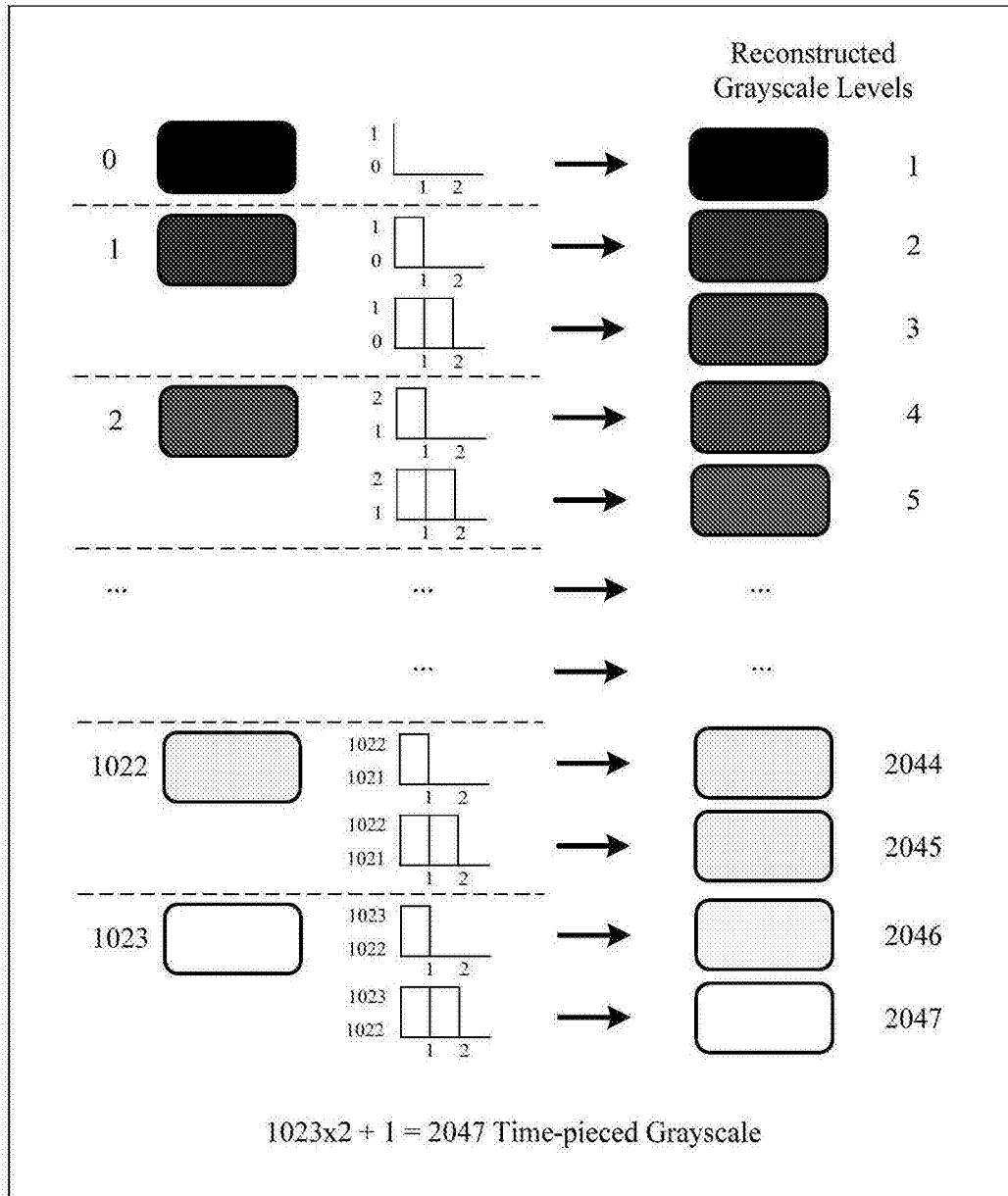


图5

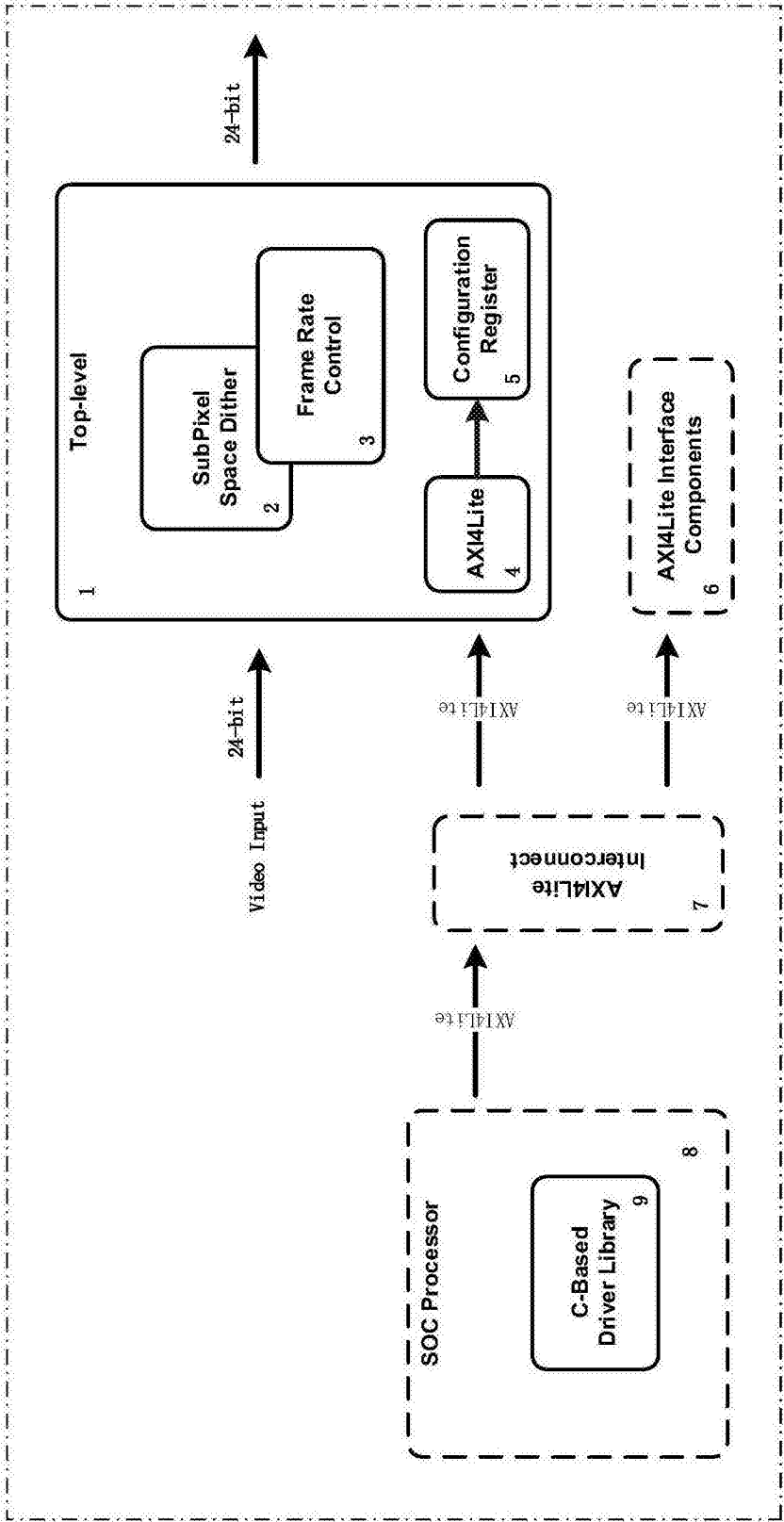


图6

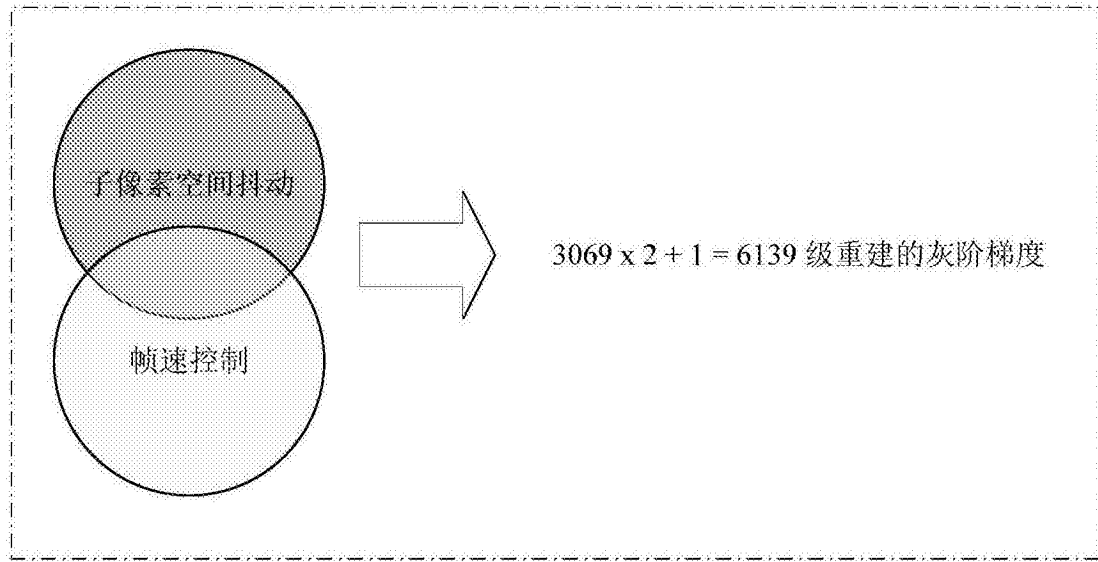


图7

专利名称(译)	基于FPGA的灰阶像素抖动实现装置		
公开(公告)号	CN106340277A	公开(公告)日	2017-01-18
申请号	CN201610784907.0	申请日	2016-08-30
[标]申请(专利权)人(译)	德为显示科技股份有限公司		
申请(专利权)人(译)	德为显示科技股份有限公司		
当前申请(专利权)人(译)	德为显示科技股份有限公司		
[标]发明人	张斌		
发明人	张斌		
IPC分类号	G09G3/36		
代理人(译)	李相雨		
其他公开文献	CN106340277B		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种基于FPGA的灰阶像素抖动实现装置，包括顶层逻辑封装单元、AXI4Lite Interconnect内部总线互联模块以及控制单元；顶层逻辑封装单元用于进行子像素空间抖动以及帧速控制；AXI4Lite Interconnect内部总线互联模块用于将具有不同时钟域、不同功能的所述顶层逻辑封装单元与所述控制单元互联，本发明同时应用子像素空间抖动方法和帧速控制方法即可重建出6139级灰阶梯度等级，其IP实现形式所占用的可编程逻辑资源很少，可以将此控制器在不同的FPGA可编程逻辑平台上去实现，并通过标准的AXI协议互连接口扩展到丰富的片上SOC系统中，特别适合在液晶屏显示产品中推广使用。

