



(12) 发明专利申请

(10) 申请公布号 CN 105118463 A

(43) 申请公布日 2015. 12. 02

(21) 申请号 201510609541. 9

(22) 申请日 2015. 09. 22

(71) 申请人 深圳市华星光电技术有限公司

地址 518006 广东省深圳市光明新区塘明大道 9-2 号

(72) 发明人 曹尚操

(74) 专利代理机构 深圳市威世博知识产权代理
事务所 (普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

G09G 3/36(2006. 01)

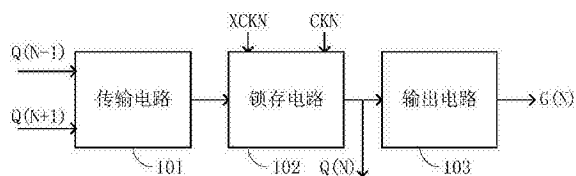
权利要求书3页 说明书7页 附图4页

(54) 发明名称

一种 GOA 电路及液晶显示器

(57) 摘要

本发明公开了一种 GOA 电路及液晶显示器, 该 GOA 电路包括多个级联的 GOA 单元, 每一级的 GOA 单元均包括传输电路、锁存电路以及输出电路; 传输电路用于在正向扫描时, 接收第 $N-1$ 级 GOA 单元的第 $N-1$ 级级传信号 $Q(N-1)$, 并发送给锁存电路; 或在反向扫描时接收第 $N+1$ 级 GOA 单元的第 $N+1$ 级级传信号 $Q(N+1)$, 并发送给锁存电路; 锁存电路用于在扫描期间, 同时接收第一时钟信号 $XCK(N)$ 以及第二时钟信号 $CK(N)$, 并输出与第一时钟信号 $XCK(N)$ 电平相同, 与第二时钟信号 $CK(N)$ 电平相反的第 N 级级传信号 $Q(N)$; 输出电路用于接收第 N 级级传信号 $Q(N)$, 并输出与第 N 级级传信号 $Q(N)$ 电平相同的第 N 级扫描信号 $G(N)$ 。通过上述方式, 本发明能够通过两组时钟信号共同驱动 GOA 电路, 提高电路的稳定性。



1. 一种 GOA 电路,其特征在于,所述 GOA 电路包括多个级联的 GOA 单元,每级 GOA 单元均包括依次连接的传输电路、锁存电路以及输出电路;

设 N 为正整数,在第 N 级 GOA 单元中:

所述传输电路用于在正向扫描时,接收第 $N-1$ 级 GOA 单元的第 $N-1$ 级级传信号 ($Q(N-1)$),并发送给所述锁存电路;或在反向扫描时接收第 $N+1$ 级 GOA 单元的第 $N+1$ 级级传信号 ($Q(N+1)$),并发送给所述锁存电路;

所述锁存电路用于在扫描期间,同时接收第一时钟信号 ($XCK(N)$) 以及第二时钟信号 ($CK(N)$),并输出与所述第一时钟信号 ($XCK(N)$) 电平相同,与所述第二时钟信号 ($CK(N)$) 电平相反的第 N 级级传信号 ($Q(N)$);

所述输出电路用于接收所述第 N 级级传信号 ($Q(N)$),并输出与所述第 N 级级传信号 ($Q(N)$) 电平相同的第 N 级扫描信号 ($G(N)$)。

2. 根据权利要求 1 所述的电路,其特征在于,所述锁存电路包括第一或非门 ($H1$) 和第一晶体管 ($T1$),所述第一晶体管 ($T1$) 为 P 型;

所述第一或非门 ($H1$) 的第一输入端接收所述传输电路发送的级传信号,输出端连接所述第一晶体管 ($T1$) 的栅极;

所述第一晶体管 ($T1$) 的源极连接所述第一时钟信号 ($XCK(N)$),漏极连接所述第一或非门 ($H1$) 的第二输入端,用于在所述第一晶体管 ($T1$) 导通时,输出与所述第一时钟信号 ($XCK(N)$) 相同的第 N 级级传信号 ($Q(N)$)。

3. 根据权利要求 2 所述的电路,其特征在于,所述锁存电路还包括第二晶体管 ($T2$) 以及第一反相器 ($F1$),所述第二晶体管 ($T2$) 为 P 型;

所述第二晶体管 ($T2$) 的源极连接所述第二时钟信号 ($CK(N)$),栅极连接所述第一或非门 ($H1$) 的输出端,漏极通过所述第一反相器 ($F1$) 正向连接所述第一晶体管 ($T1$) 的漏极;其中,所述第二时钟信号 ($CK(N)$) 与所述第一时钟信号 ($XCK(N)$) 反向。

4. 根据权利要求 1 所述的电路,其特征在于,所述传输电路包括第一传输门 ($G1$) 以及第二传输门 ($G2$),

所述第一传输门 ($G1$) 的输入端接入第 $N-1$ 级级传信号 ($Q(N-1)$),用于在正向扫描时打开,将所述第 $N-1$ 级级传信号 ($Q(N-1)$) 发送给所述锁存电路;

所述第二传输门 ($G2$) 的输入端接入第 $N+1$ 级级传信号 ($Q(N+1)$),用于在反向扫描时打开,将所述第 $N+1$ 级级传信号 ($Q(N+1)$) 发送给所述锁存电路。

5. 根据权利要求 1 所述的电路,其特征在于,所述输出电路包括依次连接的第二或非门 ($H2$)、第二反相器 ($F2$)、第三反相器 ($F3$) 以及第四反相器 ($F4$);

所述第二或非门 ($H2$) 的第一输入端接收所述锁存电路发送的所述第 N 级级传信号 ($Q(N)$),第二输入端接收复位信号 ($Reset$),当所述第 N 级级传信号 ($Q(N)$) 和所述复位信号 ($Reset$) 中至少一个为高电平时,所述第二或非门 ($H2$) 的输出端输出低电平信号,并在通过所述第二反相器 ($F2$)、第三反相器 ($F3$) 以及第四反相器 ($F4$) 后,输出高电平的第 N 级扫描信号 ($G(N)$)。

6. 根据权利要求 1 所述的电路,其特征在于,所述输出电路连接所述传输电路,用于在正向扫描时接收所述第 $N-1$ 级级传信号 ($Q(N-1)$),并输出与所述第 $N-1$ 级级传信号 ($Q(N-1)$) 相同的第 N 级扫描信号 ($G(N)$);或

在反向扫描时接收所述第 N+1 级级传信号 (Q(N+1)), 并输出与所述第 N+1 级级传信号 (Q(N+1)) 相同的第 N 级扫描信号 (G(N))。

7. 根据权利要求 1 所述的电路, 其特征在于, 所述锁存电路包括第三或非门 (H3)、第三传输门 (G3)、第四传输门 (G4)、第五反相器 (F5) 以及第六反相器 (F6);

所述第三或非门 (H3) 的第一输入端接收所述传输电路发送的级传信号, 输出端分别连接所述第三传输门 (G3) 与所述第四传输门 (G4) 的一控制端, 所述第三或非门 (H3) 的输出端还通过所述第五反相器 (F5) 分别连接所述第三传输门 (G3) 与所述第四传输门 (G4) 的另一控制端;

所述第三传输门 (G3) 的输入端连接第一时钟信号 (XCK(N)), 输出端连接所述第三或非门 (H3) 的第二输入端;

所述第四传输门 (G4) 的输入端连接第二时钟信号 (CK(N)), 输出端通过所述第六反相器 (F6) 正向连接所述第三或非门 (H3) 的第二输入端。

8. 根据权利要求 1 所述的电路, 其特征在于, 所述锁存电路包括第四或非门 (H4)、第七反相器 (F7)、第一与非门 (Y1) 以及第八反相器 (F8);

所述第四或非门 (H4) 的第一输入端接收所述传输电路发送的级传信号, 输出端通过所述第七反相器 (F7) 连接所述第一与非门 (Y1) 的第一输入端;

所述第一与非门 (Y1) 的第二输入端连接第一时钟信号 (XCK(N)), 输出端通过所述第八反相器 (F8) 连接所述第四或非门 (H4) 的第二输入端;

所述第八反相器 (F8) 的输出端连接所述输出电路, 以向所述输出电路发送所述第 N 级级传信号 (Q(N))。

9. 根据权利要求 1 所述的电路, 其特征在于, 相邻两级的 GOA 单元包括一组传输电路、锁存电路以及输出电路;

所述传输电路用于在正向扫描时, 接收第 N-2 级 GOA 单元的第 N-2 级级传信号 (Q(N-2)), 并发送给所述锁存电路; 或在反向扫描时接收 N+3 级 GOA 单元的 N+3 级级传信号 (Q(N+3)), 并发送给所述锁存电路;

所述锁存电路包括第五或非门 (H5)、第二与非门 (Y2)、第三与非门 (Y3)、第九反相器 (F9)、第十反相器 (F10)、第十一反相器 (F11)、第十二反相器 (F12)、第四晶体管 (T4) 以及第五晶体管 (T5);

所述第五或非门 (H5) 的第一输入端接收所述传输电路发送的级传信号, 输出端分别通过所述第九反相器 (F9) 以及第十一反相器 (F11) 连接第二与非门 (Y2) 的第一输入端以及第三与非门 (Y3) 的第一输入端, 第二与非门 (Y2) 的输出端通过第十反相器 (F10) 连接所述输出电路, 第三与非门 (Y3) 的输出端通过第十二反相器 (F12) 连接所述输出电路, 第二与非门 (Y2) 的第二输入端连接第三时钟信号, 第三与非门 (Y3) 的第二输入端连接第四时钟信号;

所述第四晶体管 (T4) 以及第五晶体管 (T5) 的漏极分别连接第十反相器 (F10) 和第十二反相器 (F12) 的输出端, 源极连接第五或非门 (H5) 的第二输入端, 栅极分别连接第四时钟信号和第三时钟信号;

所述输出电路分别连接所述第十反相器 (F10) 和第十二反相器 (F12) 的输出端以分别输出第 N 级扫描信号 (G(N)) 和第 N+1 级扫描信号 (G(N+1))。

10. 一种液晶显示器,其特征在于,所述液晶显示器包括如权利要求 1-9 任一项所述的 GOA 电路。

一种 GOA 电路及液晶显示器

技术领域

[0001] 本发明涉及显示技术领域,特别是涉及一种 GOA 电路及液晶显示器。

背景技术

[0002] 阵列基板行驱动 (GOA, Gate Driver On Array 或 Gate On Array) 电路,是利用现有薄膜晶体管显示装置 (TFT-LCD) 阵列 (Array) 制程将栅线 (Gate) 行扫描驱动信号电路制作在阵列基板上,以实现栅线逐行扫描的驱动方式的一项技术。其传统的柔性电路板 (COF) 和玻璃电路板 (COG) 工艺相比,不仅节省了制作成本,而且还可以省去栅极方向绑定 (Bonding) 的工艺,对提升产能极为有利,并提高了显示装置的集成度。

[0003] CMOS GOA 电路的主要架构有正反向扫描电路、输出电路、讯号传递电路和锁存电路;目前窄边框和无边框是手机屏追求的目标;而 GOA 电路的宽度是影响 border 的主要因素;另外目前的 GOA CMOS 电路功耗较大,而且不稳定。

发明内容

[0004] 本发明主要解决的技术问题是提供一种 GOA 电路及液晶显示器,能够采用两组时钟信号共同驱动 GOA 电路,提高电路的稳定性。

[0005] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种 GOA 电路,该 GOA 电路包括多个级联的 GOA 单元,每级 GOA 单元均包括传输电路、锁存电路以及输出电路;设 N 为正整数,在第 N 级 GOA 单元中:传输电路用于在正向扫描时,接收第 $N-1$ 级 GOA 单元的第 $N-1$ 级级传信号 $Q(N-1)$,并发送给锁存电路;或在反向扫描时接收第 $N+1$ 级 GOA 单元的第 $N+1$ 级级传信号 $Q(N+1)$,并发送给锁存电路;锁存电路用于在扫描期间,同时接收第一时钟信号 $XCK(N)$ 以及第二时钟信号 $CK(N)$,并输出与第一时钟信号 $XCK(N)$ 电平相同,与第二时钟信号 $CK(N)$ 电平相反的第 N 级级传信号 $Q(N)$;输出电路用于接收第 N 级级传信号 $Q(N)$,并输出与第 N 级级传信号 $Q(N)$ 电平相同的第 N 级扫描信号 $G(N)$ 。

[0006] 其中,锁存电路包括第一或非门 $H1$ 和第一晶体管 $T1$,第一晶体管 $T1$ 为 P 型;第一或非门 $H1$ 的第一输入端接收传输电路发送的级传信号,输出端连接第一晶体管 $T1$ 的栅极;第一晶体管 $T1$ 的源极连接第一时钟信号 $XCK(N)$,漏极连接第一或非门 $H1$ 的第二输入端,用于在第一晶体管 $T1$ 导通时,输出与第一时钟信号 $XCK(N)$ 相同的第 N 级级传信号 $Q(N)$ 。

[0007] 其中,锁存电路还包括第二晶体管 $T2$ 以及第一反相器 $F1$,第二晶体管 $T2$ 为 P 型;第二晶体管 $T2$ 的源极连接第二时钟信号 $CK(N)$,栅极连接第一或非门 $H1$ 的输出端,漏极通过第一反相器 $F1$ 正向连接第一晶体管 $T1$ 的漏极;其中,第二时钟信号 $CK(N)$ 与第一时钟信号 $XCK(N)$ 反向。

[0008] 其中,传输电路包括第一传输门 $G1$ 以及第二传输门 $G2$,第一传输门 $G1$ 的输入端接入第 $N-1$ 级级传信号 $Q(N-1)$,用于在正向扫描时打开,将第 $N-1$ 级级传信号 $Q(N-1)$ 发送给锁存电路;第二传输门 $G2$ 的输入端接入第 $N+1$ 级级传信号 $Q(N+1)$,用于在反向扫描时打开,将第 $N+1$ 级级传信号 $Q(N+1)$ 发送给锁存电路。

[0009] 其中,输出电路包括依次连接的第二或非门 H2、第二反相器 F2、第三反相器 F3 以及第四反相器 F4;第二或非门 H2 的第一输入端接收锁存电路发送的第 N 级级传信号 Q(N),第二输入端接收复位信号 Reset,当第 N 级级传信号 Q(N) 和复位信号 Reset 中至少一个为高电平时,第二或非门 H2 的输出端输出低电平信号,并在通过第二反相器 F2、第三反相器 F3 以及第四反相器 F4 后,输出高电平的第 N 级扫描信号 G(N)。

[0010] 其中,输出电路连接传输电路,用于在正向扫描时接收第 N-1 级级传信号 Q(N-1),并输出与第 N-1 级级传信号 Q(N-1) 相同的第 N 级扫描信号 G(N);或在反向扫描时接收第 N+1 级级传信号 Q(N+1),并输出与第 N+1 级级传信号 Q(N+1) 相同的第 N 级扫描信号 G(N)。

[0011] 其中,锁存电路包括第三或非门 H3、第三传输门 G3、第四传输门 G4、第五反相器 F5 以及第六反相器 F6;第三或非门 H3 的第一输入端接收传输电路发送的级传信号,输出端分别连接第三传输门 G3 与第四传输门 G4 的一控制端,第三或非门 H3 的输出端还通过第五反相器 F5 分别连接第三传输门 G3 与第四传输门 G4 的另一控制端;第三传输门 G3 的输入端连接第一时钟信号 XCK(N),输出端连接第三或非门 H3 的第二输入端;第四传输门 G4 的输入端连接第二时钟信号 CK(N),输出端通过第六反相器 F6 正向连接第三或非门 H3 的第二输入端。

[0012] 其中,锁存电路包括第四或非门 H4、第七反相器 F7、第一与非门 Y1 以及第八反相器 F8;第四或非门 H4 的第一输入端接收传输电路发送的级传信号,输出端通过第七反相器 F7 连接第一与非门 Y1 的第一输入端;第一与非门 Y1 的第二输入端连接第一时钟信号 XCK(N),输出端通过第八反相器 F8 连接第四或非门 H4 的第二输入端;第八反相器 F8 的输出端连接输出电路,以向输出电路发送第 N 级级传信号 Q(N)。

[0013] 其中,相邻两级的 GOA 单元包括一组传输电路、锁存电路以及输出电路;传输电路用于在正向扫描时,接收第 N-2 级 GOA 单元的第 N-2 级级传信号 Q(N-2),并发送给锁存电路;或在反向扫描时接收 N+3 级 GOA 单元的 N+3 级级传信号 Q(N+3),并发送给锁存电路;锁存电路包括第五或非门 H5、第二与非门 Y2、第三与非门 Y3、第九反相器 F9、第十反相器 F10、第十一反相器 F11、第十二反相器 F12、第四晶体管 T4 以及第五晶体管 T5;第五或非门 H5 的第一输入端接收传输电路发送的级传信号,输出端分别通过第九反相器 F9 以及第十一反相器 F11 连接第二与非门 Y2 的第一输入端以及第三与非门 Y3 的第一输入端,第二与非门 Y2 的输出端通过第十反相器 F10 连接输出电路,第三与非门 Y3 的输出端通过第十二反相器 F12 连接输出电路,第二与非门 Y2 的第二输入端连接第三时钟信号,第三与非门 Y3 的第二输入端连接第四时钟信号;第四晶体管 T4 以及第五晶体管 T5 的漏极分别连接第十反相器 F10 和第十二反相器 F12 的输出端,源极连接第五或非门 H5 的第二输入端,栅极分别连接第四时钟信号和第三时钟信号;输出电路分别连接第十反相器 F10 和第十二反相器 F12 的输出端以分别输出第 N 级扫描信号 G(N) 和第 N+1 级扫描信号 G(N+1)。

[0014] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种液晶显示器,该液晶显示器包括上述的 GOA 电路。

[0015] 本发明的有益效果是:区别于现有技术的情况,本发明提供了一种 GOA 电路,该 GOA 电路包括多个级联的 GOA 单元,每级 GOA 单元均包括传输电路、锁存电路以及输出电路;在第 N 级 GOA 单元中,传输电路用于在正向扫描时,接收第 N-1 级 GOA 单元的第 N-1 级级传信号 Q(N-1),并发送给锁存电路;或在反向扫描时接收第 N+1 级 GOA 单元的第 N+1 级级传信

号 $Q(N+1)$ ，并发送给锁存电路；锁存电路用于在扫描期间，同时接收第一时钟信号 $XCK(N)$ 以及第二时钟信号 $CK(N)$ ，并输出与第一时钟信号 $XCK(N)$ 电平相同，与第二时钟信号 $CK(N)$ 电平相反的第 N 级级传信号 $Q(N)$ ；输出电路用于接收第 N 级级传信号 $Q(N)$ ，并输出与第 N 级级传信号 $Q(N)$ 电平相同的第 N 级扫描信号 $G(N)$ 。通过上述方式，本实施方式采用两个时钟信号同时进行驱动，防止时钟信号高低电平转换时失效，提高电路的稳定性。

附图说明

- [0016] 图 1 是本发明 GOA 电路一实施方式的电路结构示意图；
- [0017] 图 2 是本发明 GOA 电路一实施方式中第 N 级 GOA 单元的电路结构示意图；
- [0018] 图 3 是本发明 GOA 电路第一实施方式中第 N 级 GOA 单元的电路图；
- [0019] 图 4 是本发明 GOA 电路第一实施方式中第 N 级 GOA 单元的电路时序图；
- [0020] 图 5 是本发明 GOA 电路第二实施方式中第 N 级 GOA 单元的电路图；
- [0021] 图 6 是本发明 GOA 电路第三实施方式中第 N 级 GOA 单元的电路图；
- [0022] 图 7 是本发明 GOA 电路第四实施方式中第 N 级 GOA 单元的电路图；
- [0023] 图 8 是本发明 GOA 电路第五实施方式中第 N 级 GOA 单元的电路图；
- [0024] 图 9 是本发明液晶显示器一实施方式的结构示意图。

具体实施方式

[0025] 参阅图 1，本发明 GOA 电路一实施方式的电路结构示意图，该 GOA 电路包括多个级联的 GOA 单元，其中，在正向扫描期间，第一级 GOA 单元接收 STV 级传信号，以后的每一级 GOA 单元均接收上一级 GOA 单元发出的级传信号，例如，第 N 级 GOA 电路均接收第 $N-1$ 级 GOA 输出的第 $N-1$ 级级传信号 $Q(N-1)$ ；或在反向扫描期间，最后一级 GOA 单元接收 STV 级传信号，以后的每一级 GOA 单元均接收下一级 GOA 单元发出的级传信号，例如，第 N 级 GOA 电路接收第 $N+1$ 级 GOA 输出的第 $N+1$ 级级传信号 $Q(N+1)$ 。

[0026] 同时参阅图 2，本发明 GOA 电路一实施方式中第 N 级 GOA 单元的电路结构示意图，每级 GOA 单元均包括传输电路 101、锁存电路 102 以及输出电路 103。

[0027] 设 N 为正整数，在第 N 级 GOA 单元中：

[0028] 传输电路 101 用于在正向扫描时，接收第 $N-1$ 级 GOA 单元的第 $N-1$ 级级传信号 $Q(N-1)$ ，并发送给锁存电路 102；或在反向扫描时接收第 $N+1$ 级 GOA 单元的第 $N+1$ 级级传信号 $Q(N+1)$ ，并发送给锁存电路 102。

[0029] 锁存电路 102 用于根据传输电路 101 发送的级传信号开始工作，即当接收到传输电路 101 发送的第 $N-1$ 级级传信号 $Q(N-1)$ 为高电平时，开启接收时钟信号的通道，即开始扫描。在扫描期间，同时接收第一时钟信号 $XCK(N)$ 以及第二时钟信号 $CK(N)$ ，并输出与第一时钟信号 $XCK(N)$ 电平相同，与第二时钟信号 $CK(N)$ 电平相反的第 N 级级传信号 $Q(N)$ 。

[0030] 输出电路 103 用于接收第 N 级级传信号 $Q(N)$ ，并输出与第 N 级级传信号 $Q(N)$ 电平相同的第 N 级扫描信号 $G(N)$ 。

[0031] 区别于现有技术，本实施方式提供了一种 GOA 电路，该 GOA 电路包括多个级联的 GOA 单元，每级 GOA 单元均包括传输电路、锁存电路以及输出电路；在第 N 级 GOA 单元中，传输电路用于在正向扫描时，接收第 $N-1$ 级 GOA 单元的第 $N-1$ 级级传信号 $Q(N-1)$ ，并发送给锁

存电路；或在反向扫描时接收第 $N+1$ 级 GOA 单元的第 $N+1$ 级级传信号 $Q(N+1)$ ，并发送给锁存电路；锁存电路用于在扫描期间，同时接收第一时钟信号 $XCK(N)$ 以及第二时钟信号 $CK(N)$ ，并输出与第一时钟信号 $XCK(N)$ 电平相同，与第二时钟信号 $CK(N)$ 电平相反的第 N 级级传信号 $Q(N)$ ；输出电路用于接收第 N 级级传信号 $Q(N)$ ，并输出与第 N 级级传信号 $Q(N)$ 电平相同的第 N 级扫描信号 $G(N)$ 。通过上述方式，本实施方式采用两个时钟信号同时进行驱动，防止时钟信号高低电平转换时失效，提高电路的稳定性。

[0032] 参阅图 3，本发明 GOA 电路第一实施方式中第 N 级 GOA 单元的电路图。

[0033] 其中，传输电路 301 包括第一传输门 G1 以及第二传输门 G2，第一传输门 G1 的输入端接入第 $N-1$ 级级传信号 $Q(N-1)$ ，用于在正向扫描时打开，将第 $N-1$ 级级传信号 $Q(N-1)$ 发送给锁存电路 302；第二传输门 G2 的输入端接入第 $N+1$ 级级传信号 $Q(N+1)$ ，用于在反向扫描时打开，将第 $N+1$ 级级传信号 $Q(N+1)$ 发送给锁存电路 302。

[0034] 其中，锁存电路 302 包括第一或非门 H1 和第一晶体管 T1，第一晶体管 T1 为 P 型；第一或非门 H1 的第一输入端接收传输电路 301 发送的级传信号，输出端连接第一晶体管 T1 的栅极；第一晶体管 T1 的源极连接第一时钟信号 $XCK(N)$ ，漏极连接第一或非门 H1 的第二输入端。

[0035] 其中，锁存电路 302 还包括第二晶体管 T2 以及第一反相器 F1，第二晶体管 T2 为 P 型；第二晶体管 T2 的源极连接第二时钟信号 $CK(N)$ ，栅极连接第一或非门 H1 的输出端，漏极通过第一反相器 F1 正向连接第一晶体管 T1 的漏极。

[0036] 另外，锁存电路 302 还包括第三晶体管 T3，该第三晶体管 T3 为 N 型，其栅极连接第一反相器 F1 的输出端，漏极连接第一反相器 F1 的输入端，源极接入一低电平信号，用于稳定第一反相器 F1 输出端的电压。

[0037] 其中，输出电路 303 包括依次连接的第二或非门 H2、第二反相器 F2、第三反相器 F3 以及第四反相器 F4；第二或非门 H2 的第一输入端接收锁存电路发送的第 N 级级传信号 $Q(N)$ ，第二输入端接收复位信号 Reset。

[0038] 具体地，第二反相器 F2 用于使输出信号反相，而第三反相器 F3 和第四反相器 F4 起到缓冲的作用。

[0039] 结合以上电路，并参阅图 4，本发明 GOA 电路第一实施方式中第 N 级 GOA 单元的电路时序图，对本实施方式进行详细阐述。

[0040] 具体地，以下例子仅为正向扫描中第 N 级 GOA 单元中电路各个节点的时序，其中，在正向扫描期间，每级 GOA 单元的电路中的 D2U 均为低电平，U2D 均为高电平，以使所述第一传输门 G1 一直打开从而接收上一级 GOA 单元的级传信号。

[0041] 在第一作用区间， $Q(N-1)$ 为高电平、 $XCK(N)$ 为低电平、 $CK(N)$ 为高电平，由于 $Q(N-1)$ 为高电平，因此 a 点为高电平，即，第一或非门 H1 的第一输入端输入高电平，使得第一或非门 H1 输出低电平，即，b 点为低电平，因此，第一晶体管 T1 和第二晶体管 T2 均导通。由于第一时钟信号 $XCK(N)$ 为低电平，因此 $Q(N)$ 为低电平。第二时钟信号 $CK(N)$ 为高电平，且第二晶体管 T2 导通，因此第一反相器 F1 的输入端产生高电平，进而输出低电平。第三晶体管 T3 的栅极为低电平，不导通。第二或非门 H2 的输出端为高电平信号，并在通过第二反相器 F2、第三反相器 F3 以及第四反相器 F4 后，输出低电平的第 N 级扫描信号 $G(N)$ 。

[0042] 在第二作用区间， $Q(N-1)$ 为高电平、 $XCK(N)$ 为高电平、 $CK(N)$ 为低电平，由于

$Q(N-1)$ 为高电平,因此 a 点为高电平,即,第一或非门 H1 的第一输入端输入高电平,使得第一或非门 H1 输出低电平,b 点为低电平,因此,第一晶体管 T1 和第二晶体管 T2 均导通。由于第一时钟信号 $XCK(N)$ 为高电平,因此 $Q(N)$ 为高电平。由于 $Q(N)$ 为高电平,第三晶体管 T3 导通,使第一反相器 F1 的输入端连接低电平,进而输出高电平信号,以保证 $Q(N)$ 的高电平稳定。第二或非门 H2 的输出端为低电平信号,并在通过第二反相器 F2、第三反相器 F3 以及第四反相器 F4 后,输出高电平的第 N 级扫描信号 $G(N)$ 。

[0043] 在第三作用区间, $Q(N-1)$ 为低电平、 $XCK(N)$ 为高电平、 $CK(N)$ 为低电平,由于 $Q(N-1)$ 为低电平,因此 a 点为低电平,但由于 $Q(N)$ 为高电平,即,第一或非门 H1 的第二输入端输入高电平,使得第一或非门 H1 输出低电平, b 点继续保持为低电平,因此,第一晶体管 T1 和第二晶体管 T2 继续导通。由于第一时钟信号 $XCK(N)$ 为高电平,因此 $Q(N)$ 为高电平。由于 $Q(N)$ 为高电平,第三晶体管 T3 导通,使第一反相器 F1 的输入端连接低电平,进而输出高电平信号,以保证 $Q(N)$ 的高电平稳定。第二或非门 H2 的输出端为低电平信号,并在通过第二反相器 F2、第三反相器 F3 以及第四反相器 F4 后,输出高电平的第 N 级扫描信号 $G(N)$ 。

[0044] 在第四作用区间, $Q(N-1)$ 为高电平、 $XCK(N)$ 为低电平、 $CK(N)$ 为高电平,由于 $XCK(N)$ 为低电平,使得 $Q(N)$ 瞬间变为低电平,同时由于 $Q(N)$ 为低电平,因此 a 点为低电平,即,第一或非门 H1 的第一输入端和第二输入端均输入低电平,使得第一或非门 H1 输出高电平,即, b 点为高电平,因此,第一晶体管 T1 和第二晶体管 T2 均截止。第三晶体管 T3 的栅极为低电平,不导通。第二或非门 H2 的输出端为高电平信号,并在通过第二反相器 F2、第三反相器 F3 以及第四反相器 F4 后,输出低电平的第 N 级扫描信号 $G(N)$ 。

[0045] 值得注意的是,以正向扫描为例,在扫描期间,每一级的第一时钟信号和第二时钟信号均是不同的,一般情况下,每一级的时钟信号要比相对应的前一级的时钟信号延迟半个周期,即图 4 中的两个作用区间;另外,在本实施方式中,每一级的时钟信号可以比相对应的前一级的时钟信号延迟 $1/4$ 个周期,即相邻两级对应的时钟信号的高电平互相重叠,例如,第 N 级 GOA 单元的第一时钟信号 $XCK(N)$ 比第 N-1 级 GOA 单元的第一时钟信号 $XCK(N-1)$ 延迟 $1/4$ 个周期,第 N 级 GOA 单元的第二时钟信号 $CK(N)$ 比第 N-1 级 GOA 单元的第二时钟信号 $CK(N-1)$ 延迟 $1/4$ 个周期,通过上述方式,如图 4 中,相邻两级的扫描信号也相应的延迟 $1/4$ 个周期,即高电平互相重叠。

[0046] 区别于现有技术,本实施方式公开了一 GOA 单元的具体电路,通过第一时钟信号 $XCK(N)$ 和第二时钟信号 $CK(N)$ 两个时钟信号共同驱动,提高了电路的稳定性;同时,相邻两级的相应时钟信号采用重叠的时序设置,能够降低锁存电路在电平高低转换时失效的风险;另外,采用或非门等器件实现逻辑功能,能够降低电路的功耗,减小漏电。

[0047] 参阅图 5,本发明 GOA 电路第二实施方式中第 N 级 GOA 单元的电路图,该电路包括传输电路 501、锁存电路 502 以及输出电路 503。

[0048] 其中,输出电路 503 连接传输电路 501,用于在正向扫描时接收第 N-1 级级传信号 $Q(N-1)$,并输出与第 N-1 级级传信号 $Q(N-1)$ 相同的第 N 级扫描信号 $G(N)$;或在反向扫描时接收第 N+1 级级传信号 $Q(N+1)$,并输出与第 N+1 级级传信号 $Q(N+1)$ 相同的第 N 级扫描信号 $G(N)$ 。

[0049] 具体地,本实施方式的传输电路 501、锁存电路 502 以及输出电路 503 与本发明 GOA 电路第二实施方式的电路完全相同,不同之处在于输出电路 503 不再接收锁存电路 502

发出的 $Q(N)$ 信号,而是接收传输电路 501 发出的 $Q(N-1)$ 信号,而锁存模块 502 只提供级传信号,因此提高了电路的稳定性。

[0050] 本实施方式与上述实施方式类似,这里不再赘述。

[0051] 参阅图 6,本发明 GOA 电路第三实施方式中第 N 级 GOA 单元的电路图,该电路包括传输电路 601、锁存电路 602 以及输出电路 603。

[0052] 其中,传输电路 601 和输出电路 603 与上述各个实施方式中的相应电路相同,不同之处在于,本实施方式的锁存电路包括第三或非门 H3、第三传输门 G3、第四传输门 G4、第五反相器 F5 以及第六反相器 F6。

[0053] 其中,第三或非门 H3 的第一输入端接收传输电路发送的级传信号,输出端分别连接第三传输门 G3 与第四传输门 G4 的一控制端,第三或非门 H3 的输出端还通过第五反相器 F5 分别连接第三传输门 G3 与第四传输门 G4 的另一控制端;第三传输门 G3 的输入端连接第一时钟信号 $XCK(N)$,输出端连接第三或非门 H3 的第二输入端;第四传输门 G4 的输入端连接第二时钟信号 $CK(N)$,输出端通过第六反相器 F6 正向连接第三或非门 H3 的第二输入端。

[0054] 区别于上述各实施方式,本实施方式的锁存电路采用或非门加传输门组成锁存模块,能够稳定 $Q(N)$ 点的电位。

[0055] 参阅图 7,本发明 GOA 电路第四实施方式中第 N 级 GOA 单元的电路图,该电路包括传输电路 701、锁存电路 702 以及输出电路 703。

[0056] 其中,传输电路 701 和输出电路 703 与上述各个实施方式中的相应电路相同,不同之处在于,本实施方式的锁存电路包括第四或非门 H4、第七反相器 F7、第一与非门 Y1 以及第八反相器 F8。

[0057] 第四或非门 H4 的第一输入端接收传输电路发送的级传信号,输出端通过第七反相器 F7 连接第一与非门 Y1 的第一输入端;第一与非门 Y1 的第二输入端连接第一时钟信号 $XCK(N)$,输出端通过第八反相器 F8 连接第四或非门 H4 的第二输入端;第八反相器 F8 的输出端连接输出电路,以向输出电路发送第 N 级级传信号 $Q(N)$ 。

[0058] 区别于上述各实施方式,本实施方式的锁存电路采用或非门加与非门组成锁存模块,能够降低电路的功耗。

[0059] 另外,上述各个实施方式中均可以在 $Q(N)$ 所在的节点增加如图 3、5、6、7 中的复位电路,用于在扫描前或扫描后对电路进行复位。

[0060] 参阅图 8,本发明 GOA 电路第五实施方式中第 N 级 GOA 单元的电路图,其中,相邻两级的 GOA 单元包括一组传输电路 801、锁存电路 802 以及输出电路 803。

[0061] 具体地,本实施方式的锁存电路 802 是将两个本发明 GOA 电路第五实施方式中的锁存电路 702 组合形成新的锁存电路 802;将两个本发明 GOA 电路第五实施方式中的输出电路 703 组合形成新的输出电路 803。

[0062] 具体地,传输电路 801 用于在正向扫描时,接收第 $N-2$ 级 GOA 单元的第 $N-2$ 级级传信号 $Q(N-2)$,并发送给锁存电路 802;或在反向扫描时接收 $N+3$ 级 GOA 单元的 $N+3$ 级级传信号 $Q(N+3)$,并发送给锁存电路 802。

[0063] 锁存电路 802 包括第五或非门 H5、第二与非门 Y2、第三与非门 Y3、第九反相器 F9、第十反相器 F10、第十一反相器 F11、第十二反相器 F12、第四晶体管 T4 以及第五晶体管 T5;第五或非门 H5 的第一输入端接收传输电路发送的级传信号,输出端分别通过第九反相器

F9 以及第十一反相器 F11 连接第二与非门 Y2 的第一输入端以及第三与非门 Y3 的第一输入端,第二与非门 Y2 的输出端通过第十反相器 F10 连接输出电路,第三与非门 Y3 的输出端通过第十二反相器 F12 连接输出电路,第二与非门 Y2 的第二输入端连接第三时钟信号,第三与非门 Y3 的第二输入端连接第四时钟信号;第四晶体管 T4 以及第五晶体管 T5 的漏极分别连接第十反相器 F10 和第十二反相器 F12 的输出端,源极连接第五或非门 H5 的第二输入端,栅极分别连接第四时钟信号和第三时钟信号;输出电路分别连接第十反相器 F10 和第十二反相器 F12 的输出端以分别输出第 N 级扫描信号 G(N) 和第 N+1 级扫描信号 G(N+1)。

[0064] 具体地,第三时钟信号和第四时钟信号也可以是时序重叠的两个信号,其中第四时钟信号延迟于第三时钟信号 1/4 周期。

[0065] 区别与上述实施方式,本实施方式将两级 GOA 单元合并为同一单元并共用一个传输电路,减少了电子器件的数量,减小了功耗。

[0066] 参阅图 9,本发明液晶显示器一实施方式的结构示意图,该液晶显示器包括显示面板 901 及背光 902,显示面板 901 中包括 GOA 电路,其中,该 GOA 电路是如上述各个实施方式的 GOA 电路,其具体实施方式类似,这里不再赘述。

[0067] 以上所述仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

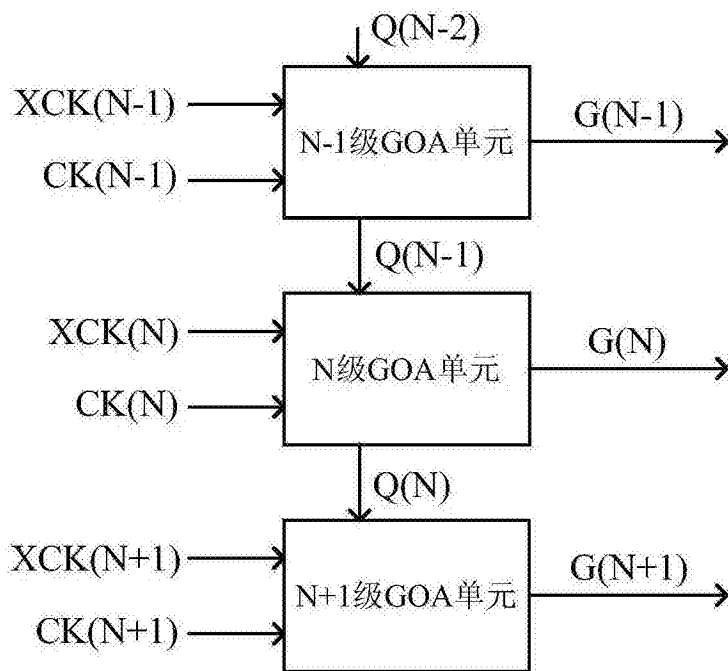


图 1

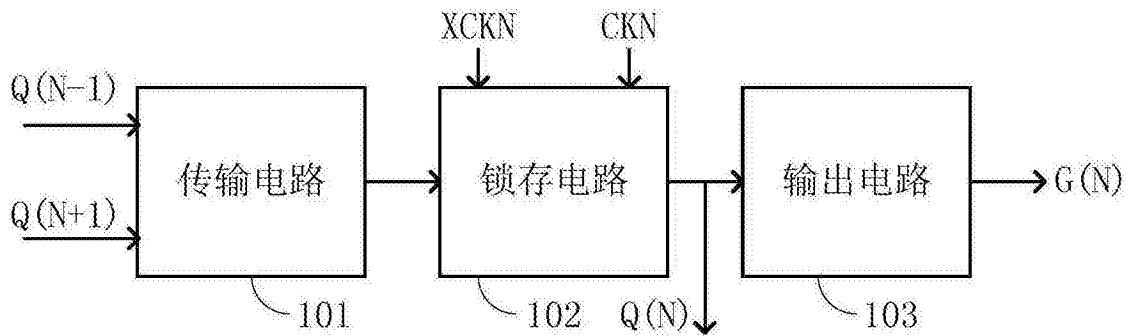


图 2

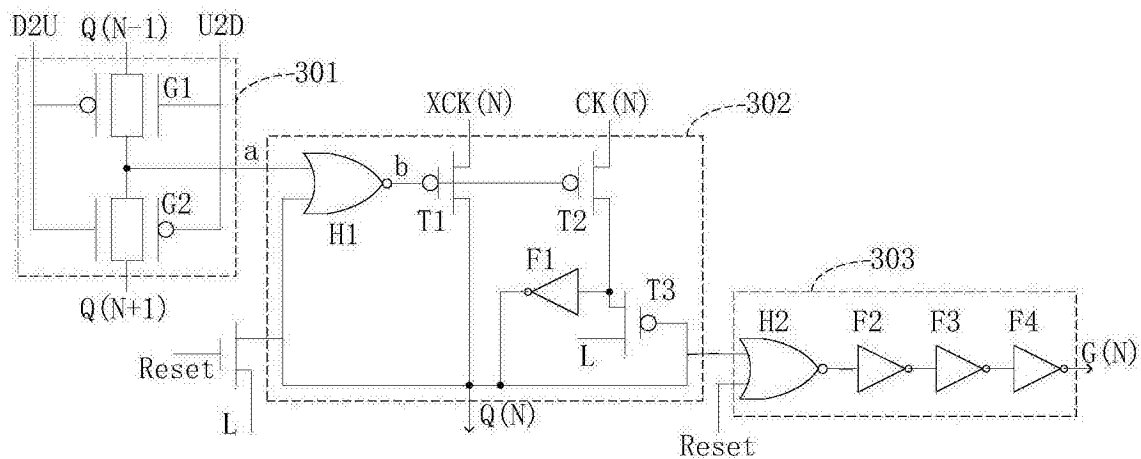


图 3

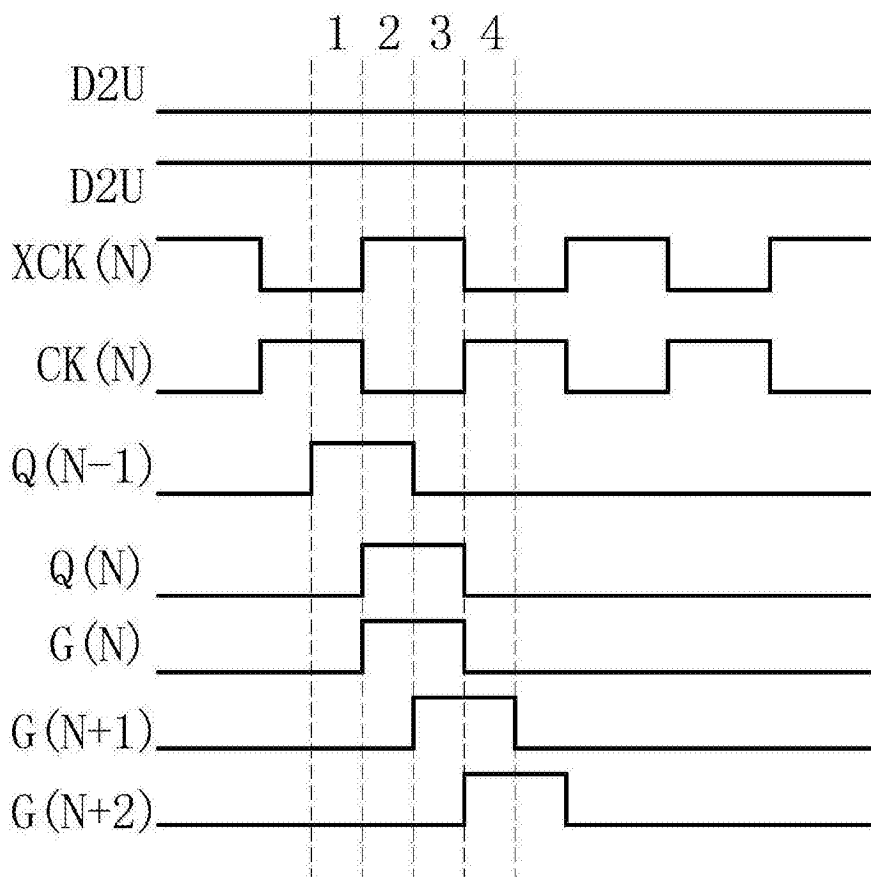


图 4

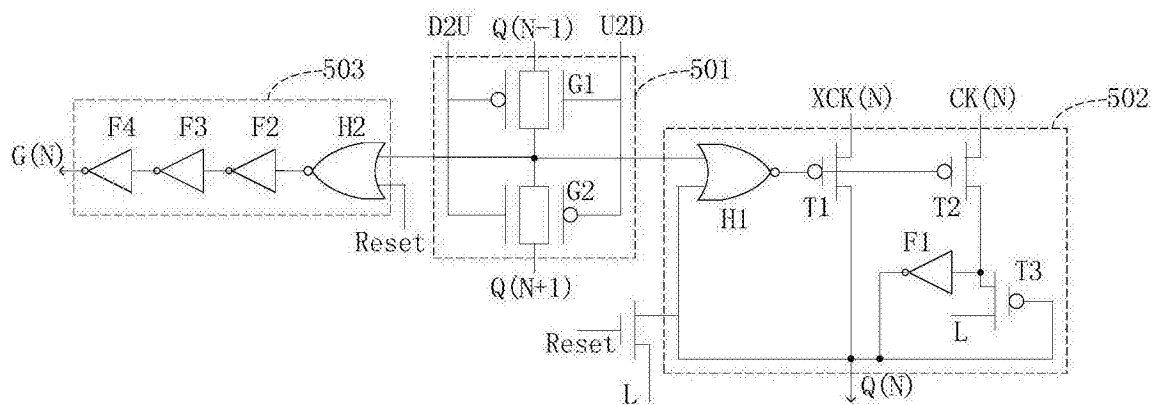


图 5

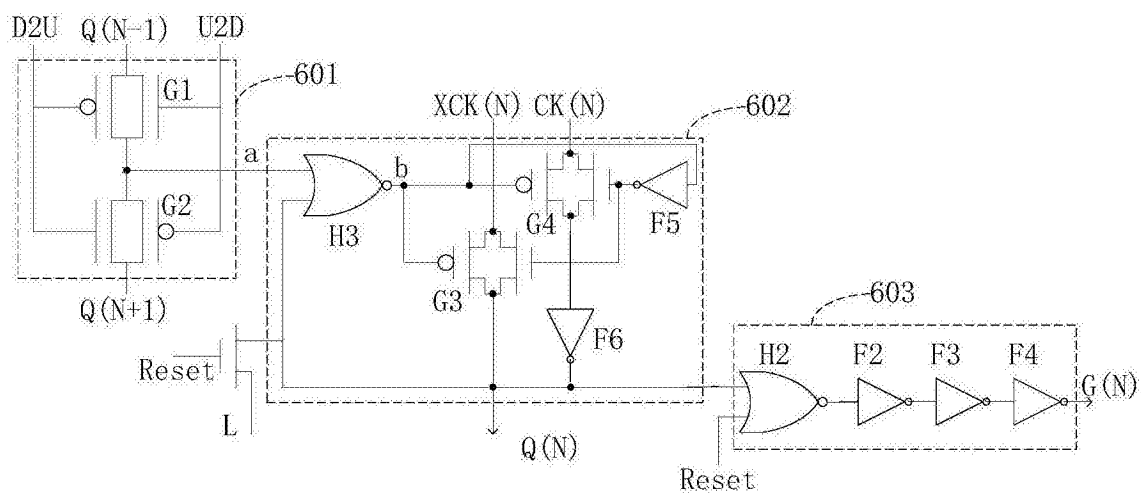


图 6

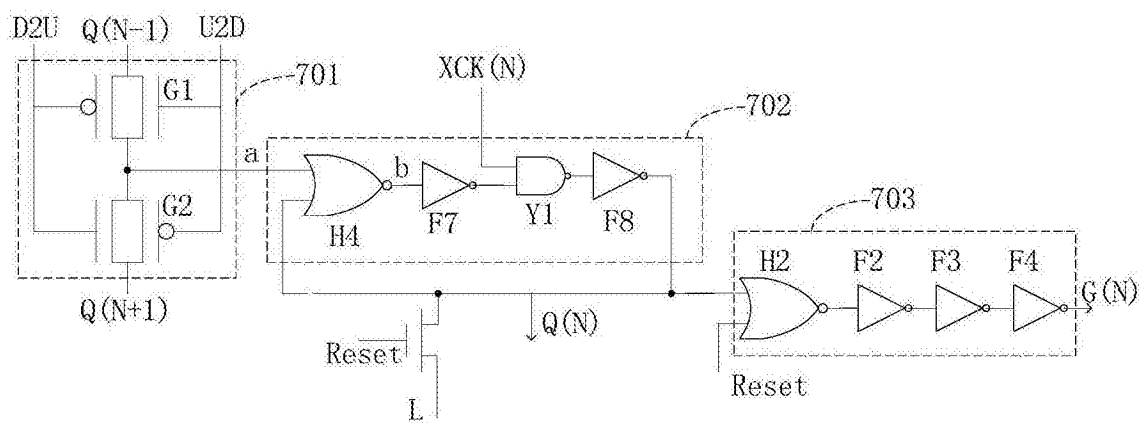


图 7

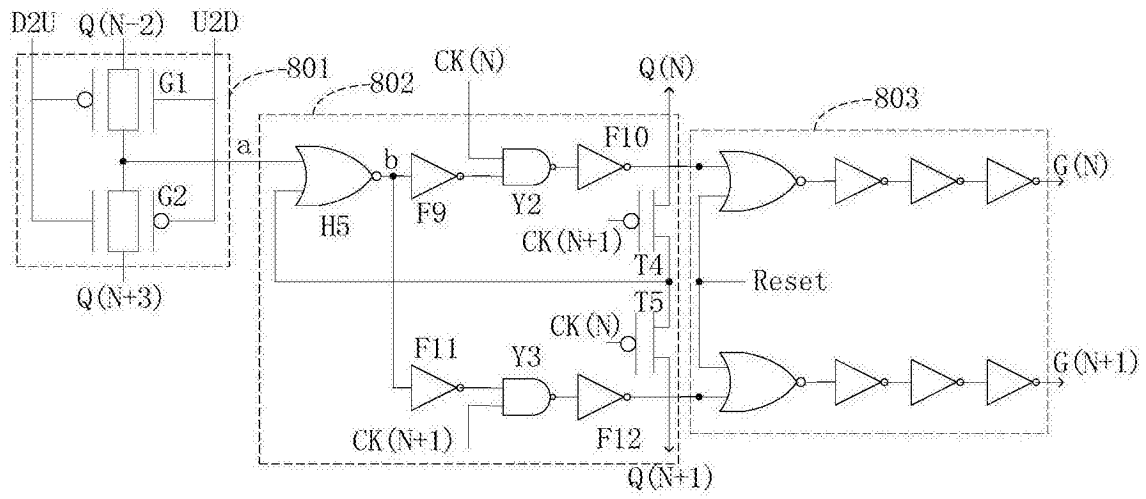


图 8

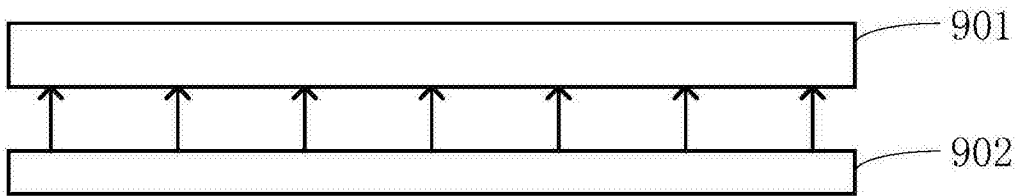


图 9

专利名称(译)	一种GOA电路及液晶显示器		
公开(公告)号	CN105118463A	公开(公告)日	2015-12-02
申请号	CN201510609541.9	申请日	2015-09-22
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	曹尚操		
发明人	曹尚操		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36		
其他公开文献	CN105118463B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种GOA电路及液晶显示器，该GOA电路包括多个级联的GOA单元，每一级的GOA单元均包括传输电路、锁存电路以及输出电路；传输电路用于在正向扫描时，接收第N-1级GOA单元的第N-1级级传信号Q(N-1)，并发送给锁存电路；或在反向扫描时接收第N+1级GOA单元的第N+1级级传信号Q(N+1)，并发送给锁存电路；锁存电路用于在扫描期间，同时接收第一时钟信号XCK(N)以及第二时钟信号CK(N)，并输出与第一时钟信号XCK(N)电平相同，与第二时钟信号CK(N)电平相反的第N级级传信号Q(N)；输出电路用于接收第N级级传信号Q(N)，并输出与第N级级传信号Q(N)电平相同的第N级扫描信号G(N)。通过上述方式，本发明能够通过两组时钟信号共同驱动GOA电路，提高电路的稳定性。

