



(12)发明专利

(10)授权公告号 CN 105118459 B

(45)授权公告日 2017.09.26

(21)申请号 201510594063.9

(22)申请日 2015.09.17

(65)同一申请的已公布的文献号

申请公布号 CN 105118459 A

(43)申请公布日 2015.12.02

(73)专利权人 深圳市华星光电技术有限公司

地址 518006 广东省深圳市光明新区塘明大道9-2号

专利权人 武汉华星光电技术有限公司

(72)发明人 曹尚操

(74)专利代理机构 深圳市威世博知识产权代理

事务所(普通合伙) 44280

代理人 何青瓦

(51)Int.Cl.

G09G 3/36(2006.01)

(56)对比文件

US 2007140037 A1,2007.06.21,

CN 103021360 A,2013.04.03,

CN 104392701 A,2015.03.04,

CN 103559867 A,2014.02.05,

CN 102024415 A,2011.04.20,

CN 103996370 A,2014.08.20,

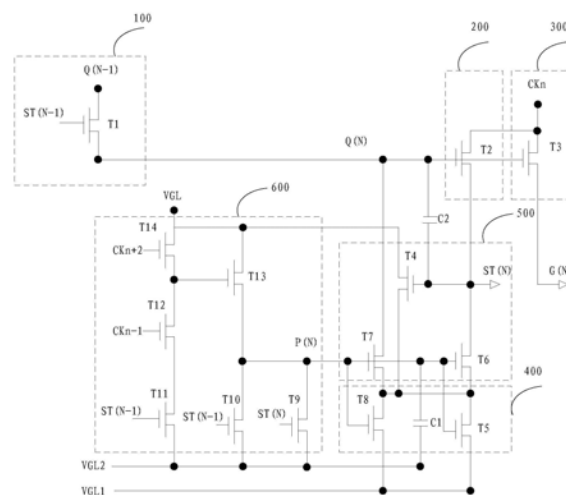
审查员 谢建军

(54)发明名称

一种GOA电路及液晶显示器

(57)摘要

本发明公开了一种GOA电路及液晶显示器。该GOA电路包括级联的多个GOA单元,第N级GOA单元包括下拉维持模块和漏电控制模块,其中,下拉维持模块包括第五晶体管和第八晶体管,第五晶体管的漏极与第N级下传信号连接,第八晶体管的漏极与第N级栅极信号连接。漏电控制模块串接于第N级栅极信号与第八晶体管之间和/或串接于第N级下传信号与第五晶体管之间,以在第N级扫描信号有效期间,阻断第N级栅极信号经第八晶体管的漏电途径和/或第N级下传信号经第五晶体管的漏电途径,从而增强GOA电路的稳定性。



1. 一种GOA电路,用于液晶显示器,其特征在于,所述GOA电路包括级联的多个GOA单元,其中,第N级GOA单元包括:上拉控制模块、下传模块、上拉模块、下拉维持模块和漏电控制模块;

所述上拉控制模块包括第一晶体管,所述第一晶体管的栅极与第N-1级下传信号连接,所述第一晶体管的漏极与第一漏电控制信号连接,所述第一晶体管的源极与第N级栅极信号连接;

所述下传模块包括第二晶体管,所述第二晶体管的栅极与第N级栅极信号连接,所述第二晶体管的漏极与第N条时钟信号线连接,所述第二晶体管的源极输出第N级下传信号;

所述上拉模块包括第三晶体管,所述第三晶体管的栅极与第N级栅极信号连接,所述第三晶体管的漏极与第N条时钟信号线连接,所述第三晶体管的源极输出第N级扫描信号;

所述下拉维持模块包括第五晶体管和第八晶体管,所述第五晶体管的栅极与第N级公共信号连接,所述第五晶体管的漏极与第N级下传信号连接,所述第五晶体管的源极与第一直流低电压连接,所述第八晶体管的栅极与第N级公共信号连接,所述第八晶体管的源极与所述第一直流低电压连接,所述第八晶体管的漏极与第N级栅极信号连接;

所述漏电控制模块串接于第N级栅极信号与所述第八晶体管之间和/或第N级下传信号与所述第五晶体管之间,用于在第N级扫描信号有效期间,通过第二漏电控制信号阻断第N级栅极信号经所述第八晶体管的漏电途径和/或第N级下传信号经所述第五晶体管的漏电途径。

2. 根据权利要求1所述的GOA电路,其特征在于,所述漏电控制模块包括第四晶体管和第七晶体管,所述第四晶体管的栅极与所述第二漏电控制信号连接,所述第四晶体管的漏极与直流信号源连接,所述第四晶体管的源极与所述第八晶体管的漏极连接,所述第七晶体管串接于第N级栅极信号和所述第八晶体管的漏极之间,所述第七晶体管的栅极与所述第N级公共信号连接,所述第七晶体管的漏极与第N级栅极信号连接,所述第七晶体管的源极与所述第八晶体管的漏极连接,以在第N级扫描信号有效期间阻断第N级栅极信号经所述第八晶体管的漏电途径。

3. 根据权利要求2所述的GOA电路,其特征在于,所述第二漏电控制信号为第N级下传信号。

4. 根据权利要求2所述的GOA电路,其特征在于,所述第二漏电控制信号为第N-1级栅极信号。

5. 根据权利要求2所述的GOA电路,其特征在于,所述漏电控制模块进一步包括第六晶体管,所述第六晶体管串接于第N级下传信号和所述第五晶体管的漏极之间,所述第六晶体管的栅极与所述第N级公共信号连接,所述第六晶体管的漏极与第N级下传信号连接,所述第六晶体管的源极与所述第五晶体管的漏极、所述第四晶体管的源极连接,以在第N级扫描信号有效期间阻断第N级下传信号经所述第五晶体管的漏电途径。

6. 根据权利要求1所述的GOA电路,其特征在于,所述第一漏电控制信号为第N-1级栅极信号,以在第N级扫描信号有效期间阻断第N级栅极信号经所述第一晶体管的漏电途径。

7. 根据权利要求1所述的GOA电路,其特征在于,第N级GOA单元进一步包括下拉模块,所述下拉模块包括第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管,所述第九晶体管的栅极与第N级下传信号连接,所述第九晶体管的源极与第二

直流低电压连接,所述第九晶体管的漏极与第N级公共信号连接,所述第十晶体管的栅极与第N-1级下传信号连接,所述第十晶体管的源极与所述第二直流低电压连接,所述第十晶体管的漏极与第N级公共信号连接,所述第十一晶体管的栅极与第N-1级下传信号连接,所述第十一晶体管的源极与所述第二直流低电压连接,所述第十一晶体管的漏极与所述第十二晶体管的源极连接,所述第十二晶体管的栅极与第N-1条时钟信号线连接,所述第十二晶体管的漏极与所述第十三晶体管的栅极、所述第十四晶体管的源极连接,所述第十三晶体管的源极与所述第N级公共信号连接,所述第十三晶体管、第十四晶体管的漏极与所述直流信号源连接,所述第十四晶体管的栅极与第N+2条时钟信号线连接。

8. 根据权利要求7所述的GOA电路,其特征在于,所述第一直流低电压的电位小于所述第二直流低电压的电位,第N-1级、第N级下传信号的低电位小于所述第二直流低电压的电位,以在N级扫描信号无效期间阻断第N级公共信号经所述第九晶体管、第十晶体管、第十一晶体管的漏电途径。

9. 根据权利要求7所述的GOA电路,其特征在于,第N级GOA单元接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号,所述第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在一个工作周期依次分时有效,其中,当第N条时钟信号线为所述第一时钟信号时,所述第N+2条时钟信号线为所述第三时钟信号,所述第N-1条时钟信号线为所述第四时钟信号。

10. 一种液晶显示器,其特征在于,包括权利要求1-9任一项所述的GOA电路。

一种GOA电路及液晶显示器

技术领域

[0001] 本发明涉及液晶领域,特别是涉及一种GOA电路及液晶显示器。

背景技术

[0002] 目前,为了实现液晶显示屏的窄边框或无边框,通常采用铟镓锌氧化物薄膜晶体管(IGZO TFT)来实现栅极驱动电路(Gate Driver On Array,GOA)。由于IGZO TFT具有较负的开启电压(V_{th})和较小的亚阈值摆幅(Subthreshold Swing,SS),在栅极与源极的电位差(V_{gs})等于0的情况下,IGZO TFT仍然无法正常关闭,存在较大的漏电,从而降低了GOA电路的稳定性、增加了GOA电路的功耗。

发明内容

[0003] 本发明主要解决的技术问题是提供一种GOA电路及液晶显示器,能够阻断GOA电路中IGZO TFT的漏电途径,从而增强GOA电路的稳定性。

[0004] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种GOA电路,用于液晶显示器,其中,该GOA电路包括级联的多个GOA单元,其中,第N级GOA单元包括:上拉控制模块、下传模块、上拉模块、下拉维持模块和漏电控制模块;上拉控制模块包括第一晶体管,第一晶体管的栅极与第N-1级下传信号连接,第一晶体管的漏极与第一漏电控制信号连接,第一晶体管的源极与第N级栅极信号连接;下传模块包括第二晶体管,第二晶体管的栅极与第N级栅极信号连接,第二晶体管的漏极与第N条时钟信号线连接,第二晶体管的源极输出第N级下传信号;上拉模块包括第三晶体管,第三晶体管的栅极与第N级栅极信号连接,第三晶体管的漏极与第N条时钟信号线连接,第三晶体管的源极输出第N级扫描信号;下拉维持模块包括第五晶体管和第八晶体管,第五晶体管的栅极与第N级公共信号连接,第五晶体管的漏极与第N级下传信号连接,第五晶体管的源极与第一直流低电压连接,第八晶体管的栅极与第N级公共信号连接,第八晶体管的源极与第一直流低电压连接,第八晶体管的漏极与第N级栅极信号连接;漏电控制模块串接于第N级栅极信号与第八晶体管之间和/或第N级下传信号与第五晶体管之间,用于在第N级扫描信号有效期间,通过第二漏电控制信号阻断第N级栅极信号经第八晶体管的漏电途径和/或第N级下传信号经第五晶体管的漏电途径。

[0005] 其中,漏电控制模块包括第四晶体管和第七晶体管,第四晶体管的栅极与第二漏电控制信号连接,第四晶体管的漏极与直流信号源连接,第四晶体管的源极与第八晶体管的漏极连接,第七晶体管串接于第N级栅极信号和第八晶体管的漏极之间,第七晶体管的栅极与第N级公共信号连接,第七晶体管的漏极与第N级栅极信号连接,第七晶体管的源极与第八晶体管的漏极连接,以在第N级扫描信号有效期间阻断第N级栅极信号经第八晶体管的漏电途径。

[0006] 其中,第二漏电控制信号为第N级下传信号。

[0007] 其中,第二漏电控制信号为第N-1级栅极信号。

[0008] 其中,漏电控制模块进一步包括第六晶体管,第六晶体管串接于第N级下传信号和

第五晶体管的漏极之间,第六晶体管的栅极与第N级公共信号连接,第六晶体管的漏极与第N级下传信号连接,第六晶体管的源极与第五晶体管的漏极、第四晶体管的源极连接,以在第N级扫描信号有效期间阻断第N级下传信号经第五晶体管的漏电途径。

[0009] 其中,第一漏电控制信号为第N-1级栅极信号,以在第N级扫描信号有效期间阻断第N级栅极信号经第一晶体管的漏电途径。

[0010] 其中,第N级GOA单元进一步包括下拉模块,下拉模块包括第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管,第九晶体管的栅极与第N级下传信号连接,第九晶体管的源极与第二直流低电压连接,第九晶体管的漏极与第N级公共信号连接,第十晶体管的栅极与第N-1级下传信号连接,第十晶体管的源极与第二直流低电压连接,第十晶体管的漏极与第N级公共信号连接,第十一晶体管的栅极与第N-1级下传信号连接,第十一晶体管的源极与第二直流低电压连接,第十一晶体管的漏极与第十二晶体管的源极连接,第十二晶体管的栅极与第N-1条时钟信号线连接,第十二晶体管的漏极与第十三晶体管的栅极、第十四晶体管的源极连接,第十三晶体管的源极与第N级公共信号连接,第十三晶体管、第十四晶体管的漏极与直流信号源连接,第十四晶体管的栅极与第N+2条时钟信号线连接。

[0011] 其中,第一直流低电压的电位小于第二直流低电压的电位,第N-1级、第N级下传信号的低电位小于第二直流低电压的电位,以在N级扫描信号无效期间阻断第N级公共信号经第九晶体管、第十晶体管、第十一晶体管的漏电途径。

[0012] 其中,第N级GOA单元接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号,第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在一个工作周期依次分时有效,其中,当第N条时钟信号线为第一时钟信号时,第N+2条时钟信号线为第三时钟信号,第N-1条时钟信号线为第四时钟信号。

[0013] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种液晶显示器,包括了上述GOA电路。

[0014] 本发明的有益效果是:本发明的GOA电路及液晶显示器通过增加串接于第N级栅极信号与第八晶体管之间和/或串接于第N级下传信号与第五晶体管之间的漏电控制模块,从而实现了在第N级扫描信号有效期间阻断第N级栅极信号经第八晶体管的漏电途径和/或第N级下传信号经第五晶体管的漏电途径,进而增强了GOA电路的稳定性。

附图说明

[0015] 图1是本发明实施例的GOA电路的结构示意图;

[0016] 图2是图1所示GOA电路中GOA单元的第一实施例的电路原理图;

[0017] 图3是图1所示GOA电路中GOA单元的第一实施例的工作时序图;

[0018] 图4是图1所示GOA电路中GOA单元的第二实施例的电路原理图;

[0019] 图5是本发明实施例的液晶显示器的结构示意图。

具体实施方式

[0020] 在说明书及权利要求书当中使用了某些词汇来指称特定的组件,所属领域中的技术人员应可理解,制造商可能会用不同的名词来称呼同样的组件。本说明书及权利要求书

并不以名称的差异来作为区分组件的方式,而是以组件在功能上的差异来作为区分的基准。下面结合附图和实施例对本发明进行详细说明。

[0021] 图1是本发明实施例的GOA电路的结构示意图。如图1所示,GOA电路10包括级联的多个GOA单元11。其中,第N级GOA单元11用于在第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4、下传信号ST(N-1)的控制下,输出扫描信号G(N)以对显示区域中对应的第N条水平扫描线进行充电。其中,第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4在GOA电路的一个工作周期依次分时有效也即依次分时为高电位。其中,GOA电路中的晶体管为IGZO TFT。

[0022] 图2是图1所示GOA电路中GOA单元的第一实施例的电路原理图。如图2所示,第N级GOA单元11包括上拉控制模块100、下传模块200、上拉模块300、下拉维持模块400、漏电控制模块500和下拉模块600。

[0023] 上拉控制模块100包括第一晶体管T1,第一晶体管T1的栅极与第N-1级下传信号ST(N-1)连接,第一晶体管T1的漏极与第一漏电控制信号连接,第一晶体管T1的源极与第N级栅极信号Q(N)连接。在本实施例中,第一漏电控制信号为第N-1级栅极信号Q(N-1)。其中,在第N级扫描信号G(N)有效期间,第N-1级栅极信号Q(N-1)为高电位使得第一晶体管T1的漏极为高电位,进而使得第一晶体管T1的 V_{gs} 小于0,从而阻断了第N级栅极信号Q(N)经第一晶体管T1的漏电途径。

[0024] 下传模块200包括第二晶体管T2,第二晶体管T2的栅极与第N级栅极信号Q(N)连接,第二晶体管T2的漏极与第N条时钟信号线CKn连接,第二晶体管T2的源极输出第N级下传信号ST(N)。

[0025] 上拉模块300包括第三晶体管T3,第三晶体管T3的栅极与第N级栅极信号Q(N)连接,第三晶体管T3的漏极与第N条时钟信号线CKn连接,第三晶体管T3的源极输出第N级扫描信号G(N)。

[0026] 下拉维持模块400包括第五晶体管T5和第八晶体管T8,第五晶体管T5的栅极与第N级公共信号P(N)连接,第五晶体管T5的漏极与第N级下传信号ST(N)连接,第五晶体管T5的源极与第一直流低电压VGL1连接,第八晶体管T8的栅极与第N级公共信号P(N)连接,第八晶体管T8的源极与第一直流低电压VGL1连接,第八晶体管T8的漏极与第N级栅极信号Q(N)连接。

[0027] 其中,在第N级扫描信号G(N)有效期间,由于第五晶体管T5的 V_{gs} 等于0,第N级下传信号ST(N)通过第五晶体管T5漏电,使得第N级下传信号ST(N)无法达到高电位,与此同时,由于第八晶体管T8的 V_{gs} 等于0,第N级栅极信号Q(N)通过第八晶体管T8漏电,使得第N级栅极信号Q(N)无法达到高电位。

[0028] 为解决上述问题,在下拉维持模块400与第N级下传信号ST(N)、第N级栅极信号Q(N)之间串接漏电控制模块500,以通过第二漏电控制信号阻断第N级栅极信号Q(N)经第八晶体管T8的漏电途径和第N级下传信号ST(N)经第五晶体管T5的漏电途径。

[0029] 具体来说,漏电控制模块500包括第四晶体管T4、第六晶体管T6和第七晶体管T7,第四晶体管T4的栅极与第二漏电控制信号连接,第四晶体管T4的漏极与直流信号源VGL连接,第四晶体管T4的源极与第八晶体管T8的漏极连接,第六晶体管T6串接于第N级下传信号ST(N)和第五晶体管T5的漏极之间,第六晶体管T6的栅极与第N级公共信号P(N)连接,第六

晶体管T6的漏极与第N级下传信号ST(N)连接,第六晶体管T6的源极与第五晶体管T5的漏极、第四晶体管T4的源极连接,第七晶体管T7串接于第N级栅极信号Q(N)和第八晶体管T8的漏极之间,第七晶体管T7的栅极与第N级公共信号P(N)连接,第七晶体管T7的漏极与第N级栅极信号Q(N)连接,第七晶体管T7的源极与第八晶体管T8的漏极连接。在本实施例中,第二漏电控制信号为第N级下传信号ST(N)。

[0030] 其中,在第N级扫描信号G(N)有效期间,第N条时钟信号线CK_N从低电位转为高电位,第N级下传信号ST(N)和第N级栅极信号Q(N)输出高电位,第六晶体管T6和第七晶体管T7的漏极在第四晶体管T4的作用下变为高电位,使得第六晶体管T6和第七晶体管T7的V_{gs}小于0,从而阻断了第N级栅极信号Q(N)经第八晶体管T8的漏电途径和第N级下传信号ST(N)经第五晶体管T5的漏电途径。

[0031] 本领域的技术人员可以理解,在本实施例中,漏电控制模块500包括第四晶体管T4、第六晶体管T6和第七晶体管T7,从而阻断了第N级栅极信号Q(N)经第八晶体管T8的漏电途径和第N级下传信号ST(N)经第五晶体管T5的漏电途径。在其它实施例中,漏电控制模块500也可以仅仅包括第四晶体管T4和第六晶体管T6以阻断第N级下传信号ST(N)经第五晶体管T5的漏电途径。另外漏电控制模块500也可以仅仅包括第四晶体管T4和第七晶体管T7以阻断第N级栅极信号Q(N)经第八晶体管T8的漏电途径。

[0032] 下拉模块600包括第九晶体管T9、第十晶体管T10、第十一晶体管T11、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14。其中,第九晶体管T9的栅极与第N级下传信号ST(N)连接,第九晶体管T9的源极与第二直流低电压VGL2连接,第九晶体管的漏极与第N级公共信号P(N)连接,第十晶体管T10的栅极与第N-1级下传信号ST(N-1)连接,第十晶体管T10的源极与第二直流低电压VGL2连接,第十晶体管的漏极与第N级公共信号P(N)连接,第十一晶体管T11的栅极与第N-1级下传信号ST(N-1)连接,第十一晶体管T11的源极与第二直流低电压VGL2连接,第十一晶体管T11的漏极与第十二晶体管T12的源极连接,第十二晶体管T12的栅极与第N-1条时钟信号线CK_{N-1}连接,第十二晶体管T12的漏极与第十三晶体管T13的栅极、第十四晶体管T14的源极连接,第十三晶体管T13的源极与第N级公共信号P(N)连接,第十三晶体管T13、第十四晶体管T14的漏极与直流信号源VGL连接,第十四晶体管T14的栅极与第N+2条时钟信号线CK_{N+2}连接。

[0033] 在本实施例中,第一直流低电压VGL1的电位小于第二直流低电压VGL2的电位,第N-1级下传信号ST(N-1)、第N级下传信号ST(N)的低电位小于第二直流低电压VGL2的电位,从而使得在N级扫描信号G(N)无效期间也即第N级公共信号P(N)处于高电位的期间,第九晶体管T9、第十晶体管T10、第十一晶体管T11的V_{gs}小于0,从而阻断了第N级公共信号P(N)经第九晶体管T9、第十晶体管T10、第十一晶体管T11的漏电途径,保证了第N级公共信号P(N)维持在高电位。

[0034] 在本实施例中,当第N条时钟信号线CK_N为第一时钟信号CK₁时,第N+2条时钟信号线CK_{N+2}为第三时钟信号CK₃,第N-1条时钟信号线CK_{N-1}为第四时钟信号CK₄。

[0035] 优选地,第N级GOA单元11进一步包括滤波电容C1和自举电容C2。滤波电容C1的一端与第N级公共信号P(N)连接,滤波电容C1的另一端与第二直流低电压VGL2连接。自举电容C2的一端与第N级栅极信号Q(N)连接,自举电容C2的另一端与第N级下传信号ST(N)连接。

[0036] 请一并参考图3,图3是图1所示GOA电路中GOA单元的工作时序图。如图3所示,第N

级GOA单元的工作过程包括：

[0037] 在T1阶段，第N-1级下传信号ST(N-1)和第N-1级栅极信号Q(N-1)为高电位，第一晶体管T1、第二晶体管T2和第三晶体管T3打开，从而使得第N级栅极信号Q(N)变为高电位。第十晶体管T10、第十一晶体管T11、第十二晶体管T12打开，第十三晶体管T13关闭，从而使得第N级公共信号P(N)变为低电位。

[0038] 在T2阶段，第N条时钟信号线CKn也即第一时钟信号CK1从低电位变为高电位时，第N级下传信号ST(N)输出高电位以驱动第N+1级GOA单元，第N级栅极信号Q(N)输出高电位以对显示区域中对应的第N条水平扫描线进行充电。此时，第一晶体管T1的漏极所输入的第N-1级栅极信号Q(N-1)为高电位，使得第一晶体管T1的V_{gs}小于0，从而阻断了第N级栅极信号Q(N)经第一晶体管T1的漏电途径。第六晶体管T6、第七晶体管T7的漏极为高电位，使得第六晶体管T6、第七晶体管T7的V_{gs}小于0，从而阻断了第N级栅极信号Q(N)经第八晶体管T8的漏电途径和第N级下传信号ST(N)经第五晶体管T5的漏电途径。

[0039] 在T3阶段，第N条时钟信号线CKn也即第一时钟信号CK1从高电位变为低电位时，此时，第N级栅极信号Q(N)保持高电位，第N级公共信号P(N)保持低电位。

[0040] 在T4阶段，第N+2条时钟信号线CKn+2也即第三时钟信号CK3为高电位，第十三晶体管T13、第十四晶体管T14打开，第N级公共信号P(N)变为高电位，第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8打开，第N级下传信号ST(N)和第N级栅极信号Q(N)变为低电位。此时，由于第一直流低电压VGL1的电位小于第二直流低电压VGL2的电位，第N-1级下传信号ST(N-1)、第N级下传信号ST(N)的低电位小于第二直流低电压VGL2的电位，使得第九晶体管T9、第十晶体管T10、第十一晶体管T11的V_{gs}小于0，从而阻断了第N级公共信号P(N)经第九晶体管T9、第十晶体管T10、第十一晶体管T11的漏电途径。

[0041] 图4是图1所示GOA电路中GOA单元的第二实施例的电路原理图。如图4所示，图4所示的第二实施例与图2所示的第一实施例的区别在于：图4所示的第四晶体管T4的栅极与第N-1级栅极信号Q(N-1)连接，而图2所示的第四晶体管T4的栅极与第N级下传信号ST(N)连接。

[0042] 其中，在图3所示的T1阶段，由于图4中第四晶体管T4的栅极所连接的第N-1级栅极信号Q(N-1)为高电位，使得第七晶体管的V_{gs}小于0，进而使得第N级栅极信号Q(N)变为高电平时阻断了第N级栅极信号Q(N)经第八晶体管T8的漏电途径。

[0043] 图5是本发明实施例的液晶显示器的结构示意图。如图5所示，液晶显示器1包括了上述GOA电路10。

[0044] 本发明的有益效果是：本发明的GOA电路及液晶显示器通过增加串接于第N级栅极信号与第八晶体管之间和/或串接于第N级下传信号与第五晶体管之间的漏电控制模块，从而实现了在第N级扫描信号有效期间阻断第N级栅极信号经第八晶体管的漏电途径和/或第N级下传信号经第五晶体管的漏电途径，进而增强了GOA电路的稳定性。

[0045] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

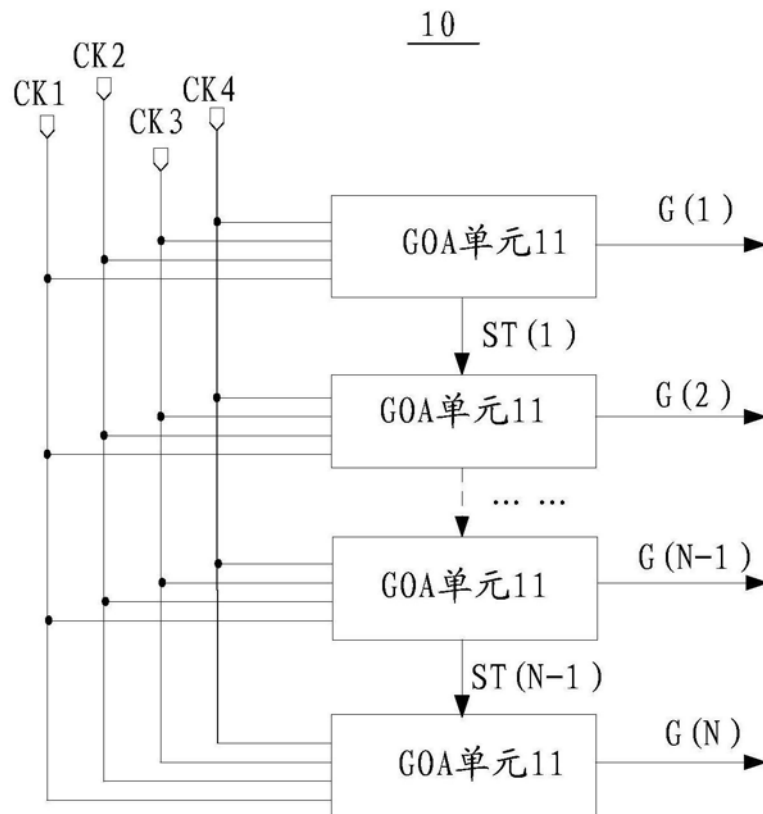


图1

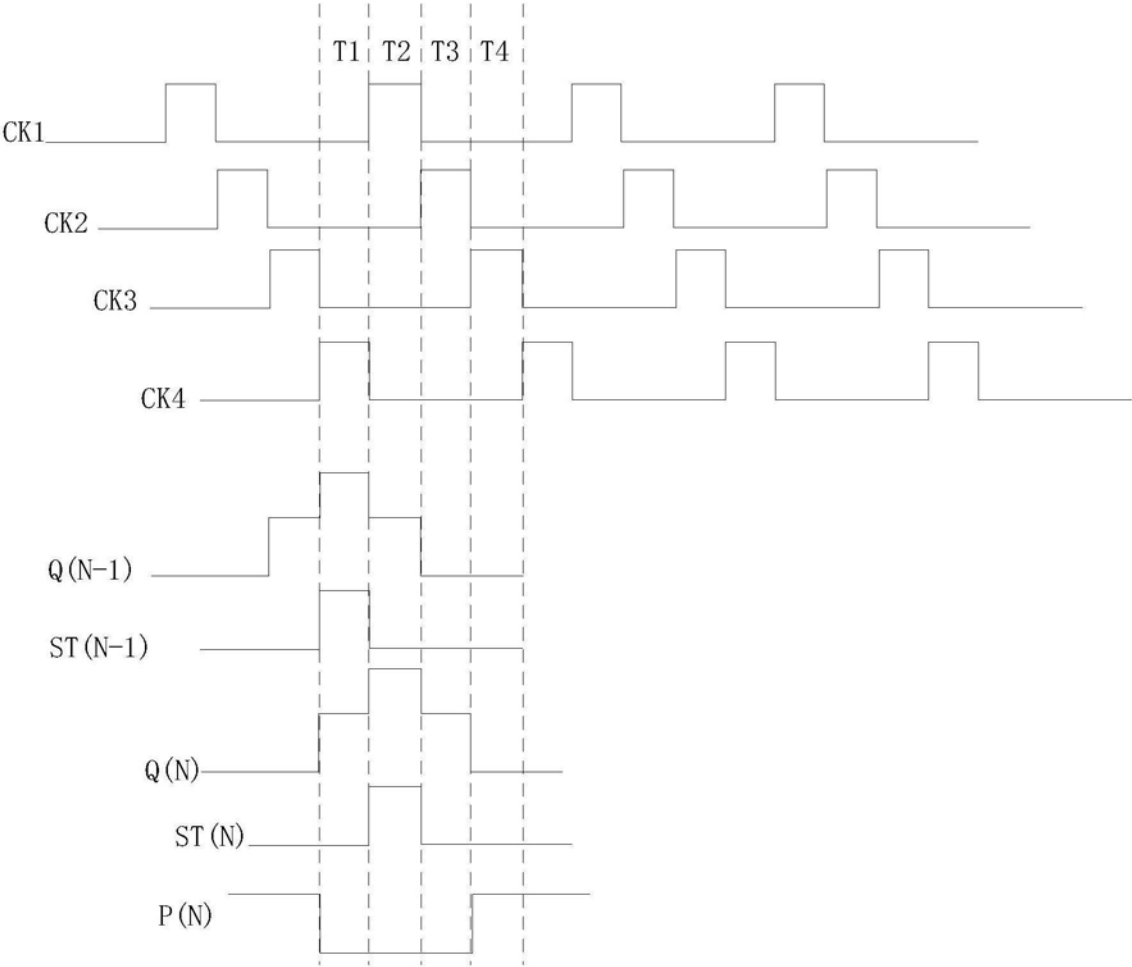


图3

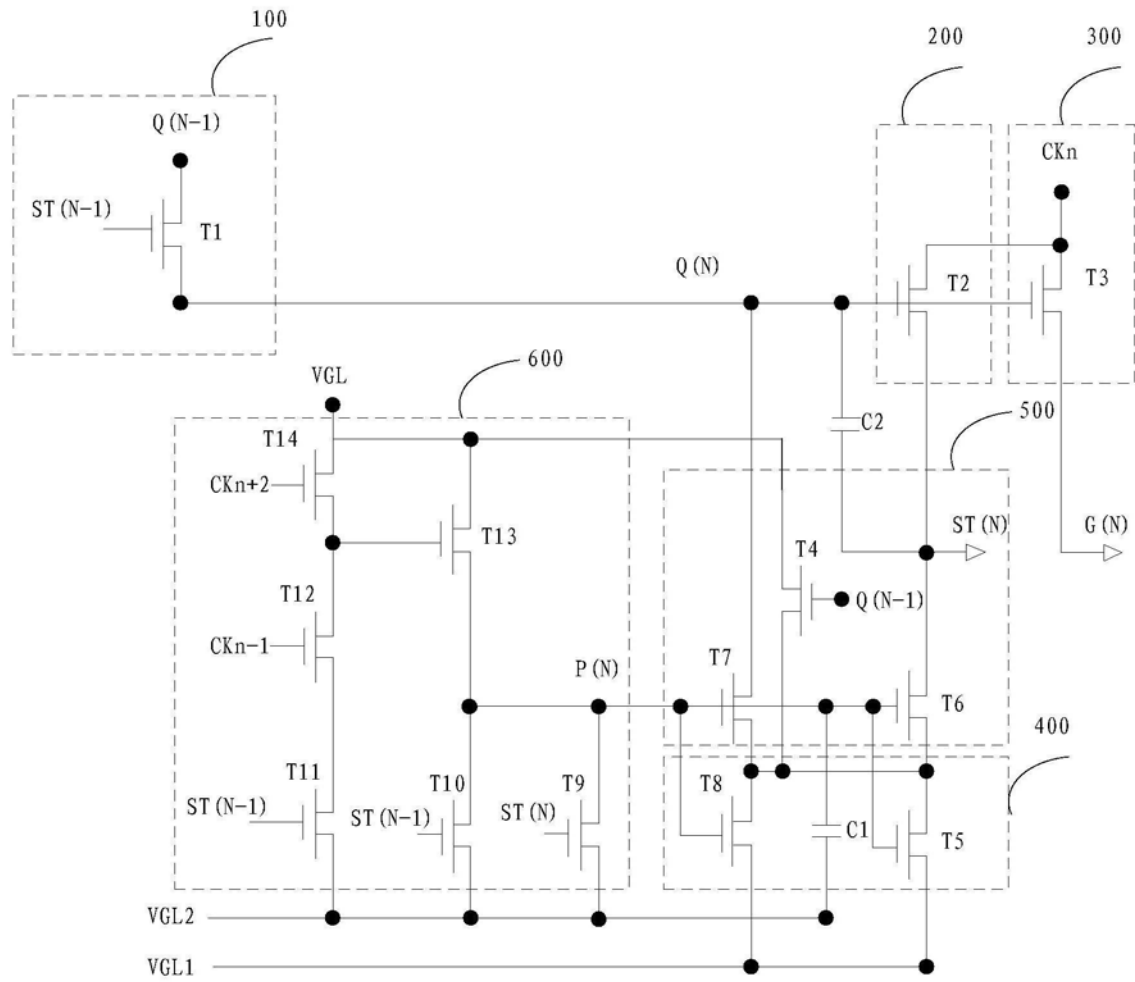


图4

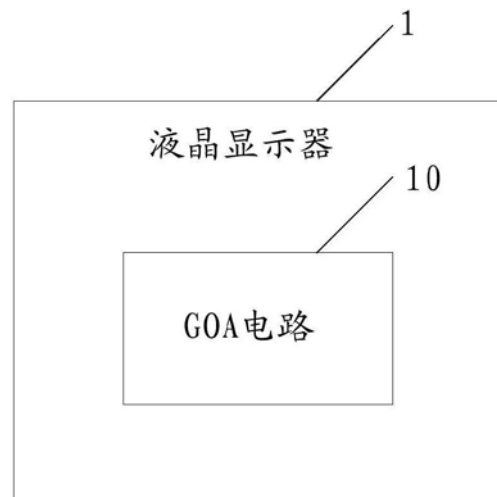


图5

专利名称(译)	一种GOA电路及液晶显示器		
公开(公告)号	CN105118459B	公开(公告)日	2017-09-26
申请号	CN201510594063.9	申请日	2015-09-17
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
[标]发明人	曹尚操		
发明人	曹尚操		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G3/3696 G09G2300/0408 G09G2300/0426 G09G2300/0809 G09G2310/0213 G09G2310/0289 G09G2310/08		
审查员(译)	谢建军		
其他公开文献	CN105118459A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种GOA电路及液晶显示器。该GOA电路包括级联的多个GOA单元，第N级GOA单元包括下拉维持模块和漏电控制模块，其中，下拉维持模块包括第五晶体管和第八晶体管，第五晶体管的漏极与第N级下传信号连接，第八晶体管的漏极与第N级栅极信号连接。漏电控制模块串接于第N级栅极信号与第八晶体管之间和/或串接于第N级下传信号与第五晶体管之间，以在第N级扫描信号有效期间，阻断第N级栅极信号经第八晶体管的漏电途径和/或第N级下传信号经第五晶体管的漏电途径，从而增强GOA电路的稳定性。

