



(12) 发明专利申请

(10) 申请公布号 CN 105118459 A

(43) 申请公布日 2015. 12. 02

(21) 申请号 201510594063. 9

(22) 申请日 2015. 09. 17

(71) 申请人 深圳市华星光电技术有限公司

地址 518006 广东省深圳市光明新区塘明大道 9-2 号

申请人 武汉华星光电技术有限公司

(72) 发明人 曹尚操

(74) 专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

G09G 3/36(2006. 01)

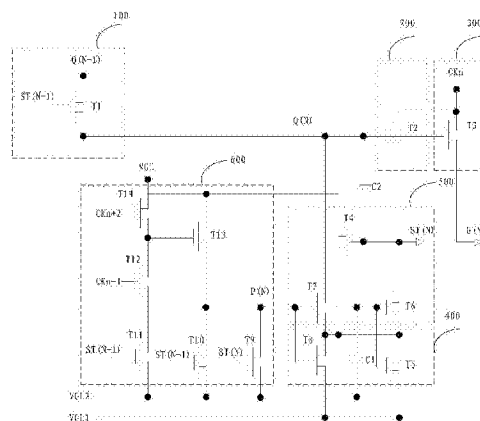
权利要求书2页 说明书5页 附图4页

(54) 发明名称

一种 GOA 电路及液晶显示器

(57) 摘要

本发明公开了一种 GOA 电路及液晶显示器。该 GOA 电路包括级联的多个 GOA 单元,第 N 级 GOA 单元包括下拉维持模块和漏电控制模块,其中,下拉维持模块包括第五晶体管和第八晶体管,第五晶体管的漏极与第 N 级下传信号连接,第八晶体管的漏极与第 N 级栅极信号连接。漏电控制模块串接于第 N 级栅极信号与第八晶体管之间和/或串接于第 N 级下传信号与第五晶体管之间,以在第 N 级扫描信号有效期间,阻断第 N 级栅极信号经第八晶体管的漏电途径和/或第 N 级下传信号经第五晶体管的漏电途径,从而增强 GOA 电路的稳定性。



1. 一种 GOA 电路,用于液晶显示器,其特征在于,所述 GOA 电路包括级联的多个 GOA 单元,其中,第 N 级 GOA 单元包括:上拉控制模块、下传模块、上拉模块、下拉维持模块和漏电控制模块;

所述上拉控制模块包括第一晶体管,所述第一晶体管的栅极与第 N-1 级下传信号连接,所述第一晶体管的漏极与第一漏电控制信号连接,所述第一晶体管的源极与第 N 级栅极信号连接;

所述下传模块包括第二晶体管,所述第二晶体管的栅极与第 N 级栅极信号连接,所述第二晶体管的漏极与第 N 条时钟信号线连接,所述第二晶体管的源极输出第 N 级下传信号;

所述上拉模块包括第三晶体管,所述第三晶体管的栅极与第 N 级栅极信号连接,所述第三晶体管的漏极与第 N 条时钟信号线连接,所述第三晶体管的源极输出第 N 级扫描信号;

所述下拉维持模块包括第五晶体管和第八晶体管,所述第五晶体管的栅极与第 N 级公共信号连接,所述第五晶体管的漏极与第 N 级下传信号连接,所述第五晶体管的源极与第一直流低电压连接,所述第八晶体管的栅极与第 N 级公共信号连接,所述第八晶体管的源极与所述第一直流低电压连接,所述第八晶体管的漏极与第 N 级栅极信号连接;

所述漏电控制模块串接于第 N 级栅极信号与所述第八晶体管之间和 / 或第 N 级下传信号与所述第五晶体管之间,用于在第 N 级扫描信号有效期间,通过第二漏电控制信号阻断第 N 级栅极信号经所述第八晶体管的漏电途径和 / 或第 N 级下传信号经所述第五晶体管的漏电途径。

2. 根据权利要求 1 所述的 GOA 电路,其特征在于,所述漏电控制模块包括第四晶体管和第七晶体管,所述第四晶体管的栅极与所述第二漏电控制信号连接,所述第四晶体管的漏极与直流信号源连接,所述第四晶体管的源极与所述第八晶体管的漏极连接,所述第七晶体管串接于第 N 级栅极信号和所述第八晶体管的漏极之间,所述第七晶体管的栅极与所述第 N 级公共信号连接,所述第七晶体管的漏极与第 N 级栅极信号连接,所述第七晶体管的源极与所述第八晶体管的漏极连接,以在第 N 级扫描信号有效期间阻断第 N 级栅极信号经所述第八晶体管的漏电途径。

3. 根据权利要求 2 所述的 GOA 电路,其特征在于,所述第二漏电控制信号为第 N 级下传信号。

4. 根据权利要求 2 所述的 GOA 电路,其特征在于,所述第二漏电控制信号为第 N-1 级栅极信号。

5. 根据权利要求 2 所述的 GOA 电路,其特征在于,所述漏电控制模块进一步包括第六晶体管,所述第六晶体管串接于第 N 级下传信号和所述第五晶体管的漏极之间,所述第六晶体管的栅极与所述第 N 级公共信号连接,所述第六晶体管的漏极与第 N 级下传信号连接,所述第六晶体管的源极与所述第五晶体管的漏极、所述第四晶体管的源极连接,以在第 N 级扫描信号有效期间阻断第 N 级下传信号经所述第五晶体管的漏电途径。

6. 根据权利要求 1 所述的 GOA 电路,其特征在于,所述第一漏电控制信号为第 N-1 级栅极信号,以在第 N 级扫描信号有效期间阻断第 N 级栅极信号经所述第一晶体管的漏电途径。

7. 根据权利要求 1 所述的 GOA 电路,其特征在于,第 N 级 GOA 单元进一步包括下拉模

块,所述下拉模块包括第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管,所述第九晶体管的栅极与第 N 级下传信号连接,所述第九晶体管的源极与第二直流低电压连接,所述第九晶体管的漏极与第 N 级公共信号连接,所述第十晶体管的栅极与第 N-1 级下传信号连接,所述第十晶体管的源极与所述第二直流低电压连接,所述第十晶体管的漏极与第 N 级公共信号连接,所述第十一晶体管的栅极与第 N-1 级下传信号连接,所述第十一晶体管的源极与所述第二直流低电压连接,所述第十一晶体管的漏极与所述第十二晶体管的源极连接,所述第十二晶体管的栅极与第 N-1 条时钟信号线连接,所述第十二晶体管的漏极与所述第十三晶体管的栅极、所述第十四晶体管的源极连接,所述第十三晶体管的源极与第 N 级公共信号连接,所述第十三晶体管、第十四晶体管的漏极与所述直流信号源连接,所述第十四晶体管的栅极与第 N+2 条时钟信号线连接。

8. 根据权利要求 7 所述的 GOA 电路,其特征在于,所述第一直流低电压的电位小于所述第二直流低电压的电位,第 N-1 级、第 N 级下传信号的低电位小于所述第二直流低电压的电位,以在 N 级扫描信号无效期间阻断第 N 级公共信号经所述第九晶体管、第十晶体管、第十一晶体管的漏电途径。

9. 根据权利要求 7 所述的 GOA 电路,其特征在于,第 N 级 GOA 单元接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号,所述第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在一个工作周期依次分时有有效,其中,当第 N 条时钟信号线为所述第一时钟信号时,所述第 N+2 条时钟信号线为所述第三时钟信号,所述第 N-1 条时钟信号线为所述第四时钟信号。

10. 一种液晶显示器,其特征在于,包括权利要求 1-9 任一项所述的 GOA 电路。

一种 GOA 电路及液晶显示器

技术领域

[0001] 本发明涉及液晶领域,特别是涉及一种 GOA 电路及液晶显示器。

背景技术

[0002] 目前,为了实现液晶显示屏的窄边框或无边框,通常采用铟镓锌氧化物薄膜晶体管 (IGZO TFT) 来实现栅极驱动电路 (Gate Driver On Array, GOA)。由于 IGZO TFT 具有较负的开启电压 (V_{th}) 和较小的亚阈值摆幅 (Subthreshold Swing, SS),在栅极与源极的电位差 (V_{gs}) 等于 0 的情况下,IGZO TFT 仍然无法正常关闭,存在较大的漏电,从而降低了 GOA 电路的稳定性、增加了 GOA 电路的功耗。

发明内容

[0003] 本发明主要解决的技术问题是提供一种 GOA 电路及液晶显示器,能够阻断 GOA 电路中 IGZO TFT 的漏电途径,从而增强 GOA 电路的稳定性。

[0004] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种 GOA 电路,用于液晶显示器,其中,该 GOA 电路包括级联的多个 GOA 单元,其中,第 N 级 GOA 单元包括:上拉控制模块、下传模块、上拉模块、下拉维持模块和漏电控制模块;上拉控制模块包括第一晶体管,第一晶体管的栅极与第 N-1 级下传信号连接,第一晶体管的漏极与第一漏电控制信号连接,第一晶体管的源极与第 N 级栅极信号连接;下传模块包括第二晶体管,第二晶体管的栅极与第 N 级栅极信号连接,第二晶体管的漏极与第 N 条时钟信号线连接,第二晶体管的源极输出第 N 级下传信号;上拉模块包括第三晶体管,第三晶体管的栅极与第 N 级栅极信号连接,第三晶体管的漏极与第 N 条时钟信号线连接,第三晶体管的源极输出第 N 级扫描信号;下拉维持模块包括第五晶体管和第八晶体管,第五晶体管的栅极与第 N 级公共信号连接,第五晶体管的漏极与第 N 级下传信号连接,第五晶体管的源极与第一直流低电压连接,第八晶体管的栅极与第 N 级公共信号连接,第八晶体管的源极与第一直流低电压连接,第八晶体管的漏极与第 N 级栅极信号连接;漏电控制模块串接于第 N 级栅极信号与第八晶体管之间和/或第 N 级下传信号与第五晶体管之间,用于在第 N 级扫描信号有效期间,通过第二漏电控制信号阻断第 N 级栅极信号经第八晶体管的漏电途径和/或第 N 级下传信号经第五晶体管的漏电途径。

[0005] 其中,漏电控制模块包括第四晶体管和第七晶体管,第四晶体管的栅极与第二漏电控制信号连接,第四晶体管的漏极与直流信号源连接,第四晶体管的源极与第八晶体管的漏极连接,第七晶体管串接于第 N 级栅极信号和第八晶体管的漏极之间,第七晶体管的栅极与第 N 级公共信号连接,第七晶体管的漏极与第 N 级栅极信号连接,第七晶体管的源极与第八晶体管的漏极连接,以在第 N 级扫描信号有效期间阻断第 N 级栅极信号经第八晶体管的漏电途径。

[0006] 其中,第二漏电控制信号为第 N 级下传信号。

[0007] 其中,第二漏电控制信号为第 N-1 级栅极信号。

[0008] 其中,漏电控制模块进一步包括第六晶体管,第六晶体管串接于第 N 级下传信号和第五晶体管的漏极之间,第六晶体管的栅极与第 N 级公共信号连接,第六晶体管的漏极与第 N 级下传信号连接,第六晶体管的源极与第五晶体管的漏极、第四晶体管的源极连接,以在第 N 级扫描信号有效期间阻断第 N 级下传信号经第五晶体管的漏电途径。

[0009] 其中,第一漏电控制信号为第 N-1 级栅极信号,以在第 N 级扫描信号有效期间阻断第 N 级栅极信号经第一晶体管的漏电途径。

[0010] 其中,第 N 级 GOA 单元进一步包括下拉模块,下拉模块包括第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管,第九晶体管的栅极与第 N 级下传信号连接,第九晶体管的源极与第二直流低电压连接,第九晶体管的漏极与第 N 级公共信号连接,第十晶体管的栅极与第 N-1 级下传信号连接,第十晶体管的源极与第二直流低电压连接,第十晶体管的漏极与第 N 级公共信号连接,第十一晶体管的栅极与第 N-1 级下传信号连接,第十一晶体管的源极与第二直流低电压连接,第十一晶体管的漏极与第十二晶体管的源极连接,第十二晶体管的栅极与第 N-1 条时钟信号线连接,第十二晶体管的漏极与第十三晶体管的栅极、第十四晶体管的源极连接,第十三晶体管的源极与第 N 级公共信号连接,第十三晶体管、第十四晶体管的漏极与直流信号源连接,第十四晶体管的栅极与第 N+2 条时钟信号线连接。

[0011] 其中,第一直流低电压的电位小于第二直流低电压的电位,第 N-1 级、第 N 级下传信号的低电位小于第二直流低电压的电位,以在 N 级扫描信号无效期间阻断第 N 级公共信号经第九晶体管、第十晶体管、第十一晶体管的漏电途径。

[0012] 其中,第 N 级 GOA 单元接收第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号,第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号在一个工作周期依次分时有效,其中,当第 N 条时钟信号线为第一时钟信号时,第 N+2 条时钟信号线为第三时钟信号,第 N-1 条时钟信号线为第四时钟信号。

[0013] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种液晶显示器,包括了上述 GOA 电路。

[0014] 本发明的有益效果是:本发明的 GOA 电路及液晶显示器通过增加串接于第 N 级栅极信号与第八晶体管之间和 / 或串接于第 N 级下传信号与第五晶体管之间的漏电控制模块,从而实现了在第 N 级扫描信号有效期间阻断第 N 级栅极信号经第八晶体管的漏电途径和 / 或第 N 级下传信号经第五晶体管的漏电途径,进而增强了 GOA 电路的稳定性。

附图说明

[0015] 图 1 是本发明实施例的 GOA 电路的结构示意图;

[0016] 图 2 是图 1 所示 GOA 电路中 GOA 单元的第一实施例的电路原理图;

[0017] 图 3 是图 1 所示 GOA 电路中 GOA 单元的第一实施例的工作时序图;

[0018] 图 4 是图 1 所示 GOA 电路中 GOA 单元的第二实施例的电路原理图;

[0019] 图 5 是本发明实施例的液晶显示器的结构示意图。

具体实施方式

[0020] 在说明书及权利要求书当中使用了某些词汇来指称特定的组件,所属领域中的技

术人员应可理解,制造商可能会用不同的名词来称呼同样的组件。本说明书及权利要求书并不以名称的差异来作为区分组件的方式,而是以组件在功能上的差异来作为区分的基准。下面结合附图和实施例对本发明进行详细说明。

[0021] 图 1 是本发明实施例的 GOA 电路的结构示意图。如图 1 所示,GOA 电路 10 包括级联的多个 GOA 单元 11。其中,第 N 级 GOA 单元 11 用于在第一时钟信号 CK1、第二时钟信号 CK2、第三时钟信号 CK3、第四时钟信号 CK4、下传信号 ST(N-1) 的控制下,输出扫描信号 G(N) 以对显示区域中对应的第 N 条水平扫描线进行充电。其中,第一时钟信号 CK1、第二时钟信号 CK2、第三时钟信号 CK3、第四时钟信号 CK4 在 GOA 电路的一个工作周期依次分时有效也即依次分时为高电位。其中,GOA 电路中的晶体管为 IGZO TFT。

[0022] 图 2 是图 1 所示 GOA 电路中 GOA 单元的第一实施例的电路原理图。如图 2 所示,第 N 级 GOA 单元 11 包括上拉控制模块 100、下传模块 200、上拉模块 300、下拉维持模块 400、漏电控制模块 500 和下拉模块 600。

[0023] 上拉控制模块 100 包括第一晶体管 T1,第一晶体管 T1 的栅极与第 N-1 级下传信号 ST(N-1) 连接,第一晶体管 T1 的漏极与第一漏电控制信号连接,第一晶体管 T1 的源极与第 N 级栅极信号 Q(N) 连接。在本实施例中,第一漏电控制信号为第 N-1 级栅极信号 Q(N-1)。其中,在第 N 级扫描信号 G(N) 有效期间,第 N-1 级栅极信号 Q(N-1) 为高电位使得第一晶体管 T1 的漏极为高电位,进而使得第一晶体管 T1 的 V_{gs} 小于 0,从而阻断了第 N 级栅极信号 Q(N) 经第一晶体管 T1 的漏电途径。

[0024] 下传模块 200 包括第二晶体管 T2,第二晶体管 T2 的栅极与第 N 级栅极信号 Q(N) 连接,第二晶体管 T2 的漏极与第 N 条时钟信号线 CKn 连接,第二晶体管 T2 的源极输出第 N 级下传信号 ST(N)。

[0025] 上拉模块 300 包括第三晶体管 T3,第三晶体管 T3 的栅极与第 N 级栅极信号 Q(N) 连接,第三晶体管 T3 的漏极与第 N 条时钟信号线 CKn 连接,第三晶体管 T3 的源极输出第 N 级扫描信号 G(N)。

[0026] 下拉维持模块 400 包括第五晶体管 T5 和第八晶体管 T8,第五晶体管 T5 的栅极与第 N 级公共信号 P(N) 连接,第五晶体管 T5 的漏极与第 N 级下传信号 ST(N) 连接,第五晶体管 T5 的源极与第一直流低电压 VGL1 连接,第八晶体管 T8 的栅极与第 N 级公共信号 P(N) 连接,第八晶体管 T8 的源极与第一直流低电压 VGL1 连接,第八晶体管 T8 的漏极与第 N 级栅极信号 Q(N) 连接。

[0027] 其中,在第 N 级扫描信号 G(N) 有效期间,由于第五晶体管 T5 的 V_{gs} 等于 0,第 N 级下传信号 ST(N) 通过第五晶体管 T5 漏电,使得第 N 级下传信号 ST(N) 无法达到高电位,与此同时,由于第八晶体管 T8 的 V_{gs} 等于 0,第 N 级栅极信号 Q(N) 通过第八晶体管 T8 漏电,使得第 N 级栅极信号 Q(N) 无法达到高电位。

[0028] 为解决上述问题,在下拉维持模块 400 与第 N 级下传信号 ST(N)、第 N 级栅极信号 Q(N) 之间串接漏电控制模块 500,以通过第二漏电控制信号阻断第 N 级栅极信号 Q(N) 经第八晶体管 T8 的漏电途径和第 N 级下传信号 ST(N) 经第五晶体管 T5 的漏电途径。

[0029] 具体来说,漏电控制模块 500 包括第四晶体管 T4、第六晶体管 T6 和第七晶体管 T7,第四晶体管 T4 的栅极与第二漏电控制信号连接,第四晶体管 T4 的漏极与直流信号源 VGL 连接,第四晶体管 T4 的源极与第八晶体管 T8 的漏极连接,第六晶体管 T6 串接于第 N 级

下传信号 ST(N) 和第五晶体管 T5 的漏极之间,第六晶体管 T6 的栅极与第 N 级公共信号 P(N) 连接,第六晶体管 T6 的漏极与第 N 级下传信号 ST(N) 连接,第六晶体管 T6 的源极与第五晶体管 T5 的漏极、第四晶体管 T4 的源极连接,第七晶体管 T7 串接于第 N 级栅极信号 Q(N) 和第八晶体管 T8 的漏极之间,第七晶体管 T7 的栅极与第 N 级公共信号 P(N) 连接,第七晶体管 T7 的漏极与第 N 级栅极信号 Q(N) 连接,第七晶体管 T7 的源极与第八晶体管 T8 的漏极连接。在本实施例中,第二漏电控制信号为第 N 级下传信号 ST(N)。

[0030] 其中,在第 N 级扫描信号 G(N) 有效期间,第 N 条时钟信号线 CKn 从低电位转为高电位,第 N 级下传信号 ST(N) 和第 N 级栅极信号 Q(N) 输出高电位,第六晶体管 T6 和第七晶体管 T7 的漏极在第四晶体管 T4 的作用下变为高电位,使得第六晶体管 T6 和第七晶体管 T7 的 V_{gs} 小于 0,从而阻断了第 N 级栅极信号 Q(N) 经第八晶体管 T8 的漏电途径和第 N 级下传信号 ST(N) 经第五晶体管 T5 的漏电途径。

[0031] 本领域的技术人员可以理解,在本实施例中,漏电控制模块 500 包括第四晶体管 T4、第六晶体管 T6 和第七晶体管 T7,从而阻断了第 N 级栅极信号 Q(N) 经第八晶体管 T8 的漏电途径和第 N 级下传信号 ST(N) 经第五晶体管 T5 的漏电途径。在其它实施例中,漏电控制模块 500 也可以仅仅包括第四晶体管 T4 和第六晶体管 T6 以阻断第 N 级下传信号 ST(N) 经第五晶体管 T5 的漏电途径。另外漏电控制模块 500 也可以仅仅包括第四晶体管 T4 和第七晶体管 T7 以阻断第 N 级栅极信号 Q(N) 经第八晶体管 T8 的漏电途径。

[0032] 下拉模块 600 包括第九晶体管 T9、第十晶体管 T10、第十一晶体管 T11、第十二晶体管 T12、第十三晶体管 T13、第十四晶体管 T14。其中,第九晶体管 T9 的栅极与第 N 级下传信号 ST(N) 连接,第九晶体管 T9 的源极与第二直流低电压 VGL2 连接,第九晶体管的漏极与第 N 级公共信号 P(N) 连接,第十晶体管 T10 的栅极与第 N-1 级下传信号 ST(N-1) 连接,第十晶体管 T10 的源极与第二直流低电压 VGL2 连接,第十晶体管的漏极与第 N 级公共信号 P(N) 连接,第十一晶体管 T11 的栅极与第 N-1 级下传信号 ST(N-1) 连接,第十一晶体管 T11 的源极与第二直流低电压 VGL2 连接,第十一晶体管 T11 的漏极与第十二晶体管 T12 的源极连接,第十二晶体管 T12 的栅极与第 N-1 条时钟信号线 CKn-1 连接,第十二晶体管 T12 的漏极与第十三晶体管 T13 的栅极、第十四晶体管 T14 的源极连接,第十三晶体管 T13 的源极与第 N 级公共信号 P(N) 连接,第十三晶体管 T13、第十四晶体管 T14 的漏极与直流信号源 VGL 连接,第十四晶体管 T14 的栅极与第 N+2 条时钟信号线 CKn+2 连接。

[0033] 在本实施例中,第一直流低电压 VGL1 的电位小于第二直流低电压 VGL2 的电位,第 N-1 级下传信号 ST(N-1)、第 N 级下传信号 ST(N) 的低电位小于第二直流低电压 VGL2 的电位,从而使得在 N 级扫描信号 G(N) 无效期间也即第 N 级公共信号 P(N) 处于高电位的期间,第九晶体管 T9、第十晶体管 T10、第十一晶体管 T11 的 V_{gs} 小于 0,从而阻断了第 N 级公共信号 P(N) 经第九晶体管 T9、第十晶体管 T10、第十一晶体管 T11 的漏电途径,保证了第 N 级公共信号 P(N) 维持在高电位。

[0034] 在本实施例中,当第 N 条时钟信号线 CKn 为第一时钟信号 CK1 时,第 N+2 条时钟信号线 CKn+2 为第三时钟信号 CK3,第 N-1 条时钟信号线 CKn-1 为第四时钟信号 CK4。

[0035] 优选地,第 N 级 GOA 单元 11 进一步包括滤波电容 C1 和自举电容 C2。滤波电容 C1 的一端与第 N 级公共信号 P(N) 连接,滤波电容 C1 的另一端与第二直流低电压 VGL2 连接。自举电容 C2 的一端与第 N 级栅极信号 Q(N) 连接,自举电容 C2 的另一端与第 N 级下传信号

ST(N) 连接。

[0036] 请一并参考图 3, 图 3 是图 1 所示 GOA 电路中 GOA 单元的工作时序图。如图 3 所示, 第 N 级 GOA 单元的工作过程包括:

[0037] 在 T1 阶段, 第 N-1 级下传信号 ST(N-1) 和第 N-1 级栅极信号 Q(N-1) 为高电位, 第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 打开, 从而使得第 N 级栅极信号 Q(N) 变为高电位。第十晶体管 T10、第十一晶体管 T11、第十二晶体管 T12 打开, 第十三晶体管 T13 关闭, 从而使得第 N 级公共信号 P(N) 变为低电位。

[0038] 在 T2 阶段, 第 N 条时钟信号线 CKn 也即第一时钟信号 CK1 从低电位变为高电位时, 第 N 级下传信号 ST(N) 输出高电位以驱动第 N+1 级 GOA 单元, 第 N 级栅极信号 Q(N) 输出高电位以对显示区域中对应的第 N 条水平扫描线进行充电。此时, 第一晶体管 T1 的漏极所输入的第 N-1 级栅极信号 Q(N-1) 为高电位, 使得第一晶体管 T1 的 V_{gs} 小于 0, 从而阻断了第 N 级栅极信号 Q(N) 经第一晶体管 T1 的漏电途径。第六晶体管 T6、第七晶体管 T7 的漏极为高电位, 使得第六晶体管 T6、第七晶体管 T7 的 V_{gs} 小于 0, 从而阻断了第 N 级栅极信号 Q(N) 经第八晶体管 T8 的漏电途径和第 N 级下传信号 ST(N) 经第五晶体管 T5 的漏电途径。

[0039] 在 T3 阶段, 第 N 条时钟信号线 CKn 也即第一时钟信号 CK1 从高电位变为低电位时, 此时, 第 N 级栅极信号 Q(N) 保持高电位, 第 N 级公共信号 P(N) 保持低电位。

[0040] 在 T4 阶段, 第 N+2 条时钟信号线 CKn+2 也即第三时钟信号 CK3 为高电位, 第十三晶体管 T13、第十四晶体管 T14 打开, 第 N 级公共信号 P(N) 变为高电位, 第五晶体管 T5、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 打开, 第 N 级下传信号 ST(N) 和第 N 级栅极信号 Q(N) 变为低电位。此时, 由于第一直流低电压 VGL1 的电位小于第二直流低电压 VGL2 的电位, 第 N-1 级下传信号 ST(N-1)、第 N 级下传信号 ST(N) 的低电位小于第二直流低电压 VGL2 的电位, 使得第九晶体管 T9、第十晶体管 T10、第十一晶体管 T11 的 V_{gs} 小于 0, 从而阻断了第 N 级公共信号 P(N) 经第九晶体管 T9、第十晶体管 T10、第十一晶体管 T11 的漏电途径。

[0041] 图 4 是图 1 所示 GOA 电路中 GOA 单元的第二实施例的电路原理图。如图 4 所示, 图 4 所示的第二实施例与图 2 所示的第一实施例的区别在于: 图 4 所示的第四晶体管 T4 的栅极与第 N-1 级栅极信号 Q(N-1) 连接, 而图 2 所示的第四晶体管 T4 的栅极与第 N 级下传信号 ST(N) 连接。

[0042] 其中, 在图 3 所示的 T1 阶段, 由于图 4 中第四晶体管 T4 的栅极所连接的第 N-1 级栅极信号 Q(N-1) 为高电位, 使得第七晶体管的 V_{gs} 小于 0, 进而使得第 N 级栅极信号 Q(N) 变为高电平时阻断了第 N 级栅极信号 Q(N) 经第八晶体管 T8 的漏电途径。

[0043] 图 5 是本发明实施例的液晶显示器的结构示意图。如图 5 所示, 液晶显示器 1 包括了上述 GOA 电路 10。

[0044] 本发明的有益效果是: 本发明的 GOA 电路及液晶显示器通过增加串接于第 N 级栅极信号与第八晶体管之间和 / 或串接于第 N 级下传信号与第五晶体管之间的漏电控制模块, 从而实现了在第 N 级扫描信号有效期间阻断第 N 级栅极信号经第八晶体管的漏电途径和 / 或第 N 级下传信号经第五晶体管的漏电途径, 进而增强了 GOA 电路的稳定性。

[0045] 以上所述仅为本发明的实施方式, 并非因此限制本发明的专利范围, 凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换, 或直接或间接运用在其他相关的技术领域, 均同理包括在本发明的专利保护范围内。

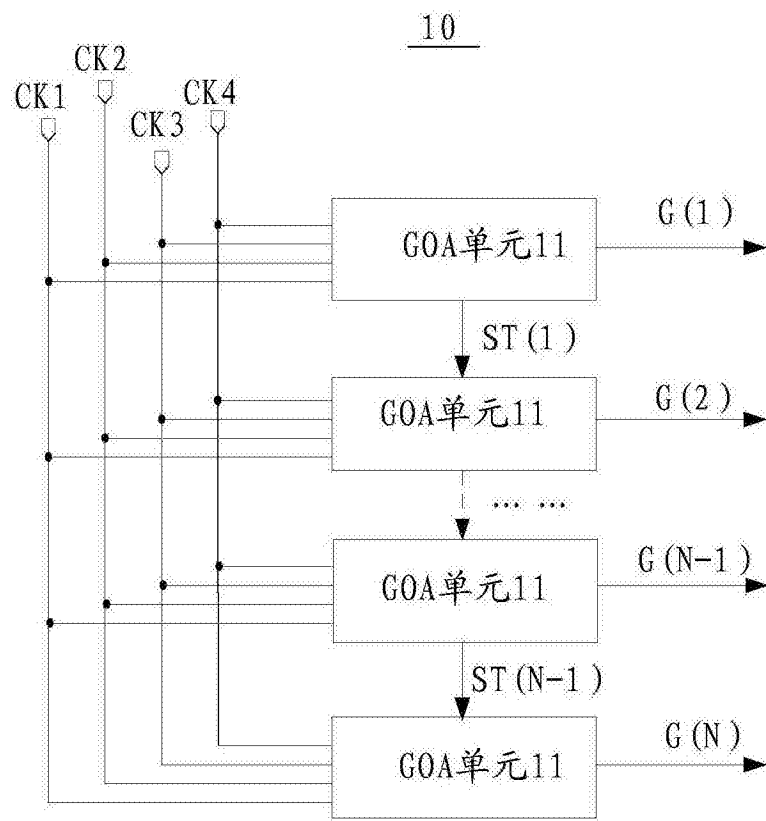


图 1

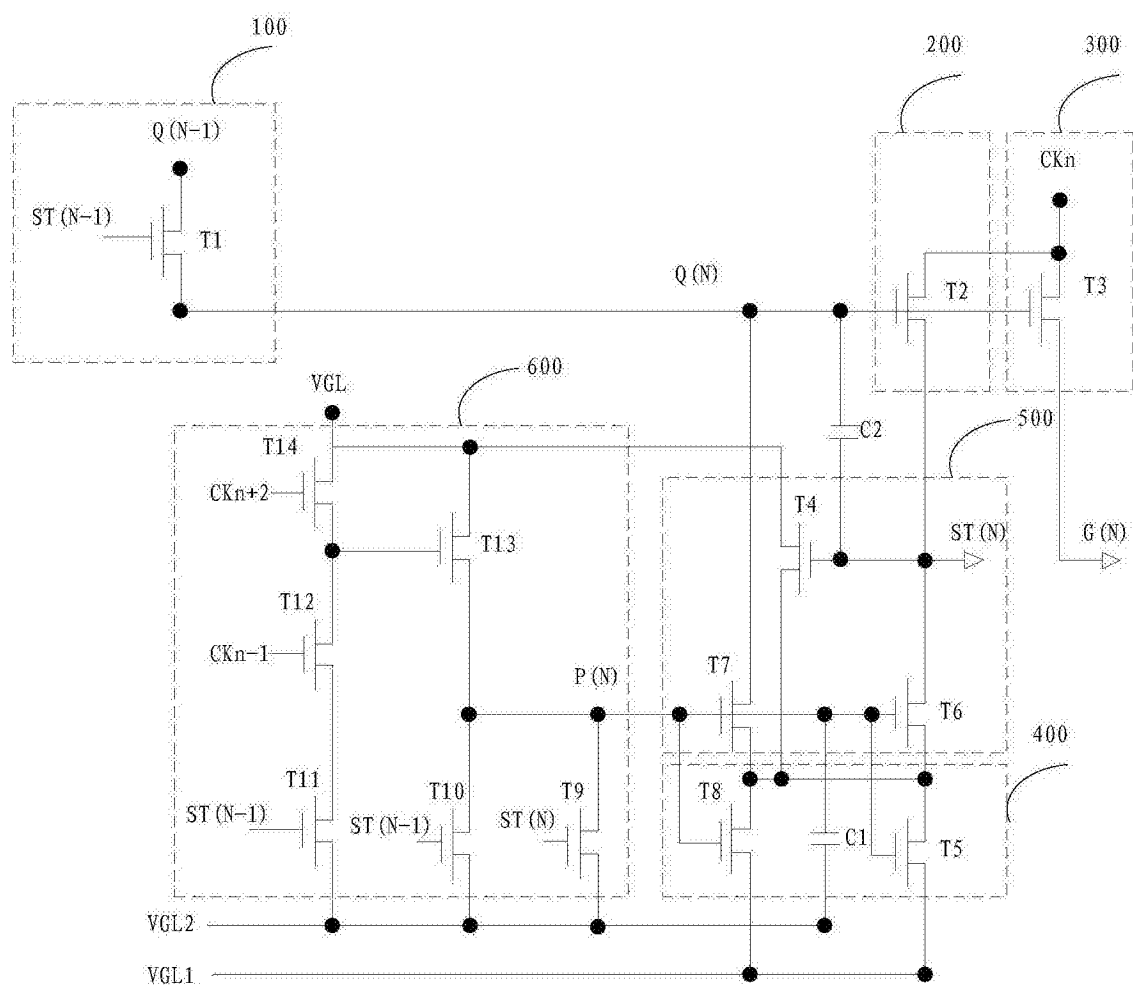


图 2

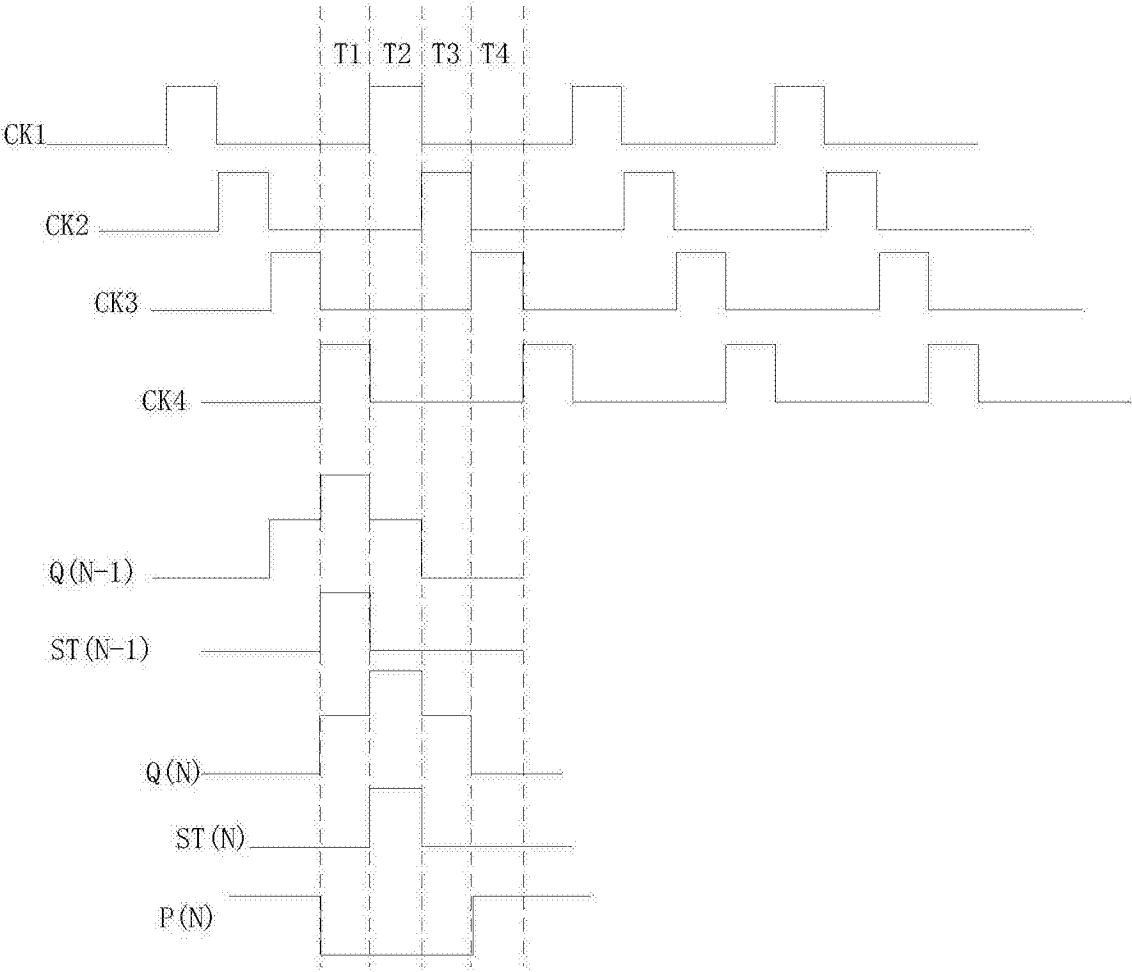


图 3

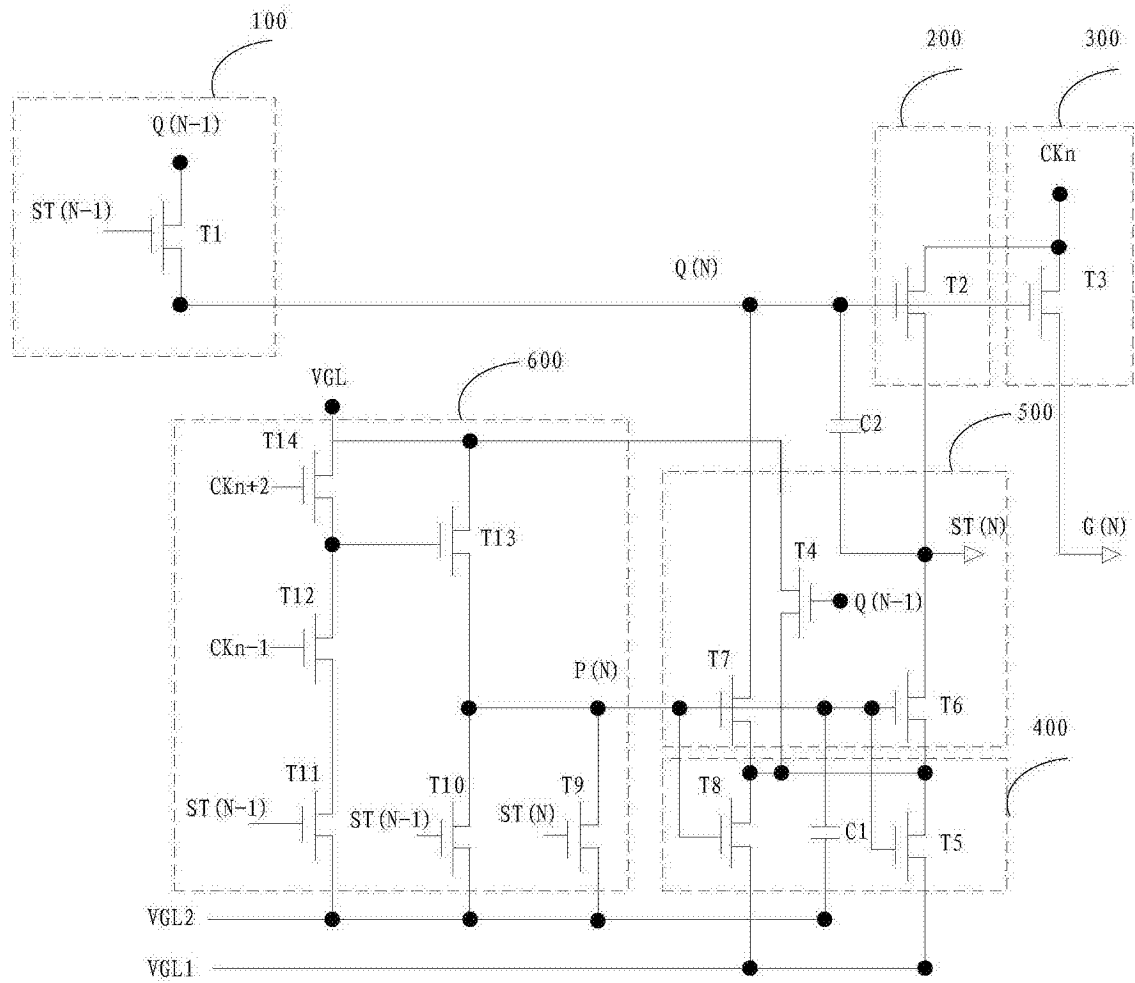


图 4

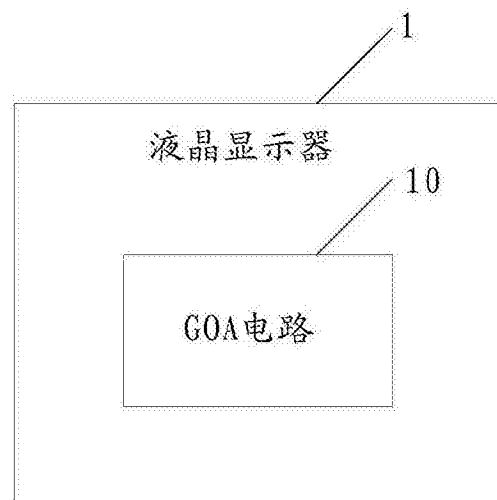


图 5

专利名称(译)	一种GOA电路及液晶显示器		
公开(公告)号	CN105118459A	公开(公告)日	2015-12-02
申请号	CN201510594063.9	申请日	2015-09-17
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
[标]发明人	曹尚操		
发明人	曹尚操		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G3/3696 G09G2300/0408 G09G2300/0426 G09G2300/0809 G09G2310/0213 G09G2310/0289 G09G2310/08		
其他公开文献	CN105118459B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种GOA电路及液晶显示器。该GOA电路包括级联的多个GOA单元，第N级GOA单元包括下拉维持模块和漏电控制模块，其中，下拉维持模块包括第五晶体管和第八晶体管，第五晶体管的漏极与第N级下传信号连接，第八晶体管的漏极与第N级栅极信号连接。漏电控制模块串接于第N级栅极信号与第八晶体管之间和/或串接于第N级下传信号与第五晶体管之间，以在第N级扫描信号有效期间，阻断第N级栅极信号经第八晶体管的漏电途径和/或第N级下传信号经第五晶体管的漏电途径，从而增强GOA电路的稳定性。

