



(12)发明专利

(10)授权公告号 CN 104680991 B

(45)授权公告日 2017.03.08

(21)申请号 201510094520.8

(22)申请日 2015.03.03

(65)同一申请的已公布的文献号

申请公布号 CN 104680991 A

(43)申请公布日 2015.06.03

(73)专利权人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道9—2号

(72)发明人 曾德康 徐枫程 吴晶晶

(74)专利代理机构 深圳市德力知识产权代理事务所 44265

代理人 林才桂

(51)Int.Cl.

G09G 3/36(2006.01)

(56)对比文件

CN 203982752 U, 2014.12.03,

CN 102402957 A, 2012.04.04,

US 2007171179 A1, 2007.07.26,

CN 104183210 A, 2014.12.03,

审查员 刘锋

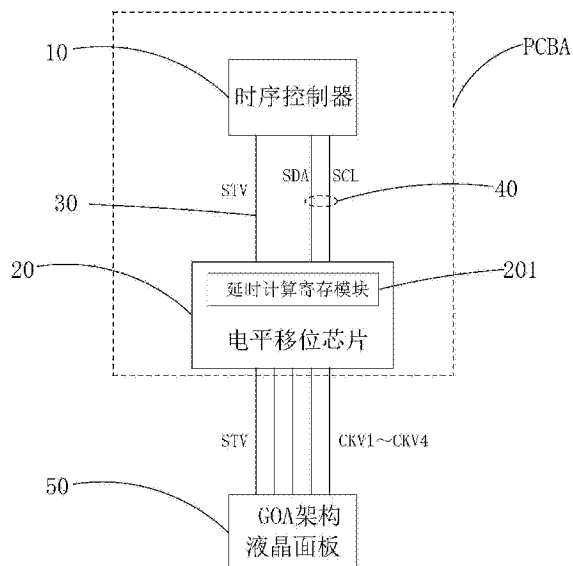
权利要求书2页 说明书6页 附图4页

(54)发明名称

用于GOA架构液晶面板的电平移位电路及电平移位方法

(57)摘要

本发明提供一种用于GOA架构液晶面板的电平移位电路及电平移位方法,在电平移位芯片(20)内设置延时计算寄存模块(201),使用起始信号线(30)和IIC总线(40)对时序控制器(10)与电平移位芯片(20)进行通信连接。时序控制器(10)通过IIC总线(40)对延时计算寄存模块(201)进行初始化赋值($T1 \sim Tn$),通过起始信号线(30)发送起始信号(STV)给电平移位芯片(20);电平移位芯片(20)根据延时计算寄存模块内的初始化赋值($T1 \sim Tn$)以起始信号(STV)为基准,触发输出至少四组时序信号($CKV1 \sim CKVn$),并提升所述起始信号(STV)及至少四组时序信号($CKV1 \sim CKVn$))的电压,以对GOA架构液晶面板(50)进行驱动,实现在较低的成本下产生较多数量的时序信号。



1. 一种用于GOA架构液晶面板的电平移位电路,其特征在于,包括:一时序控制器(10)及一电平移位芯片(20);

所述电平移位芯片内(20)包括一延时计算寄存模块(201);

所述时序控制器(10)通过起始信号线(30)和IIC总线(40)与电平移位芯片(20)通信连接;

所述时序控制器(10)通过IIC总线(40)向电平移位芯片(20)内的延时计算寄存模块(201)发送串行数据信号(SDA)及串行时序信号(SCL)对电平移位芯片(20)内的延时计算寄存模块(201)进行初始化赋值($T1 \sim Tn$),通过起始信号线(30)发送起始信号(STV)给电平移位芯片(20);

所述电平移位芯片(20)根据延时计算寄存模块(201)内的初始化赋值($T1 \sim Tn$)以起始信号(STV)为基准,触发输出至少四组时序信号($CKV1 \sim CKVn$),并提升所述起始信号(STV)及至少四组时序信号($CKV1 \sim CKVn$)的电压;升压后的起始信号(STV)及每一组时序信号分别通过一信号线传输至GOA架构液晶面板(50);

所述电平移位芯片(20)根据延时计算寄存模块(201)内的初始化赋值($T1 \sim Tn$)以起始信号(STV)的上升沿为基准,触发输出至少四组时序信号($CKV1 \sim CKVn$);

每一组时序信号($CKVn$)的产生时间与起始信号(STV)的上升沿间隔相应的一初始化赋值(Tn)。

2. 如权利要求1所述的用于GOA架构液晶面板的电平移位电路,其特征在于,所述IIC总线(40)包括用于传输串行数据信号(SDA)的串行数据信号线和用于传输串行时序信号(SCL)的串行时序信号线。

3. 如权利要求1所述的用于GOA架构液晶面板的电平移位电路,其特征在于,所述至少四组时序信号($CKV1 \sim CKVn$)的高电平持续时间($Tn+1$)及周期时间($Tn+2$)亦由所述延时计算寄存模块(201)内的初始化赋值确定。

4. 一种用于GOA架构液晶面板的电平移位方法,其特征在于,包括如下步骤:

步骤1、提供一GOA架构液晶面板(50)、及用于GOA架构液晶面板的电平移位电路;

所述用于GOA架构液晶面板的电平移位电路包括一时序控制器(10)及一电平移位芯片(20);所述电平移位芯片内(20)包括一延时计算寄存模块(201);所述时序控制器(10)通过起始信号线(30)和IIC总线(40)与电平移位芯片(20)通信连接;

步骤2、所述时序控制器(10)通过IIC总线(40)对电平移位芯片(20)内的延时计算寄存模块(201)进行初始化赋值($T1 \sim Tn$);

步骤3、所述时序控制器(10)产生起始信号(STV)并通过起始信号线(30)发送给电平移位芯片(20);

步骤4、所述电平移位芯片(20)根据延时计算寄存模块(201)内的初始化赋值($T1 \sim Tn$)以起始信号(STV)为基准,触发输出至少四组时序信号($CKV1 \sim CKVn$),并提升所述起始信号(STV)及至少四组时序信号($CKV1 \sim CKVn$)的电压;再将升压后的起始信号(STV)及每一组时序信号分别通过一信号线传输至GOA架构液晶面板(50);

所述IIC总线(40)包括用于传输串行数据信号(SDA)的串行数据信号线和用于传输串行时序信号(SCL)的串行时序信号线;

所述步骤2中根据串行数据信号(SDA)与串行时序信号(SCL)确定延时计算寄存模块

(201)内的初始化赋值($T1 \sim Tn$)；

所述步骤4中电平移位芯片(20)根据延时计算寄存模块(201)内的初始化赋值($T1 \sim Tn$)以起始信号(STV)的上升沿为基准,触发输出至少四组时序信号($CKV1 \sim CKVn$)；每一组时序信号($CKVn$)的产生时间与起始信号(STV)的上升沿间隔相应的一初始化赋值(Tn)。

5.如权利要求4所述的用于GOA架构液晶面板的电平移位方法,其特征在于,所述步骤4中,所述至少四组时序信号($CKV1 \sim CKVn$)的高电平持续时间($Tn+1$)及周期时间($Tn+2$)亦由所述延时计算寄存模块(201)内的初始化赋值确定。

用于GOA架构液晶面板的电平移位电路及电平移位方法

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种用于GOA架构液晶面板的电平移位电路及电平移位方法。

背景技术

[0002] 主动矩阵式液晶显示器(Active Matrix Liquid Crystal Display, AMLCD)是目前最常用的显示装置,所述主动矩阵式液晶显示器包含多个像素,每个像素具有一个薄膜晶体管(Thin Film Transistor, TFT),该TFT的栅极连接至沿水平方向延伸的扫描线,该TFT的漏极连接至沿垂直方向延伸的数据线,而该TFT的源极连接至对应的像素电极。如果在水平方向的某一扫描线上施加足够的正电压,则会使得连接在该条扫描线上的所有TFT打开,将数据线上所加载的数据信号电压写入像素电极中,从而显示画面。

[0003] 一种类型的主动矩阵式液晶显示器的液晶面板采用GOA架构(Gate Drive On Array)即将栅极驱动器(Gate Drive IC)整合在薄膜晶体管阵列(Array)基板上,以实现逐行扫描对液晶面板进行驱动。相比于传统的通过COMS制程将集成电路(Integrated Circuit, IC)制作在液晶面板外的驱动方法,采用GOA架构可减少制程工序,降低成本,提高液晶显示面板的集成度,并有利于实现面板的超窄边框及薄型化。但采用GOA架构会使电路驱动板(PCBA)上多出一颗电平移位芯片(Level Shift IC),将低压驱动信号升压至高压驱动信号,以驱动液晶面板中的TFT进行工作。

[0004] 请参阅图1,现有的用于GOA架构液晶面板的电平移位电路通常包括:一设于电路驱动板PCBA上的时序控制器(TCON)100,该时序控制器100用于产生和发送起始信号STV、时序信号CKV_n等控制信号,n为正整数;一设于电路驱动板PCBA上的电平移位芯片200,该电平移位芯片200用于提升由时序控制器100发送来的起始信号STV、及时序信号CKV_n的电压。经电平移位芯片200升压后的起始信号STV、及时序信号CKV_n对GOA架构液晶面板300中的TFT进行驱动。

[0005] 为使GOA架构液晶面板300中的TFT能够正常的逐行打开,一般需要4组时序信号CKV1~CKV4或更多的时序信号才能实现逐行扫描的显示效果。每个控制信号都需要时序控制器100和电平移位芯片200有对应的引脚来进行通信连接,如图1所示,当有4组时序信号CKV1~CKV4及一起始信号STV时,总共需要5对一一对应的引脚用于时序控制器100和电平移位芯片200的通信连接,以提升每一控制信号的电压。

[0006] 如图2所示,时序控制器100产生起始信号STV,并以起始信号STV的上升沿为基准,分别间隔T1、T2、T3、及T4时间后依次产生时序信号CKV1、CKV2、CKV3、及CKV4。所述起始信号STV及时序信号CKV1~CKV4的低电平为0V,高电平为3.3V,高电平持续时间为T5,周期时间为T6。如图3所示,经电平移位芯片200升压后的起始信号STV、及时序信号CKV1~CKV4的低电平为-6V,高电平为30V,时序信号CKV1~CKV4相对起始信号STV上升沿的时间间隔、高电平持续时间、及周期时间均不变。

[0007] 上述用于GOA架构液晶面板的电平移位电路虽然能够实现提升每一控制信号的电

压来驱动液晶面板中的TFT,但是当所需的时序信号CKVn越来越多的时候,时序控制器100和电平移位芯片200之间所需要的引脚就会越来越多,而每多出一个引脚都有可能会使时序控制器100和电平移位芯片200的封装型号(package)变大,而封装型号的大小直接影响到IC的成本高低。同时,走线越多亦会使PCBA尺寸变大,进一步导致成本增高。因此,当所需的时序信号CKVn数量较多时,会造成IC的成本和PCBA的成本明显增高,不利于采用GOA架构降低成本的初衷。

发明内容

[0008] 本发明的目的在于提供一种用于GOA架构液晶面板的电平移位电路,能够减少时序控制器与电平移位芯片之间的引脚数,减小时序控制器与电平移位芯片的封装型号,减少时序控制器与电平移位芯片之间的走线总数,减小电路驱动板尺寸,降低生产成本。

[0009] 本发明的目的还在于提供一种用于GOA架构液晶面板的电平移位方法,能够产生较多数量的时序信号,同时能够减少时序控制器与电平移位芯片之间的引脚数,减小时序控制器与电平移位芯片的封装型号,减少时序控制器与电平移位芯片之间的走线总数,减小电路驱动板尺寸,降低生产成本。

[0010] 为实现上述目的,本发明首先提供一种用于GOA架构液晶面板的电平移位电路,包括:一时序控制器及一电平移位芯片;

[0011] 所述电平移位芯片内包括一延时计算寄存模块;

[0012] 所述时序控制器通过起始信号线和IIC总线与电平移位芯片通信连接;

[0013] 所述时序控制器通过IIC总线对电平移位芯片内的延时计算寄存模块进行初始化赋值,通过起始信号线发送起始信号给电平移位芯片;

[0014] 所述电平移位芯片根据延时计算寄存模块内的初始化赋值以起始信号为基准,触发输出至少四组时序信号,并提升所述起始信号及至少四组时序信号的电压;升压后的起始信号及每一组时序信号分别通过一信号线传输至GOA架构液晶面板。

[0015] 所述IIC总线包括用于传输串行数据信号的串行数据信号线和用于传输串行时序信号的串行时序信号线。

[0016] 所述电平移位芯片根据延时计算寄存模块内的初始化赋值以起始信号的上升沿为基准,触发输出至少四组时序信号。

[0017] 每一组时序信号的产生时间与起始信号的上升沿间隔相应的一初始化赋值。

[0018] 所述至少四组时序信号的高电平持续时间及周期时间亦由所述延时计算寄存模块内的初始化赋值确定。

[0019] 本发明还提供一种用于GOA架构液晶面板的电平移位方法,包括如下步骤:

[0020] 步骤1、提供一GOA架构液晶面板、及用于GOA架构液晶面板的电平移位电路;

[0021] 所述用于GOA架构液晶面板的电平移位电路包括一时序控制器及一电平移位芯片;所述电平移位芯片内包括一延时计算寄存模块;所述时序控制器通过起始信号线和IIC总线与电平移位芯片通信连接;

[0022] 步骤2、所述时序控制器通过IIC总线对电平移位芯片内的延时计算寄存模块进行初始化赋值;

[0023] 步骤3、所述时序控制器产生起始信号并通过起始信号线发送给电平移位芯片;

[0024] 步骤4、所述电平移位芯片根据延时计算寄存模块内的初始化赋值以起始信号为基准触发输出至少四组时序信号,并提升所述起始信号及至少四组时序信号的电压;再将升压后的起始信号及每一组时序信号分别通过一信号线传输至GOA架构液晶面板。

[0025] 所述IIC总线包括用于传输串行数据信号的串行数据信号线和用于传输串行时序信号的串行时序信号线。

[0026] 所述步骤2中根据串行数据信号与串行时序信号确定延时计算寄存模块内的初始化赋值。

[0027] 所述步骤4中电平移位芯片根据延时计算寄存模块内的初始化赋值以起始信号的上升沿为基准,触发输出至少四组时序信号;每一组时序信号的产生时间与起始信号的上升沿间隔相应的一初始化赋值。

[0028] 所述步骤4中,所述至少四组时序信号的高电平持续时间及周期时间亦由所述延时计算寄存模块内的初始化赋值确定。

[0029] 本发明的有益效果:本发明提供一种用于GOA架构液晶面板的电平移位电路及电平移位方法,在电平移位芯片内设置延时计算寄存模块,使用起始信号线和IIC总线对时序控制器与电平移位芯片进行通信连接。时序控制器通过IIC总线对电平移位芯片内的延时计算寄存模块进行初始化赋值,通过起始信号线发送起始信号给电平移位芯片;电平移位芯片根据延时计算寄存模块内的初始化赋值以起始信号为基准,触发输出至少四组时序信号,并提升所述起始信号及至少四组时序信号的电压,以对GOA架构液晶面板进行驱动,能够减少时序控制器与电平移位芯片之间的引脚数,减小时序控制器与电平移位芯片的封装型号,减少时序控制器与电平移位芯片之间的走线总数,减小电路驱动板尺寸,降低生产成本,实现在较低的成本下产生较多数量的时序信号。

[0030] 为了能更进一步了解本发明的特征以及技术内容,请参阅以下有关本发明的详细说明与附图,然而附图仅提供参考与说明用,并非用来对本发明加以限制。

附图说明

[0031] 下面结合附图,通过对本发明的具体实施方式详细描述,将使本发明的技术方案及其它有益效果显而易见。

[0032] 附图中,

[0033] 图1为现有的用于GOA架构液晶面板的电平移位电路的示意图;

[0034] 图2为图1所示电路在升压前的时序图;

[0035] 图3为图1所示电路在升压后的时序图;

[0036] 图4为本发明用于GOA架构液晶面板的电平移位电路的示意图;

[0037] 图5为图4所示电路在升压前的时序图;

[0038] 图6为图4所示电路在升压后的时序图。

具体实施方式

[0039] 为更进一步阐述本发明所采取的技术手段及其效果,以下结合本发明的优选实施例及其附图进行详细描述。

[0040] 请同时参阅图4、图5、及图6,本发明提供一种用于GOA架构液晶面板的电平移位电

路。该用于GOA架构液晶面板的电平移位电路包括：一时序控制器10及一电平移位芯片20，所述时序控制器10及一电平移位芯片20设于电路驱动板PCBA上。

[0041] 所述电平移位芯片20内包括一延时计算寄存模块201。

[0042] 所述时序控制器10通过起始信号线30和IIC总线40与电平移位芯片20通信连接。

[0043] 所述IIC总线40包括用于传输串行数据信号SDA的串行数据信号线和用于传输串行时序信号SCL的串行时序信号线。

[0044] 所述时序控制器用于通过IIC总线40对电平移位芯片20内的延时计算寄存模块201进行初始化赋值 $T1 \sim Tn$, n 为正整数,通过起始信号线30发送起始信号STV给电平移位芯片20。

[0045] 所述电平移位芯片20用于根据延时计算寄存模块201内的初始化赋值 $T1 \sim Tn$ 以起始信号STV为基准,触发输出至少四组时序信号 $CKV1 \sim CKVn$,并提升所述起始信号STV及至少四组时序信号 $CKV1 \sim CKVn$ 的电压;升压后的起始信号STV及每一组时序信号分别通过一信号线传输至GOA架构液晶面板50。

[0046] 相比于现有的用于GOA架构液晶面板的电平移位电路,本发明的用于GOA架构液晶面板的电平移位电路能够减少时序控制器10与电平移位芯片20之间的引脚数,减小时序控制器10与电平移位芯片20的封装型号,减少时序控制器10与电平移位芯片20之间的走线总数,减小电路驱动板PCBA的尺寸,降低生产成本。

[0047] 进一步地,所述电平移位芯片20根据延时计算寄存模块201内的初始化赋值 $T1 \sim Tn$ 以起始信号STV的上升沿为基准,触发输出至少四组时序信号 $CKV1 \sim CKVn$ 。

[0048] 每一组时序信号 $CKVn$ 的产生时间与起始信号STV的上升沿间隔相应的一初始化赋值 Tn 。

[0049] 所述至少四组时序信号 $CKV1 \sim CKVn$ 的高电平持续时间 $Tn+1$ 及周期时间 $Tn+2$ 亦由所述延时计算寄存模块201内的初始化赋值确定。

[0050] 具体地,以电平移位芯片20输出四组时序信号 $CKV1 \sim CKV4$ 为例,结合图4、图5,所述时序控制器10分别通过IIC总线40的串行数据信号线及串行时序信号线向电平移位芯片20内的延时计算寄存模块201发送串行数据信号SDA及串行时序信号SCL,用于确定对延时计算寄存模块201的初始化赋值 $T1 \sim T4$,通过起始信号线30发送起始信号STV给电平移位芯片20。所述起始信号STV,串行数据信号SDA、及串行时序信号SCL的低电平均为0V,高电平均为3.3V。

[0051] 结合图4、图6,所述电平移位芯片20正确识别到起始信号STV的上升沿,以起始信号STV的上升沿为基准,触发输出四组时序信号 $CKV1 \sim CKV4$,并对所述起始信号STV及四组时序信号 $CKV1 \sim CKV4$ 的电压进行提升。第一组时序信号 $CKV1$ 的产生时间与起始信号STV的上升沿间隔初始化赋值 $T1$ 所对应的时间,第二组时序信号 $CKV2$ 的产生时间与起始信号STV的上升沿间隔初始化赋值 $T2$ 所对应的时间,第三组时序信号 $CKV3$ 的产生时间与起始信号STV的上升沿间隔初始化赋值 $T3$ 所对应的时间,第四组时序信号 $CKV4$ 的产生时间与起始信号STV的上升沿间隔初始化赋值 $T4$ 所对应的时间。另外,该四组时序信号 $CKV1 \sim CKV4$ 的高电平持续时间 $T5$ 、与周期时间 $T6$ 亦由所述延时计算寄存模块201内的初始化赋值确定,针对不同解析度的液晶面板,所述高电平持续时间 $T5$ 和周期时间 $T6$ 可以通过不同的初始化赋值来设定。经过电平移位芯片20做电压提升后,所述起始信号STV、及第一、第二、第三、第四组时

序信号CKV1、CKV2、CKV3、CKV4的低电平均为-6V,高电平均为30V,能够用于驱动GOA架构液晶面板50中的TFT,实现逐行扫描。本实施例仅以四组时序信号为例进行说明,但本发明并不局限于此,还可以适用于更多组时序信号的情况。GOA架构液晶面板50所需的时序信号数量越多,本发明能够减少时序控制器10与电平移位芯片20之间的引脚数,减小时序控制器10与电平移位芯片20的封装型号,减少时序控制器10与电平移位芯片20之间的走线总数,减小电路驱动板PCBA的尺寸,降低生产成本的作用越明显。

[0052] 请同时参阅图4、图5、及图6,本发明还提供一种用于GOA架构液晶面板的电平移位方法,包括如下步骤:

[0053] 步骤1、提供一GOA架构液晶面板50、及用于GOA架构液晶面板的电平移位电路。

[0054] 所述用于GOA架构液晶面板的电平移位电路包括一时序控制器10及一电平移位芯片20,所述时序控制器10及一电平移位芯片20设于电路驱动板PCBA上。所述电平移位芯片20内包括一延时计算寄存模块201。所述时序控制器10通过起始信号线30和IIC总线40与电平移位芯片20通信连接。

[0055] 其中,所述IIC总线40包括用于传输串行数据信号SDA的串行数据信号线和用于传输串行时序信号SCL的串行时序信号线。

[0056] 步骤2、所述时序控制器10通过IIC总线40对电平移位芯片20内的延时计算寄存模块201进行初始化赋值 $T1 \sim Tn$, n 为正整数。

[0057] 具体地,该步骤2根据串行数据信号SDA与串行时序信号SCL确定延时计算寄存模块201内的初始化赋值 $T1 \sim Tn$ 。

[0058] 步骤3、所述时序控制器10产生起始信号STV并通过起始信号线30发送给电平移位芯片20。

[0059] 具体地,结合图4,图5,所述起始信号STV、串行数据信号SDA、及串行时序信号SCL的低电平均为0V,高电平均为3.3V。

[0060] 步骤4、所述电平移位芯片20根据延时计算寄存模块201内的初始化赋值 $T1 \sim Tn$ 以起始信号STV为基准,优选以起始信号STV的上升沿为基准,触发输出至少四组时序信号CKV1~CKVn,并提升所述起始信号STV及至少四组时序信号CKV1~CKVn的电压;再将升压后的起始信号STV及每一组时序信号分别通过一信号线传输至GOA架构液晶面板50。

[0061] 进一步地,在该步骤4中,每一组时序信号CKVn的产生时间与起始信号STV的上升沿间隔相应的一初始化赋值 Tn 。所述至少四组时序信号CKV1~CKVn的高电平持续时间 $Tn+1$ 及周期时间 $Tn+2$ 亦由所述延时计算寄存模块201内的初始化赋值确定。

[0062] 具体地,以电平移位芯片20输出四组时序信号CKV1~CKV4为例,结合图4、图6,所述电平移位芯片20正确识别到起始信号STV的上升沿,以起始信号STV的上升沿为基准,触发输出四组时序信号CKV1~CKV4,并对所述起始信号STV及四组时序信号CKV1~CKV4的电压进行提升。第一组时序信号CKV1的产生时间与起始信号STV的上升沿间隔初始化赋值 $T1$ 所对应的时间,第二组时序信号CKV2的产生时间与起始信号STV的上升沿间隔初始化赋值 $T2$ 所对应的时间,第三组时序信号CKV3的产生时间与起始信号STV的上升沿间隔初始化赋值 $T3$ 所对应的时间,第四组时序信号CKV4的产生时间与起始信号STV的上升沿间隔初始化赋值 $T4$ 所对应的时间。另外,该四组时序信号CKV1~CKV4的高电平持续时间 $T5$ 、与周期时间 $T6$ 亦由所述延时计算寄存模块201内的初始化赋值确定,针对不同解析度的液晶面板,所述

高电平持续时间T5和周期时间T6可以通过不同的初始化赋值来设定。经过电平移位芯片20做电压提升后,所述起始信号STV、及第一、第二、第三、第四组时序信号CKV1、CKV2、CKV3、CKV4的低电平均为-6V,高电平均为30V,能够用于驱动GOA架构液晶面板50中的TFT,实现逐行扫描。本实施例仅以四组时序信号为例进行说明,但本发明并不局限于此,还可以适用于更多组时序信号的情况。GOA架构液晶面板50所需的时序信号数量越多,本发明能够减少时序控制器10与电平移位芯片20之间的引脚数,减小时序控制器10与电平移位芯片20的封装型号,减少时序控制器10与电平移位芯片20之间的走线总数,减小电路驱动板PCBA的尺寸,降低生产成本的作用越明显。

[0063] 综上所述,本发明的用于GOA架构液晶面板的电平移位电路及电平移位方法,在电平移位芯片内设置延时计算寄存模块,使用起始信号线和IIC总线对时序控制器与电平移位芯片进行通信连接。时序控制器通过IIC总线对电平移位芯片内的延时计算寄存模块进行初始化赋值,通过起始信号线发送起始信号给电平移位芯片;电平移位芯片根据延时计算寄存模块内的初始化赋值以起始信号为基准,触发输出至少四组时序信号,并提升所述起始信号及至少四组时序信号的电压,以对GOA架构液晶面板进行驱动,能够减少时序控制器与电平移位芯片之间的引脚数,减小时序控制器与电平移位芯片的封装型号,减少时序控制器与电平移位芯片之间的走线总数,减小电路驱动板PCBA的尺寸,降低生产成本,实现在较低的成本下产生较多数量的时序信号。

[0064] 以上所述,对于本领域的普通技术人员来说,可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形,而所有这些改变和变形都应属于本发明权利要求的保护范围。

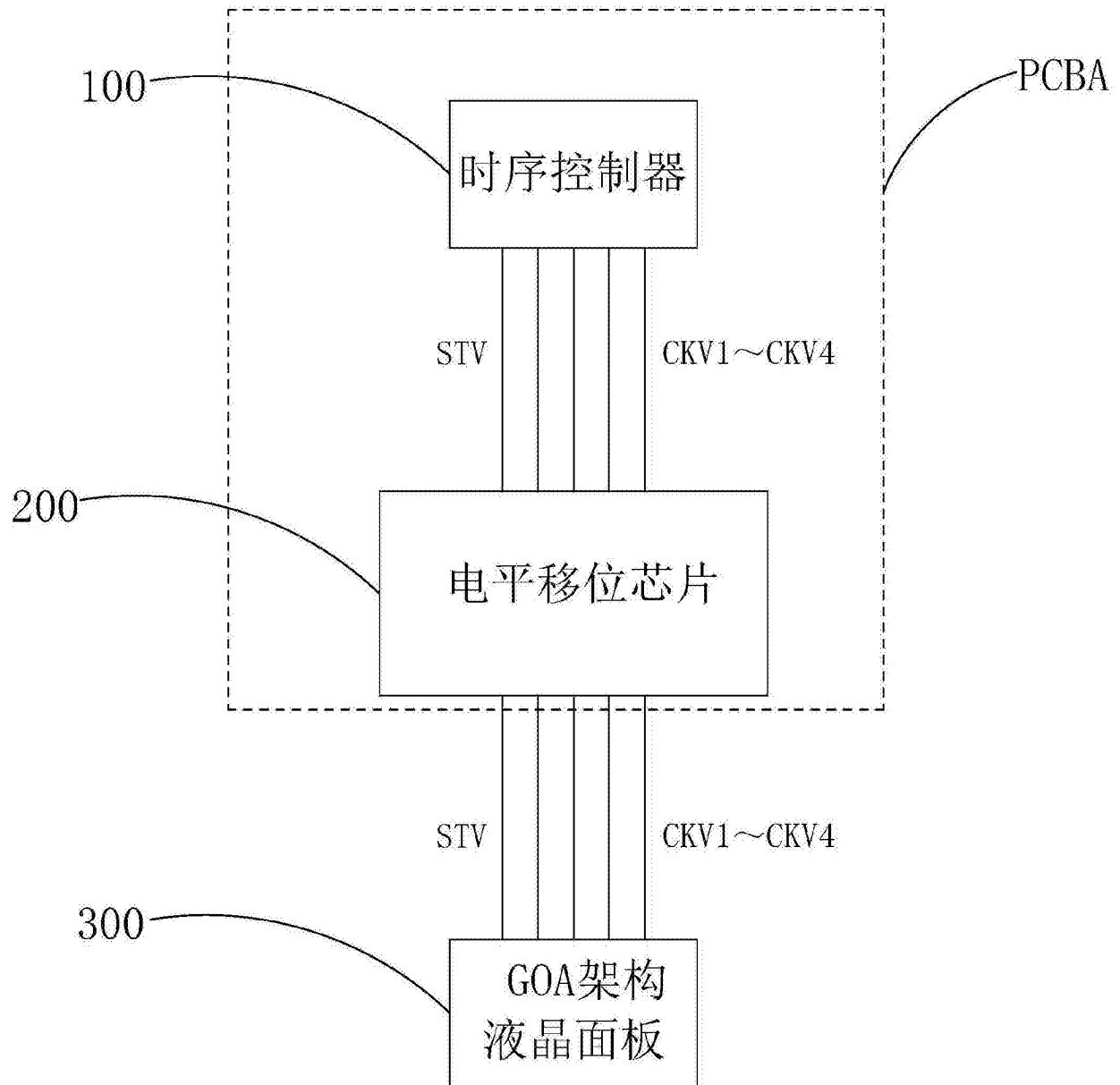


图1

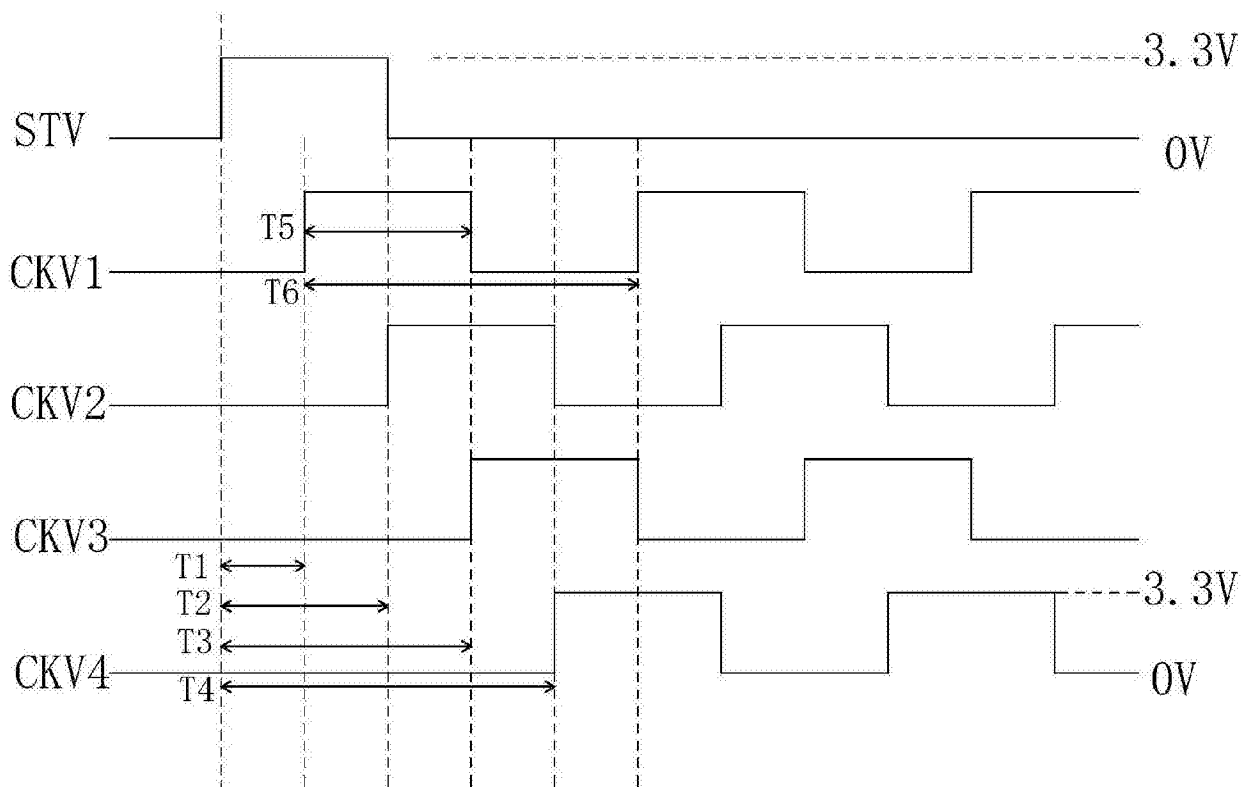


图2

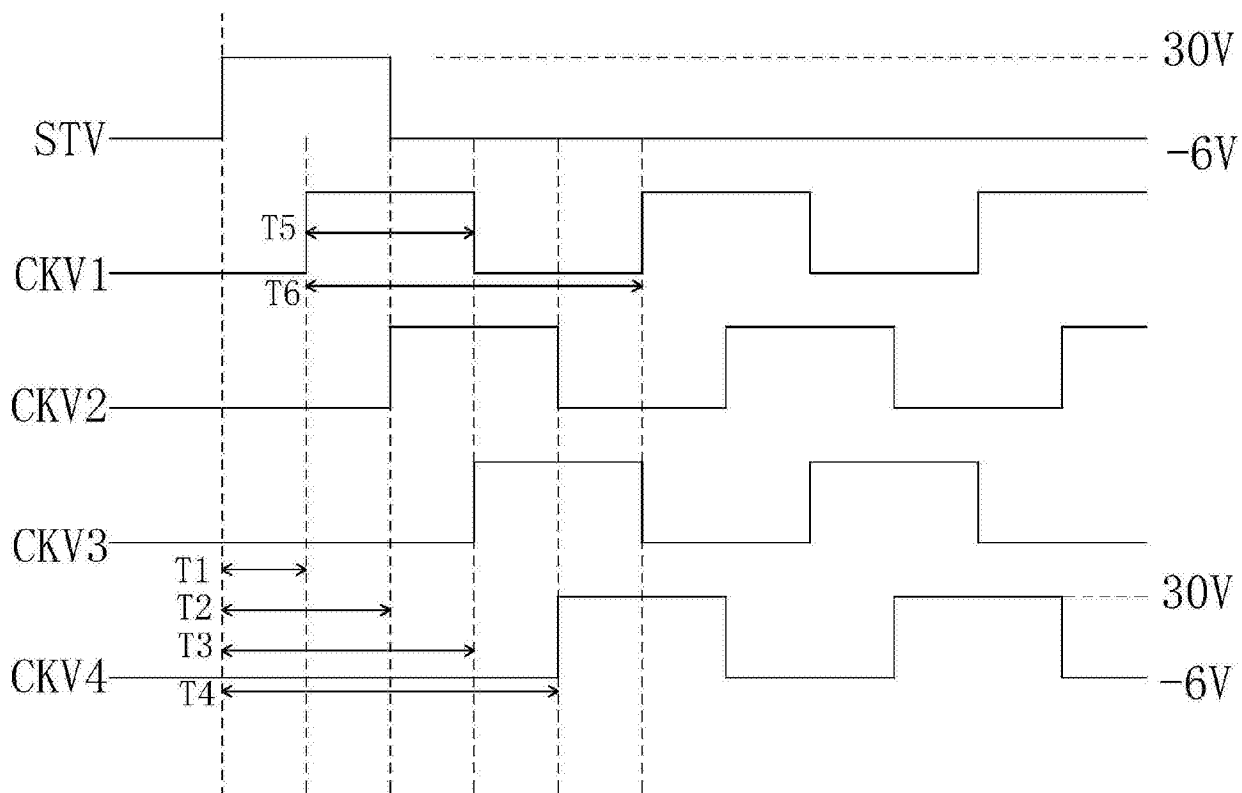


图3

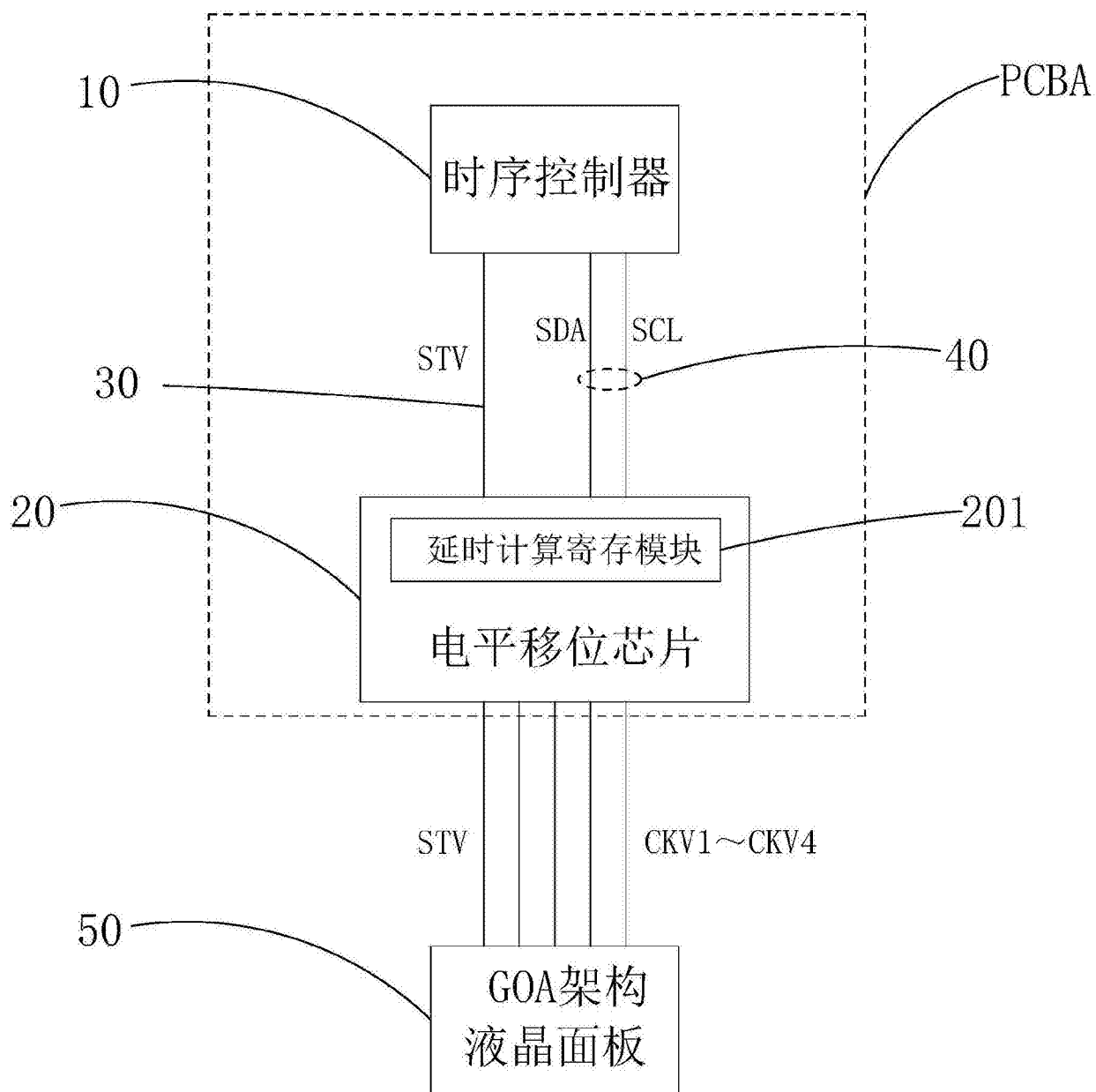


图4

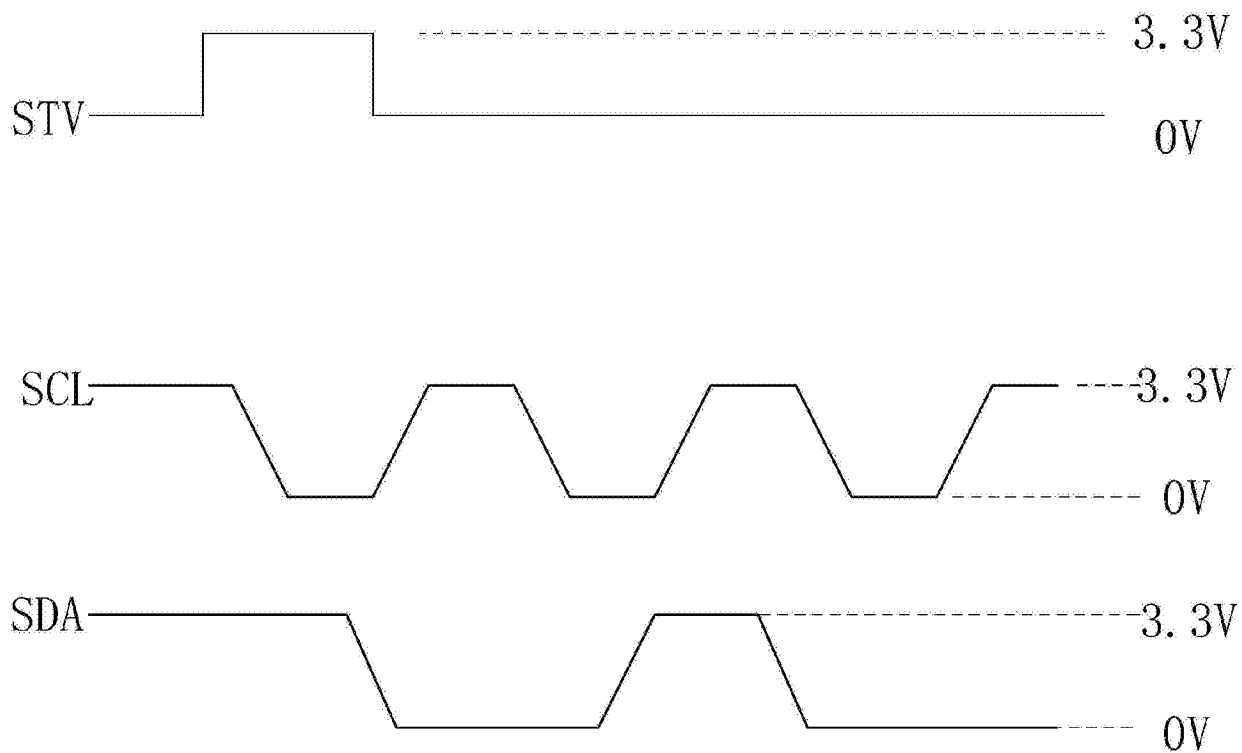


图5

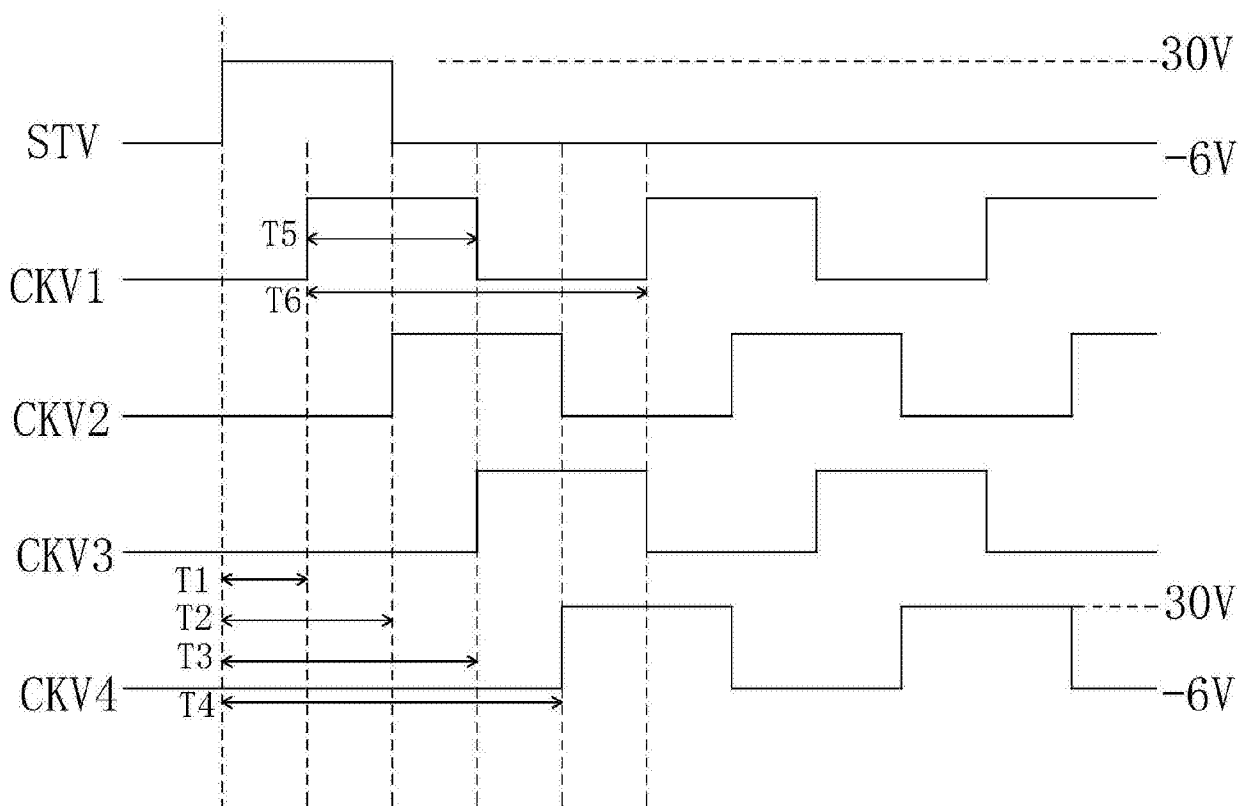


图6

专利名称(译)	用于GOA架构液晶面板的电平移位电路及电平移位方法		
公开(公告)号	CN104680991B	公开(公告)日	2017-03-08
申请号	CN201510094520.8	申请日	2015-03-03
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	曾德康 徐枫程 吴晶晶		
发明人	曾德康 徐枫程 吴晶晶		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G3/3677 G09G2300/0408 G09G2310/0289 G09G2330/021		
审查员(译)	刘锋		
其他公开文献	CN104680991A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种用于GOA架构液晶面板的电平移位电路及电平移位方法，在电平移位芯片(20)内设置延时计算寄存模块(201)，使用起始信号线(30)和IIC总线(40)对时序控制器(10)与电平移位芯片(20)进行通信连接。时序控制器(10)通过IIC总线(40)对延时计算寄存模块(201)进行初始化赋值(T1~Tn)，通过起始信号线(30)发送起始信号(STV)给电平移位芯片(20)；电平移位芯片(20)根据延时计算寄存模块内的初始化赋值(T1~Tn)以起始信号(STV)为基准，触发输出至少四组时序信号(CKV1~CKVn)，并提升所述起始信号(STV)及至少四组时序信号(CKV1~CKVn)的电压，以对GOA架构液晶面板(50)进行驱动，实现在较低的成本下产生较多数量的时序信号。

