



(12) 发明专利申请

(10) 申请公布号 CN 104517577 A

(43) 申请公布日 2015. 04. 15

(21) 申请号 201410850940. X

(22) 申请日 2014. 12. 30

(71) 申请人 深圳市华星光电技术有限公司

地址 518000 广东省深圳市光明新区公明办

事处塘家社区观光路汇业科技园综合

楼 1 第一层 B 区

(72) 发明人 郝思坤

(74) 专利代理机构 深圳市威世博知识产权代理

事务所(普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

G09G 3/36(2006. 01)

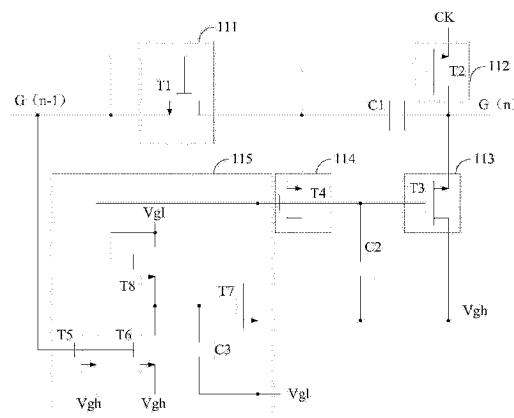
权利要求书2页 说明书5页 附图3页

(54) 发明名称

液晶显示装置及其栅极驱动器

(57) 摘要

本发明公开了一种液晶显示装置及其栅极驱动器。该栅极驱动器包括多个移位寄存电路,多个移位寄存电路以串联方式进行级联,每一移位寄存电路包括:第一上拉电路、第二上拉电路、第一下拉电路、第二下拉电路以及下拉控制电路,第一上拉电路和第二上拉电路串联连接在前一级的栅极驱动信号和栅极驱动信号输出端之间,第一下拉电路、第二下拉电路以及下拉控制电路与第一上拉电路和第二上拉电路并联连接,下拉控制电路耦接于前一级的栅极驱动信号、第一下拉电路、第二下拉电路、第一电平以及第二电平,下拉控制电路根据前一级的栅极驱动信号控制第一下拉电路和第二下拉电路。通过以上方式,本发明能够适用于 CMOS 制程,并且增加电路稳定性。



1. 一种栅极驱动器,其特征在于,所述栅极驱动器包括多个移位寄存电路,所述多个移位寄存电路以串联方式进行级联,每一所述移位寄存电路包括:第一上拉电路、第二上拉电路、第一下拉电路、第二下拉电路以及下拉控制电路,所述第一上拉电路和所述第二上拉电路串联连接在前一级的栅极驱动信号和栅极驱动信号输出端之间,所述第一下拉电路、第二下拉电路以及下拉控制电路与所述第一上拉电路和所述第二上拉电路并联连接,所述下拉控制电路耦接于所述前一级的栅极驱动信号、所述第一下拉电路、所述第二下拉电路、第一电平以及第二电平,所述下拉控制电路根据所述前一级的栅极驱动信号控制所述第一下拉电路和所述第二下拉电路。

2. 根据权利要求 1 所述的栅极驱动器,其特征在于,所述移位寄存电路还包括第一电容和第二电容;

所述第一上拉电路包括第一晶体管,所述第一晶体管的栅极和源极与前一级的栅极驱动信号连接;

所述第二上拉电路第二晶体管,所述第二晶体管的栅极与所述第一晶体管的漏极连接,源极与第一时钟信号连接,漏极与栅极驱动信号输出端连接;

所述第一电容在所述第二晶体管的漏极和栅极之间;

所述第一下拉电路包括第三晶体管,所述第三晶体管的源极与所述栅极驱动信号输出端连接,漏极与所述第一电平连接;

所述第二下拉电路包括第四晶体管,所述第四晶体管的源极与所述第一晶体管的漏极连接,漏极与所述第一电平连接;

所述第二电容的一端与所述第一电平连接,所述第二电容的另一端与所述第三晶体管的栅极和所述第四晶体管的栅极连接。

3. 根据权利要求 2 所述的栅极驱动器,其特征在于,所述下拉控制电路包括:

第五晶体管,所述第五晶体管的栅极与所述前一级的栅极驱动信号连接,源极与所述第一电平连接,漏极与所述第三晶体管的栅极和所述第四晶体管的栅极连接;

第六晶体管,所述第六晶体管的栅极与所述前一级的栅极驱动信号连接,源极与所述第一电平连接;

第七晶体管,所述第七晶体管的栅极与所述第六晶体管的漏极连接,源极与所述第二电平连接,漏极与所述第五晶体管的漏极连接;

第三电容,所述第三电容连接在所述第七晶体管的源极和栅极之间;

第八晶体管,所述第八晶体管的栅极和漏极与所述第二电平连接,源极与所述第六晶体管的漏极连接。

4. 根据权利要求 3 所述的栅极驱动器,其特征在于,所述第一电平为高电平,所述第二电平为低电平。

5. 根据权利要求 4 所述的栅极驱动器,其特征在于,所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管以及第八晶体管均为 P 型 MOS 管。

6. 一种液晶显示装置,其特征在于,所述液晶显示装置包括液晶显示面板和栅极驱动器,所述栅极驱动器与所述液晶显示面板连接,用于为所述液晶显示面板提供扫描驱动信号,所述栅极驱动器包括多个移位寄存电路,所述多个移位寄存电路以串联方式进行级联,

每一所述移位寄存电路包括：第一上拉电路、第二上拉电路、第一下拉电路、第二下拉电路以及下拉控制电路，所述第一上拉电路和所述第二上拉电路串联连接在前一级的栅极驱动信号和栅极驱动信号输出端之间，所述第一下拉电路、第二下拉电路以及下拉控制电路与所述第一上拉电路和所述第二上拉电路并联连接，所述下拉控制电路耦接于所述前一级的栅极驱动信号、所述第一下拉电路、所述第二下拉电路、第一电平以及第二电平，所述下拉控制电路根据所述前一级的栅极驱动信号控制所述第一下拉电路和所述第二下拉电路。

7. 根据权利要求6所述的液晶显示装置，其特征在于，所述移位寄存电路还包括第一电容和第二电容；

所述第一上拉电路包括第一晶体管，所述第一晶体管的栅极和源极与前一级的栅极驱动信号连接；

所述第二上拉电路第二晶体管，所述第二晶体管的栅极与所述第一晶体管的漏极连接，源极与第一时钟信号连接，漏极与栅极驱动信号输出端连接；

所述第一电容在所述第二晶体管的漏极和栅极之间；

所述第一下拉电路包括第三晶体管，所述第三晶体管的源极与所述栅极驱动信号输出端连接，漏极与所述第一电平连接；

所述第二下拉电路包括第四晶体管，所述第四晶体管的源极与所述第一晶体管的漏极连接，漏极与所述第一电平连接；

所述第二电容的一端与所述第一电平连接，所述第二电容的另一端与所述第三晶体管的栅极和所述第四晶体管的栅极连接。

8. 根据权利要求7所述的液晶显示装置，其特征在于，所述下拉控制电路包括：

第五晶体管，所述第五晶体管的栅极与所述前一级的栅极驱动信号连接，源极与所述第一电平连接，漏极与所述第三晶体管的栅极和所述第四晶体管的栅极连接；

第六晶体管，所述第六晶体管的栅极与所述前一级的栅极驱动信号连接，源极与所述第一电平连接；

第七晶体管，所述第七晶体管的栅极与所述第六晶体管的漏极连接，源极与所述第二电平连接，漏极与所述第五晶体管的漏极连接；

第三电容，所述第三电容连接在所述第七晶体管的源极和栅极之间；

第八晶体管，所述第八晶体管的栅极和漏极与所述第二电平连接，源极与所述第六晶体管的漏极连接。

9. 根据权利要求8所述的液晶显示装置，其特征在于，所述第一电平为高电平，所述第二电平为低电平。

10. 根据权利要求9所述的液晶显示装置，其特征在于，所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管以及第八晶体管均为P型MOS管。

液晶显示装置及其栅极驱动器

技术领域

[0001] 本发明涉及液晶显示技术领域,特别是涉及一种液晶显示装置及其栅极驱动器。

背景技术

[0002] GOA(Gate Driver On Array) 电路是利用现有的液晶显示器的 Array 制程将栅极扫描驱动电路制作在 Array 基板上,以实现逐行扫描的驱动方式。其具有降低生产成本和窄边框设计的优点,为多种显示器所使用。GOA 电路要具有两项基本功能:第一是输入栅极驱动信号,驱动面板内的栅极线,打开显示区内的 TFT(Thin Film Transistor,薄膜场效应晶体管),由栅极线对像素进行充电;第二是移位寄存,当第 n 个栅极驱动信号输出完成后,可以通过时钟控制进行 n+1 个栅极驱动信号的输出,并依此传递下去。

[0003] GOA 电路包括上拉电路(Pull-up circuit)、上拉控制电路(Pull-up control circuit)、下拉电路(Pull-down circuit)、下拉控制电路(Pull-down control circuit)以及负责电位抬升的上升电路(Boost circuit)。具体地,上拉电路主要负责将输入的时钟讯号(Clock)输出至薄膜晶体管的栅极,作为液晶显示器的驱动信号。上拉控制电路负责控制上拉电路的打开,一般是由上级 GOA 电路传递来的信号作用。下拉电路负责在输出扫描信号后,快速将扫描信号拉低为低电位,即薄膜晶体管的栅极的电位拉低为低电位;下拉保持电路则负责将扫描信号和上拉电路的信号(通常称为 Q 点)保持在关闭状态(即设定的负电位),通常有两个下拉保持电路交替作用。上升电路则负责 Q 点电位的二次抬升,这样确保上拉电路的 G(N) 正常输出。

[0004] 不同的 GOA 电路可以使用不同的制程。LTPS(Low Temperature Poly-silicon,低温多晶硅)制程具有高电子迁移率和技术成熟的优点,目前被中小尺寸显示器广泛使用。CMOS(Complementary Metal Oxide Semiconductor,互补金属氧化物半导体)LTPS 制程具有低功耗、电子迁移率高、噪声容限宽等优点,因此逐渐为面板厂商使用,如此需要开发与 CMOS LTPS 制程对应的 GOA 电路。

发明内容

[0005] 本发明实施例提供了一种液晶显示装置及其栅极驱动器,以适用于 CMOS 制程,并且增加电路稳定性。

[0006] 本发明提供一种栅极驱动器,其包括多个移位寄存电路,多个移位寄存电路以串联方式进行级联,每一移位寄存电路包括:第一上拉电路、第二上拉电路、第一下拉电路、第二下拉电路以及下拉控制电路,第一上拉电路和第二上拉电路串联连接在前一级的栅极驱动信号和栅极驱动信号输出端之间,第一下拉电路、第二下拉电路以及下拉控制电路与第一上拉电路和第二上拉电路并联连接,下拉控制电路耦接于前一级的栅极驱动信号、第一下拉电路、第二下拉电路、第一电平以及第二电平,下拉控制电路根据前一级的栅极驱动信号控制第一下拉电路和第二下拉电路。

[0007] 其中,移位寄存电路还包括第一电容和第二电容;第一上拉电路包括第一晶体管,

第一晶体管的栅极和源极与前一级的栅极驱动信号连接；第二上拉电路第二晶体管，第二晶体管的栅极与第一晶体管的漏极连接，源极与第一时钟信号连接，漏极与栅极驱动信号输出端连接；第一电容在第二晶体管的漏极和栅极之间；第一下拉电路包括第三晶体管，第三晶体管的源极与栅极驱动信号输出端连接，漏极与第一电平连接；第二下拉电路包括第四晶体管，第四晶体管的源极与第一晶体管的漏极连接，漏极与第一电平连接；第二电容的一端与第一电平连接，第二电容的另一端与第三晶体管的栅极和第四晶体管的栅极连接。

[0008] 其中，下拉控制电路包括：第五晶体管，第五晶体管的栅极与前一级的栅极驱动信号连接，源极与第一电平连接，漏极与第三晶体管的栅极和第四晶体管的栅极连接；第六晶体管，第六晶体管的栅极与前一级的栅极驱动信号连接，源极与第一电平连接；第七晶体管，第七晶体管的栅极与第六晶体管的漏极连接，源极与第二电平连接，漏极与第五晶体管的漏极连接；第三电容，第三电容连接在第七晶体管的源极和栅极之间；第八晶体管，第八晶体管的栅极和漏极与第二电平连接，源极与第六晶体管的漏极连接。

[0009] 其中，第一电平为高电平，第二电平为低电平。

[0010] 其中，第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管以及第八晶体管均为 P 型 MOS 管。

[0011] 本发明还提供一种液晶显示装置，其包括液晶显示面板和栅极驱动器，栅极驱动器与液晶显示面板连接，用于为液晶显示面板提供扫描驱动信号，栅极驱动器包括多个移位寄存电路，多个移位寄存电路以串联方式进行级联，每一移位寄存电路包括：第一上拉电路、第二上拉电路、第一下拉电路、第二下拉电路以及下拉控制电路，第一上拉电路和第二上拉电路串联连接在前一级的栅极驱动信号和栅极驱动信号输出端之间，第一下拉电路、第二下拉电路以及下拉控制电路与第一上拉电路和第二上拉电路并联连接，下拉控制电路耦接于前一级的栅极驱动信号、第一下拉电路、第二下拉电路、第一电平以及第二电平，下拉控制电路根据前一级的栅极驱动信号控制第一下拉电路和第二下拉电路。

[0012] 其中，移位寄存电路还包括第一电容和第二电容；第一上拉电路包括第一晶体管，第一晶体管的栅极和源极与前一级的栅极驱动信号连接；第二上拉电路第二晶体管，第二晶体管的栅极与第一晶体管的漏极连接，源极与第一时钟信号连接，漏极与栅极驱动信号输出端连接；第一电容在第二晶体管的漏极和栅极之间；第一下拉电路包括第三晶体管，第三晶体管的源极与栅极驱动信号输出端连接，漏极与第一电平连接；第二下拉电路包括第四晶体管，第四晶体管的源极与第一晶体管的漏极连接，漏极与第一电平连接；第二电容的一端与第一电平连接，第二电容的另一端与第三晶体管的栅极和第四晶体管的栅极连接。

[0013] 其中，下拉控制电路包括：第五晶体管，第五晶体管的栅极与前一级的栅极驱动信号连接，源极与第一电平连接，漏极与第三晶体管的栅极和第四晶体管的栅极连接；第六晶体管，第六晶体管的栅极与前一级的栅极驱动信号连接，源极与第一电平连接；第七晶体管，第七晶体管的栅极与第六晶体管的漏极连接，源极与第二电平连接，漏极与第五晶体管的漏极连接；第三电容，第三电容连接在第七晶体管的源极和栅极之间；第八晶体管，第八晶体管的栅极和漏极与第二电平连接，源极与第六晶体管的漏极连接。

[0014] 其中，第一电平为高电平，第二电平为低电平。

[0015] 其中,第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管以及第八晶体管均为 P 型 MOS 管。

[0016] 通过上述方案,本发明的有益效果是:本发明的下拉控制电路耦接于前一级的栅极驱动信号、第一下拉电路、第二下拉电路、第一电平以及第二电平,下拉控制电路根据前一级的栅极驱动信号控制第一下拉电路和第二下拉电路,适用于 CMOS 制程,并且增加电路稳定性。

附图说明

[0017] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。其中:

[0018] 图 1 是本发明一实施例的栅极驱动器的结构示意图;

[0019] 图 2 是图 1 所示的移位寄存电路的电路图;

[0020] 图 3 是图 1 所示的栅极驱动器的模拟时序图;

[0021] 图 4 是本发明一实施例的液晶显示装置的结构示意图。

具体实施方式

[0022] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性的劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0023] 请参见图 1 所示,图 1 是本发明一实施例的栅极驱动器的结构示意图。如图 1 所示,本实施例所揭示的栅极驱动器 10 包括多个移位寄存电路 11,多个移位寄存电路 11 以串联方式进行级联。

[0024] 如图 2 所示,移位寄存电路 11 包括第一上拉电路 111、第二上拉电路 112、第一下拉电路 113、第二下拉电路 114、下拉控制电路 115、第一电容 C1、第二电容 C2 以及第三电容 C3。其中,第一上拉电路 111 和第二上拉电路 112 串联连接在前一级的栅极驱动信号 $G(n-1)$ 和栅极驱动信号输出端 $G(n)$ 之间,第一下拉电路 113、第二下拉电路 114 以及下拉控制电路 115 与第一上拉电路 111 和第二上拉电路 112 并联连接,下拉控制电路 115 耦接于前一级的栅极驱动信号 $G(n-1)$ 、第一下拉电路 113、第二下拉电路 114、第一电平 V_{gh} 以及第二电平 V_{gl} ,下拉控制电路 115 根据前一级的栅极驱动信号 $G(n-1)$ 控制第一下拉电路 113 和第二下拉电路 114。

[0025] 其中,第一上拉电路 111 包括第一晶体管 T1,第一晶体管 T1 的栅极和源极与前一级的栅极驱动信号 $G(n-1)$ 连接;第二上拉电路 112 包括第二晶体管 T2,第二晶体管 T2 的栅极与第一晶体管 T1 的漏极连接,第二晶体管 T2 的源极与第一时钟信号 CK 连接,第二晶体管 T2 的漏极与栅极驱动信号输出端 $G(n)$ 连接,第一电容 C1 连接在第二晶体管 T2 的栅极和漏极之间;第一下拉电路 113 包括第三晶体管 T3,第三晶体管 T3 的源极和栅极驱动信号输出端 $G(n)$ 连接,第三晶体管 T3 的漏极与第一电平 V_{gh} 连接;第二下拉电路 114 包括第

四晶体管 T4, 第四晶体管 T4 的源极与第一晶体管 T1 的漏极连接, 第四晶体管 T4 的漏极与第一电平 V_{gh} 连接; 第二电容 C2 的一端与第一电平 V_{gh} 连接, 第二电容 C2 的另一端与第三晶体管 T3 的栅极和第四晶体管 T4 的栅极连接; 下拉控制电路 115 耦接于前一级的栅极驱动信号 G(n-1)、第三晶体管 T3 的栅极、第四晶体管 T4 的栅极、第一电平 V_{gh} 以及第二电平 V_{gl}, 下拉控制电路 115 根据前一级的栅极驱动信号 G(n-1) 控制第三晶体管 T3 和第四晶体管 T4 工作, 即控制第三晶体管 T3 和第四晶体管 T4 导通或断开。

[0026] 其中, 下拉控制电路 115 包括: 第五晶体管 T5、第六晶体管 T6、第七晶体管 T7 以及第八晶体管 T8。第五晶体管 T5 的栅极与前一级的栅极驱动信号 G(n-1) 连接, 第五晶体管 T5 的源极与第一电平 V_{gh} 连接, 第五晶体管 T5 的漏极与第三晶体管 T3 的栅极和第四晶体管 T4 的栅极连接; 第六晶体管 T6 的栅极与前一级的栅极驱动信号 G(n-1) 连接, 第六晶体管 T6 的源极与第一电平 V_{gh} 连接; 第七晶体管 T7 的栅极与第六晶体管 T6 的漏极连接, 第七晶体管 T7 的源极与第二电平 V_{gl} 连接, 第七晶体管 T7 的漏极与第五晶体管 T5 的漏极连接, 第三电容 C3 连接在第七晶体管 T7 的源极和栅极之间; 第八晶体管 T8 的栅极和漏极与第二电平 V_{gl} 连接, 第八晶体管 T8 的源极与第六晶体管 T6 的漏极连接。

[0027] 在本实施例中, 第一电平 V_{gh} 优选为高电平, 第二电平 V_{gl} 优选为低电平。第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7 以及第八晶体管 T8 均为 P 型 MOS 管, 在其他实施例中, 本领域的技术人员还可以将上述晶体管设置为其他场效应管, 例如 N 型 MOS 管。

[0028] 以下结合图 3 所示的时序图详细描述栅极驱动器 10 的工作原理。

[0029] 在第一时刻 t₁, 前一级的栅极驱动信号 G(n-1) 为低电平, 第一晶体管 T1 导通, 第一时钟信号 CK 为高电平, 第二晶体管 T2 的栅极为低电平, 第二晶体管 T2 导通; 第五晶体管 T5 和第六晶体管 T6 均导通, 第七晶体管 T7 的栅极和第八晶体管 T8 的源极均为高电平, 则第七晶体管 T7 断开, 第八晶体管 T8 导通; 第三晶体管 T3 的栅极和第四晶体管 T4 的栅极均为高电平, 则第三晶体管 T3 和第四晶体管 T4 均断开; 因此, 栅极驱动信号输出端 G(n) 输出的信号与第一时钟信号 CK 相同, 即栅极驱动信号输出端 G(n) 输出的信号为高电平。

[0030] 在第二时刻 t₂, 前一级的栅极驱动信号 G(n-1) 由低电平变为高电平, 第一晶体管 T1 断开, 第一时钟信号 CK 由高电平变为低电平, 第二晶体管 T2 导通; 第五晶体管 T5、第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8 均断开, 第三晶体管 T3 和第四晶体管 T4 均断开; 因此, 栅极驱动信号输出端 G(n) 输出的信号与第一时钟信号 CK 相同, 即栅极驱动信号输出端 G(n) 输出的信号由高电平变为低电平。

[0031] 在第三时刻 t₃, 前一级的栅极驱动信号 G(n-1) 为高电平, 第一晶体管 T1 断开, 第一时钟信号 CK 为低电平, 第二晶体管 T2 导通; 第五晶体管 T5、第六晶体管 T6、第七晶体管 T7 和第八晶体管 T8 均断开, 第三晶体管 T3 和第四晶体管 T4 均断开; 因此, 栅极驱动信号输出端 G(n) 输出的信号与第一时钟信号 CK 相同, 即栅极驱动信号输出端 G(n) 输出的信号为低电平。

[0032] 在第四时刻 t₄, 前一级的栅极驱动信号 G(n-1) 为高电平, 第一晶体管 T1 断开, 第一时钟信号 CK 由低电平变高电平, 第二晶体管 T2 导通; 第五晶体管 T5 和第六晶体管 T6 断开, 第八晶体管 T8 导通, 第七晶体管 T7 导通, 第三晶体管 T3 的栅极和第四晶体管 T4 的栅极均为低电平, 则第三晶体管 T3 和第四晶体管 T4 导通, 则栅极驱动信号输出端 G(n) 输出

的信号持续为高电平。

[0033] 本实施例通过下拉控制电路 115 耦接于前一级的栅极驱动信号 $G(n-1)$ 、第三晶体管 T3 的栅极、第四晶体管 T4 的栅极、第一电平 V_{gh} 以及第二电平 V_{gl} ，下拉控制电路 115 根据前一级的栅极驱动信号 $G(n-1)$ 控制第三晶体管 T3 和第四晶体管 T4，适用于 CMOS 制程，并且增加电路稳定性，减少时钟信号数目。

[0034] 本发明还提供一种液晶显示装置，如图 4 所示，本实施例所揭示液晶显示装置 20 包括液晶显示面板 21 和栅极驱动器 22，栅极驱动器 22 与液晶显示面板 21 连接，并且栅极驱动器 22 用于为液晶显示面板 21 提供扫描驱动信号，该栅极驱动器 22 为上述实施例所揭示的栅极驱动器 10，在此不再赘述。

[0035] 综上所述，本发明的下拉控制电路耦接于前一级的栅极驱动信号、第三晶体管的栅极、第四晶体管的栅极、第一电平以及第二电平，下拉控制电路根据前一级的栅极驱动信号控制第三晶体管和第四晶体管，适用于 CMOS 制程，并且增加电路稳定性。

[0036] 以上所述仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

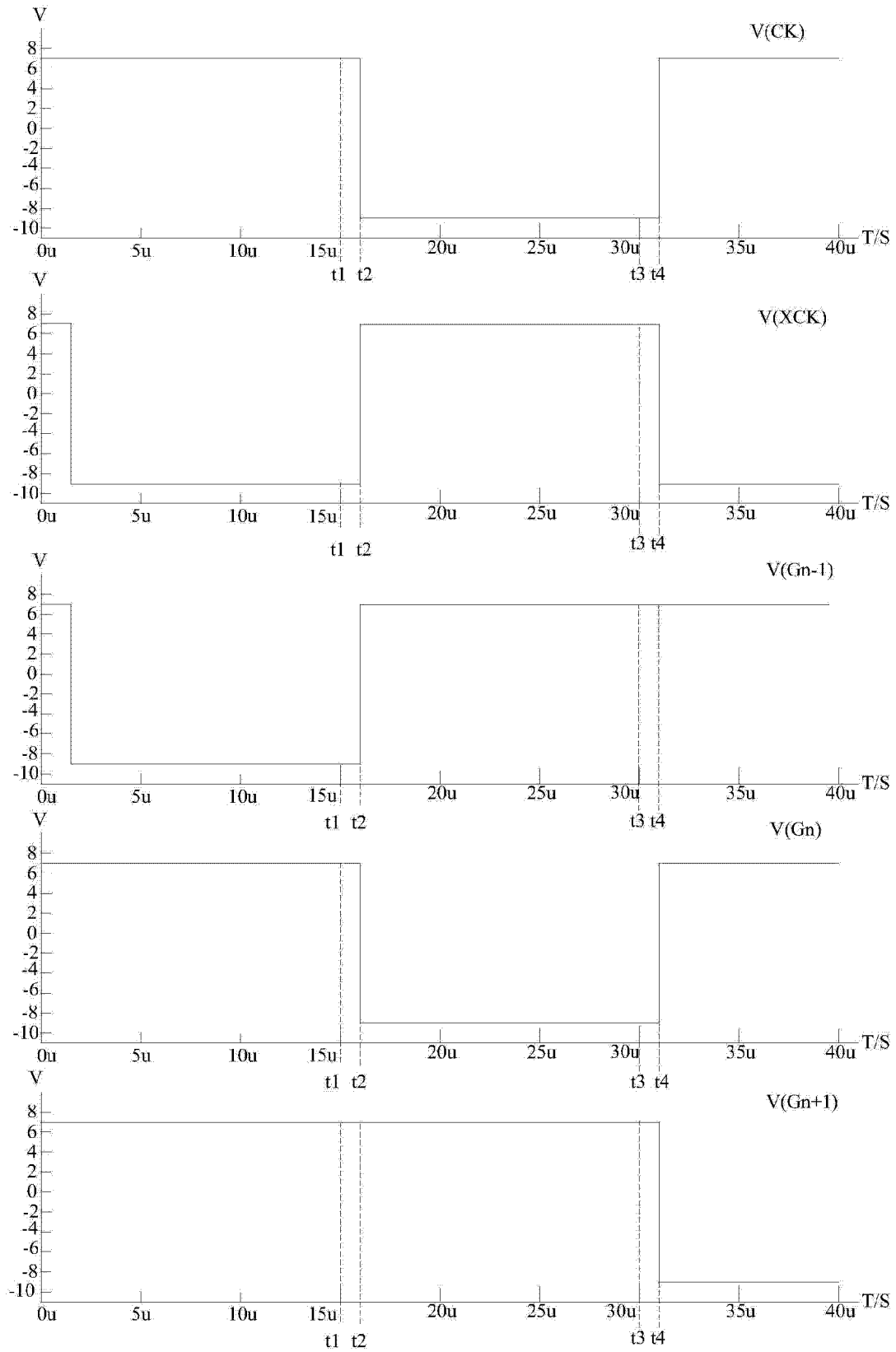


图 3

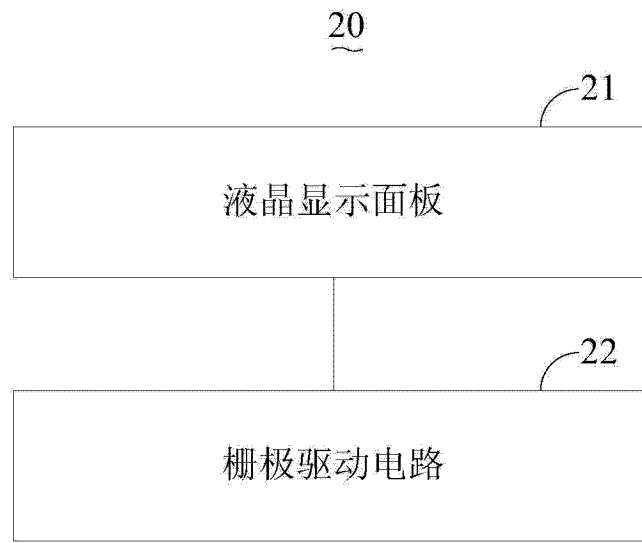


图 4

专利名称(译)	液晶显示装置及其栅极驱动器		
公开(公告)号	CN104517577A	公开(公告)日	2015-04-15
申请号	CN201410850940.X	申请日	2014-12-30
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	郝思坤		
发明人	郝思坤		
IPC分类号	G09G3/36		
其他公开文献	CN104517577B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示装置及其栅极驱动器。该栅极驱动器包括多个移位寄存电路，多个移位寄存电路以串联方式进行级联，每一移位寄存电路包括：第一上拉电路、第二上拉电路、第一下拉电路、第二下拉电路以及下拉控制电路，第一上拉电路和第二上拉电路串联连接在前一级的栅极驱动信号和栅极驱动信号输出端之间，第一下拉电路、第二下拉电路以及下拉控制电路与第一上拉电路和第二上拉电路并联连接，下拉控制电路耦接于前一级的栅极驱动信号、第一下拉电路、第二下拉电路、第一电平以及第二电平，下拉控制电路根据前一级的栅极驱动信号控制第一下拉电路和第二下拉电路。通过以上方式，本发明能够适用于CMOS制程，并且增加电路稳定性。

