



(12) 发明专利申请

(10) 申请公布号 CN 103928009 A

(43) 申请公布日 2014. 07. 16

(21) 申请号 201410177821. 2

(22) 申请日 2014. 04. 29

(71) 申请人 深圳市华星光电技术有限公司  
地址 518132 广东省深圳市光明新区塘明大道 9—2 号

(72) 发明人 肖军城

(74) 专利代理机构 深圳翼盛智成知识产权事务所 (普通合伙) 44300  
代理人 刁文魁 唐秀萍

(51) Int. Cl.  
G09G 3/36 (2006. 01)

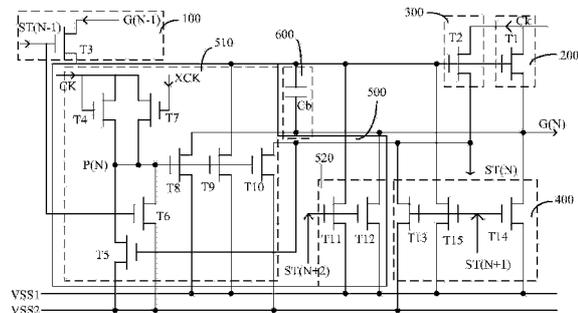
权利要求书2页 说明书7页 附图20页

(54) 发明名称

用于窄边框液晶显示器的栅极驱动器

(57) 摘要

本发明的栅极驱动器将下拉保持电路和信号的有效结合,可以对电路的架构有效的删减,能真正的做到超窄边框栅极驱动器的设计。此外,第一下拉保持电路的晶体管采用等效二极管的连接方式可以有效降低电压偏移作用,延长 GOA 电路的操作时间,增加液晶显示器的使用寿命。最后,减少第一和第二下拉保持电路使用的晶体管和信号数量,可以减小电路的 RC 延迟,可以有效地降低电路的功耗,更加有效的降低液晶显示器的能耗。



1. 一种栅极驱动器,其包含:

数个移位缓存单元,所述数个移位缓存单元系以串联的方式耦接,每一移位缓存单元用来依据第一时钟信号、第二时钟信号以及所述每一移位缓存单元的前一个移位缓存单元的驱动信号脉冲,在所述每一移位缓存单元的输出端输出输出信号脉冲,每一移位缓存单元包含:

上拉电路,其包含第一晶体管,其栅极耦接于第一节点,源极耦接于第一时钟信号,漏极耦接于所述输出端,用来依据所述第一时钟信号,由所述输出端提供所述输出信号脉冲;

下传电路,其包含第二晶体管,其栅极耦接于所述第一节点,源极耦接于第一时钟信号,漏极耦接于驱动信号端,用来依据所述第一时钟信号,由所述驱动信号端输出驱动信号脉冲;

上拉控制电路,其包含第三晶体管,其栅极耦接于所述每一移位缓存单元的前一个移位缓存单元的输出信号端,源极耦接于所述每一移位缓存单元的前一个移位缓存单元的驱动信号端,漏极耦接于所述第一节点,用来依据所述每一移位缓存单元的前一个移位缓存单元的所述驱动信号脉冲,导通所述上拉电路;

上升电路,耦接于所述第一节点和所述输出端之间,用来抬升所述第一节点的电位;

其特征在于,每一移位缓存单元另包含:

第一下拉保持电路,耦接于所述第一节点、所述第一时钟信号、第一固定电压以及第二固定电压,用来依据维持所述第一节点的低电平;

第二下拉保持电路,耦接于所述第一节点、所述每一移位缓存单元的下两个移位缓存单元的驱动信号端、所述第一固定电压以及所述第二固定电压,用来依据所述每一移位缓存单元的下两个移位缓存单元的驱动信号,下拉所述第一节点的电位;以及

下拉电路,耦接于所述第一固定电压、所述驱动信号端以及所述每一移位缓存单元的下一个移位缓存单元的驱动信号端,用来下拉所述第一节点的电位至所述第一固定电压。

2. 如权利要求 1 所述的栅极驱动器,其特征在于,所述第一下拉保持电路包含:

第四晶体管,其栅极耦接于所述第一时钟信号,源极耦接于第一时钟信号,漏极耦接于第二节点;

第五晶体管,其栅极耦接于所述驱动信号端,源极耦接于所述第二节点,漏极耦接于所述第二电源电压;

第六晶体管,其栅极耦接于所述每一移位缓存单元的前一个移位缓存单元的驱动信号端,源极耦接于所述第二节点,漏极耦接于所述第二电源电压;

第七晶体管,其栅极耦接于所述第二时钟信号或是所述第二节点,源极耦接于所述第一时钟信号,漏极耦接于所述第二节点;

第八晶体管,其栅极耦接于所述第二节点,源极耦接于所述输出端,漏极耦接于所述第一电源电压;

第九晶体管,其栅极耦接于所述第二节点,源极耦接于所述第一节点,漏极耦接于所述第一电源电压;以及

第十晶体管,其栅极耦接于所述第二节点,源极耦接于所述驱动信号端,漏极耦接于所述第二电源电压。

3. 如权利要求 1 所述的栅极驱动器,其特征在于,所述第二下拉保持电路包含:  
第十一晶体管,其栅极耦接于所述每一移位缓存单元的下两个移位缓存单元的驱动信号端,源极耦接于所述第一节点,漏极耦接于所述第一电源电压。
4. 如权利要求 3 所述的栅极驱动器,其特征在于,所述第二下拉保持电路另包含:  
第十二晶体管,其栅极耦接于所述每一移位缓存单元的下两个移位缓存单元的驱动信号端,源极耦接于所述输出端,漏极耦接于所述第一电源电压。
5. 如权利要求 1 所述的栅极驱动器,其特征在于,所述下拉电路包含:  
第十三晶体管,其栅极耦接于所述每一移位缓存单元的下一个移位缓存单元的驱动信号端,源极耦接于所述驱动信号端,漏极耦接于所述第二电源电压。
6. 如权利要求 5 所述的栅极驱动器,其特征在于,所述下拉电路另包含:  
第十四晶体管,其栅极耦接于所述每一移位缓存单元的下一个移位缓存单元的驱动信号端,源极耦接于所述输出端,漏极耦接于所述第一电源电压。
7. 如权利要求 6 所述的栅极驱动器,其特征在于,所述下拉电路另包含:  
第十五晶体管,其栅极耦接于所述每一移位缓存单元的下一个移位缓存单元的驱动信号端,源极耦接于所述第一节点,漏极耦接于所述第一电源电压。
8. 如权利要求 6 所述的栅极驱动器,其特征在于,所述下拉电路另包含:  
第十五晶体管,其栅极耦接于所述每一移位缓存单元的下一个移位缓存单元的驱动信号端,源极耦接于所述第一节点;以及  
第十六晶体管,其栅极和源极皆耦接于所述第十五晶体管的漏极,漏极耦接于所述第一电源电压。
9. 如权利要求 1 所述的栅极驱动器,其特征在于,所述上升电路是一电容。
10. 如权利要求 1 所述的栅极驱动器,其特征在于,所述第一固定电压的电压大于所述第二固定电压。

## 用于窄边框液晶显示器的栅极驱动器

### 技术领域

[0001] 本发明涉及平面显示领域,尤其一种用于窄边框液晶显示器的栅极驱动器。

### 背景技术

[0002] GOA(Gate Driver On Array) 电路是利用薄膜晶体管液晶显示器 Array 制程将栅极驱动器制作在薄膜晶体管阵列基板上,以实现逐行扫描的驱动方式。

[0003] GOA 电路主要由上拉电路 (Pull-up circuit)、上拉控制电路 (Pull-up control circuit)、下传电路 (Transfer circuit)、下拉电路 (Pull-down circuit)、下拉保持电路 (Pull-down Holding circuit)、以及负责电位抬升的上升电路 (Boost circuit) 组成。

[0004] 上拉电路主要负责将输入的时钟信号 (Clock) 输出至薄膜晶体管 (thin film transistor, TFT) 的栅极,作为液晶显示器的驱动信号。上拉控制电路负责控制上拉电路的打开,一般是由上级 GOA 电路传递来的信号作用。下拉电路负责在输出扫描信号后,快速地将扫描信号 (亦即薄膜晶体管的栅极的电位) 拉低为低电平。下拉保持电路则负责将扫描信号和上拉电路的信号 (亦即施加于 Q 点的信号) 保持在关闭状态 (即设定的负电位),通常有两个下拉保持电路交替作用。上升电路则负责 Q 点电位的二次抬升,这样确保上拉电路的 G(N) 正常输出。

[0005] 传统 GOA 电路存在如下不足之处:(1) 电路的 TFT 和信号线的数量较多,这对不利于窄边框显示装置甚至无边框显示装置的设计;(2) 较多 TFT 和信号线的数量,必然会增加 RC 效应,会使得电路具有较高的能耗,对于低能耗需求的标准较难满足,不能达到未来绿色环保的设计要求。

### 发明内容

[0006] 有鉴于此,本发明的目的是提供一种使用较少 TFT 的栅极驱动器,以解决现有技术的问题。

[0007] 本发明提供一种栅极驱动器,其包含:数个移位缓存单元,所述数个移位缓存单元系以串联的方式耦接,每一移位缓存单元用来依据第一时钟信号、第二时钟信号以及该每一移位缓存单元的前一个移位缓存单元的驱动信号脉冲,在所述每一移位缓存单元的输出端输出输出信号脉冲。每一移位缓存单元包含:一上拉电路,其包含第一晶体管,其栅极耦接于第一节点,源极耦接于第一时钟信号,漏极耦接于该输出端,用来依据该第一时钟信号,由该输出端提供该输出信号脉冲;一下传电路,其包含第二晶体管,其栅极耦接于该第一节点,源极耦接于第一时钟信号,漏极耦接于驱动信号端,用来依据该第一时钟信号,由该驱动信号端输出驱动信号脉冲;一上拉控制电路,其包含第三晶体管,其栅极耦接于该每一移位缓存单元的前一个移位缓存单元的输出信号端,源极耦接于该每一移位缓存单元的前一个移位缓存单元的驱动信号端,漏极耦接于该第一节点,用来依据该每一移位缓存单元的前一个移位缓存单元的该驱动信号脉冲,导通该上拉电路;一上升电路,耦接于该第一节点和该输出端之间,用来抬升该第一节点的电位;一第一下拉保持电路,耦接于该第一

节点、该第一时钟信号、第一固定电压以及第二固定电压,用来依据维持该第一节点的低电平;一第二下拉保持电路,耦接于该第一节点、该每一移位缓存单元的下两个移位缓存单元的驱动信号端、该第一固定电压以及该第二固定电压,用来依据该每一移位缓存单元的下两个移位缓存单元的驱动信号,下拉该第一节点的电位;以及一下拉电路,耦接于该第一固定电压、该驱动信号端以及该每一移位缓存单元的下一个移位缓存单元的驱动信号端,用来下拉该第一节点的电位至该第一固定电压。

[0008] 依据本发明,所述第一下拉保持电路包含:第四晶体管,其栅极耦接于该第一时钟信号,源极耦接于第一时钟信号,漏极耦接于第二节点;第五晶体管,其栅极耦接于该驱动信号端,源极耦接于该第二节点,漏极耦接于该第二电源电压;第六晶体管,其栅极耦接于该每一移位缓存单元的前一个移位缓存单元的驱动信号端,源极耦接于该第二节点,漏极耦接于该第二电源电压;第七晶体管,其栅极耦接于该第二时钟信号或是该第二节点,源极耦接于该第一时钟信号,漏极耦接于该第二节点;第八晶体管,其栅极耦接于该第二节点,源极耦接于该输出端,漏极耦接于该第一电源电压;第九晶体管,其栅极耦接于该第二节点,源极耦接于该第一节点,漏极耦接于该第一电源电压;以及第十晶体管,其栅极耦接于该第二节点,源极耦接于该驱动信号端,漏极耦接于该第二电源电压。

[0009] 依据本发明,所述第二下拉保持电路包含:第十一晶体管,其栅极耦接于该每一移位缓存单元的下两个移位缓存单元的驱动信号端,源极耦接于该第一节点,漏极耦接于该第一电源电压。

[0010] 依据本发明,所述第二下拉保持电路另包含:第十二晶体管,其栅极耦接于该每一移位缓存单元的下两个移位缓存单元的驱动信号端,源极耦接于该输出端,漏极耦接于该第一电源电压。

[0011] 依据本发明,所述下拉电路包含:第十三晶体管,其栅极耦接于该每一移位缓存单元的下一个移位缓存单元的驱动信号端,源极耦接于该驱动信号端,漏极耦接于该第二电源电压。

[0012] 依据本发明,所述下拉电路另包含:第十四晶体管,其栅极耦接于该每一移位缓存单元的下一个移位缓存单元的驱动信号端,源极耦接于该输出端,漏极耦接于该第一电源电压。

[0013] 依据本发明,所述下拉电路另包含:第十五晶体管,其栅极耦接于该每一移位缓存单元的下一个移位缓存单元的驱动信号端,源极耦接于该第一节点,漏极耦接于该第一电源电压。

[0014] 依据本发明,所述下拉电路另包含:第十五晶体管,其栅极耦接于该每一移位缓存单元的下一个移位缓存单元的驱动信号端,源极耦接于该第一节点;以及第十六晶体管,其栅极和源极皆耦接于该第十五晶体管的漏极,漏极耦接于该第一电源电压。

[0015] 依据本发明,所述上升电路是一电容。

[0016] 依据本发明,该第一固定电压的电压大于该第二固定电压。

[0017] 相较于现有技术,本发明的栅极驱动器将下拉保持电路和信号的有效结合,可以对电路的架构有效的删减,能真正的做到超窄边框栅极驱动器的设计。此外,第一下拉保持电路的第七晶体管采用等效二极管的连接方式可以有效降低第二节点P(N)的电压偏移作用,延长GOA电路的操作时间,增加液晶显示器的使用寿命。最后,减少第一和第二下

拉保持电路使用的晶体管和信号数量,可以减小电路的 RC 延迟,可以有效地降低电路的功耗,更加有效的降低液晶显示器的能耗。

[0018] 为了能更进一步了解本发明的特征以及技术内容,请参阅以下有关本发明的详细说明与附图,然而附图仅提供参考与说明用,并非用来对本发明加以限制。

#### 附图说明

- [0019] 图 1 是本发明的液晶显示器的功能方块图。
- [0020] 图 2 是本发明的栅极驱动器的移位缓存单元的方块图。
- [0021] 图 3A 是图 2 移位缓存单元的第一实施例的电路图。
- [0022] 图 3B 是图 3A 所示各种输入信号、输出信号和节点电压的时序图。
- [0023] 图 4A 是图 2 移位缓存单元的第二实施例的电路图。
- [0024] 图 4B 是图 4A 所示各种输入信号、输出信号和节点电压的时序图。
- [0025] 图 5A 是图 2 移位缓存单元的第三实施例的电路图。
- [0026] 图 5B 是图 5A 所示各种输入信号、输出信号和节点电压的时序图。
- [0027] 图 6A 是图 2 移位缓存单元的第四实施例的电路图。
- [0028] 图 6B 是图 6A 所示各种输入信号、输出信号和节点电压的时序图。
- [0029] 图 7A 是图 2 移位缓存单元的第五实施例的电路图。
- [0030] 图 7B 是图 7A 所示各种输入信号、输出信号和节点电压的时序图。
- [0031] 图 8A 是图 2 移位缓存单元的第六实施例的电路图。
- [0032] 图 8B 是图 8A 所示各种输入信号、输出信号和节点电压的时序图。
- [0033] 图 9A 是图 2 移位缓存单元的第七实施例的电路图。
- [0034] 图 9B 是图 9A 所示各种输入信号、输出信号和节点电压的时序图。
- [0035] 图 10A 是图 2 移位缓存单元的第八实施例的电路图。
- [0036] 图 10B 是图 10A 所示各种输入信号、输出信号和节点电压的时序图。
- [0037] 图 11A 是图 2 移位缓存单元的第九实施例的电路图。
- [0038] 图 11B 是图 11A 所示各种输入信号、输出信号和节点电压的时序图。

#### 具体实施方式

[0039] 为更进一步阐述本发明所采取的技术手段及其效果,以下结合本发明的优选实施例及其附图进行详细描述。

[0040] 请参阅图 1,图 1 是本发明的液晶显示器 10 的功能方块图。液晶显示器 10 包含液晶显示面板 12、栅极驱动器 (gate driver) 14 以及源极驱动器 (source driver) 16。液晶显示面板 12 包含数个像素 (pixel),而每一个像素包含三个分别代表红绿蓝 (RGB) 三原色的像素单元 20 构成。以一个 1024×768 分辨率的液晶显示面板 12 来说,共需要 1024×768×3 个像素单元 20 组合而成。栅极驱动器 14 输出扫描信号使得每一行的晶体管 22 依序开启,同时源极驱动器 16 则输出对应的数据信号至一整列的像素单元 20 使其充电到各自所需的电压,以显示不同的灰阶。当同一行充电完毕后,栅极驱动器 14 便将该行的扫描信号关闭,然后栅极驱动器 14 再输出扫描信号将下一行的晶体管 22 打开,再由源极驱动器 16 对下一行的像素单元 20 进行充放电。如此依序下去,直到液晶显示面板 12 的所有像素单元 20 都

充电完成,再从第一列开始充电。

[0041] 在目前的液晶显示面板设计中,栅极驱动器 14 等效上为移位寄存器 (shift register),其目的即每隔一固定间隔输出扫描信号至液晶显示面板 12。以一个  $1024 \times 768$  分辨率的液晶显示面板 12 以及  $60\text{Hz}$  的更新频率为例,每一个画面的显示时间约为  $1/60 = 16.67\text{ms}$ 。所以每一个扫描信号的脉波约为  $16.67\text{ms}/768 = 21.7 \mu\text{s}$ 。而源极驱动器 16 则在这  $21.7 \mu\text{s}$  的时间内,将像素单元 20 充放电到所需的电压,以显示出相对应的灰阶。

[0042] 请参阅图 2,图 2 是本发明的栅极驱动器 14 的移位缓存单元  $\text{SR}(N)$  的方块图。栅极驱动器 14 包含数个串接 (cascade-connected) 的移位缓存单元  $\text{SR}(N)$ ,  $N$  为 0 或正整数。移位缓存单元  $\text{SR}(N)$  用来依据第一时钟信号  $\text{CK}$ 、第二时钟信号  $\text{XCK}$  以及每一移位缓存单元  $\text{SR}(N)$  之前一级移位缓存单元  $\text{SR}(N-1)$  的驱动信号脉冲  $\text{ST}(N-1)$  输出每一移位缓存单元  $\text{SR}(N)$  的扫描信号。当第一级移位缓存单元 100 (1) 自输入端  $\text{ST}(0)$  接收到起始脉冲 (start pulse) 后,移位缓存单元 100 (1) 就会隔一标准时钟 (clock cycle) 输出产生输出信号脉冲  $\text{ST}(1)$ ,接下来,每一移位缓存单元  $\text{SR}(N)$  依据第一时钟信号  $\text{CK}$ 、第二时钟信号  $\text{XCK}$  以及每一移位缓存单元  $\text{SR}(N)$  的前一级移位缓存单元  $\text{SR}(N-1)$  于驱动信号端  $\text{ST}(N-1)$  输出的驱动信号脉冲,以每隔一标准时钟于输出端  $\text{OUT}(N)$  输出该每一移位缓存单元  $\text{SR}(N)$  的输出信号,该输出信号即扫描信号脉冲,用来输出并开启对应的像素单元 112 的晶体管。第一时钟信号  $\text{CK}$  与第二时钟信号  $\text{XCK}$  的相位相差  $180$  度。

[0043] 每一移位缓存单元  $\text{SR}(N)$  包含上拉控制电路 (pull-up control circuit) 100、上拉电路 (pull-up circuit) 200、下传电路 (transfer circuit) 300、下拉电路 (pull-down circuit) 400 以及下拉保持电路 500。下拉保持电路 500 包含第一下拉保持电路 510 和第二下拉保持电路 520。

[0044] 请参阅图 3A,图 3A 是图 2 移位缓存单元  $\text{SR}(N)$  的第一实施例的电路图。上拉电路 200 可以是第一晶体管  $\text{T1}$ ,其栅极耦接于第一节点  $\text{Q}(N)$ ,源极耦接于第一时钟信号  $\text{CK}$ ,漏极耦接于该输出端  $\text{G}(N)$ ,用来依据第一时钟信号  $\text{CK}$ ,由输出端  $\text{G}(N)$  提供输出信号脉冲。下传电路 300 可以是第二晶体管  $\text{T2}$ ,其栅极耦接于该第一节点  $\text{Q}(N)$ ,源极耦接于第一时钟信号  $\text{CK}$ ,漏极耦接于驱动信号端  $\text{ST}(N)$ ,用来依据第一时钟信号  $\text{CK}$ ,由驱动信号端  $\text{ST}(N)$  输出驱动信号脉冲。上拉控制电路 100 可以是第三晶体管  $\text{T3}$ ,其栅极耦接于前一个移位缓存单元  $\text{SR}(N-1)$  的输出信号端  $\text{G}(N-1)$ ,源极耦接于前一个移位缓存单元  $\text{SR}(N-1)$  的驱动信号端  $\text{ST}(N-1)$ ,漏极耦接于第一节点  $\text{Q}(N)$ ,用来依据前一个移位缓存单元  $\text{SR}(N-1)$  的驱动信号脉冲,导通上拉电路 200。上升电路 600 可以是一电容  $\text{Cb}$ ,其耦接于第一节点  $\text{Q}(N)$  和输出端  $\text{G}(N)$  之间,用来抬升第一节点的电位  $\text{Q}(N)$ 。第一下拉保持电路 510 耦接于第一节点  $\text{G}(N)$ 、第一时钟信号  $\text{CK}$ 、第一固定电压  $\text{VSS1}$  以及第二固定电压  $\text{VSS2}$ ,用来依据维持第一节点  $\text{Q}(N)$  的低电平。第二下拉保持电路 520 耦接于第一节点  $\text{Q}(N)$ 、每一移位缓存单元的下两个移位缓存单元  $\text{SR}(N+2)$  的驱动信号端  $\text{ST}(N+2)$ 、第一固定电压  $\text{VSS1}$  以及第二固定电压  $\text{VSS2}$ ,用来依据每一移位缓存单元的下两个移位缓存单元  $\text{SR}(N+2)$  的驱动信号,下拉第一节点  $\text{Q}(N)$  的电位。下拉电路 400 耦接于第一固定电压  $\text{VSS1}$ 、驱动信号端  $\text{ST}(N)$  以及每一移位缓存单元的下一个移位缓存单元  $\text{SR}(n+1)$  的驱动信号端  $\text{ST}(n+1)$ ,用来下拉第一节点  $\text{Q}(N)$  的电位至第一固定电压  $\text{VSS1}$ 。较佳实施例中,第一固定电压  $\text{VSS1}$  的电压大于第二固定电压  $\text{VSS2}$ 。

[0045] 第一下拉保持电路 510 包含第四晶体管  $\text{T4}$ 、第五晶体管  $\text{T5}$ 、第六晶体管  $\text{T6}$ 、第七晶

晶体管 T7、第八晶体管 T8、第九晶体管 T9 和第十晶体管 T10。第四晶体管 T4 的栅极耦接于第一时钟信号 CK，源极耦接于第一时钟信号 CK，漏极耦接于第二节点 P(N)。第五晶体管 T5 的栅极耦接于该驱动信号端 ST(N)，源极耦接于该第二节点 P(N)，漏极耦接于第二电源电压 VSS2。第六晶体管 T6 的栅极耦接于前一个移位缓存单元 SR(N-1) 的驱动信号端 ST(N-1)，源极耦接于第二节点 P(N)，漏极耦接于第二电源电压 VSS2。第七晶体管 T7 的栅极耦接于第二时钟信号 XCK，源极耦接于该第一时钟信号 CK，漏极耦接于第二节点 P(N)。第八晶体管 T8 的栅极耦接于第二节点 P(N)，源极耦接于输出端 G(N)，漏极耦接于第一电源电压 VSS1。第九晶体管 T9 的栅极耦接于第二节点 P(N)，源极耦接于第一节点 Q(N)，漏极耦接于第一电源电压 VSS1。第十晶体管 T10 的栅极耦接于第二节点 P(N)，源极耦接于驱动信号端 ST(N)，漏极耦接于第二电源电压 VSS2。

[0046] 第二下拉保持电路 520 包含第十一晶体管 T11 和第十二晶体管 T12。第十一晶体管 T11 的栅极耦接于该每一移位缓存单元的下两个移位缓存单元 SR(N+2) 的驱动信号端 ST(N+2)，源极耦接于第一节点 Q(N)，漏极耦接于第一电源电压 VSS1。第十二晶体管 T12 的栅极耦接于该每一移位缓存单元的下两个移位缓存单元 SR(N+2) 的驱动信号端 ST(N+2)，源极耦接于输出端 G(N)，漏极耦接于第一电源电压 VSS1。

[0047] 下拉电路 400 包含第十三晶体管 T13、第十四晶体管 T14 和第十五晶体管 T15。第十三晶体管 T13 的栅极耦接于该每一移位缓存单元的下一个移位缓存单元 SR(n+1) 的驱动信号端 ST(n+1)，源极耦接于驱动信号端 ST(N)，漏极耦接于第二电源电压 VSS2。第十四晶体管 T14 的栅极耦接于该每一移位缓存单元的下一个移位缓存单元 SR(n+1) 的驱动信号端 ST(n+1)，源极耦接于输出端 G(N)，漏极耦接于第一电源电压 VSS1。第十五晶体管 T15 的栅极耦接于每一移位缓存单元的下一个移位缓存单元 SR(n+1) 的驱动信号端 ST(n+1)，源极耦接于第一节点 Q(N)，漏极耦接于第一电源电压 VSS1。

[0048] 请一并参阅图 3A 和图 3B。图 3B 是图 3A 所示各种输入信号、输出信号和节点电压的时序图。第八晶体管 T8 用来将输出端 G(N) 维持在低电平。第九晶体管 T9 用来将第一节点 Q(N) 维持在低电平。第五晶体管 T5 用来当驱动信号端 ST(N) 处于高电平的时候将第二节点 P(N) 的电位下拉。第六晶体管 T6 用来当驱动信号端 ST(N-1) 处于高电平的时候将第二节点 P(N) 的电位下拉，从而关闭作用期间的下拉保持电路 510，以防止对第一节点 Q(N) 和输出端 G(N) 输出的影响。第二固定电压 VSS2 的电位低于第一固定电压 VSS1 ( $VSS2 < VSS1$ ) 的目的是为了通过两段分压原理降低第二节点 P(N) 的电位。因此第二节点 P(N) 在作用期间的电位被拉得越低，则第八晶体管 T8 和第九晶体管 T9 将会更有效地关闭而不导通，可防止对输出端 G(N) 的放电导致输出异常。第十二晶体管 T12 和第十一晶体管 T11 分别用来在输出端 G(N) 输出后，在下一时段时下拉第一节点 Q(N) 和输出端 G(N) 的电位，以确保第一节点 Q(N) 和输出端 G(N) 的电位能快速下拉。

[0049] 从图 3B 可以看出，输出端 G(N) 会被拉到第一固定电压 VSS1 一样的低电平，第二节点 P(N) 在第一节点 Q(N) 和输出端 G(N) 处于高电平时会被拉到比第一固定电压 VSS2 更低的电平。这样第八晶体管 T8 和第九晶体管 T9 的栅极-源极电压  $V_{gs} = VSS2 - VSS1 < 0$ ，可以有效地降低第八晶体管 T8 和第九晶体管 T9 的漏电流。

[0050] 请参阅图 4A 和图 4B。图 4A 是图 2 移位缓存单元 SR(N) 的第二实施例的电路图。图 4B 是图 4A 所示各种输入信号、输出信号和节点电压的时序图。图 4A 的移位缓存单元

SR(N) 与图 3A 的移位缓存单元 SR(N) 具有相同标号组件者,其操作原理相同,在此不另赘述。图 4A 和图 3A 的差异在于,下拉电路 400 另包含第十六晶体管 T16,且第十五晶体管 T15 和第十六晶体管 T16 的连结也不相同。第十五晶体管 T15 的栅极耦接于该每一移位缓存单元的下一个移位缓存单元 SR(n+1) 的驱动信号端 ST(n+1),源极耦接于该第一节点 Q(N)。第十六晶体管 T16 的栅极和源极皆耦接于该第十五晶体管 T15 的漏极,漏极耦接于第一电源电压 VSS1。图 4A 的移位缓存单元 SR(N) 与图 3A 的移位缓存单元 SR(N) 的运作原理相同和达成效果相同,在此不另赘述。

[0051] 请参阅图 5A 和图 5B。图 5A 是图 2 移位缓存单元的第三实施例的电路图。图 5B 是图 5A 所示各种输入信号、输出信号和节点电压的时序图。图 5A 的移位缓存单元 SR(N) 与图 3A 的移位缓存单元 SR(N) 具有相同标号组件者,其操作原理相同,在此不另赘述。图 5A 和图 3A 的差异在于,第一下拉保持电路 510 的第七晶体管 T7 的栅极耦接于第二节点 P(N),可以减小第一时钟信号 CK 和第二时钟信号 XCK 信号之间的跨线串扰。相较于图 3B,跟据第七晶体管 T7 的波形,第二节点 P(N) 能更有效的放电。图 5A 的移位缓存单元 SR(N) 与图 3A 的移位缓存单元 SR(N) 的运作原理相同和达成效果相同,在此不另赘述。

[0052] 请参阅图 6A 和图 6B。图 6A 是图 2 移位缓存单元的第四实施例的电路图。图 6B 是图 6A 所示各种输入信号、输出信号和节点电压的时序图。图 6A 的移位缓存单元 SR(N) 与图 3A 的移位缓存单元 SR(N) 具有相同标号组件者,其操作原理相同,在此不另赘述。图 6A 和图 3A 的差异在于,第二下拉保持电路 520 没有第十二晶体管 T12 可以进一步减少晶体管的数量,以减少 RC 延迟。图 6A 的移位缓存单元 SR(N) 与图 3A 的移位缓存单元 SR(N) 的运作原理相同和达成效果相同,在此不另赘述。

[0053] 请参阅图 7A 和图 7B。图 7A 是图 2 移位缓存单元的第五实施例的电路图。图 7B 是图 7A 所示各种输入信号、输出信号和节点电压的时序图。图 6A 的移位缓存单元 SR(N) 与图 7A 的移位缓存单元 SR(N) 具有相同标号组件者,其操作原理相同,在此不另赘述。图 7A 和图 6A 的差异在于,第一下拉保持电路 510 的第七晶体管 T7 的栅极耦接于第二节点 P(N),可以减小第一时钟信号 CK 和第二时钟信号 XCK 信号之间的跨线串扰。相较于图 6B,跟据第七晶体管 T7 的波形,第二节点 P(N) 能更有效的放电。图 7A 的移位缓存单元 SR(N) 与图 6A 的移位缓存单元 SR(N) 的运作原理相同和达成效果相同,在此不另赘述。

[0054] 请参阅图 8A 和图 8B。图 8A 是图 2 移位缓存单元的第六实施例的电路图。图 8B 是图 8A 所示各种输入信号、输出信号和节点电压的时序图。图 8A 的移位缓存单元 SR(N) 与图 6A 的移位缓存单元 SR(N) 具有相同标号组件者,其操作原理相同,在此不另赘述。图 8A 和图 6A 的差异在于,下拉电路 400 没有第十五晶体管 T15 可以进一步减少晶体管的数量,以减少 RC 延迟。图 8A 的移位缓存单元 SR(N) 与图 6A 的移位缓存单元 SR(N) 的运作原理相同和达成效果相同,在此不另赘述。

[0055] 请参阅图 9A 和图 9B。图 9A 是图 2 移位缓存单元的第七实施例的电路图。图 9B 是图 9A 所示各种输入信号、输出信号和节点电压的时序图。图 9A 的移位缓存单元 SR(N) 与图 8A 的移位缓存单元 SR(N) 具有相同标号组件者,其操作原理相同,在此不另赘述。图 9A 和图 8A 的差异在于,第一下拉保持电路 510 的第七晶体管 T7 的栅极耦接于第二节点 P(N),可以减小第一时钟信号 CK 和第二时钟信号 XCK 信号之间的跨线串扰。相较于图 8B,跟据第七晶体管 T7 的波形,第二节点 P(N) 能更有效的放电。图 9A 的移位缓存单元 SR(N) 与图

8A 的移位缓存单元 SR(N) 的运作原理相同和达成效果相同,在此不另赘述。

[0056] 请参阅图 10A 和图 10B。图 10A 是图 2 移位缓存单元的第八实施例的电路图。图 10B 是图 10A 所示各种输入信号、输出信号和节点电压的时序图。图 10A 的移位缓存单元 SR(N) 与图 8A 的移位缓存单元 SR(N) 具有相同标号组件者,其操作原理相同,在此不另赘述。图 10A 和图 8A 的差异在于,下拉电路 400 没有第十四晶体管 T14 可以进一步减少晶体管的数量,以减少 RC 延迟。图 10A 的移位缓存单元 SR(N) 与图 8A 的移位缓存单元 SR(N) 的运作原理相同和达成效果相同,在此不另赘述。

[0057] 请参阅图 11A 和图 11B。图 11A 是图 2 移位缓存单元的第九实施例的电路图。图 11B 是图 11A 所示各种输入信号、输出信号和节点电压的时序图。图 11A 的移位缓存单元 SR(N) 与图 10A 的移位缓存单元 SR(N) 具有相同标号组件者,其操作原理相同,在此不另赘述。图 11A 和图 10A 的差异在于,第一下拉保持电路 510 的第七晶体管 T7 的栅极耦接于第二节点 P(N),可以减小第一时钟信号 CK 和第二时钟信号 XCK 信号之间的跨线串扰。相较于图 10B,根据第七晶体管 T7 的波形,第二节点 P(N) 能更有效的放电。图 11A 的移位缓存单元 SR(N) 与图 10A 的移位缓存单元 SR(N) 的运作原理相同和达成效果相同,在此不另赘述。

[0058] 相较于现有技术,本发明的栅极驱动器将下拉保持电路和信号的有效结合,可以对电路的架构有效的删减,能真正的做到超窄边框栅极驱动器的设计。此外,第一下拉保持电路的第七晶体管采用等效二极管的连接方式可以有效降低第二节点的电压偏移作用,延长 GOA 电路的操作时间,增加液晶显示器的使用寿命。最后,减少第一和第二下拉保持电路使用的晶体管和信号数量,可以减小电路的 RC 延迟,可以有效地降低电路的功耗,更加有效的降低液晶显示器的能耗。

[0059] 综上所述,虽然本发明已以较佳实施例揭露如上,但该较佳实施例并非用以限制本发明,该领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

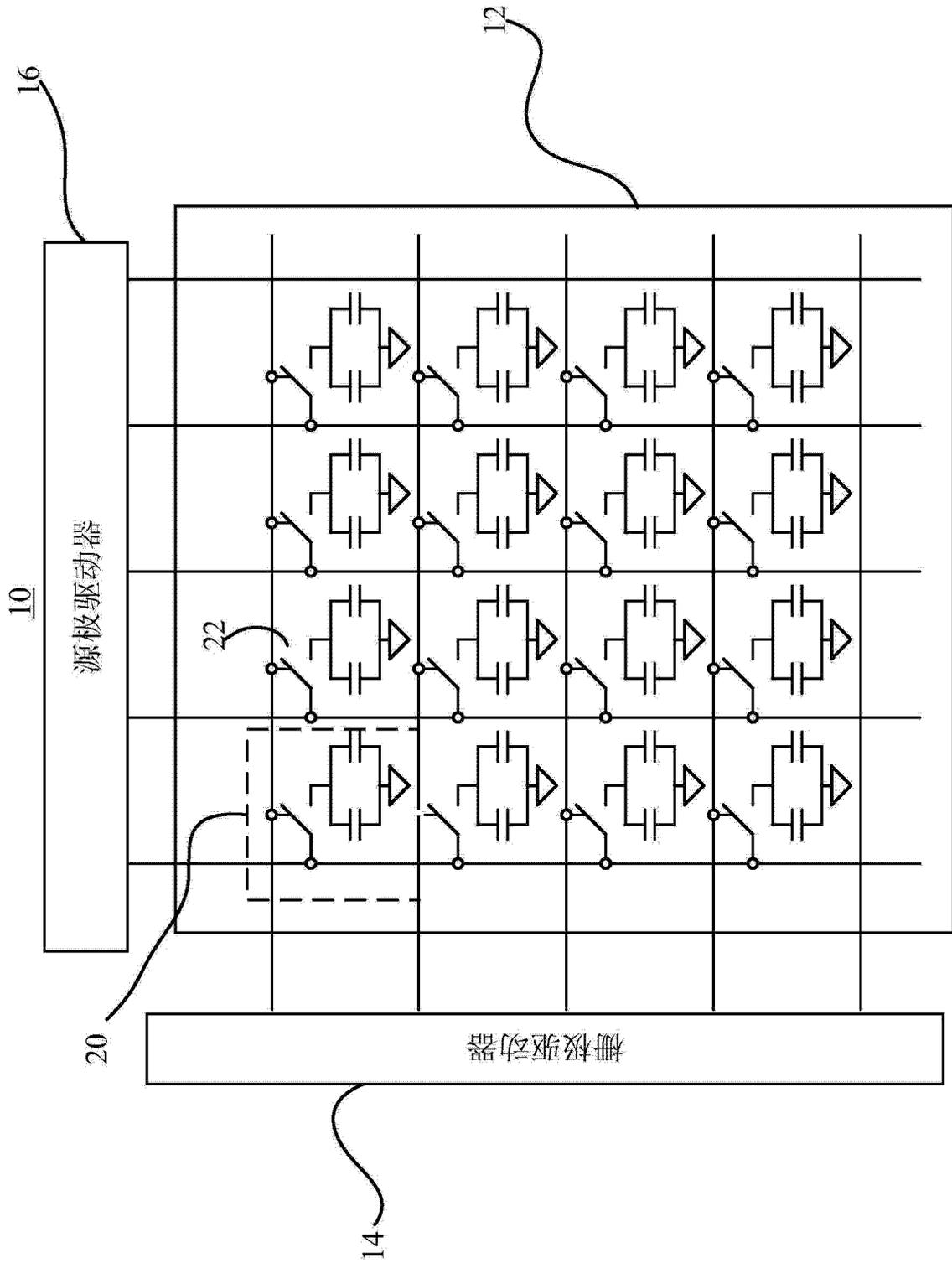


图 1

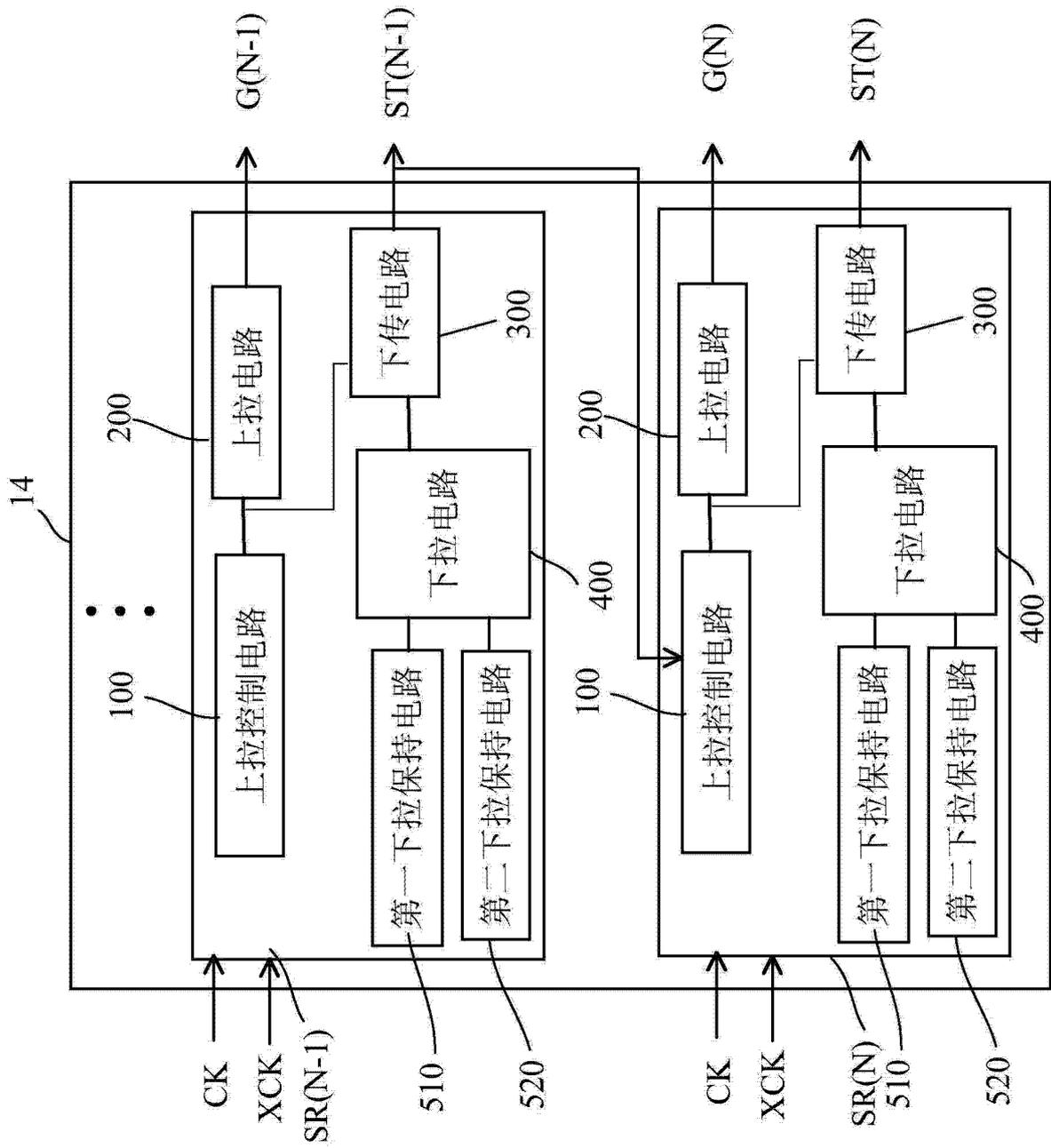


图 2

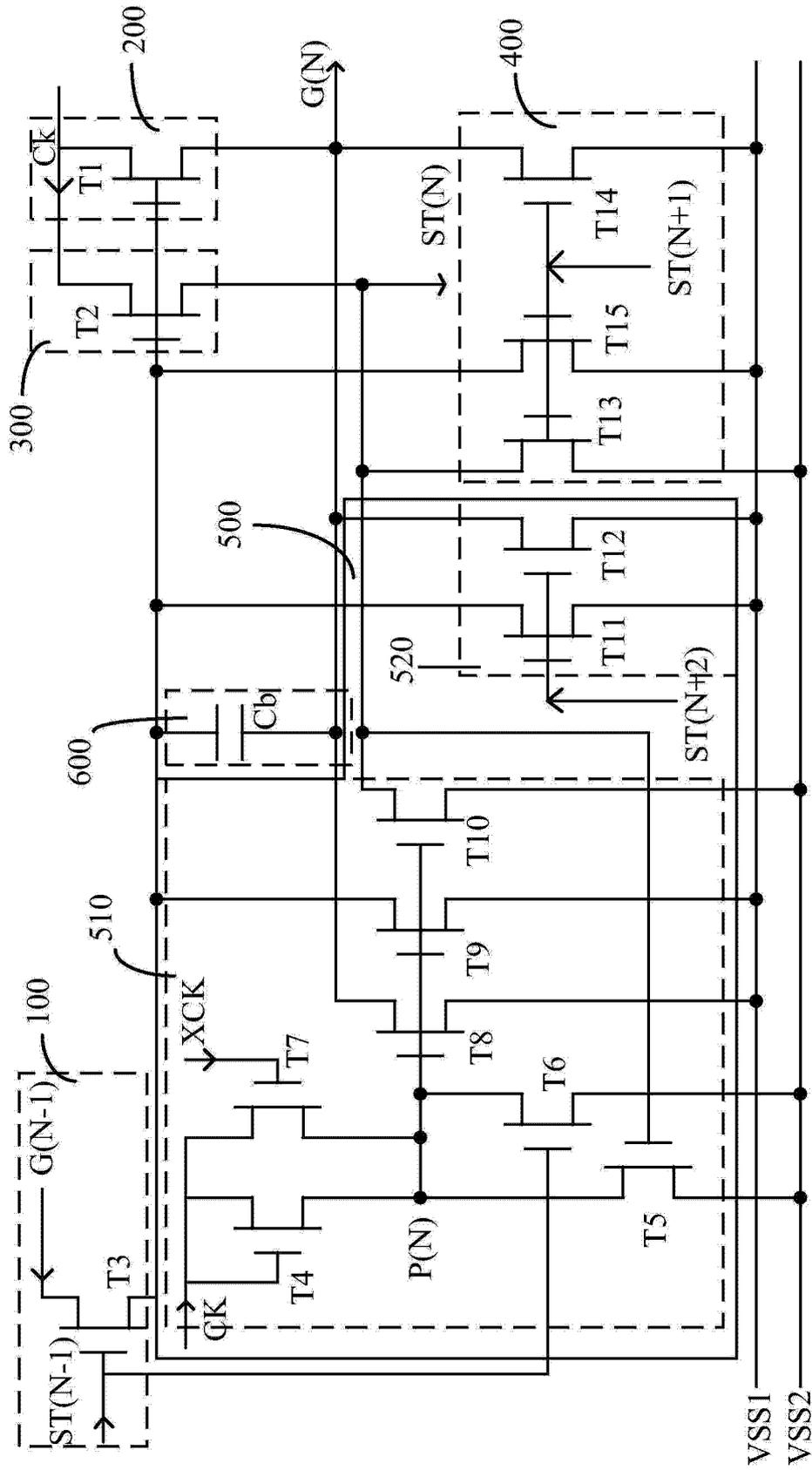


图 3A

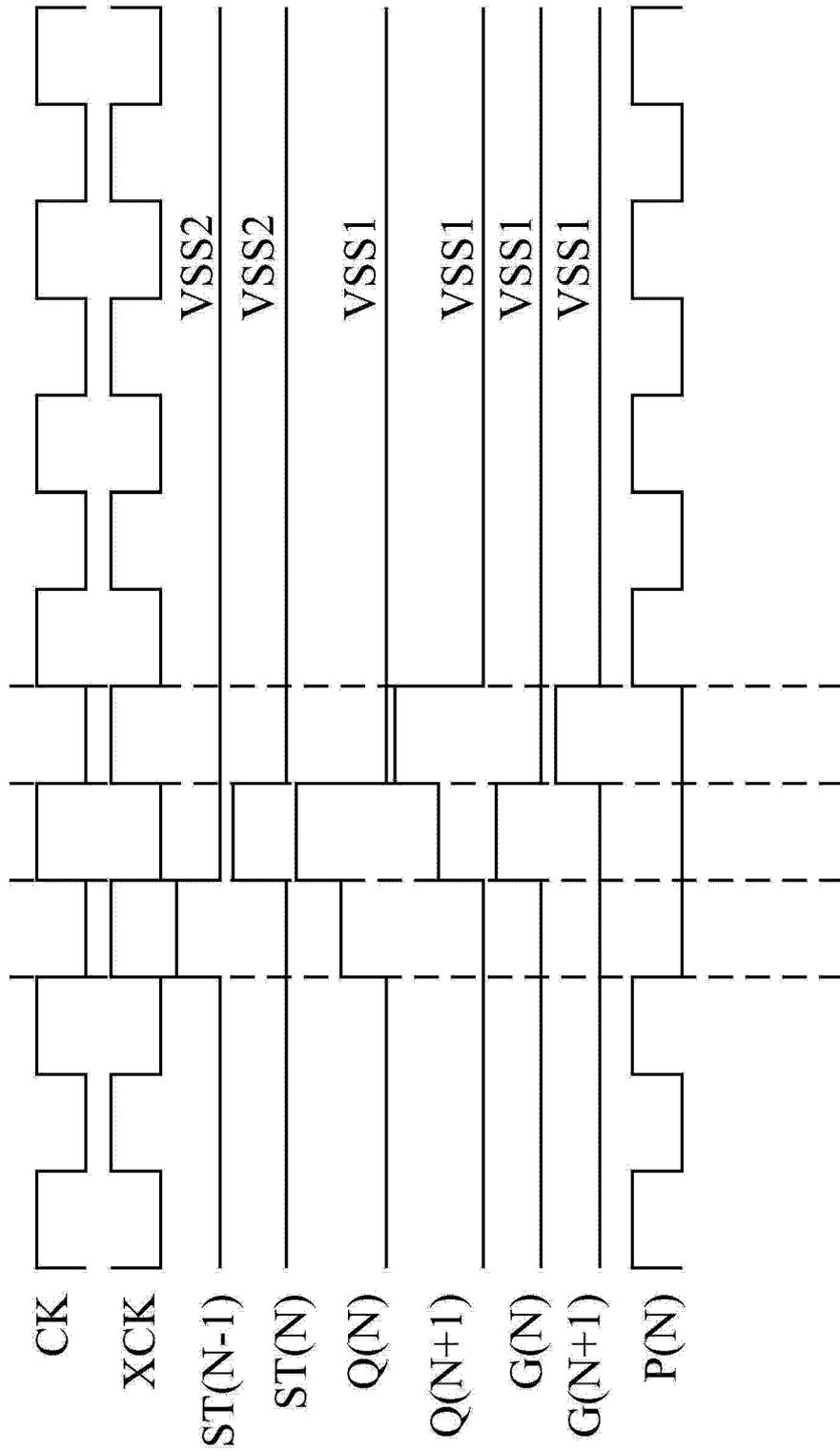


图 3B

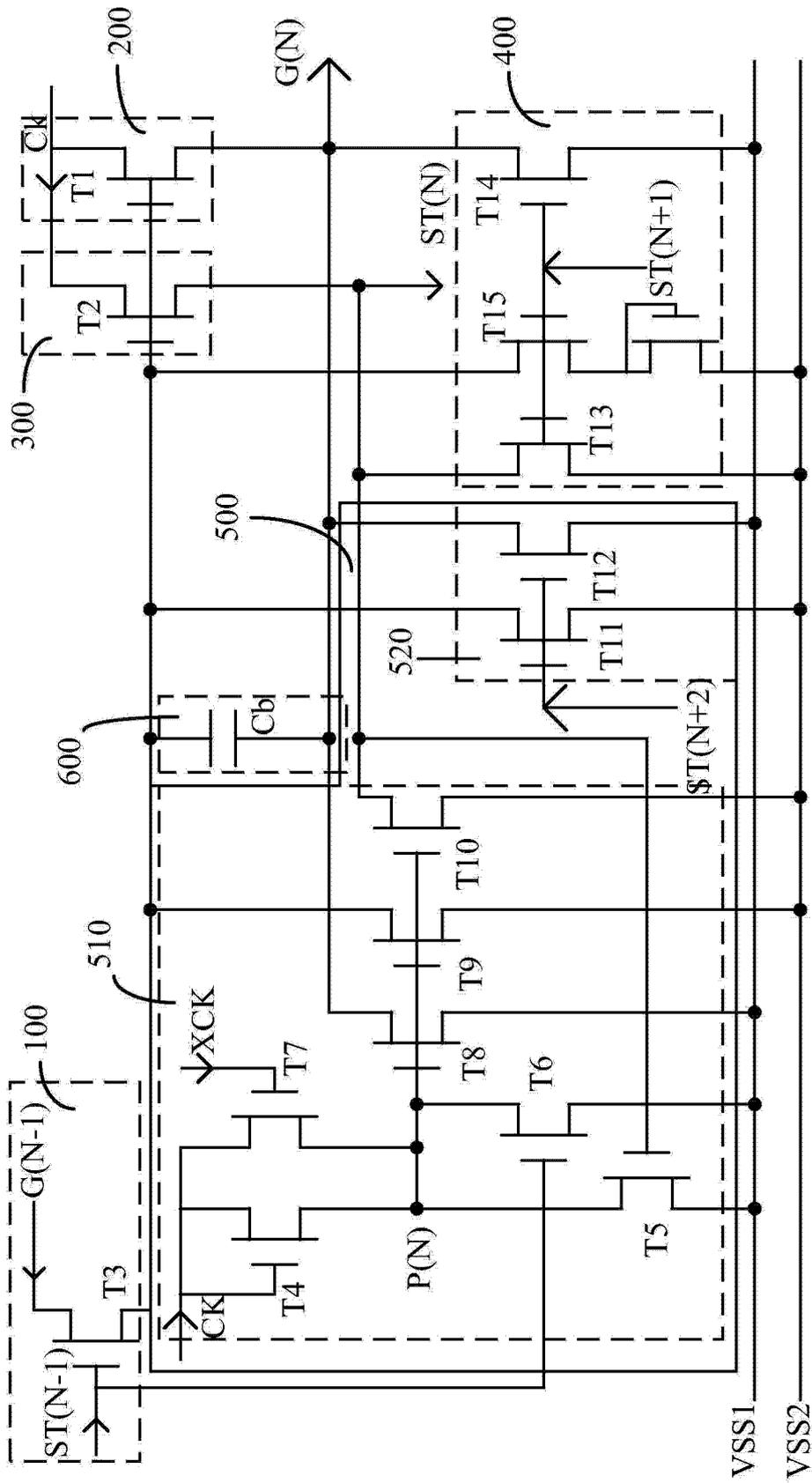


图 4A

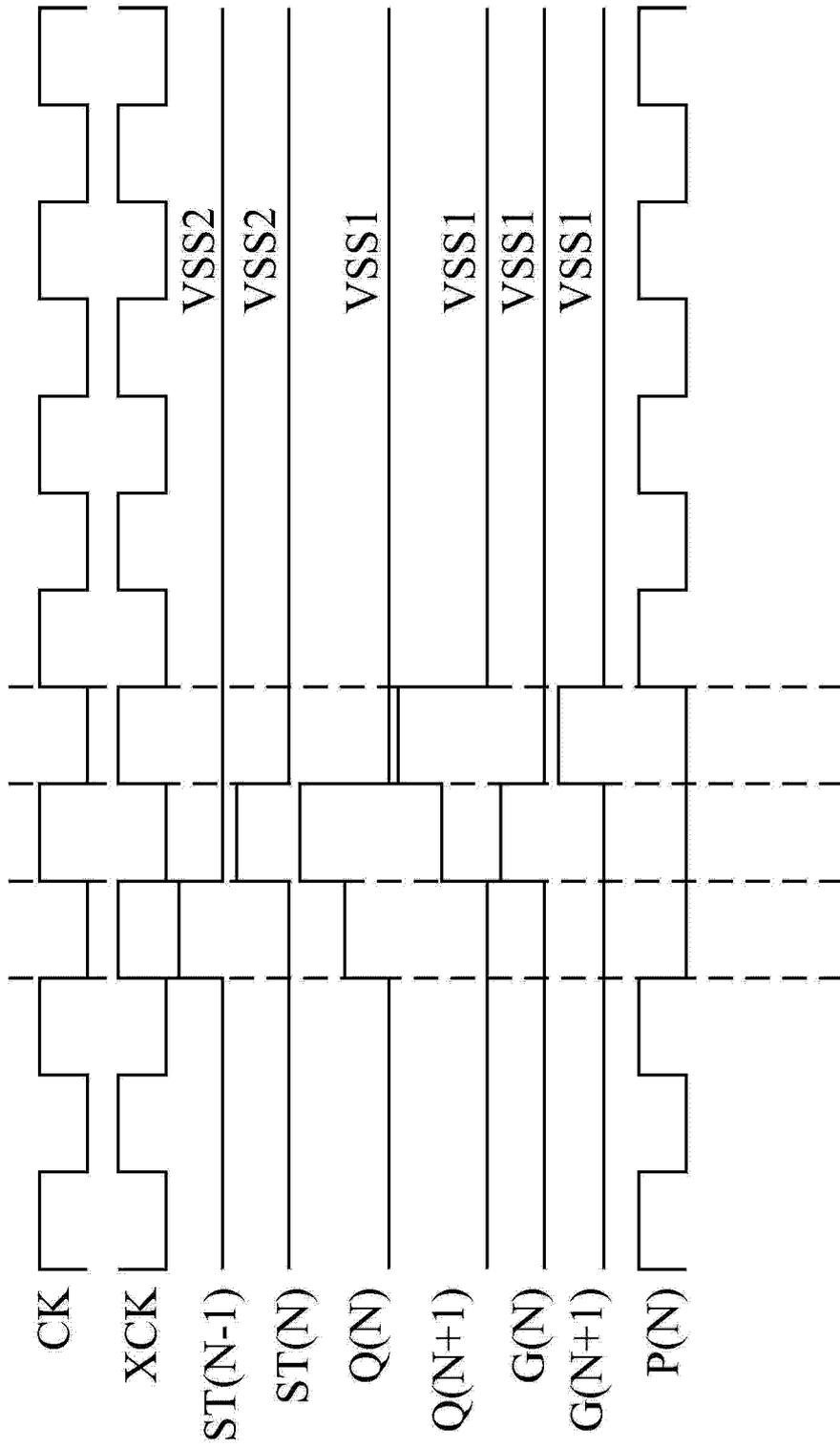


图 4B

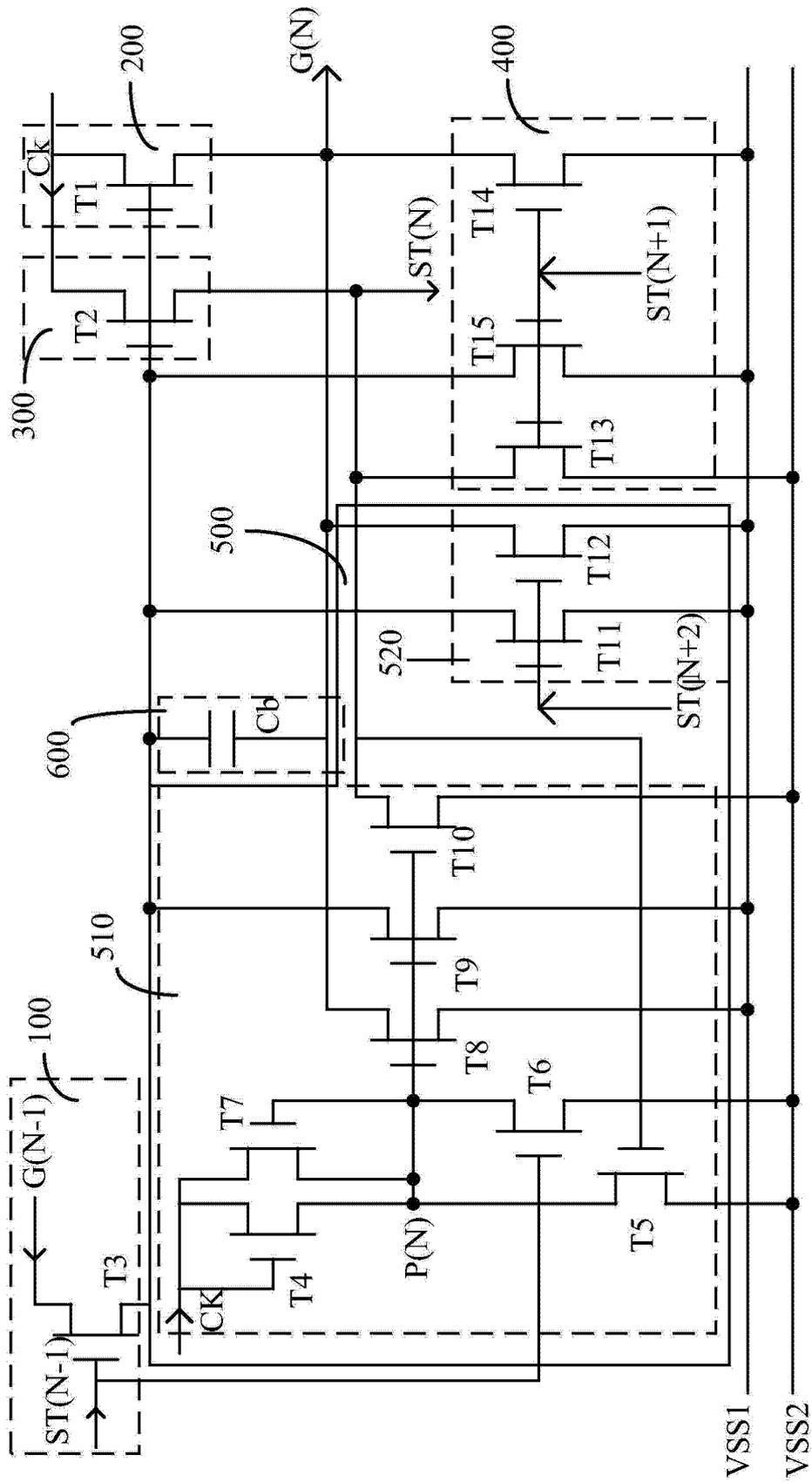


图 5A

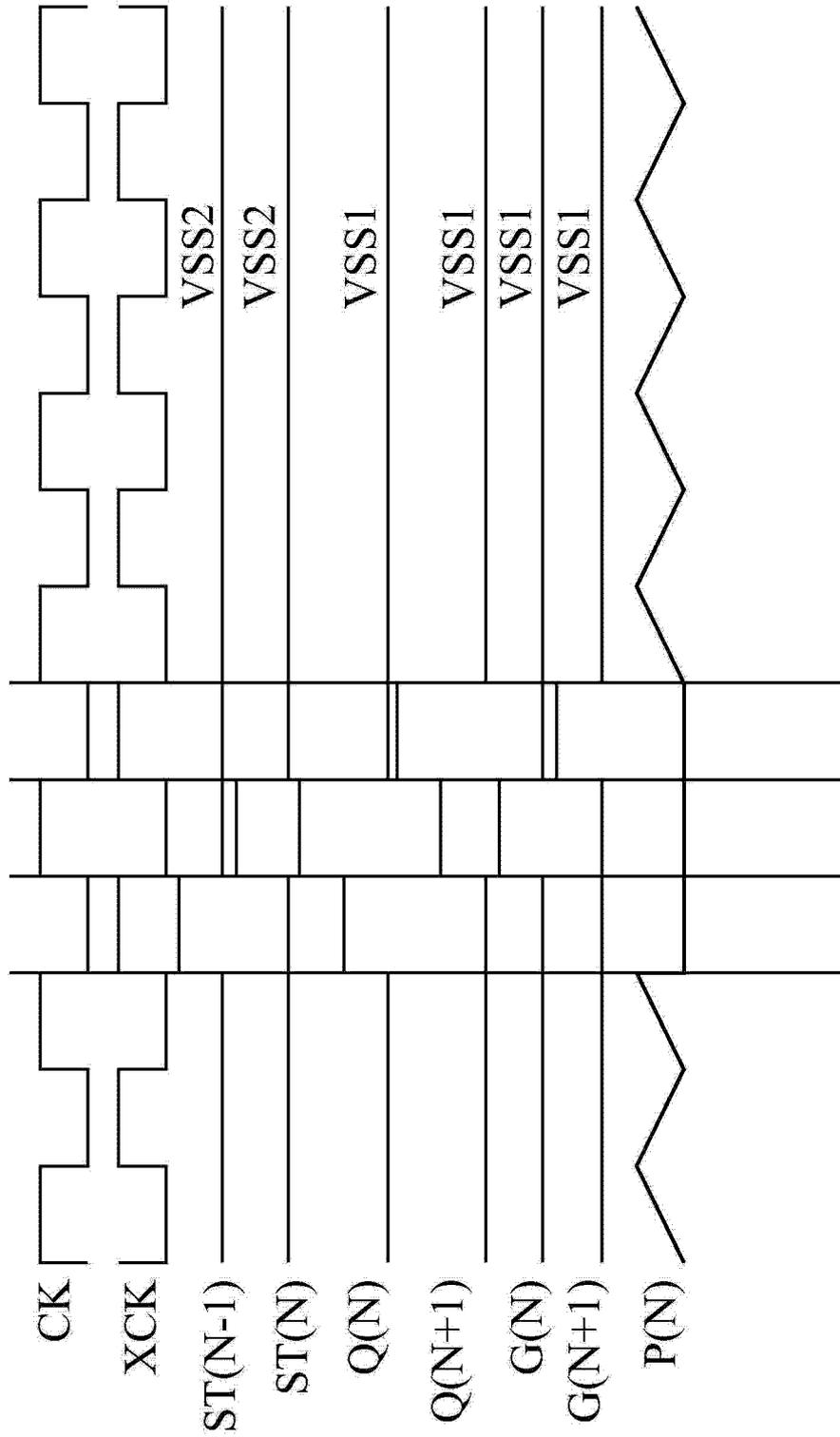


图 5B

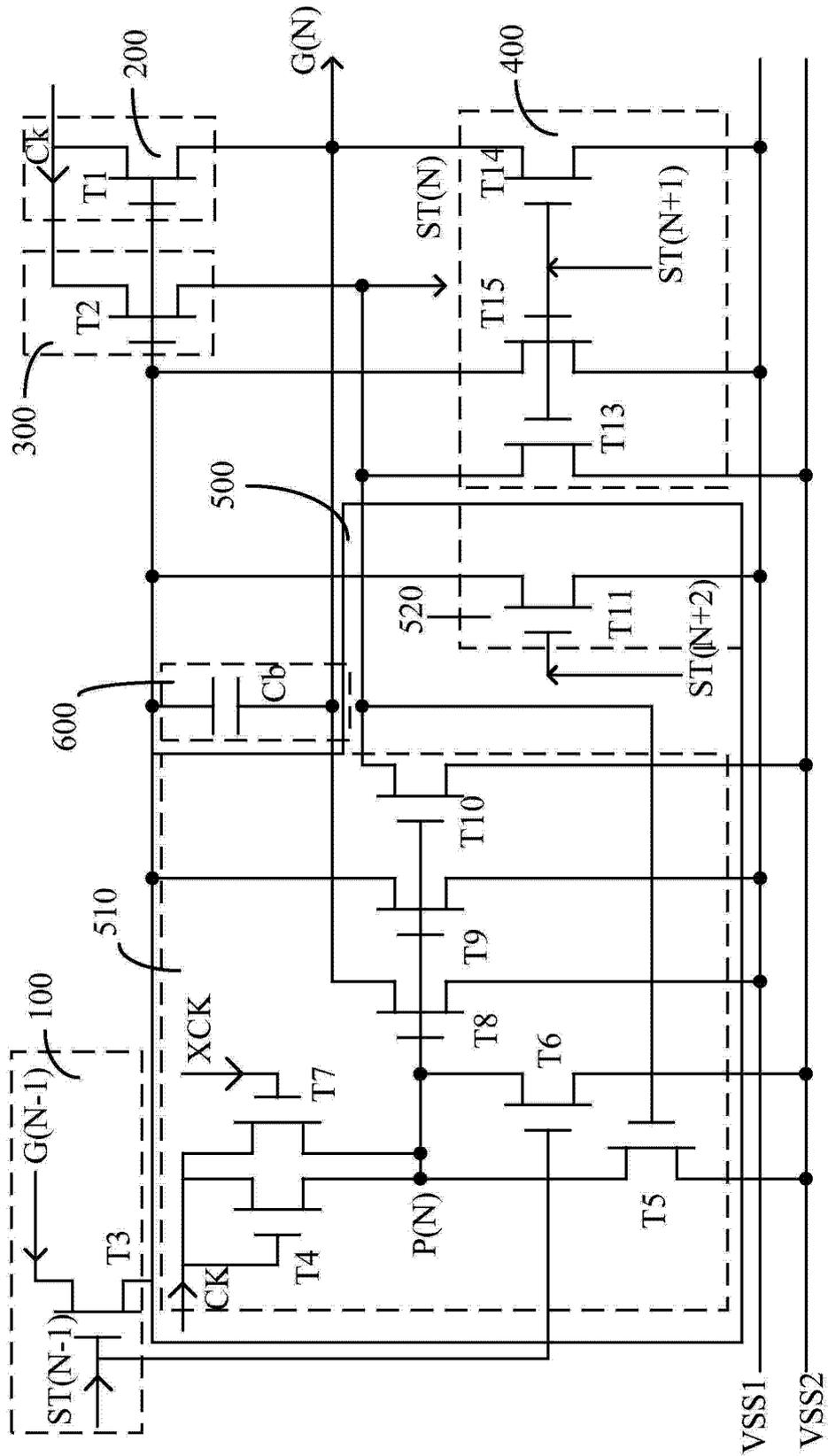


图 6A

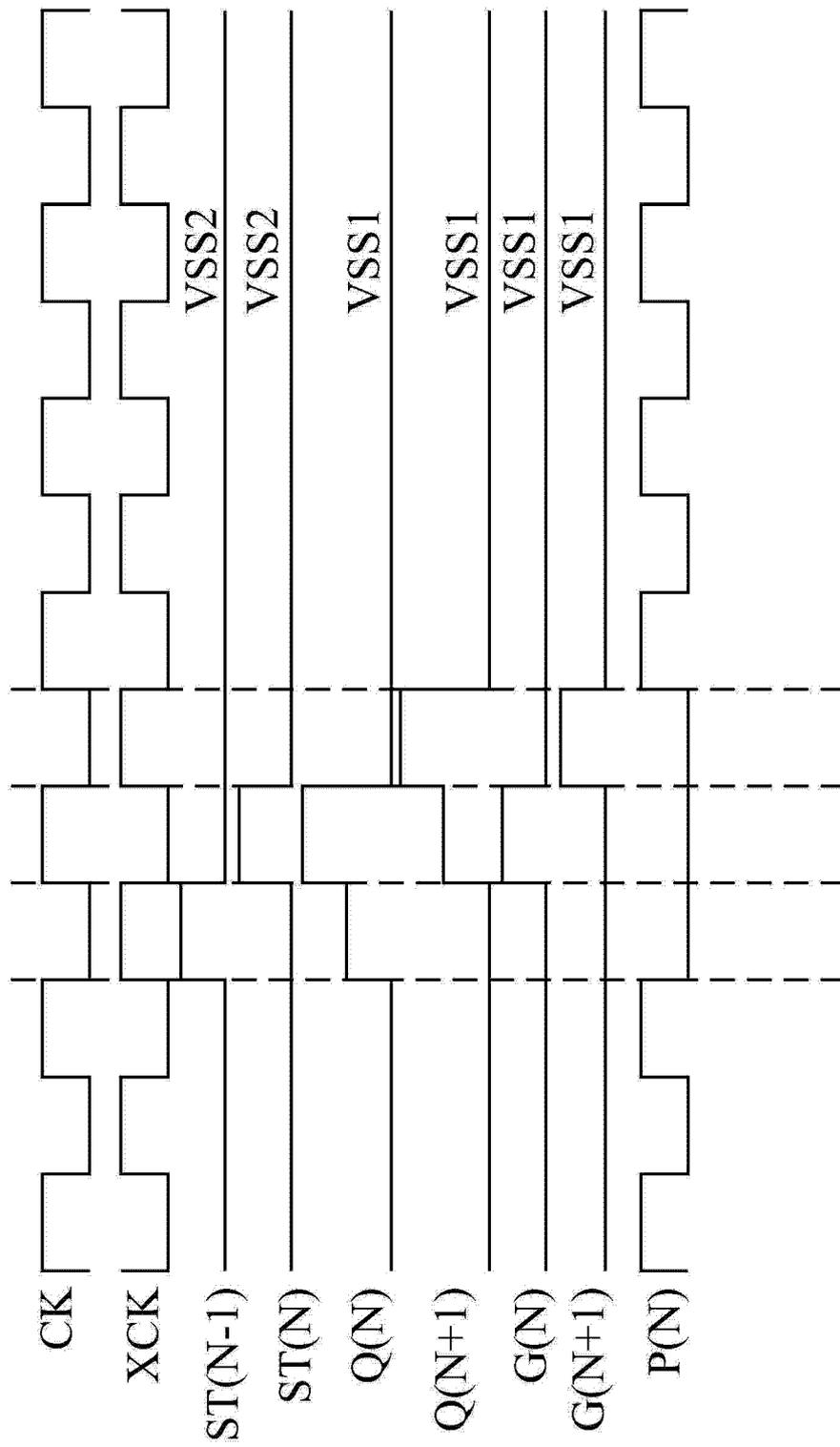


图 6B

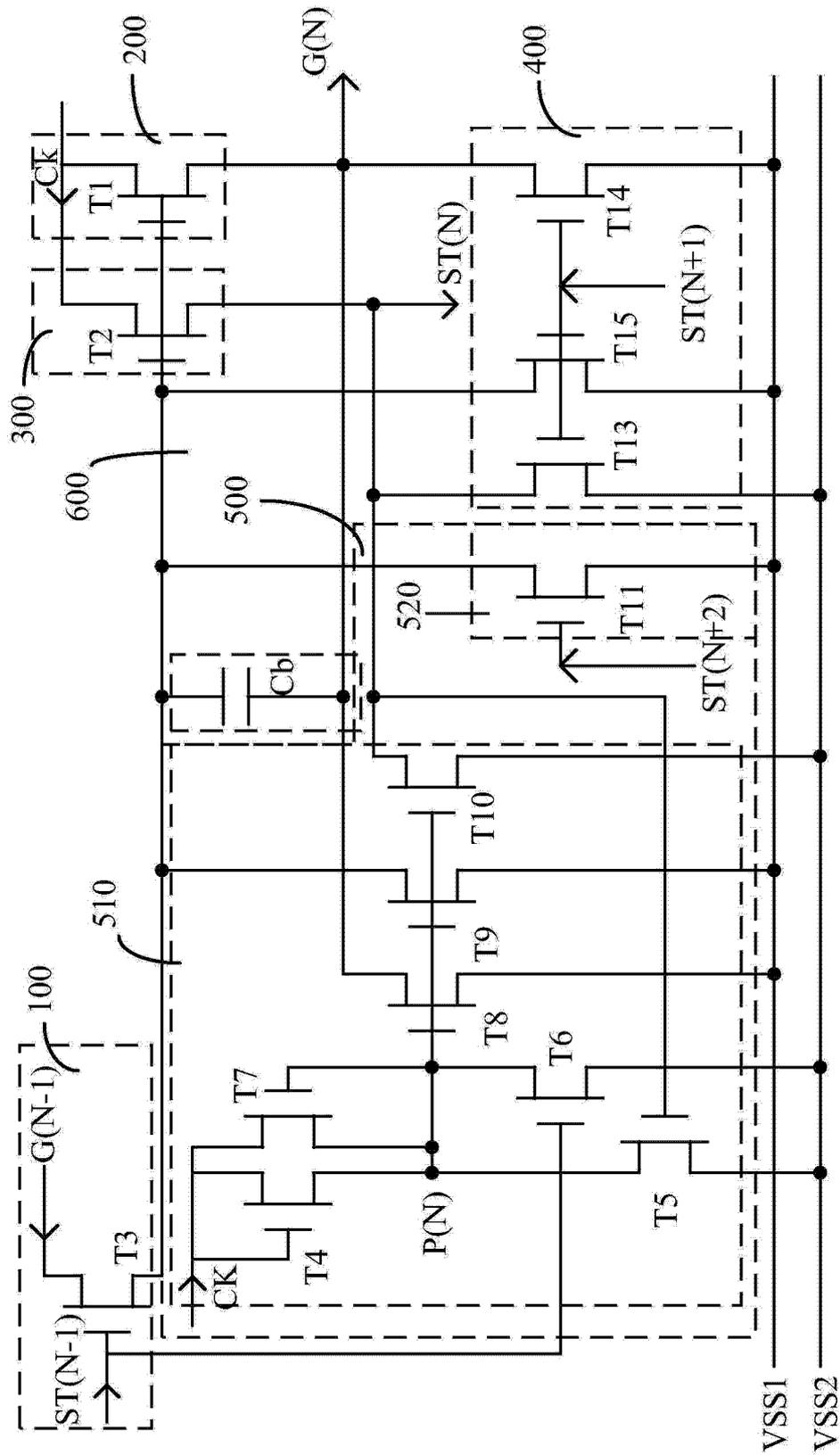


图 7A

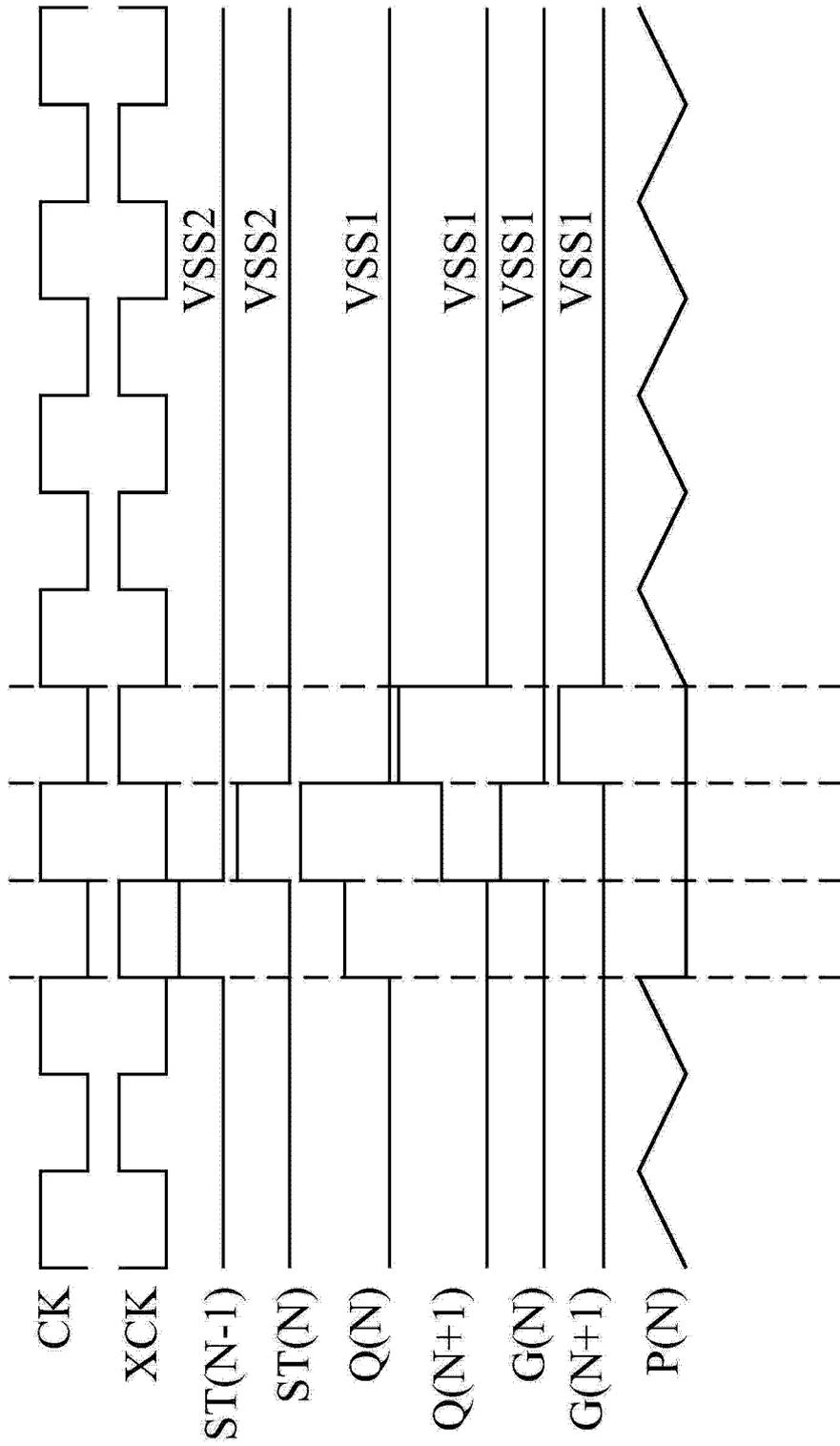


图 7B

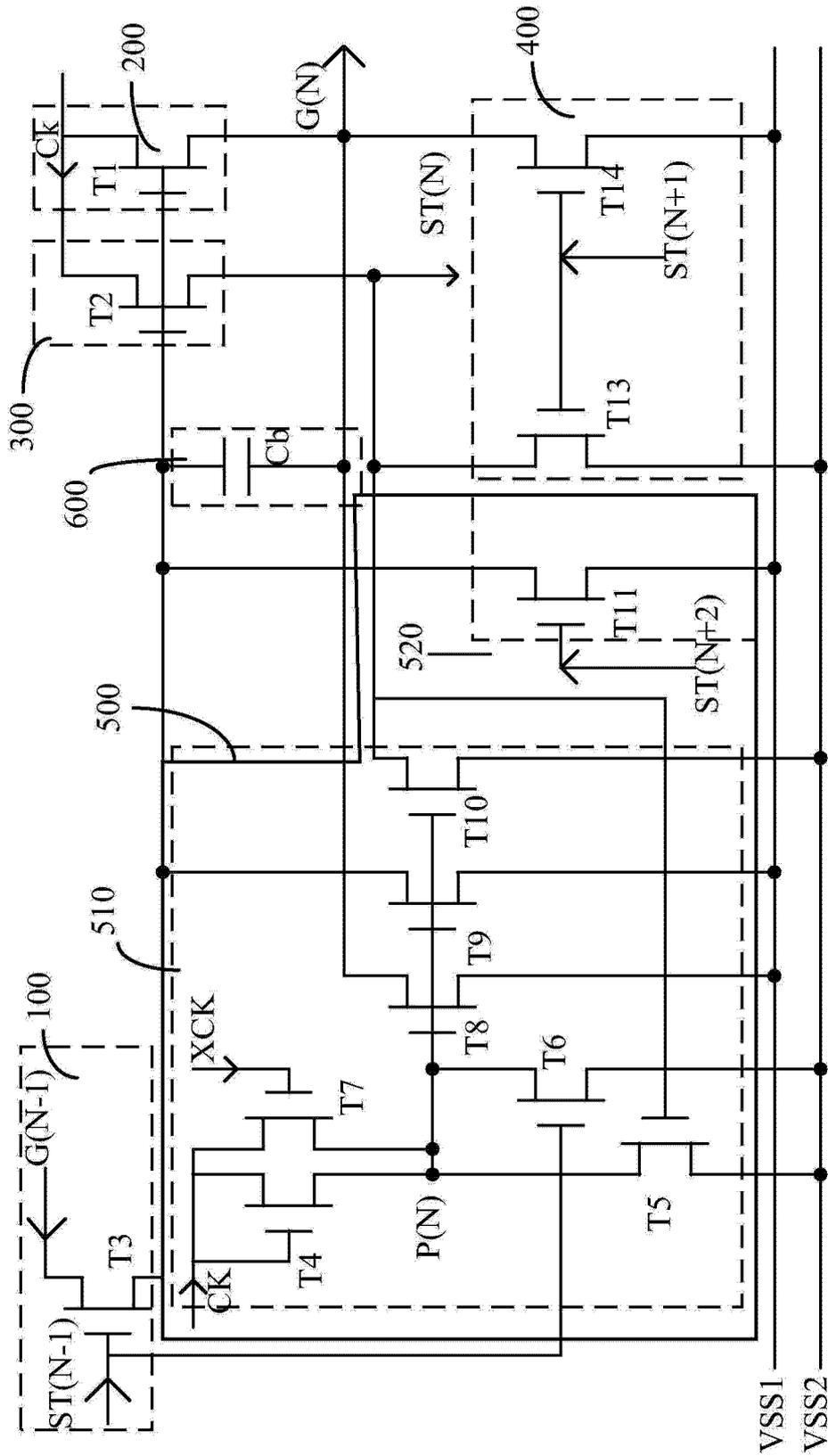


图 8A

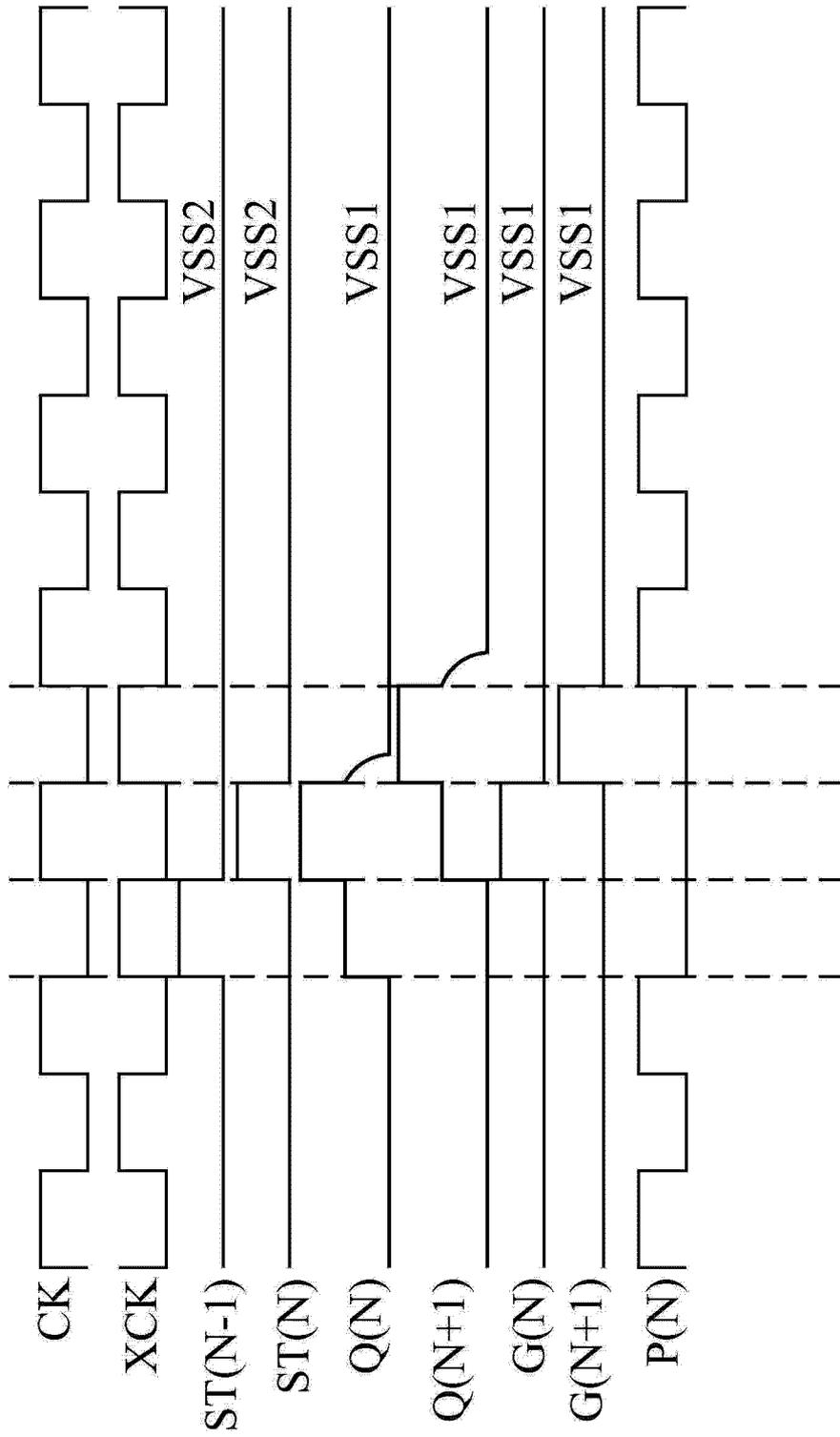


图 8B

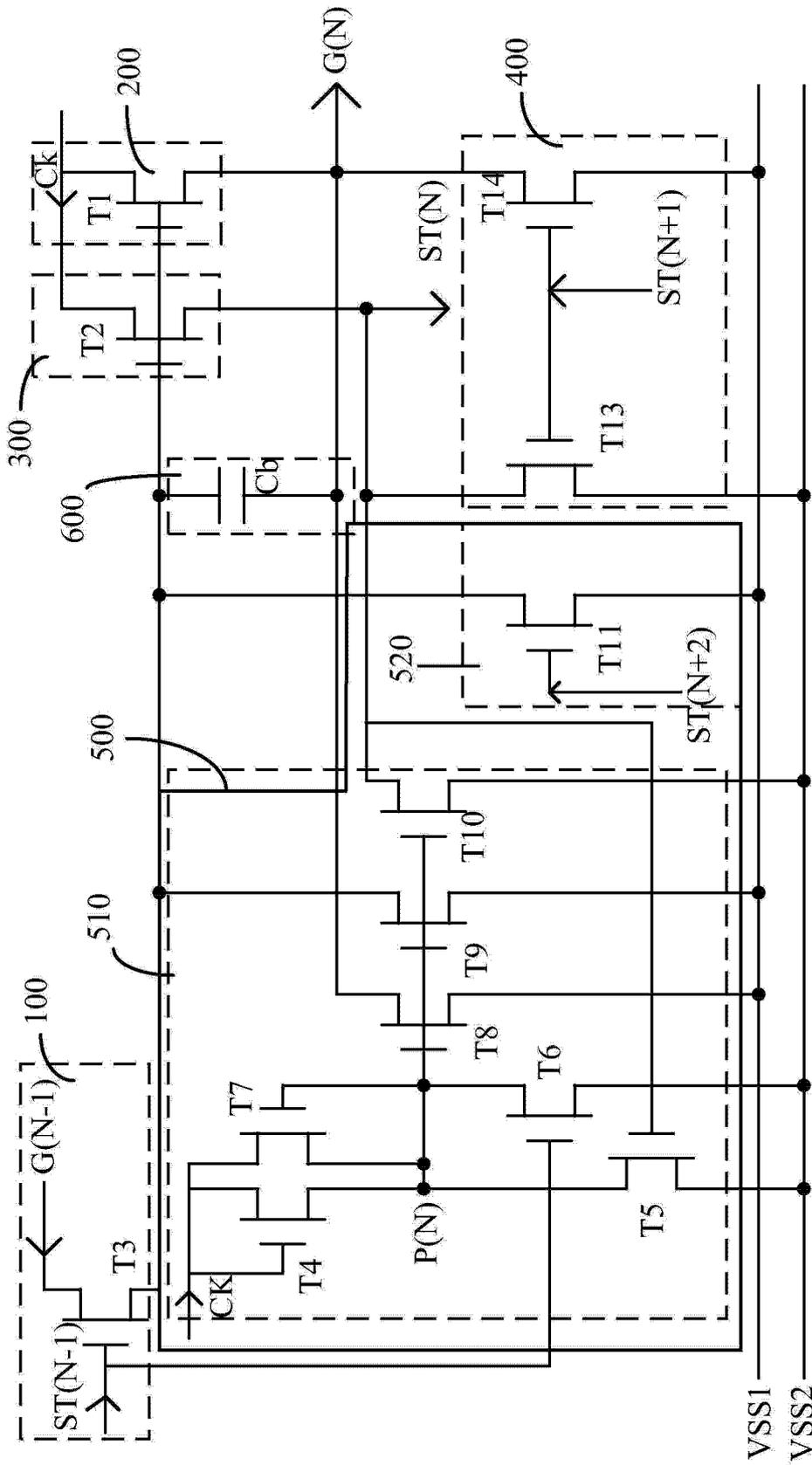


图 9A

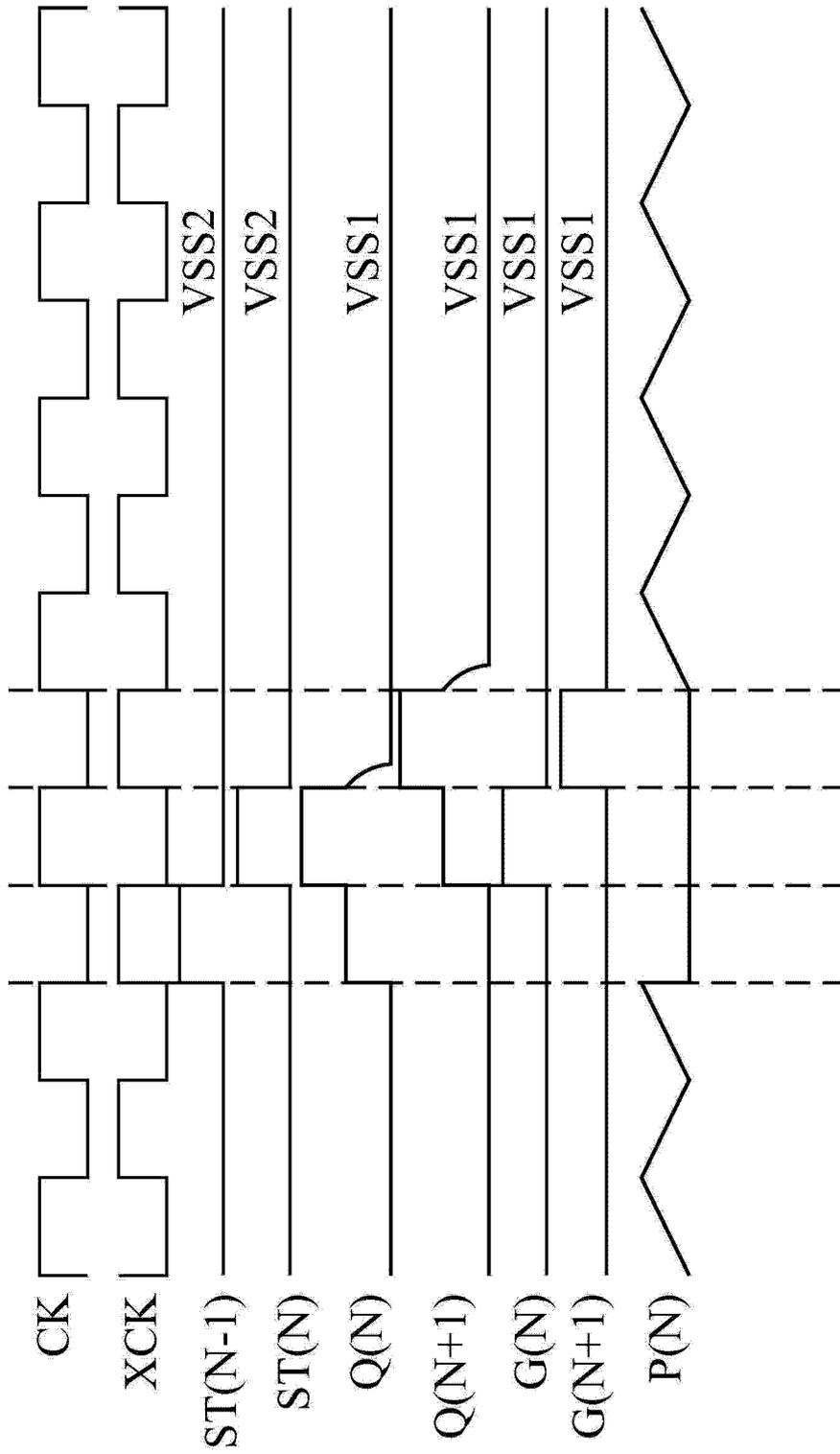


图 9B

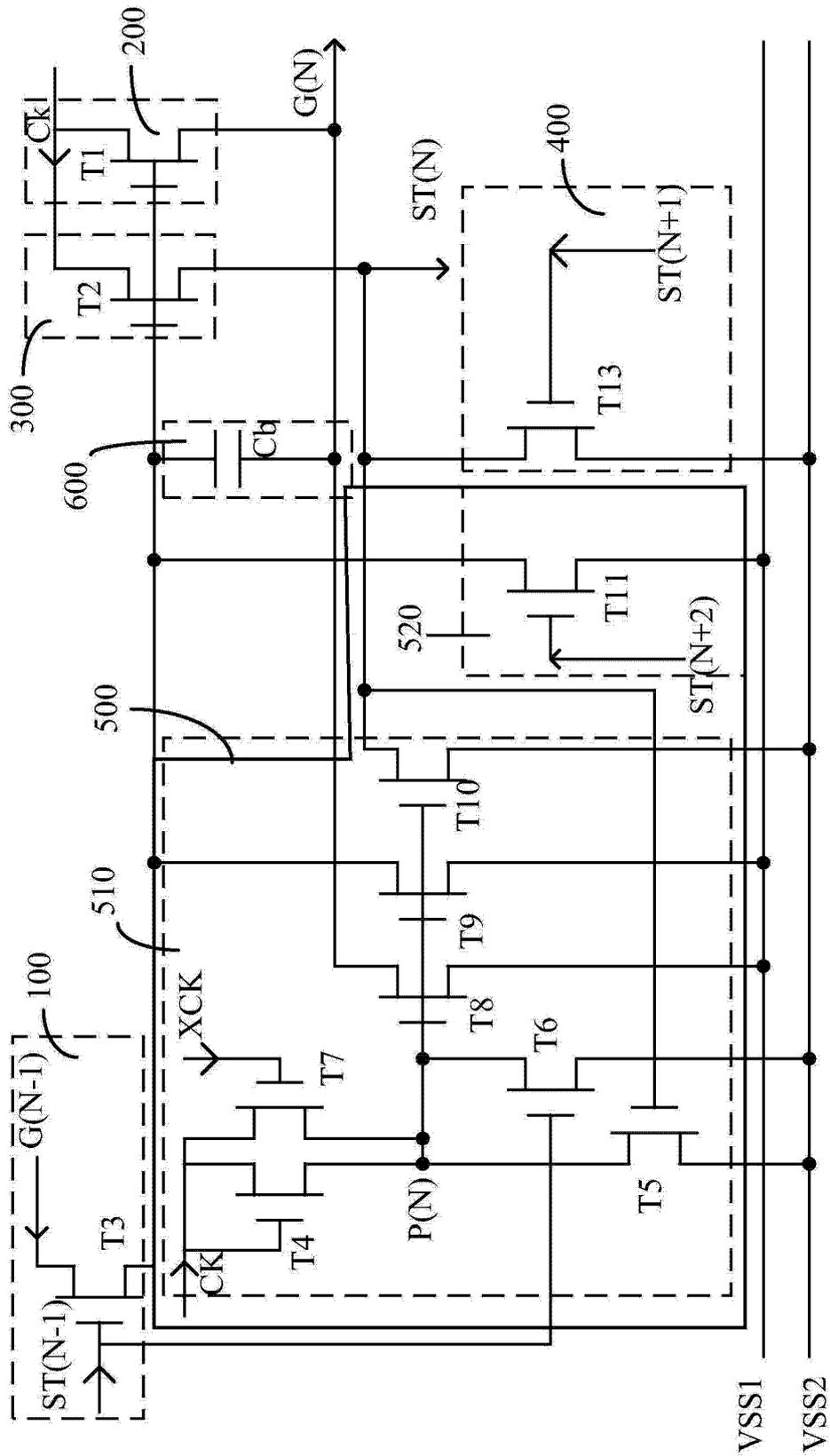


图 10A

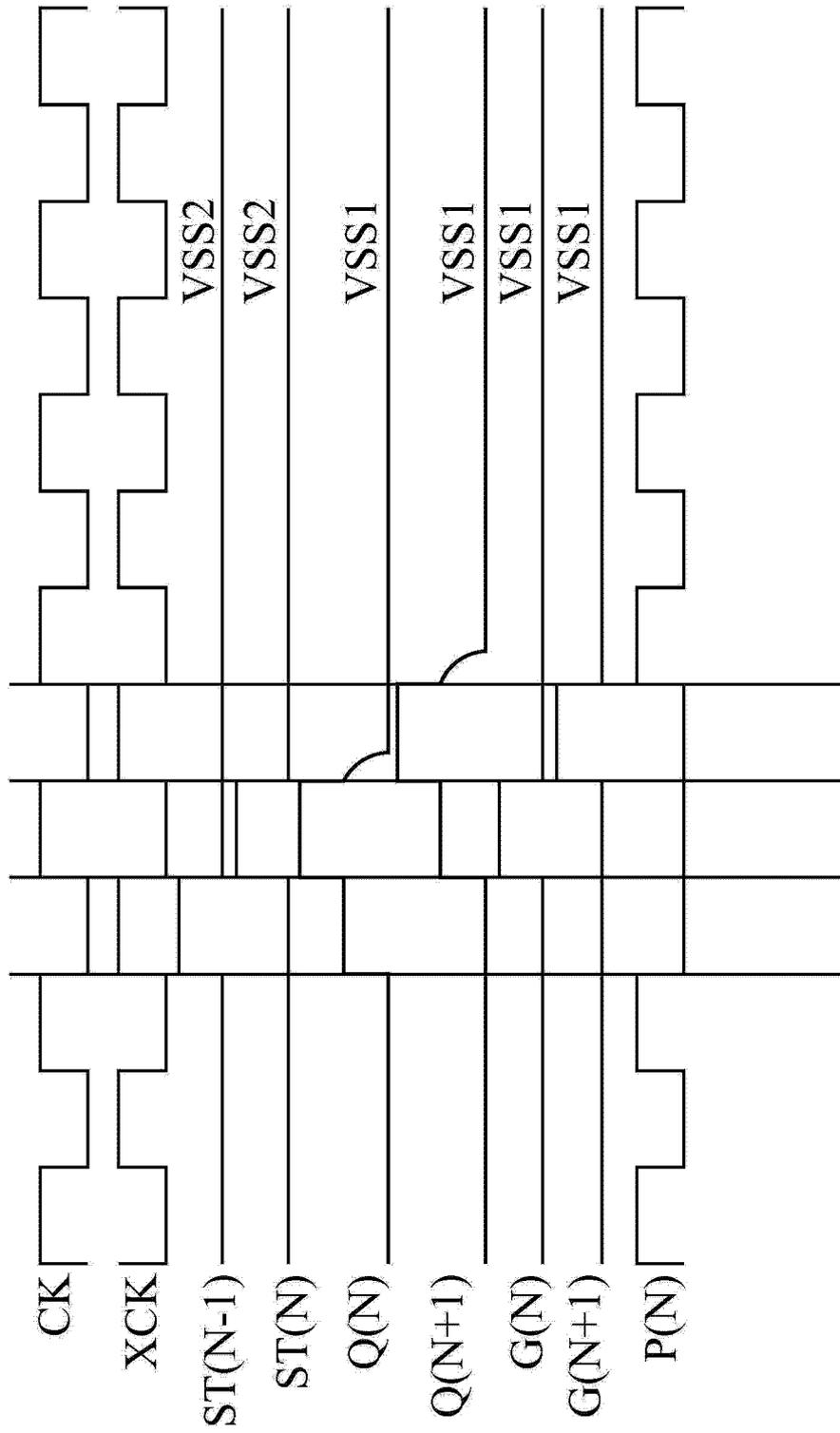


图 10B

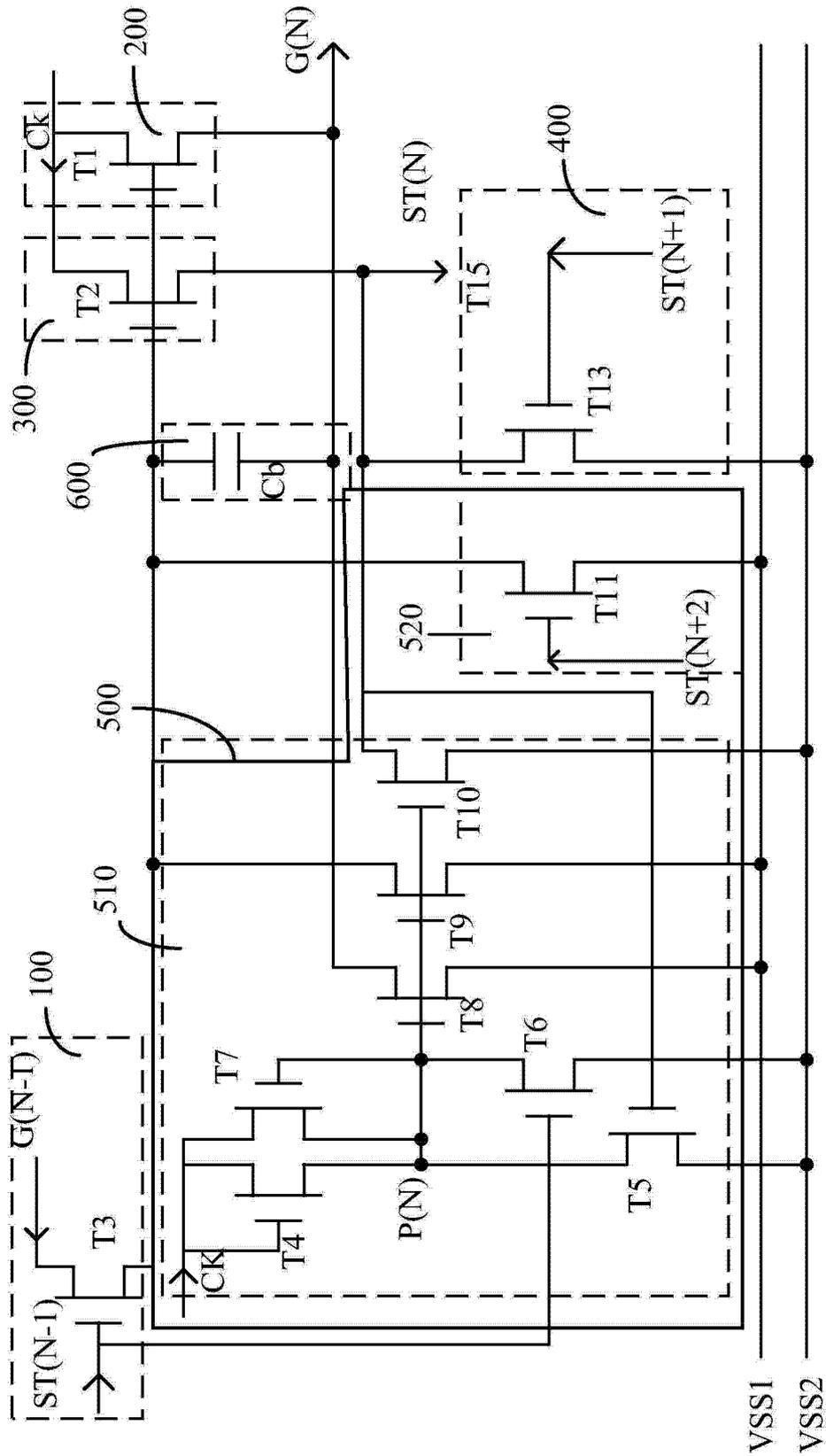


图 11A

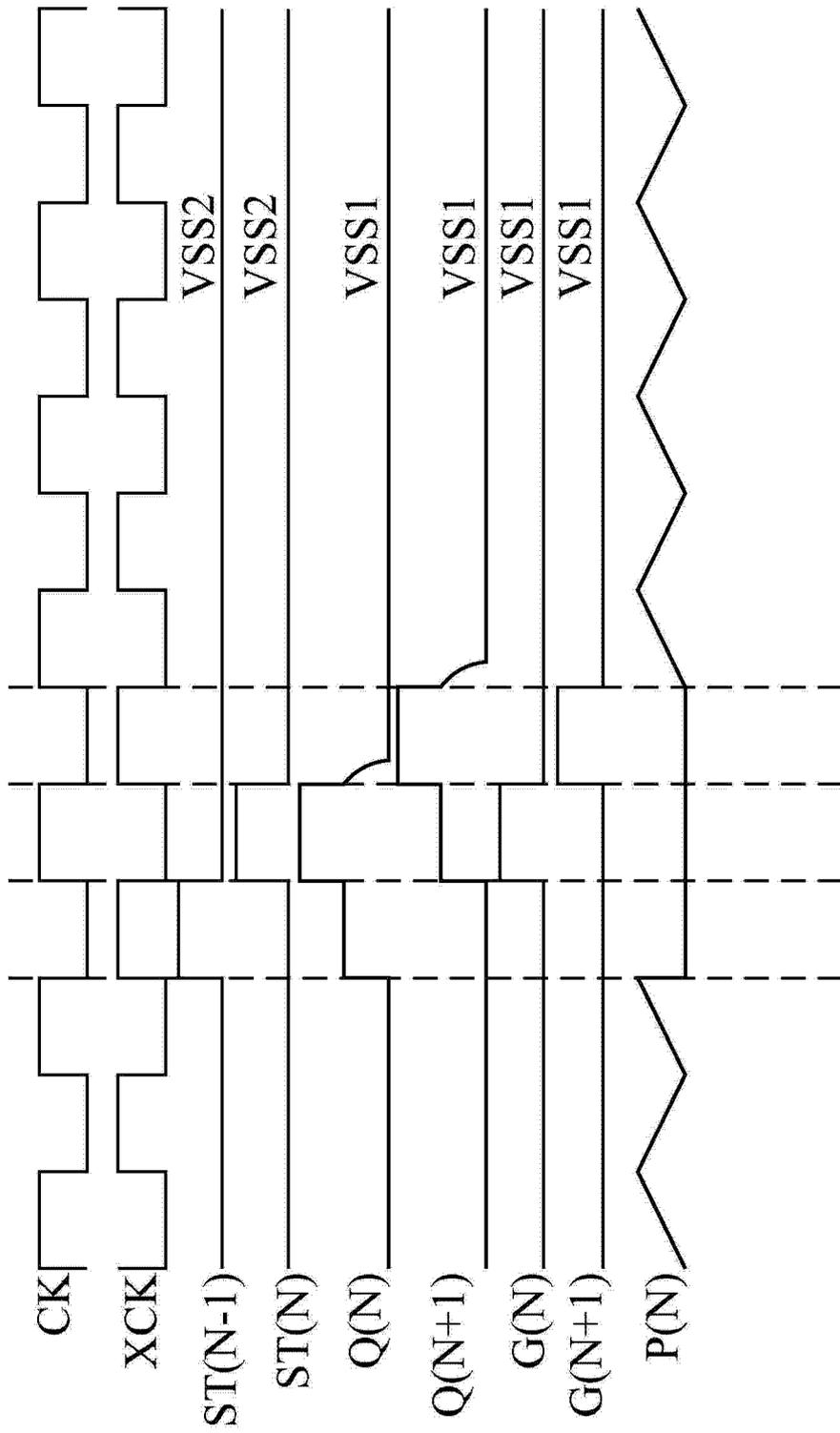


图 11B

专利名称(译)	用于窄边框液晶显示器的栅极驱动器		
公开(公告)号	<a href="#">CN103928009A</a>	公开(公告)日	2014-07-16
申请号	CN201410177821.2	申请日	2014-04-29
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	肖军城		
发明人	肖军城		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36		
代理人(译)	唐秀萍		
其他公开文献	CN103928009B		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明的栅极驱动器将下拉保持电路和信号的有效结合，可以对电路的架构有效的删减，能真正的做到超窄边框栅极驱动器的设计。此外，第一下拉保持电路的晶体管采用等效二极管的连接方式可以有效降低电压偏移作用，延长GOA电路的操作时间，增加液晶显示器的使用寿命。最后，减少第一和第二下拉保持电路使用的晶体管和信号数量，可以减小电路的RC延迟，可以有效地降低电路的功耗，更加有效的降低液晶显示器的能耗。

