



(21)申请号 201210590809.5

(22)申请日 2012.12.28

(65)同一申请的已公布的文献号

申请公布号 CN 103714785 A

(43)申请公布日 2014.04.09

(30)优先权数据

10-2012-0109249 2012.09.28 KR

(73)专利权人 乐金显示有限公司

地址 韩国首尔

(72)发明人 崔贞美

(74)专利代理机构 北京三友知识产权代理有限公司 11127

代理人 吕俊刚 刘久亮

(51)Int.Cl.

G09G 3/36(2006.01)

(56)对比文件

CN 102024437 A, 2011.04.20,
CN 1784711 A, 2006.06.07,
JP 特开平10-253940 A, 1998.09.25,
CN 102110406 A, 2011.06.29,
CN 102598144 A, 2012.07.18,
CN 101952875 A, 2011.01.19,

审查员 李文斐

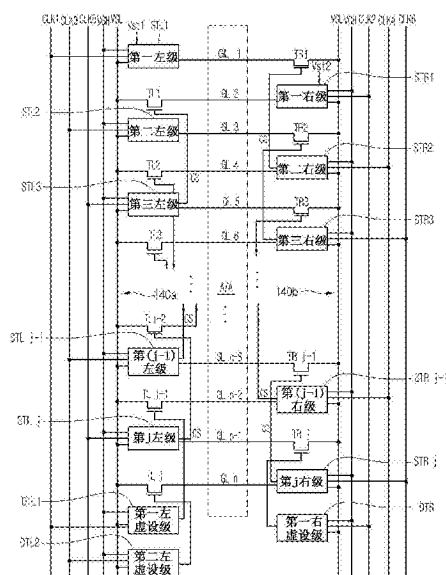
权利要求书3页 说明书14页 附图8页

(54)发明名称

液晶显示设备

(57)摘要

本发明提供了一种LCD设备,包括:液晶显示面板;生成时钟信号的时序控制器;第一选通驱动器和第二选通驱动器,被配置为响应于时钟信号,向选通线的一端施加高选通电压;左放电电路中的每个和右放电电路中的每个被配置为根据选通线上的电压电平,向选通线的另一端施加低选通电压;其中,第一选通驱动器包括多个左级,每个左级包括用于输出高选通电压的选通输出端子和用于控制相应的左放电电路的进位输出端子,第二选通驱动器包括多个右级,每个右级包括用于输出高选通电压的另一个选通输出端子和用于控制相应的右放电电路的另一个进位输出端子。



1. 一种液晶显示设备,所述液晶显示设备包括:

液晶显示面板,在所述液晶显示面板中形成有 n 条选通线,所述 n 是自然数;

时序控制器,所述时序控制器被配置为通过使用从外部系统施加的时序控制信号生成第一至第六时钟信号;

第一选通驱动器,所述第一选通驱动器被配置为响应于第一、第三和第五时钟信号,向第 $2k-1$ 选通线的一端施加高选通电压,所述 k 是小于所述 n 的自然数;

第二选通驱动器,所述第二选通驱动器被配置为响应于第二、第四和第六时钟信号,向第 $2k$ 选通线的一端施加所述高选通电压;

多个左放电电路,每个左放电电路被配置为根据第 $2k+3$ 选通线上的电压电平,向第 $2k$ 选通线的另一端施加低选通电压;以及

多个右放电电路,每个右放电电路被配置为根据第 $2k+2$ 选通线上的电压电平,向第 $2k-1$ 选通线的另一端施加所述低选通电压,

其中,所述第一选通驱动器包括多个左级,每个左级包括用于输出所述高选通电压的选通输出端子和用于控制相应的左放电电路的进位输出端子,并且,所述第二选通驱动器包括多个右级,每个右级包括用于输出所述高选通电压的另一选通输出端子和用于控制相应的右放电电路的另一进位输出端子。

2. 根据权利要求1所述的液晶显示设备,其中,所述第一至第六时钟信号包括高电平间隔,每个高电平间隔与三个水平同步循环对应并彼此交叠两个水平同步循环的周期。

3. 根据权利要求1所述的液晶显示设备,其中,所述第一选通驱动器的所述左级和所述第二选通驱动器的所述右级分别包括配置为输出所述高选通电压的选通输出部分和配置为输出进位信号的进位输出部分,所述进位信号用于控制所述左放电电路和所述右放电电路中的一个。

4. 根据权利要求3所述的液晶显示设备,其中,所述第一选通驱动器还包括至少一个左虚设级,所述至少一个左虚设级连接所述至少一个左放电电路。

5. 根据权利要求3所述的液晶显示设备,其中,所述左放电电路分别包括晶体管,所述晶体管包括:

第一电极,所述第一电极连接到第 $2k$ 选通线;

第二电极,所述第二电极被配置为接收所述低选通电压;以及

栅极,所述栅极连接到与第 $2k+3$ 选通线相连接的左级的进位信号输出端子。

6. 根据权利要求3所述的液晶显示设备,其中,所述选通输出部分与所述进位输出部分并联连接,并包括第一上拉晶体管和下拉晶体管,所述进位输出部分包括第二上拉晶体管和第二下拉晶体管。

7. 根据权利要求3所述的液晶显示设备,其中,所述第二选通驱动器还包括至少一个右虚设级,所述至少一个右虚设级连接所述至少一个右放电电路。

8. 根据权利要求6所述的液晶显示设备,其中,所述右放电电路分别包括晶体管,所述晶体管包括:

第一电极,所述第一电极连接到第 $2k-1$ 选通线;

第二电极,所述第二电极被配置为接收所述低选通电压;以及

栅极,所述栅极连接到与第 $2k+2$ 选通线相连接的右级的进位输出端子。

9. 根据权利要求1所述的液晶显示设备, 其中, 所述第一选通驱动器和第二选通驱动器布置在所述液晶显示面板的非显示区域中。

10. 一种液晶显示设备, 所述液晶显示设备包括:

液晶显示面板, 在所述液晶显示面板中形成有多条选通线;

控制器, 所述控制器被配置为生成具有不同相位的至少四个时钟信号;

第一选通驱动器, 所述第一选通驱动器被配置为响应于来自所述控制器的所述时钟信号中的至少两个时钟信号, 向奇数编号选通线施加高选通电压;

第二选通驱动器, 所述第二选通驱动器被配置为响应于来自所述控制器的所述时钟信号中的其它时钟信号, 向偶数编号选通线施加所述高选通电压;

多个主放电电路, 每个主放电电路被配置为响应于与后面的奇数编号选通线上的电压电平相反的进位信号, 向相应的奇数编号选通线施加低选通电压; 以及

多个次放电电路, 每个次放电电路被配置为响应于与后面的偶数编号选通线上的电压电平相反的进位信号, 向相应的偶数编号选通线施加所述低选通电压,

其中, 所述第一选通驱动器包括多个主级, 每个主级包括用于向相应的奇数编号选通线输出所述高选通电压的选通输出部分和用于向与前面的奇数和偶数编号选通线中的一条相连接的放电电路输出所述进位信号的进位输出部分, 所述第二选通驱动器包括多个次级, 每个次级包括用于向相应的偶数编号选通线输出所述高选通电压的另一选通输出部分和用于向与前面的奇数和偶数编号选通线中的另一条相连接的放电电路输出所述进位信号的另一进位输出部分。

11. 根据权利要求10所述的液晶显示设备, 其中, 所述至少四个时钟信号包括第一至第六时钟信号, 每个时钟信号具有高电平间隔, 每个高电平间隔与三个水平同步循环对应并彼此交叠两个水平同步循环的周期。

12. 根据权利要求11所述的液晶显示设备, 其中, 所述第一选通驱动器接收来自所述控制器的第一、第三和第五时钟信号, 所述第二选通驱动器接收来自所述控制器的第二、第四和第六时钟信号。

13. 根据权利要求12所述的液晶显示设备, 其中, 所述第一选通驱动器内的每个进位输出部分向连接到前面的第三选通线的所述次放电电路施加所述进位信号, 所述第二选通驱动器内的每个进位输出部分向连接到前面的第三选通线的所述主放电电路施加所述进位信号。

14. 根据权利要求13所述的液晶显示设备, 其中, 所述第一选通驱动器还包括两个主级, 所述两个主级分别连接到所述次放电电路中的后面的两个次放电电路, 并且所述第二选通驱动器还包括次级, 所述次级连接到所述主放电电路中的最后一个主放电电路。

15. 根据权利要求13所述的液晶显示设备, 其中, 每个主放电电路和次放电电路包括晶体管, 所述晶体管包括:

第一电极, 所述第一电极连接到相应的选通线;

第二电极, 所述第二电极被配置为接收所述低选通电压; 以及

栅极, 所述栅极连接到与前面的第三选通线相对的所述进位输出部分。

16. 根据权利要求10所述的液晶显示设备, 其中, 所述至少四个时钟信号包括第一至第四时钟信号, 所述第一至第四时钟信号具有高电平间隔, 每个高电平间隔与两个水平同步

循环对应并彼此交叠单个水平同步循环的周期。

17. 根据权利要求16所述的液晶显示设备, 其中, 所述第一选通驱动器接收来自所述控制器的第一和第三时钟信号, 并且所述第二选通驱动器接收来自所述控制器的第二和第四时钟信号。

18. 根据权利要求17所述的液晶显示设备, 其中, 所述第一选通驱动器中的每个进位输出部分向连接到前面的第二选通线的主放电电路施加所述进位信号, 所述第二选通驱动器中的每个进位输出部分向连接到前面的第二选通线的次放电电路施加所述进位信号。

19. 根据权利要求18所述的液晶显示设备, 其中, 所述第一选通驱动器还包括主虚设级, 所述主虚设级连接到所述主放电电路中的最后一个主放电电路, 所述第二选通驱动器还包括次虚设级, 所述次虚设级连接到所述次放电电路中的最后一个次放电电路。

20. 根据权利要求18所述的液晶显示设备, 其中, 每个主放电电路和次放电电路包括晶体管, 所述晶体管包括:

第一电极, 所述第一电极连接到相应的选通线;

第二电极, 所述第二电极被配置为接收所述低选通电压; 以及

栅极, 所述栅极连接到与后面的第二选通线相对的进位输出部分。

液晶显示设备

[0001] 本申请要求于2012年9月28日提交的申请号为10-2012-0109249的韩国专利申请的优先权,通过引用将该申请整体地结合于本文中。

技术领域

[0002] 本申请涉及液晶显示设备,更具体地,涉及适于提高施加到选通线的选通驱动电压特性的液晶显示设备。

背景技术

[0003] 在电子信息显示设备领域,现有的阴极射线管(CRT)正在被平板显示设备所替代。平板显示设备包括液晶显示(LCD)设备、等离子体显示面板(PDP)、场发射显示(FED)设备、有机发光显示(OLED)设备等。在这些显示设备中,由于具有诸如大规模生产技术、简单的驱动器、高图像质量以及大尺寸屏幕的特征,目前主要被使用的是LCD设备。

[0004] 在LCD设备中,使用薄膜晶体管作为开关元件的有源矩阵LCD设备适合于显示运动图像。为了控制上述薄膜晶体管被导通/截止,普通的LCD设备包括被配置为生成且施加扫描信号的选通驱动器。并且,普通的LCD设备还包括被配置成提供用于显示图像灰度级的数据信号的数据驱动器。

[0005] 图1是示意性地示出根据相关技术的LCD设备的配置的方框图。

[0006] 如图1所示,相关技术的LCD设备10包括用于显示图像的LCD面板1以及驱动器4和5。

[0007] LCD面板1包括多条选通线GL和多条数据线DL,选通线GL和数据线DL彼此交叉并且形成在玻璃基板上。以矩阵形状设置的多个像素由彼此交叉的选通线GL和数据线DL限定。通过施加到像素的数据信号,图像被显示在LCD面板1上。这样的LCD面板1被限定为显示区域A/A(用于显示图像的像素形成在显示区域A/A中)和围绕显示区域A/A的非显示区域N/A。

[0008] 驱动器4和5包括选通驱动器4和数据驱动器5。选通驱动器4对从时序控制器(未示出)施加的选通控制信号GCS应答并控制设置在LCD面板1上的像素的开关元件导通/截止。详细地,选通驱动器4通过选通线GL向LCD面板1施加选通驱动电压VG并使像素的开关元件在单行中被顺序导通。这样,像素在每个水平同步周期内接收从数据驱动器5施加的数据信号。

[0009] 数据驱动器5对从时序控制器施加的数据控制信号DCS应答并将数字图像数据转换成模拟数据信号。在每个水平同步周期内,数据驱动器5通过数据线DL同时将单行的数据信号施加到LCD面板。据此,像素显示图像的灰度级。

[0010] 在LCD设备10的如此配置中,选通驱动器4具有其配置比数据驱动器5相对简单的特征。此外,LCD设备已被要求减小重量、体积和制造成本。考虑到这些方面,已提出板内选通G1P(gate-in-panel)选通驱动器。和在独立于LCD面板的1C(集成电路)芯片上制造并接合到LCD面板的普通选通驱动器不同,在制造LCD面板的阵列基板时,连同显示区域A/A上的薄膜晶体管一起,G1P选通驱动器形成在LCD的非显示区域上。

[0011] 同时,由于液晶的临界响应速度,LCD设备引起运动模糊现象。因此,LCD设备的图像质量一定会变差。为了解决此问题,提出了以大于120Hz的、比60Hz更高的频率模式驱动的LCD设备。如果LCD设备以大于120Hz的高频范围被驱动,则单个水平同步循环(或周期)必须被缩短。这样,难以保证每个像素内的开关元件的导通时间。

[0012] 因此,现在的LCD设备不仅使选通驱动器4能够包括在G1P模式下布置在LCD面板左边缘和右边缘的第一和第二选通驱动器4a和4b,而且还通过在选通线上的选通驱动电压之间提供交叠间隔使选通线能够被预充电。这样,每个像素内的开关元件能够被稳定地导通。

[0013] 然而,尽管在选通线上的选通驱动电压之间提供交叠的间隔或者驱动频率变得更高,但是还是难以增大被充入到每条选通线中的选通驱动电压的放电速度。

发明内容

[0014] 因此,本发明的实施方式涉及一种基本上解决相关技术的局限和缺点造成的一个或更多个问题的LCD设备。

[0015] 这些实施方式将要提供一种LCD设备,该LCD设备适合于通过将放电电路布置在每条选通线上并且将充入到每条选通线的选通驱动电压快速放电来提高图像质量。

[0016] 并且,这些实施方式将提供一种LCD设备,该LCD设备适用于通过使得选通驱动电压和用于控制置于前面的选通线上的放电电路的进位(carry)信号能够从双G1P模式的LCD面板上的选通驱动器内的每级内独立地输出,从而避免选通驱动电压的放电延迟。

[0017] 此外,这些实施方式将要提供一种LCD设备,该LCD设备适用于通过使用对于选通驱动电压执行交替输出而不是同时输出的两个选通驱动器的配置来减小级的数据,从而最小化选通驱动器的占用面积。

[0018] 这些实施方式的另外的特征和优点将在随后的描述中阐述,并且部分地将从描述中清楚,或者可以通过实践本发明而获知。将通过撰写的说明书及其权利要求书以及附图中具体指出的结构实现和获得本发明的目的和其它优点。

[0019] 根据本实施方式的一个一般方面,一种LCD设备包括:液晶显示面板,在该液晶显示面板中形成有n条选通线,n是自然数;时序控制器,该时序控制器被配置为通过使用从外部系统施加的时序控制信号生成第一至第六时钟信号;第一选通驱动器,该第一选通驱动器被配置为响应该第一、第三和第五时钟信号,向第 $(2k-1)$ 选通线的一端施加高选通电压,“k”是小于“n”的自然数;第二选通驱动器,该第二选通驱动器被配置为响应于该第二、第四和第六时钟信号,向第 $(2k)$ 选通线的一端施加高选通电压;多个左放电电路,每个左放电电路被配置为根据第 $(2k+1)$ 条选通线上的电压电平,向第 $(2k-1)$ 选通线的另一端施加低选通电压;以及多个右放电电路,每个右放电电路被配置为根据第 $(2k+2)$ 选通线上的电压电平,向第 $(2k)$ 选通线的另一端施加低选通电压,其中,该第一选通驱动器包括多个左级,每个左级包括用于输出高选通电压的选通输出端子和用于控制相应的左放电电路的进位输出端子,该第二选通驱动器包括多个右级,每个右级包括用于输出高选通电压的另一个选通输出端子和用于控制相应的右放电电路的另一个进位输出端子。

[0020] 根据本实施方式的另一个一般方面,一种LCD设备包括:液晶显示面板,在该液晶显示面板中形成有多条选通线;控制器,该控制器被配置为生成具有不同相位的至少四个时钟信号;第一选通驱动器,该第一选通驱动器被配置为响应于来自该控制器的至少两个

时钟信号,向奇数编号选通线施加高选通电压;第二选通驱动器,该第二选通驱动器被配置为响应来自该控制器的其它的时钟信号,向偶数编号选通线施加高选通电压;多个主放电电路,每个主放电电路被配置为响应于与后面的奇数和偶数编号选通线中的一条上的电压电平相反的进位信号,向相应的奇数编号选通线施加低选通电压;以及多个次放电电路,每个次放电电路被配置为响应于与后面的奇数和偶数编号选通线中的另一条上的电压电平相反的进位信号,向相应的偶数编号选通线施加低选通电压,其中,该第一选通驱动器包括多个主级,每个主级包括用于向相应的奇数编号选通线输出高选通电压的选通输出部分和用于向与前面的奇数和偶数编号选通线中的一条相连接的放电电路输出进位信号的进位输出部分,该第二选通驱动器包括多个次级,每个次级包括用于向相应的偶数编号选通线输出高选通电压的另一选通输出部分和用于向与前面的奇数和偶数编号选通线中的另一条相连接的放电电路输出进位信号的另一进位输出部分。

[0021] 经过参看下面附图和详细描述,其它系统、方法、特征和优点对于本领域技术人员来说将是或是变得显而易见。应当注意,所有这些其它系统、方法、特征和优点都包含在该描述、在本发明的范围内、并由随后的权利要求保护。该描述不应认为是对那些权利要求的限制。下面结合实施方式讨论进一步的方面和优点。应当理解,本发明前面的一般性描述和下面的详细描述都是示例性的和解释性的,旨在对要求保护的内容提供进一步的解释。

附图说明

[0022] 附图被包括进来以提供对本发明的进一步的理解并被并入且构成本说明书的一部分,附图示出了本发明的示例性实施方式,并且与说明书一起用于解释本发明的原理。在附图中:

[0023] 图1是示意性地示出根据相关技术的LCD设备的配置的方框图;

[0024] 图2是示出根据本发明的第一实施方式的LCD设备的方框图;

[0025] 图3是示出根据本发明的第一实施方式的包括放电电路且形成在LCD面板上的选通驱动器的配置的详细电路图;

[0026] 图4A是示出根据本发明的第一实施方式的置于LCD设备的选通驱动器内的级的配置的详细电路图;

[0027] 图4B是示出图4A的级内的输出部分的配置的详细电路图;

[0028] 图5是对根据本发明的第一实施方式的从选通驱动器的第n级输出的选通驱动电压和进位信号进行比较的波形图;

[0029] 图6是示出根据本发明的第一实施方式的施加到LCD面板上的选通线的选通驱动电压的变化的波形图;

[0030] 图7是示出根据本发明第二实施方式的LCD设备的方框图;

[0031] 图8是示出根据本发明的第二实施方式的包括放电电路且形成在LCD面板上的选通驱动器的配置的详细电路图;

[0032] 图9是示出根据本发明的第二实施方式的施加到LCD面板上的选通线的选通驱动电压的变化的波形图。

具体实施方式

[0033] 现在将详细描述本发明的实施方式,在附图中例示了其示例。在下文中引入的这些实施方式是作为示例提供,以向本领域技术人员传达这些实施方式的精神。因此,这些实施方式可以包含不同的形态,所以并不局限于这里所描述的这些实施方式。为了便于说明,在附图中,装置的尺寸、厚度等可以被放大。只要可能,在包括附图的整个说明书中将使用相同的附图标记表示相同或相似的部件。

[0034] 图2是示出根据本发明的第一实施方式的LCD设备的方框图。

[0035] 如图2所示,根据本发明的第一实施方式的LCD设备100使用六相位时钟信号CLK1~CLK6,以提供与120Hz的驱动模式相比更稳定的操作。

[0036] 根据本发明的第一实施方式的LCD设备100包括LCD面板101、配置为使用从外部系统施加的时序信号生成多种控制信号的时序控制器122、以及配置为响应于控制信号以控制LCD面板101的选通和数据驱动器140和125。

[0037] LCD面板101包括形成在玻璃基板上的多条选通线GL和多条数据线DL。设置为矩阵形状的多个像素由彼此交叉的选通线和数据线GL和DL限定。每个像素包括薄膜晶体管TFT、液晶单元Clc以及存储电容器Cst。LCD面板101被限定为其中形成有多个像素的显示区域A/A,以及其中没有形成任何像素的非显示区域N/A。

[0038] 时序控制器122接收来自外部系统的图像数据RGB和时序信号。时序控制器122从时序信号得到控制信号。控制信号被用于控制选通驱动器140和数据驱动器125。时序信号包括数据时钟信号DCLK、水平同步信号Hsync、垂直同步信号Vsync、数据使能信号DE等。

[0039] 水平同步信号Hsync表示显示单个水平行图像所需要的时间。垂直同步信号Vsync表示显示单个帧图像所需要的时间。数据使能信号DE表示数据电压被施加到限定在LCD面板101上的像素的间隔。

[0040] 在时序控制器122内生成的控制信号包括与时序信号同步的选通控制信号GCS和数据控制信号DCS。选通控制信号GCS被用于控制选通驱动器140并且数据控制信号DCS被用于控制数据驱动器125。在时序控制器122内生成的选通控制信号GCS包括多个时钟信号,例如,用于确定选通驱动器140内每一级的驱动时序的第一至第六时钟信号CLK1~CLK6。第一至第六时钟信号CLK1~CLK6中的每个都具有与三个水平同步循环(或周期)对应的高电平间隔(或宽度)。通过两个水平同步循环的周期,第一至第六时钟信号CLK1~CLK6的高电平间隔(或宽度)彼此交叠。第一、第三和第五时钟信号CLK1、CLK3和CLK5被施加到第一选通驱动器140a。第二、第四和第六时钟信号CLK2、CLK4和CLK6被施加到第二选通驱动器140b。

[0041] 并且,时序控制器122以数据驱动器125所需要的格式重新排列和修改接收到的图像数据RGB。从时序控制器122将重新格式化的图像数据RGBv施加到数据驱动器125。并且,为了提高图像质量,能够通过使用色度校正算法获得重新格式化的图像数据RGBv。

[0042] 选通驱动器140包括布置在LCD面板101的与非显示区域N/A对应的两个边缘的第一和第二选通驱动器140a和140b。第一和第二选通驱动器140a和140b中的每个都包括由多个级组成的移位寄存器。当制造LCD面板101时,这种选通驱动器140形成在LCD面板101的非显示区域N/A上,以具有薄膜图案。换句话说,选通驱动器140以G1P系统安装在LCD面板101上。

[0043] 包括在选通驱动器140中的第一和第二选通驱动器140a和140b对从时序控制器122施加的选通控制信号GCS应答,并在各单个水平同步循环彼此交替地执行选通驱动电压

的输出操作,从而选通驱动电压在单个水平同步循环内被顺序地施加到LCD面板101上的多条选通线 $GL1 \sim GLn$ 。在三个水平同步循环周期内,施加到每条选通线 GL 的选通驱动电压保持高选通电压 VGH 。并且,通过两个水平同步循环周期,每条选通线上的选通驱动电压的高选通电压间隔(或宽度)与施加到邻近相应选通线的前一个和后一个选通线 GL 的选通驱动电压的高选通电压间隔(或宽度)交叠。实现了对于选通线 $GL1 \sim GLn$ 的预充电。这样,当施加数据电压时,像素能够执行更稳定的充电操作。

[0044] 因此,分别具有与三个水平同步循环(即,与六个水平同步循环对应的周期)的脉冲宽度的第一、第三和第五时钟信号 $CLK1$ 、 $CLK3$ 和 $CLK5$ 被施加到第一选通驱动器140a。并且,与第一、第三和第五时钟信号 $CLK1$ 、 $CLK3$ 和 $CLK5$ 具有相同宽度的第二、第四和第六时钟信号 $CLK2$ 、 $CLK4$ 和 $CLK6$ 被施加到第二选通驱动器140b。第二、第四和第六时钟信号 $CLK2$ 、 $CLK4$ 和 $CLK6$ 分别与第一、第三和第五时钟信号 $CLK1$ 、 $CLK3$ 和 $CLK5$ 交叠与两个水平同步循环对应的周期。

[0045] 例如,在高选通电压 VGH 被从第一选通驱动器140a施加到第 k 选通线 GLk 的单个水平循环周期之后,高选通电压 VGH 被从第二选通驱动器140b施加到第 $(k+1)$ 选通线 $GLk+1$ 。在高选通电压 VGH 被从第二选通驱动器140b施加到第 $(k+1)$ 选通线 $GLk+1$ 的单个水平循环周期之后,高选通电压 VGH 被从第一选通驱动器140a施加到第 $(k+2)$ 选通线 $GLk+2$ 。

[0046] 在将高选通电压 VGH 从第一选通驱动器140a施加到第 $(k+2)$ 选通线 $GLk+2$ 的单个水平循环周期之后,不仅高选通电压 VGH 被从第二选通驱动器140b施加到第 $(k+3)$ 选通线 $GLk+3$,而且低选通电压 VGL 也被从第二选通驱动器140b施加到第 k 选通线 GLk 。这样,第 k 选通线 GLk 上的薄膜晶体管TFT被截止并且使充入液晶单元 $C1c$ 的数据电压在单个帧周期内能够保持。其中,“ k ”是小于“ n ”的自然数。

[0047] 并且,LCD设备100还包括放电电路 $TL1 \sim TLj$ 和 $TR1 \sim TRj$,放电电路 $TL1 \sim TLj$ 和 $TR1 \sim TRj$ 布置在相应的选通线 $GL1 \sim GLn$ 上且被配置为最小化选通驱动电压的放电延迟。因此,当相应选通线 GL 上的电压从高选通电压 VGH 转变为低选通电压 VGL 时,放电电路 $TL1 \sim TLj$ 和 $TR1 \sim TRj$ 中的每个使低选通电压 VGL 能够在没有延迟的情况下被施加到相应的选通线 GL 。

[0048] 例如,当第 n 选通线 GLn 上的电压从高选通电压 VGH 转变为低选通电压 VGL 时,用于施加低选通电压 VGL 的第 j 左放电电路 TLj 被激活并使第 n 选通线 GLn 上的电压能够被放电。据此,第 n 选通线 GLn 上的放电延迟能够被最小化。

[0049] 每个放电电路被连接到相应选通线 GL 的一端。详细地,与第二选通驱动器140b相邻设置的右放电电路 $TR1 \sim TRj$ 被连接到奇数编号的选通线 $GL1$ 、 $GL3$ 、 $\dots$ 、 $GLn-1$ 的一端,与第一选通驱动器140a相邻设置的左放电电路 $TL1 \sim TLj$ 被连接到偶数编号的选通线 $GL2$ 、 $GL4$ 、 $\dots$ 、 GLn 的另一端。其中,“ j ”是小于“ n ”的自然数。

[0050] 每个放电电路由进位信号激活,该进位信号由相应选通线 GLk 后面的第三条选通线 $GLk-1$ 相连接的级施加。例如,连接到第一选通线 $GL1$ 的第一右放电电路 $TR1$ 被与第四选通线 $GL4$ 相连接的级所施加的进位信号激活。因此,不同于相关技术的选通驱动器,包括在本实施方式的选通驱动器140中的每个级输出选通驱动电压和用于激活相应的放电电路 $TL1 \sim TLj$ 以及 $TR1 \sim TRj$ 的进位信号。

[0051] 以这种方式,每个放电电路 $TL1 \sim TLj$ 和 $TR1 \sim TRj$ 被激活并使低选通电压 VGL 能够被施加到相应的选通线 GL 。并且,放电电路能够通过分别布置在形成选通驱动器140的级之

间的薄膜晶体管实现。据此,能够减小LCD面板101的非显示区域内的第一和第二选通驱动器140a和140b的占用面积。

[0052] 随后将详细描述选通驱动器140的这种级和放电电路。

[0053] 数据驱动器125对从时序控制器122施加的数据控制信号DCS应答,并选择性地使用多个参考电压 V_{ref} 将重新格式化的数字图像数据RGBv转换成模拟数据电压VDATA。通过单个水平行的像素生成数据电压VDATA。并且,在单个水平同步周期内,通过数据线DL1~DLm将这些数据电压VDATA同时施加到LCD面板101。

[0054] 如上所述,根据本发明的第一实施方式的具有集成驱动器电路的LCD设备使两个选通驱动器能够彼此交替地输出选通驱动电压而不是同时输出选通驱动电压。这样,能够减少包括在选通驱动器内的级的数目。

[0055] 此外,放电电路还布置在级之间并使得能够促使从选通线进行电压放电。因此,选通线上的电压的放电延迟能够被最小化。

[0056] 现在将参照附图详细解释根据本发明的第一实施方式的选通驱动器和放电电路的配置。

[0057] 图3是示出根据本发明的第一实施方式的形成在LCD面板上的选通驱动器和放电电路的配置的详细电路图。

[0058] 参照图3,根据本发明的第一实施方式的选通驱动器包括形成在LCD面板101的一个边缘的第一选通驱动器140a和形成在与该一个边缘相对的另一边缘的第二选通驱动器140b。此外,每个放电电路能够通过单个放电晶体管实现。这样,选通驱动器还包括布置在第一选通驱动器140a的级之间的多个左放电晶体管TL1~TLj以及布置在第二选通驱动器140b的级之间的多个右放电晶体管TR1~TRj。

[0059] 多个级能够以六相位模式被驱动。因此,具有互不相同的六个相位的第一至第六时钟信号CLK1~CLK6、高选通电压VGH、在其它级内生成的进位信号CS和低选通信号VGL被施加到这些级。尽管没有在图中示出,但是电源电压VDD和地电压GND能够被施加到这些级。第一至第六时钟信号CLK1~CLK6中的每个具有与三个水平同步循环对应的高电平间隔(或宽度)。第一至第六时钟信号CLK1~CLK6的高电平间隔(或宽度)彼此交叠两个水平同步循环周期。高选通电压VGH被用于导通显示区域A/A内的薄膜晶体管。进位信号CS直接从级被输出,并被用于控制放电电路。低选通电压VGL被用于截止显示区域A/A内的薄膜晶体管。

[0060] 并且,不同于相关技术的选通驱动器,根据本实施方式的选通驱动器140内的每个级包括配置为输出选通驱动电压(即,高选通电压脉冲)的选通输出端子和配置为输出将要被施加到连接到相邻选通线的放电电路的进位信号的进位输出端子。将通过对图4A和图4B的描述详细解释在本实施方式的选通驱动器140中所包括的这种级。

[0061] 更具体地,第一选通驱动器140a接收第一、第三和第五时钟信号CLK1、CLK3和CLK5、高选通电压VGH、进位信号CS和低选通电压VGL。第一选通驱动器140a应答与选通起始脉冲GSP对应的第一起始电压 V_{st1} ,并在两个水平同步循环的周期内向多条奇数编号选通线GL1、GL3、...、GLn-1顺序地输出选通驱动电压。每个选通驱动电压都具有高选通电压脉冲,高选通电压脉冲用于导通显示区域A/A内的薄膜晶体管并具有与三个水平同步循环对应的宽度。施加到每条选通线上的高选通电压脉冲与施加到相应选通线相邻的前一个和后一个选通线的高选通电压脉冲交叠两个水平同步循环的周期。

[0062] 这种第一选通驱动器140a包括基于第一起始电压 V_{st1} 彼此串联的第一至第j左级STL1~STLj和两个左虚设级DTL1和DTL2。

[0063] 第二选通驱动器140b接收第二、第四和第六时钟信号CLK2、CLK4和CLK6、高选通电压VGH、进位信号CS和低选通电压VGL。第二选通驱动器140b应答与选通起始脉冲GSP对应的第二起始电压 V_{st2} ，并在两个水平同步循环的周期内向多条偶数编号选通线GL2、GL4、...、GLn顺序地输出选通驱动电压。偶数编号选通线GL2、GL4、...、GLn上的选通驱动电压具有与奇数编号选通线GL1、GL3、...、GLn-1上的选通驱动电压相似的高选通电压脉冲。

[0064] 该第二选通驱动器140b包括基于第二起始电压 V_{st2} 彼此串联的第一至第j右级STR1~STRj和右虚设级DTR。

[0065] 并且，选通驱动器140包括左放电晶体管TL1~TLj，左放电晶体管TL1~TLj布置在包括第一至第j左级STL1~STLj和两个左虚设级DTL1和DTL2的多个左级之间。

[0066] 同时，连接到第(n-1)选通线GLn-1的第j左级STLj能够被用于驱动第(j-2)左放电晶体管TLj-2，连接到第n选通线GLn的第j右级STRj能够被用于驱动第(j-1)右放电晶体管TRj-1。因此，为了驱动连接到第(n-2)选通线GLn-2和第n选通线GLn的第(j-1)左放电晶体管TLj-1和第j左放电晶体管TLj以及连接到第(n-1)选通线GLn-1的第j右放电晶体管TRj，提供第一和第二左虚设级DTL1和DTL2以及右虚设级DTR。

[0067] 每个左放电晶体管TL1~TLj的第一电极连接到偶数编号选通线GL2、GL4、...、GLn，每个右级STR1~STRj和右虚设级的选通输出端子与偶数编号选通线GL2、GL4、...、GLn相连接。每个左放电晶体管TL1~TLj的栅极连接到与第一电极相连接的右级STR后面的左级的进位输出端子，或者连接到左虚设级DTL1和DTL2中的一个的进位输出端子。每个左放电晶体管TL1~TLj的第二电极连接到用于传输低选通电压VGL的低选通电压线。

[0068] 例如，第一左放电晶体管TL1的第一电极连接到第二选通线GL2，第一左放电晶体管TL1的栅极连接到与第五选通线GL5相连接的第三左级STL3的进位输出端子。并且，第一左放电晶体管TL1的第二电极连接到低选通电压线。

[0069] 选通驱动器140还包括右放电晶体管TR1~TRj，右放电晶体管TR1~TRj布置在包括第一至第j右级STR1~STRj和右虚设级DTR的多个右级之间。

[0070] 每个右放电晶体管TR1~TRj的第一电极连接到奇数编号选通线GL1、GL3、...、GLn，每个左级STL1~STLj的选通输出端子与奇数编号选通线GL1、GL3、...、GLn相连接。每个右放电晶体管TR1~TRj的栅极连接到与第一电极相连接的左级STL后面的右级的进位输出端子，或者连接到右虚设级DTR的进位输出端子。每个右放电晶体管TR1~TRj的第二电极连接到用于传输低选通电压VGL的低选通电压线。

[0071] 例如，第一右放电晶体管TR1的第一电极连接到第一选通线GL1，第一右放电晶体管TR1的栅极连接到与第四选通线GL4相连接的第三右级STR3的进位输出端子。并且，第一右放电晶体管TR1的第二电极连接到低选通电压线。

[0072] 现在将详细解释上述包括放电电路的六相位模式选通驱动器。

[0073] 当第一和第二起始电压 V_{st1} 和 V_{st2} 被施加到第一和第二选通驱动器140a和140b时，首先，第一选通驱动器140a的第一左级STL1应答第一时钟信号CLK1并在三个水平同步循环的周期内向第一选通线GL1输出高选通电压VGH。换句话说，第一选通驱动器140a的第一左级STL1向第一选通线GL1输出具有三个水平同步循环的宽度的高选通电压脉冲。

[0074] 此后,第二选通驱动器140b的第一右级STR1响应于第二时钟信号CLK2,在三个水平同步循环的周期内通过选通输出端子向第二条选通线GL2输出高选通电压VGH。换句话说,第二选通驱动器140b的第一右级STR1向第二条选通线GL2输出具有三个水平同步循环的宽度的高选通电压脉冲。

[0075] 第一和第二时钟信号CLK1和CLK2彼此交叠两个水平同步循环的周期。第二时钟信号CLK2相对于第一时钟信号CLK1具有单个水平同步循环的延迟相位。这样,第一选通线GL1上的高选通电压脉冲的后部与第二选通线GL2上的高选通电压脉冲的前部交叠两个水平同步循环的周期。

[0076] 此后,第二左级STL2响应于第三时钟信号CLK3,向第三选通线GL3输出具有三个水平同步循环的宽度的高选通电压脉冲。之后,第二右级STR2响应于第四时钟信号CLK4,向第四条选通线GL4输出具有三个水平同步循环的宽度的高选通电压脉冲。

[0077] 上述高选通电压脉冲是从相应的级的选通输出端子输出的选通驱动电压。本实施方式的每个级包括彼此分离的选通输出端子和进位输出端子。这样,每个级不仅使得能够从选通输出端子输出高选通电压脉冲,而且还使得能够从进位输出端子输出进位信号CS。并且,在连接到第k选通线GLk的级内生成的进位信号被用于控制连接到第(k-3)选通线GLk-3的放电电路。

[0078] 当第一左级STL1响应于第一时钟信号CLK1向第一选通线GL1输出低选通电压VGL时,在第二右级STR2内生成的进位信号CS被同时施加到与第一选通线GL1的一端相连接的第一右放电晶体管TR1的栅极。这样,第一右放电晶体管TR1被第二右级STR2的进位信号CS导通。并且,第一选通线GL1能够通过第一右放电晶体管TR1的第一和第二电极连接到低选通电压线。据此,第一选通线GL1上的电压能够从高选通电压VGH快速地转变为低选通电压VGL。

[0079] 换句话说,第一选通线GL1的两端能够同时接收低选通电压VGL。这样,由线电阻所引起的信号的延迟能够被最小化。因此,导通的第一右放电晶体管TR1(即,放电电路)使第一选通线GL1上的高选通电压能够被快速地放电。

[0080] 此外,为了最小化当选通驱动电压从高选通电压VGH转变为低选通电压VGL时的延迟时间,本实施方式中的每个级都使得能够从进位输出端子直接将进位信号CS施加到相应的放电晶体管的栅极。

[0081] 通常,相关技术的每个级通过使用选通驱动电压(即,高选通电压VGH)控制放电电路。换句话说,相关技术的每个级同时将选通高电压VGH既施加到选通线,还施加到放电电路。这样,根据相关技术的每个级的负载必定较大。并且,既用于导通放电电路的放电晶体管还用于驱动选通线的高选通电压VGH的延迟时间必定延长。然而,本实施方式中的每个级使用进位信号CS控制放电电路而没有连接任何不同的负载。因此,本实施方式中的每个级能够使选通线上的高选通电压被快速放电。

[0082] 图4A是示出根据本发明的第一实施方式的布置在LCD设备的选通驱动器内的级的配置的详细电路图。图4B是示出图4A的级内的输出部分的配置的详细电路图。图5是对根据本发明的第一实施方式的从选通驱动器的第n级输出的选通驱动电压和进位信号进行比较的波形图。

[0083] 如图所示,包括在本实施方式中的选通驱动器中的级包括输入部分171、控制器

172和输出部分173。输入部分171接收时钟信号CLK、高选通电压VGH、低选通电压VGL等作为输入信号。控制器172通过使用来自输入部分171的输入信号,生成用于控制输出部分173的控制信号。输出部分173通过使用时钟信号和控制信号输出高选通电压VGH和进位信号。

[0084] 根据本实施方式的级的输出部分173包括选通输出部分173a和进位输出部分173b。选通输出部分173a可以包括第一上拉晶体管Trpu1和第一下拉晶体管Trpud1。进位输出部分173b可以包括第二上拉晶体管Trpu2和第二下拉晶体管Trpud2。

[0085] 选通输出部分173a使用时钟信号CLK和来自控制器172的控制信号,通过选通输出端子输出高选通电压VGH(即,选通驱动电压或选通信号)。并且,选通输出部分173a能够将高选通电压VGH施加到与相应的级相连接的选通线。高选通电压VGH能够根据在相应的级内的反相和非反相节点Q和/Q处的控制信号被选择性地生成,且被直接施加到与相应的级相连接的选通线。

[0086] 进位输出部分173b使用时钟信号CLK和来自控制器172的控制信号通过进位输出端子输出进位信号。并且,进位输出部分173b使得能够从与第n选通线GLn相连接的相应的级向与第(n-3)选通线GLn-3相连接的放电电路(即,放电晶体管)施加进位信号。这样,能够激活与第(n-3)选通线GLn-3相连接的放电电路(即,放电晶体管)。

[0087] 进位信号由反相节点Q和非反相节点/Q处的控制信号控制。这样,进位信号能够具有与通过选通输出端子输出的高选通电压相同的波形。并且,进位信号能够直接控制与不同选通线相连接的放电电路,而不用施加到任何选通线。据此,在没有任何初始延迟的情况下就能够驱动放电电路。结果,在没有延迟的情况下,充入每条选通线的高选通电压VGH能够被快速地放电至低选通电压VGL。

[0088] 如图5所示,从第k级的选通输出端子输出的信号在从低电平转变为高电平的间隔内被平稳地延迟,但是在从高电平转变为低电平的另一间隔内快速地降低。换句话说,根据本实施方式的选通驱动电压能够具有比虚线所描绘的相关技术增强的延迟特性。

[0089] 这是由于与第k选通线GLk相连接的第k放电电路被来自与第(k+3)选通线GLk+3相连接的第(k+3)级的进位信号驱动并且使第k选通线GLk上的高选通电压VGH能够被快速地放电的事实。

[0090] 如果在同一级内生成的进位信号和高选通电压VGH没有彼此分开,则高选通电压VGH被用于激活放电电路。在这种情况下,选通驱动电压升高至具有初始延迟的高选通电压VGH,如图5所示的第k选通信号。这样,放电电路的导通/截止被延迟初始延迟值。由此,第k选通线GLk上的高选通电压VGH不能够被快速地放电。

[0091] 为了控制与每条选通线相连接的放电电路,本实施方式中的每个级都包括不与任何选通线相连接的进位输出端子,并通过进位输出端子直接将进位信号施加到放电电路。这样,每个选通线GL1~GLn上的高选通电压VGH能够被快速放电。

[0092] 图6是示出根据本发明的第一实施方式的施加到LCD面板上的选通线的选通驱动电压的变化的波形图。

[0093] 参照图6和图3,根据本发明的第一实施方式的具有放电电路的LCD设备不仅使得每条选通线GL1~GLn能够在三个水平同步循环的周期内由高选通电压VGH充电,而且还使得充入每条选通线的电压随后能够被放电至低选通电压VGL。彼此相邻的两条选通线上的高选通电压VGH彼此交叠两个水平同步循环的周期。并且,与相同选通驱动器140a或140b相

连接的选通线上的高选通电压VGH彼此交叠单个水平同步循环的周期。在选通线GL1~GLn上的高选通电压VGH之间的交叠周期的单水平同步周期内,数据电压“d”被施加到像素。

[0094] 具体地,如图所示,当每条选通线上的电压被放电时,低选通电压VGL被施加到相应选通线的两端。这样,每条选通线上的电压降低至低选通电压VGL而具有陡下降沿“C”。

[0095] 如图3所示,本实施方式使连接到第一选通线GL1的第一右放电晶体管能够被在连接到第四选通线GL4的第二右级STR2内生成的进位信号CS导通。这样,第一选通线GL1上的电压没有任何延迟地从高选通电压VGH快速地转变为低选通电压VGL。同时,如果第一右放电晶体管TR1被施加到第四选通线GL4的高选通电压VGH导通,如虚线“X”所示,则当第一选通线GL1上的电压从高选通电压VGH转变为低选通电压VGL时,会产生延迟问题。

[0096] 此外,从图6中所见,明显的是,不同于选通驱动电压,用于控制与第一选通驱动器140a和第二选通驱动器140b相邻设置的放电电路(即,左和右放电晶体管)的进位信号的前面部分分别具有非常理想的从低选通电压VGL到高选通电压VGH的过渡。

[0097] 据此,与相应选通线GL1~GLn相连接的放电晶体管能够被从相应的级施加的进位信号而快速导通/截止。因此,充入每条选通线的高选通电压VGH能够在没有任何延迟的情况下被快速地放电。

[0098] 图7是示出根据本发明第二实施方式的LCD设备的方框图。

[0099] 根据本发明的第二实施方式的LCD设备100使用四相位时钟信号CLK1~CLK4,以提供与120Hz的驱动模式相比更稳定的操作。在第一实施方式中公开的选通驱动器内的每个级的配置能够以相同的方式应用到第二实施方式。这样,对第二实施方式的描述将集中在第二实施方式的与第一实施方式不同的组件。

[0100] 根据本发明的第二实施方式的LCD设备包括配置为显示图像的LCD面板201、配置为使用从外部系统施加的时序信号生成多种控制信号的时序控制器220、以及配置为响应于控制信号控制LCD面板201的选通和数据驱动器240和250。

[0101] 时序控制器220生成多个时钟信号,例如,用于确定选通驱动器240内的每级的驱动时序的第一至第四时钟信号CLK1~CLK4。第一至第四时钟信号CLK1~CLK4的每个都具有与两个水平同步循环(或周期)对应的高电平间隔(或宽度)。第一至第四时钟信号CLK1~CLK4的高电平间隔(或宽度)彼此交叠单个水平同步循环的周期。

[0102] 选通驱动器240包括布置在LCD面板201的与非显示区域N/A对应的两个边缘的第一和第二选通驱动器240a和240b。第一和第二选通驱动器240a和240b的每个都包括由多个级组成的移位寄存器。

[0103] 第一和第二选通驱动器240(240a和240b)应答从时序控制器122施加的选通控制信号GCS,并在每个单个水平同步循环彼此交替地执行选通驱动电压的输出操作,以在单个水平同步循环内向LCD面板101上的多条选通线GL1~GLn顺序地施加选通驱动电压。在两个水平同步循环的周期内,施加到每条选通线GL的选通驱动电压保持为高选通电压VGH。并且,施加到每条选通线的选通驱动电压的高选通电压间隔(或宽度)与施加到与相应选通线相邻的前一个和后一个选通线GL的选通驱动电压的高选通电压间隔(或宽度)交叠单个水平同步循环的周期。从而对选通线GL1~GLn预充电。这样,当施加数据电压时,像素能够执行更稳定的充电操作。

[0104] 因此,分别具有与两个水平同步循环对应的脉冲宽度的第一时钟信号CLK1和第三

时钟信号CLK3(即,对应于四个水平同步循环的周期)被施加到第一选通驱动器240a。并且,与第一时钟信号CLK1和第三时钟信号CLK3具有相同脉冲宽度的第二时钟信号CLK2和第四时钟信号CLK4被施加到第二选通驱动器240b。第二时钟信号CLK2和第四时钟信号CLK4分别与第一时钟信号CLK1和第三时钟信号CLK3交叠与单个水平同步循环对应的周期。

[0105] 例如,在高选通电压VGH被从第一选通驱动器240a施加到第k选通线GLk的单个水平循环的周期之后,高选通电压VGH从第二选通驱动器240b被施加到第(k+1)选通线GLk+1。在高选通电压VGH被从第二选通驱动器240b施加到第(k+1)选通线GLk+1的单个水平循环的周期之后,不但高选通电压VGH被从第一选通驱动器240a施加到第(k+2)选通线GLk+2,而且低选通电压VGL被从第一选通驱动器240a施加到第k选通线GLk。这样,第k选通线GLk上的薄膜晶体管TFT被截止并且使充入液晶单元C1c的数据电压能够在单个帧周期内保持。其中,“k”是小于“n”的自然数。并且,在单个水平同步循环的周期之后,第二选通驱动器240b对第(k+3)和第(k+1)选通线GLk+3和GLk+1执行与第一选通驱动器240a相同的操作。以这种方式,被彼此交替驱动的第一和第二选通驱动器240a和240b能够顺序地使能选通线GL1~GLn。根据第一实施方式的上述描述,关于此处的细节对于本领域技术人员而言将是显而易见的或将变得显而易见。

[0106] 并且,当每条选通线上的电压从高通电压VGH转变为低选通电压VGL时,为了最小化选通驱动电压的放电延迟,LCD设备还可以包括放电电路TL1~TLj和TR1~TRj。放电电路TL1~TLj和TR1~TRj能够被连接到相应的选通线的一端。放电电路包括左放电电路TL1~TLj和右放电电路TR1~TRj。其中,“j”是小于“n”的自然数。与第一选通驱动器240a相邻设置的左放电电路TL1~TLj连接到偶数编号选通线GL2、GL4、...、GLn。与第二选通驱动器240b相邻设置的右放电电路TR1~TRj连接到奇数编号选通线GL1、GL3、...、GLn-1。

[0107] 如图4A和4B所示,第二实施方式的LCD设备使选通驱动器240的每个级都包括选通输出端子和配置为输出进位信号CS的进位输出端子。并且,第二实施方式的LCD设备使放电电路TL1~TLj和TR1~TRj中的每个能够在没有任何初始延迟的情况下由进位信号CS控制。

[0108] 图8是示出根据本发明的第二实施方式的形成在LCD面板上的选通驱动器和放电电路的配置的详细电路图。

[0109] 参照图8,根据本发明的第二实施方式的选通驱动器240包括形成在LCD 201一个边缘上的第一选通驱动器240a和形成在与该一个边缘相对的另一边缘的第二选通驱动器240b。同时,每个放电电路能够通过单个放电晶体管实现。这样,选通驱动器还包括布置在第一选通驱动器240a的多个级之间的多个左放电晶体管TL1~TLj以及布置在第二选通驱动器240b的多个级之间的多个右放电晶体管TR1~TRj。

[0110] 这些级能够以四相位模式被驱动。因此,具有互不相同的四个相位的第一至第四时钟信号CLK1~CLK4、高通电压VGH、在其它级内生成的进位信号CS和低选通信号VGL被施加到这些级。尽管没有在图中示出,但是电源电压VDD和地电压GND能够被施加到这些级。第一至第四时钟信号CLK1~CLK4中的每个具有与两个水平同步循环对应的高电平间隔(或宽度)。第一至第四时钟信号CLK1~CLK4的高电平间隔(或宽度)彼此交叠单个水平同步循环的周期。

[0111] 并且,不同于相关技术的选通驱动器,如图4A所示,根据第二实施方式的选通驱动器240内的每个级包括配置为输出选通驱动电压(即,高通电压脉冲)和将要被施加到连

接到相邻选通线的放电电路的进位信号的输出部分。如图4B所示,每个级的输出部分可以包括配置为输出选通驱动电压的选通输出部分和配置为输出进位信号的进位输出部分。

[0112] 更具体地,第一选通驱动器240a接收第一时钟信号CLK1和第三时钟信号CLK3、高选通电压VGH、进位信号CS和低选通电压VGL。第一选通驱动器240a应答与选通起始脉冲GSP对应的第一起始电压Vst1,并在两个水平同步循环的周期内顺序地输出选通驱动电压到多条奇数编号选通线GL1、GL3、...、GLn-1。每个选通驱动电压都具有高选通电压脉冲,高选通电压脉冲用于导通显示区域A/A内的薄膜晶体管并具有与两个水平同步循环对应的宽度。施加到每条选通线的高选通电压脉冲与施加到与相应选通线相邻的前一个和后一个选通线的高选通电压脉冲交叠单个水平同步循环的周期。

[0113] 这种第一选通驱动器240a包括基于第一起始电压Vst1彼此串联的第一至第j左级STL1~STLj和左虚设级DTL。

[0114] 第二选通驱动器240b接收第二时钟信号CLK2和第四时钟信号CLK4、高选通电压VGH、进位信号CS和低选通电压VGL。第二选通驱动器240b应答与选通起始脉冲GSP对应的第二起始电压Vst2,并在两个水平同步循环的周期内顺序地输出选通驱动电压到多条偶数编号选通线GL2、GL4、...、GLn。偶数编号选通线GL2、GL4、...、GLn上的选通驱动电压具有与奇数编号选通线GL1、GL3、...、GLn-1上的选通驱动电压相似的高选通电压脉冲。

[0115] 该第二选通驱动器240b包括基于第二起始电压Vst2彼此串联的第一至第j右级STR1~STRj和右虚设级DTR。

[0116] 并且,选通驱动器240包括左放电晶体管TL1~TLj,左放电晶体管TL1~TLj布置在包括第一至第j左级STL1~STLj和左虚设级DTL的多个左级之间。

[0117] 左放电晶体管TL1~TLj中的每个的第一电极连接到偶数编号选通线GL2、GL4、...、GLn,右级STR1~STRj中的每个的选通输出部分(或端子)或左虚设级DTL的选通输出部分(或端子)与偶数编号选通线GL2、GL4、...、GLn相连接。左放电晶体管TL1~TLj中的每个的栅极连接到与第一电极相连接的右级STR的后面的右级的进位输出部分(或端子),或者连接到右虚设级DTR的进位输出部分(或端子)。左放电晶体管TL1~TLj中的每个的第二电极连接到用于传输低选通电压VGL的低选通电压线。

[0118] 例如,第一左放电晶体管TL1的第一电极连接到第二选通线GL2,第一左放电晶体管TL1的栅极连接到与第四选通线GL4相连接的第二右级STR2的进位输出部分(或端子)。并且,第一左放电晶体管TL1的第二电极连接到低选通电压线。

[0119] 选通驱动器240还包括右放电晶体管TR1~TRj,右放电晶体管TR1~TRj布置在包括第一至第j右级STR1~STRj和右虚设级DTR的多个右级之间。

[0120] 右放电晶体管TR1~TRj中的每个的第一电极连接到奇数编号选通线GL1、GL3、...、GLn,左级STL1~STLj中的每个的选通输出部分(或端子)与奇数编号选通线GL1、GL3、...、GLn相连接。右放电晶体管TR1~TRj中的每个的栅极连接到与第一电极相连接的左级STL的后面的左级的进位输出部分(或端子),或者连接到左虚设级DTL的进位输出部分(或端子)。右放电晶体管TR1~TRj中的每个的第二电极连接到用于传输低选通电压VGL的低选通电压线。

[0121] 例如,第一右放电晶体管TR1的第一电极连接到第一条选通线GL1,第一右放电晶体管TR1的栅极连接到用于向第三选通线GL3施加选通驱动电压的第二右级STR2内的进位

输出部分(或端子)。并且,第一右放电晶体管TR1的第二电极连接到低选通电压线。

[0122] 第二实施方式中的该LCD设备能够执行与第一实施方式中的LCD设备相同的操作,不同的是通过使用四相位时钟信号CLK1~CLK4驱动选通驱动器240。并且,第二实施方式中的LCD设备使与第一选通线GL1相连接的第一右放电晶体管TR1能够被第二左级STL2的进位信号导通,第二左级STL2与第一右放电晶体管TR1相对地布置。类似地,与第二选通线GL2相连接的第一左放电晶体管TL1被第二右级STR2的进位信号导通,第二右级STR2与第一左放电晶体管TL1相对地布置。

[0123] 换句话说,连接到选通线GL1~GLn中的每条的放电电路TL1~TLj和TR1~TRj由从每个级独立输出的进位信号控制,而不是被选通驱动电压(即,高选通电压VGH)控制。这样,每条选通线上的选通驱动电压(即,高选通电压VGH)的放电延迟能够被最小化。

[0124] 图9是示出根据本发明的第二实施方式的施加到LCD面板上的选通线的选通驱动电压的变化的波形图。

[0125] 参照图8和图9,根据本发明的第二实施方式的具有放电电路的LCD设备不仅使每条选通线GL1~GLn能够在两个水平同步循环的周期内由高选通电压VGH充电,而且还使充入每条选通线的电压随后能够被放电至低选通电压VGL。彼此相邻的两条选通线上的高选通电压VGH彼此交叠单个水平同步循环的周期。然而,与相同选通驱动器240a或240b相连接的选通线上的高选通电压VGH在时间上彼此不交叠。在选通线GL1~GLn上的高选通电压VGH之间的交叠周期的单个水平同步周期内,数据电压“d”被施加到像素。

[0126] 具体地,如图所示,当每条选通线上的电压被放电时,低选通电压VGL被施加到相应选通线的两端。这样,每条选通线上的电压降低至低选通电压VGL而具有陡下降沿“F”。

[0127] 如图8所示,第二实施方式使连接到第一选通线GL1的第一右放电晶体管TR1能够被在连接到第三选通线GL3的第二左级STL2内生成的进位信号CS导通。这样,第一选通线GL1上的电压在没有任何延迟的情况下能够快速地从高选通电压VGH转变为低选通电压VGL。同时,如果第一右放电晶体管TR1被施加到第三选通线GL3的高选通电压VGH导通,如虚线“Y”所示,则当第一选通线GL1上的电压从高选通电压VGH转变为低选通电压VGL时,会产生延迟问题。

[0128] 此外,由图9中可见,明显的是,不同于选通驱动电压,用于控制放电电路(即,左和右放电晶体管)的进位信号的前面部分,每一个都具有非常理想的从低选通电压VGL到高选通电压VGH的过渡,其中,这些放电电路与第一选通驱动器240a和第二选通驱动器240b相邻设置。

[0129] 据此,与相应选通线GL1~GLn相连接的放电晶体管能够被从相应的级施加的进位信号快速地导通/截止。因此,充入每条选通线的高选通电压VGH能够在没有任何延迟的情况下被快速地放电。

[0130] 根据本发明的实施方式的LCD设备将放电电路布置在选通线上并且将充入每条选通线的选通驱动电压快速放电。这样,增强的图像质量能够被增强。

[0131] 并且,根据本发明的实施方式的LCD设备使选通驱动电压和用于控制置于前面的选通线上的放电电路的进位信号能够被从选通驱动器内的每一级独立地输出。据此,能够避免选通驱动电压的放电延迟。

[0132] 此外,根据本发明的实施方式的LCD设备提供具有两个选通驱动器的双GIP模式

LCD面板,这两个选通驱动器被配置为对于选通驱动电压执行交替输出而不是同时输出。因此,能够减少级的数目,而且还能够减小选通驱动器的占用面积。

[0133] 尽管只是针对上述实施方式限制性地解释了本发明,但是本领域技术人员应该理解的是,本发明并不局限于这些实施方式,在不偏离本发明的精神的前提下可以对本发明进行各种修改和变化。因此,本发明的范围应当仅由所附权利要求及其等同物确定。

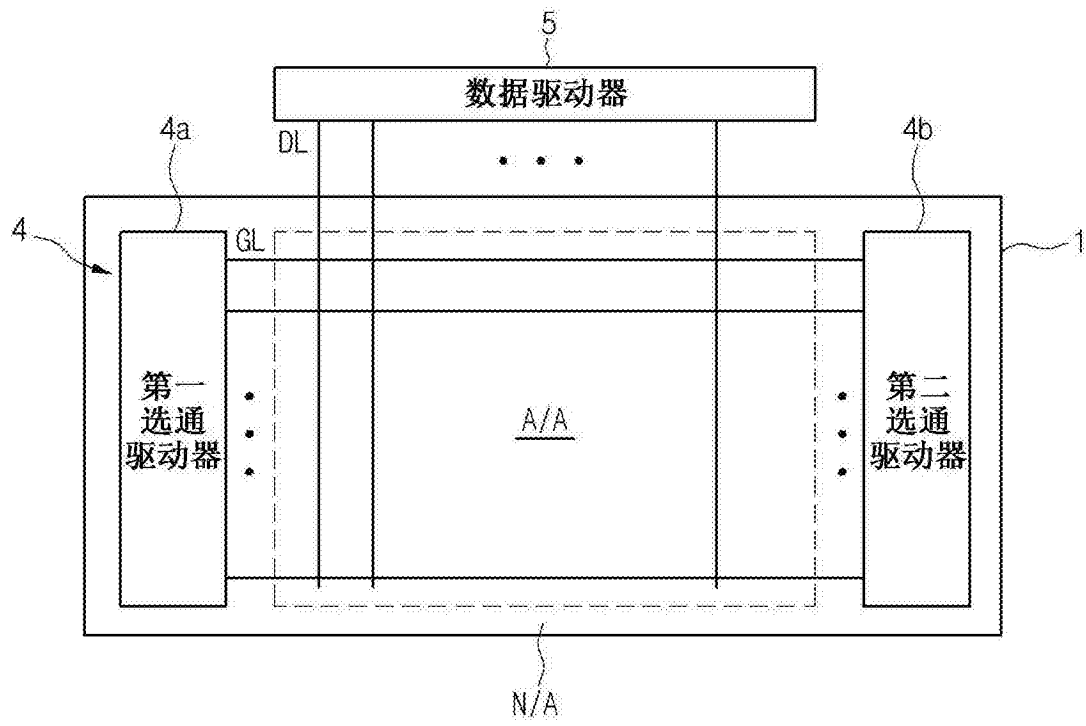


图1

100

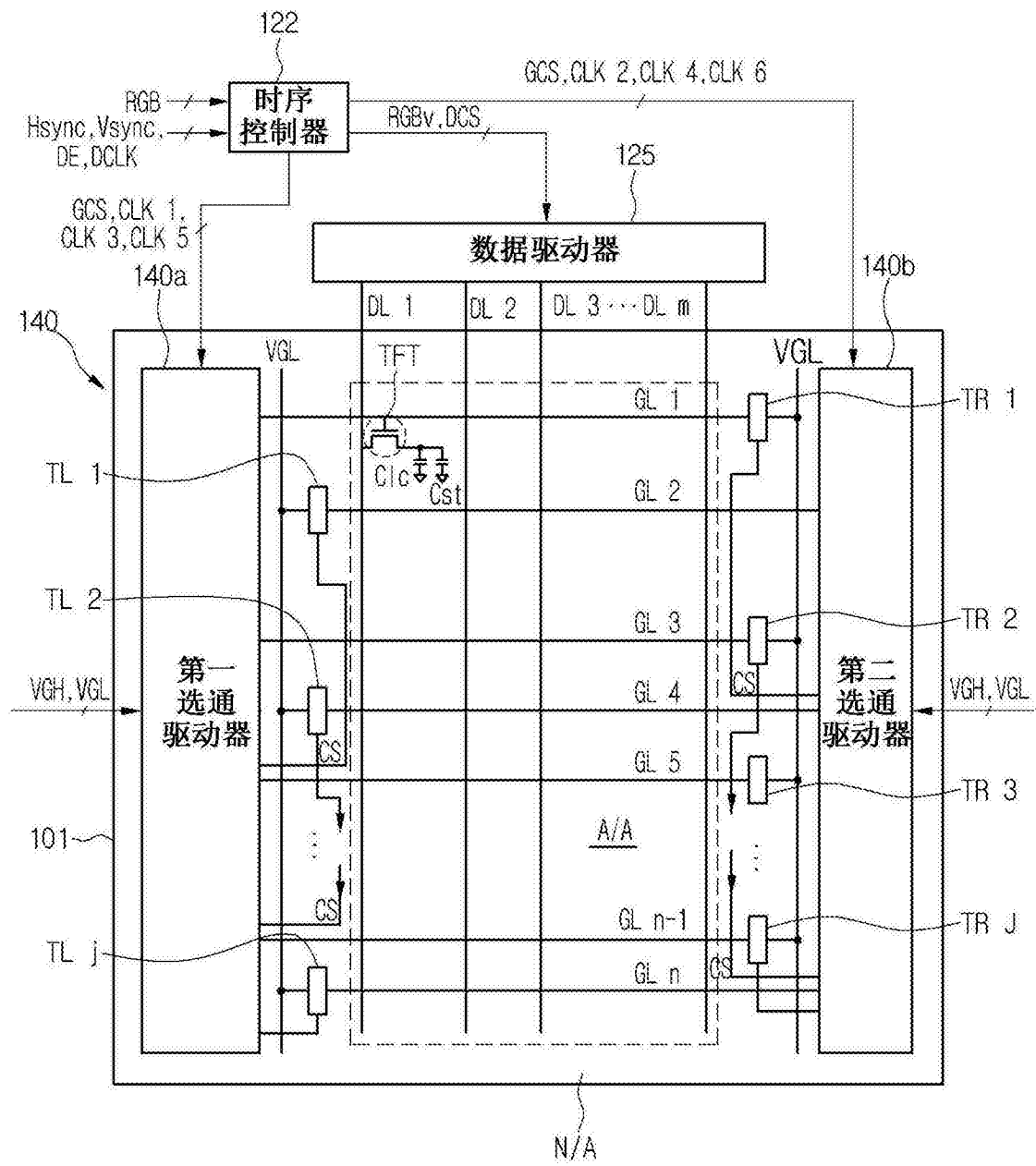


图 2

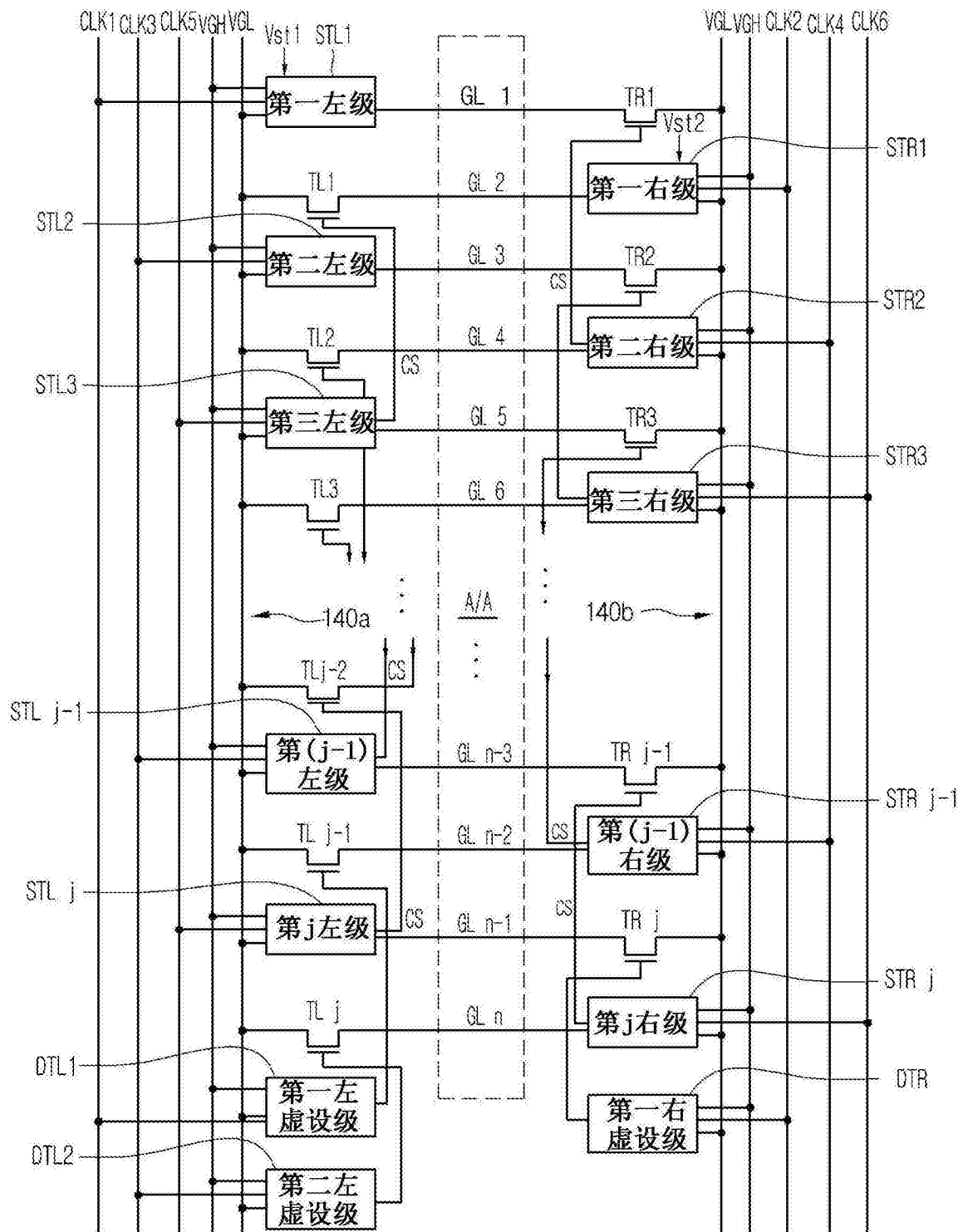


图3

级

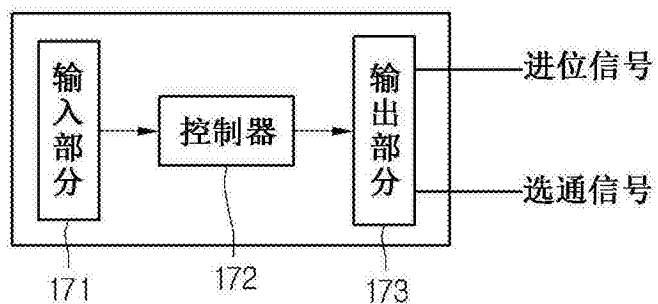


图4A

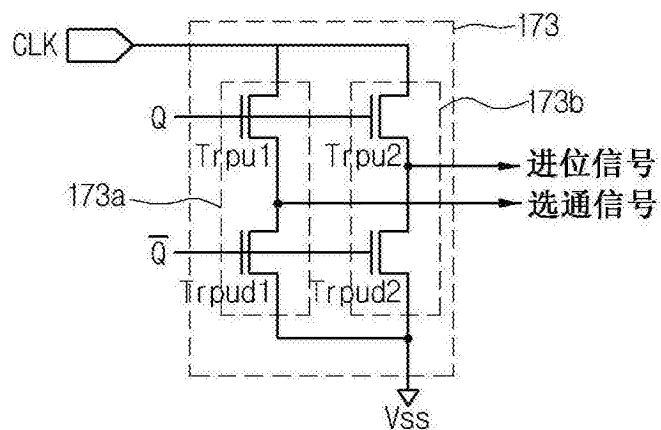


图4B

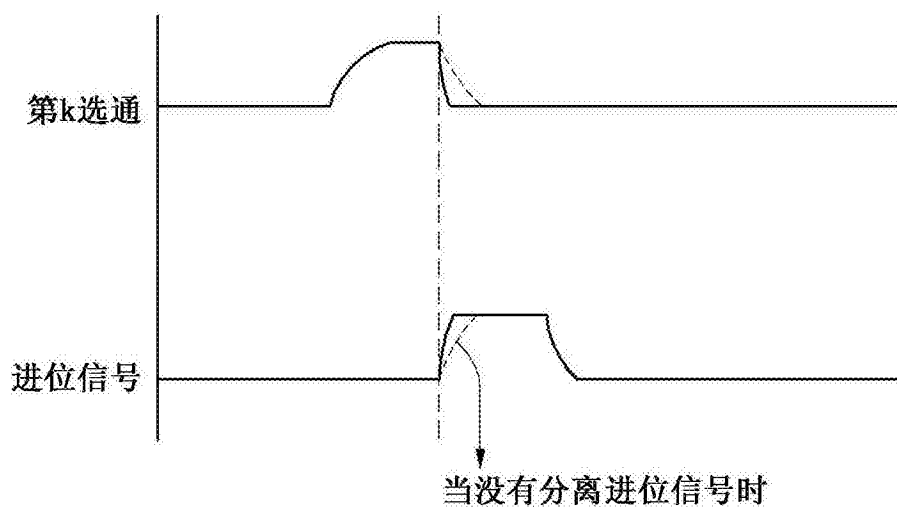


图5

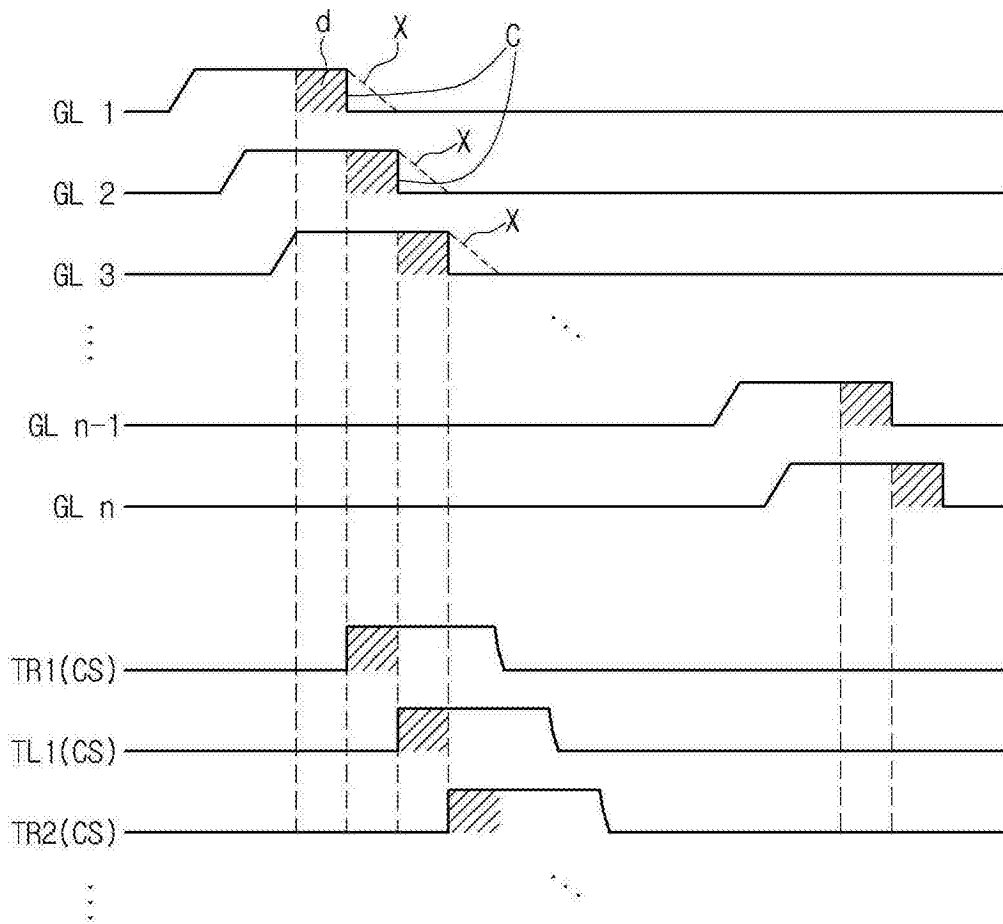


图6

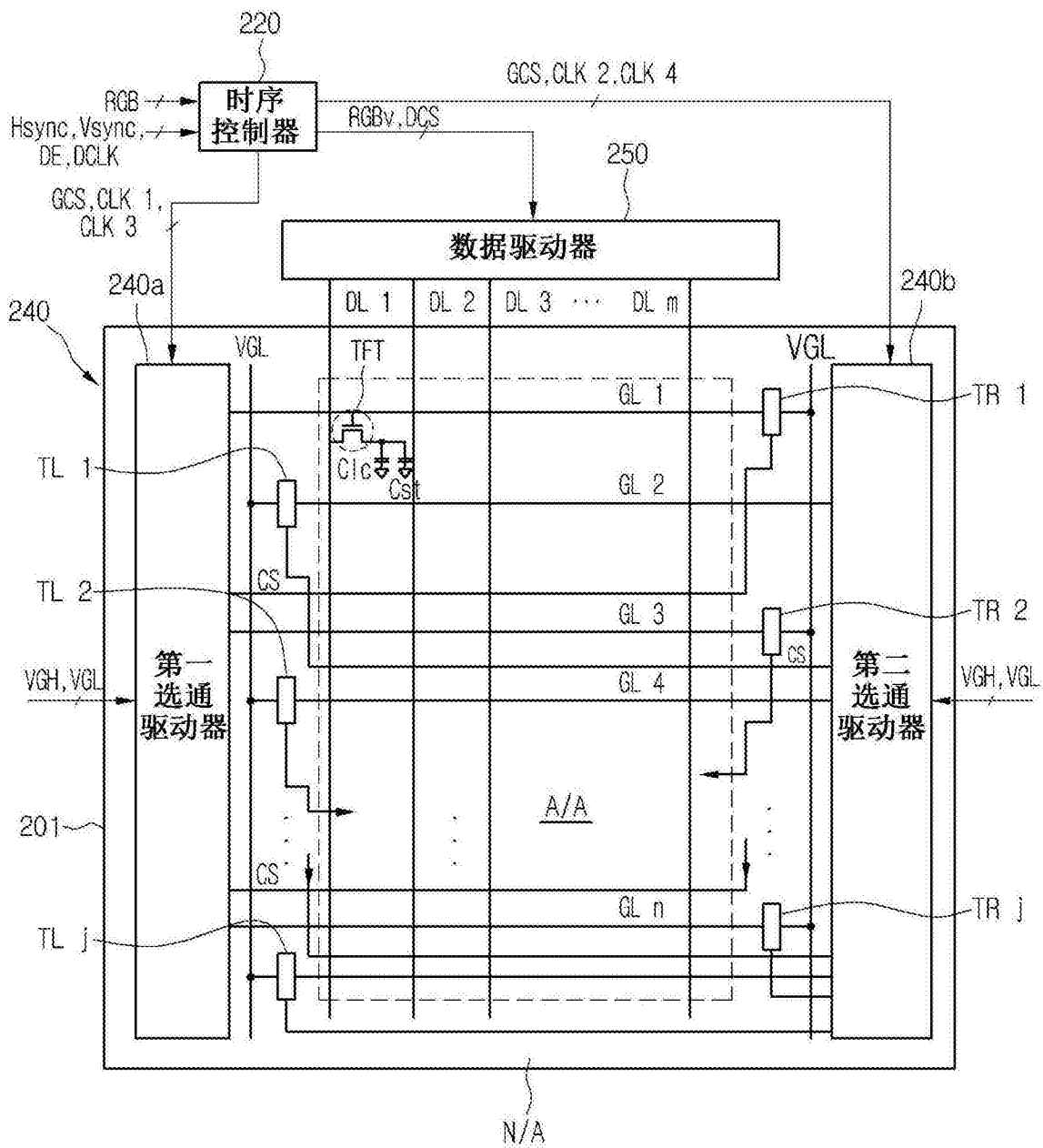


图7

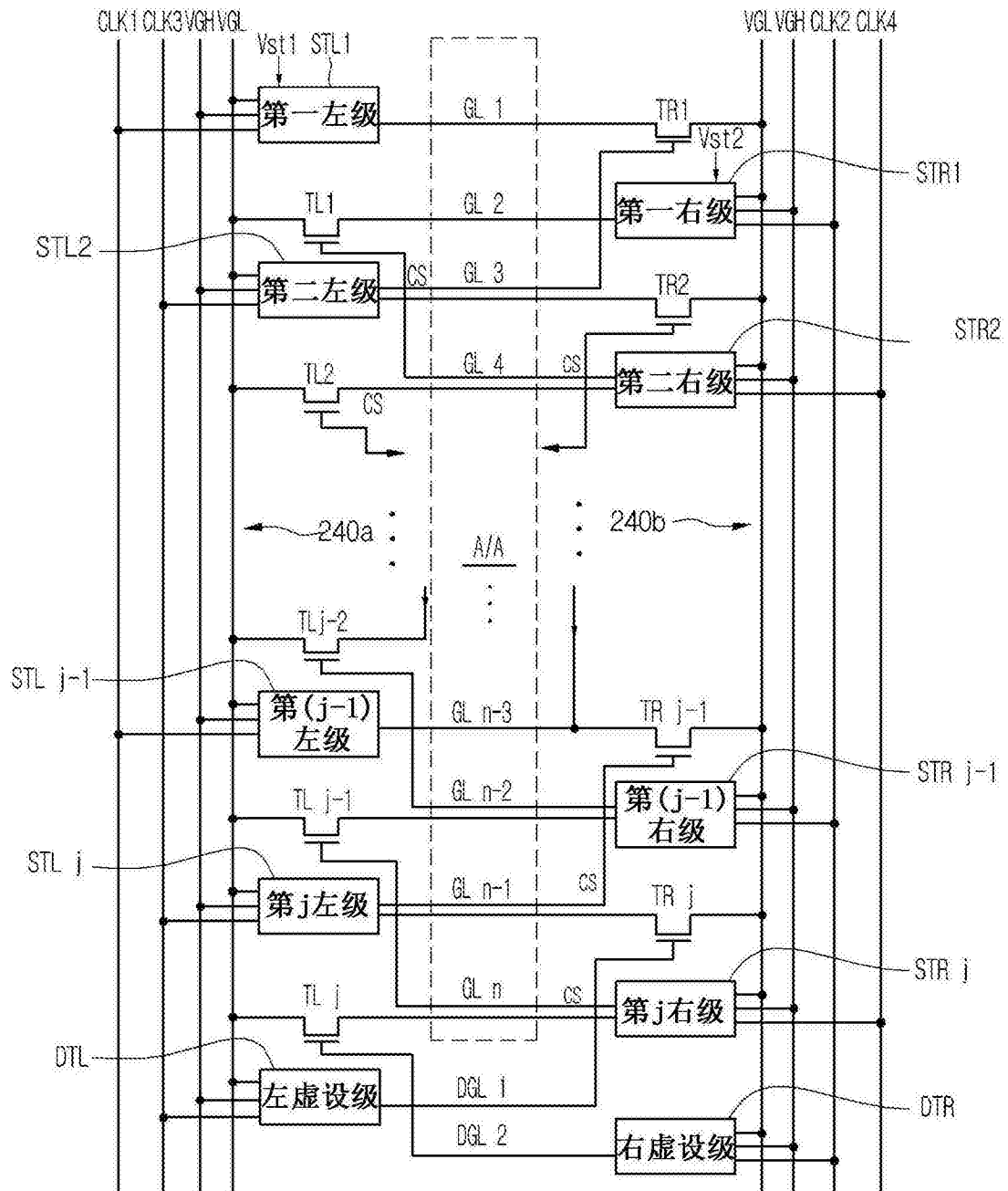


图8

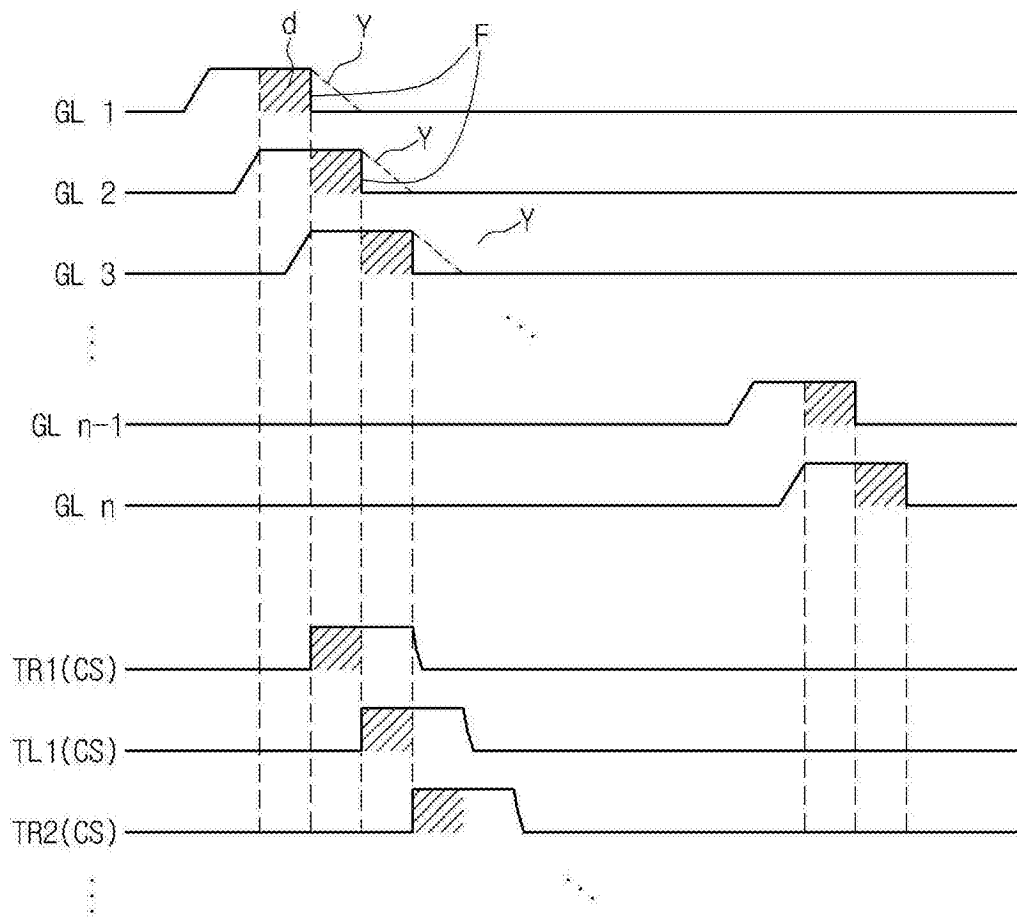


图9

专利名称(译)	液晶显示设备		
公开(公告)号	CN103714785B	公开(公告)日	2016-09-07
申请号	CN201210590809.5	申请日	2012-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	崔贞美		
发明人	崔贞美		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3696 G09G3/3655 G09G3/3659 G09G3/3677 G09G3/3688 G09G2310/0251 G09G2310/0286 G09G2320/02 G11C19/287		
代理人(译)	刘久亮		
审查员(译)	李文斐		
优先权	1020120109249 2012-09-28 KR		
其他公开文献	CN103714785A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种LCD设备，包括：液晶显示面板；生成时钟信号的时序控制器；第一选通驱动器和第二选通驱动器，被配置为响应于时钟信号，向选通线的一端施加高选通电压；左放电电路中的每个和右放电电路中的每个被配置为根据选通线上的电压电平，向选通线的另一端施加低选通电压；其中，第一选通驱动器包括多个左级，每个左级包括用于输出高选通电压的选通输出端子和用于控制相应的左放电电路的进位输出端子，第二选通驱动器包括多个右级，每个右级包括用于输出高选通电压的另一个选通输出端子和用于控制相应的右放电电路的另一个进位输出端子。

