



(12) 发明专利

(10) 授权公告号 CN 103258494 B

(45) 授权公告日 2015. 10. 14

(21) 申请号 201310132519. 0

(22) 申请日 2013. 04. 16

(73) 专利权人 合肥京东方光电科技有限公司

地址 230011 安徽省合肥市铜陵北路 2177 号

专利权人 京东方科技集团股份有限公司

(72) 发明人 杨通 马睿 胡明

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 郭润湘

(51) Int. Cl.

G09G 3/20(2006. 01)

G11C 19/28(2006. 01)

G09G 3/36(2006. 01)

(56) 对比文件

CN 102654986 A, 2012. 09. 05, 1-13.

CN 102945650 A, 2013. 02. 27, 1-13.

TW 201103030 A, 2011. 01. 16, 1-13.

WO 2013018598 A1, 2013. 02. 07, 1-13.

审查员 刘多多

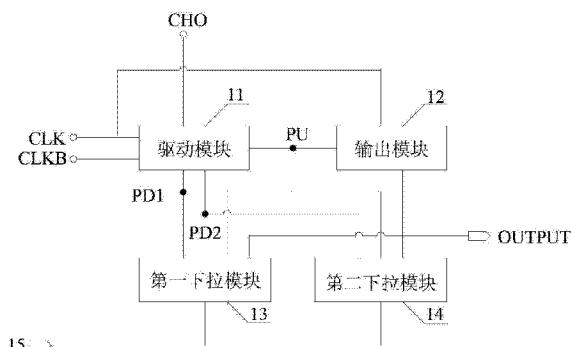
权利要求书4页 说明书13页 附图10页

(54) 发明名称

一种移位寄存器、栅极驱动装置和液晶显示装置

(57) 摘要

本发明实施例提供了一种移位寄存器、栅极驱动装置和液晶显示装置,用以解决现有的移位寄存器中为了降低对应的栅极线上的噪声,使得移位寄存器中的一些晶体管由于在非工作时间内一直处于开启状态,从而缩短栅极驱动装置的使用寿命的问题。该移位寄存器包括:输出模块,用于在驱动模块输出的信号的控制下接通所述移位寄存器的控制信号输出端与时钟信号输入端;第一下拉模块,用于在驱动模块输出的信号的控制下接通上拉结点与第二电平信号输入端,并接通移位寄存器的控制信号输出端与第二电平信号输入端;第二下拉模块,用于驱动模块输出的信号的控制下接通上拉结点与第二电平信号输入端,并接通移位寄存器的控制信号输出端与第二电平信号输入端。



1. 一种移位寄存器, 其特征在于, 包括驱动模块、输出模块、第一下拉模块和第二下拉模块;

驱动模块与输出模块相连; 第一下拉模块分别连接驱动模块、输出模块和第二电平信号输入端; 第二下拉模块分别连接驱动模块、输出模块和第二电平信号输入端; 其中, 驱动模块、输出模块、第一下拉模块和第二下拉模块相连的连接点为上拉结点, 第一下拉模块与驱动模块相连的连接点为第一下拉结点, 第一下拉模块与输出模块相连的连接点为移位寄存器的控制信号输出端; 第二下拉模块与驱动模块相连的连接点为第二下拉结点, 第二下拉模块与输出模块相连的连接点为移位寄存器的控制信号输出端;

驱动模块, 用于在接收到的选择信号为第一电平信号时, 或者在接收到的选择信号由第一电平信号变为第二电平信号时, 控制所述上拉结点为第一电平信号, 并控制所述第一下拉结点和所述第二下拉结点均为第二电平信号; 以及在所述上拉结点为第二电平信号时, 控制所述第一下拉结点的信号为与时钟信号相同的信号、所述第二下拉结点的信号为与时钟阻碍信号相同的信号;

输出模块, 用于在所述上拉结点的信号的控制下接通所述移位寄存器的控制信号输出端与时钟信号输入端;

第一下拉模块, 用于在第一下拉结点的信号为第一电平信号时, 接通上拉结点与第二电平信号输入端, 并接通移位寄存器的控制信号输出端与第二电平信号输入端;

第二下拉模块, 用于在第二下拉结点的信号为第一电平信号时, 接通上拉结点与第二电平信号输入端, 并接通移位寄存器的控制信号输出端与第二电平信号输入端;

当所述移位寄存器中的晶体管为 N 型晶体管时, 第一电平信号为高电平信号, 第二电平信号为低电平信号, 第二电平信号输入端为低电平信号输入端; 当所述移位寄存器中的晶体管为 P 型晶体管时, 第一电平信号为低电平信号, 第二电平信号为高电平信号, 第二电平信号输入端为高电平信号输入端。

2. 如权利要求 1 所述的移位寄存器, 其特征在于, 所述第一下拉模块包括第一晶体管 M1 和第二晶体管 M2;

第一晶体管 M1 的栅极连接第一下拉结点, 第一晶体管 M1 的第一极连接上拉结点, 第一晶体管 M1 的第二极连接第二电平信号输入端; 第二晶体管 M2 的栅极连接第一下拉结点, 第二晶体管 M2 的第一极连接移位寄存器的控制信号输出端, 第二晶体管 M2 的第二极连接所述第二电平信号输入端;

所述第一晶体管 M1, 用于在第一下拉结点的信号为第一电平信号时, 接通上拉结点与第二电平信号输入端; 所述第二晶体管 M2, 用于在第一下拉结点的信号为第一电平信号时, 接通移位寄存器的控制信号输出端与第二电平信号输入端。

3. 如权利要求 1 所述的移位寄存器, 其特征在于, 所述第二下拉模块包括第三晶体管 M3 和第四晶体管 M4;

第三晶体管 M3 的栅极连接第二下拉结点, 第三晶体管 M3 的第一极连接上拉结点, 第三晶体管 M3 的第二极连接第二电平信号输入端; 第四晶体管 M4 的栅极连接第二下拉结点, 第四晶体管 M4 的第一极连接移位寄存器的控制信号输出端, 第四晶体管 M4 的第二极连接所述第二电平信号输入端;

所述第三晶体管 M3, 用于在第二下拉结点的信号为第一电平信号时, 接通上拉结点与

第二电平信号输入端；所述第四晶体管 M4，用于在第二下拉结点的信号为第一电平信号时，接通移位寄存器的控制信号输出端与第二电平信号输入端。

4. 如权利要求 1 所述的移位寄存器，其特征在于，所述驱动模块包括上拉驱动模块和下拉驱动模块；

所述上拉驱动模块，用于在接收到的选择信号为第一电平信号时，控制所述上拉结点为第一电平信号，并向所述下拉驱动模块输出第一电平信号；并在接收到的选择信号由第一电平信号变为第二电平信号时，控制所述上拉结点为第一电平信号，并向所述下拉驱动模块输出第二电平信号；

所述下拉驱动模块，用于在所述上拉结点为第一电平信号，且接收到所述上拉驱动模块输出的第一电平信号时，控制所述第一下拉结点的信号和所述第二下拉结点的信号均为第二电平信号，并在所述上拉结点为第一电平信号，且接收到所述上拉驱动模块输出的第二电平信号时，控制所述第一下拉结点的信号和所述第二下拉结点的信号均为第二电平信号；以及在所述上拉结点的信号为第二电平信号、接收到的时钟信号为第二电平信号且时钟阻碍信号为第一电平信号时，控制第一下拉结点的信号为第二电平信号、第二下拉结点的信号为第一电平信号，并在所述上拉结点的信号为第二电平信号、接收到的时钟信号为第一电平信号且时钟阻碍信号为第二电平信号时，控制第一下拉结点的信号为第一电平信号、第二下拉结点的信号为第二电平信号。

5. 如权利要求 4 所述的移位寄存器，其特征在于，所述移位寄存器为双向扫描移位寄存器，则所述上拉驱动模块包括正向扫描上拉驱动单元和反向扫描上拉驱动单元；

所述正向扫描上拉驱动单元，用于在接收到的正向扫描信号为第一电平信号且接收到的第一选择信号为第一电平信号时，控制所述上拉结点为第一电平信号，并向所述下拉驱动模块输出第一电平信号；并在接收到的正向扫描信号为第一电平信号且接收到的第一选择信号由第一电平信号变为第二电平信号时，控制所述上拉结点为第一电平信号，并向所述下拉驱动模块输出第二电平信号；

所述反向扫描上拉驱动单元，用于在接收到的反向扫描信号为第一电平信号且接收到的第二选择信号为第一电平信号时，控制所述上拉结点为第一电平信号，并向所述下拉驱动模块输出第一电平信号；并在接收到的反向扫描信号为第一电平信号且接收到的第二选择信号由第一电平信号变为第二电平信号时，控制所述上拉结点为第一电平信号，并向所述下拉驱动模块输出第二电平信号。

6. 如权利要求 4 所述的移位寄存器，其特征在于，所述下拉驱动模块包括第一下拉驱动单元和第二下拉驱动单元；

所述第一下拉驱动单元，用于在所述上拉结点的信号为第一电平信号时，将所述第一下拉结点与第二电平信号输入端接通；并在所述上拉结点的信号为第二电平信号、接收到的时钟信号为第二电平信号且时钟阻碍信号为第一电平信号时，控制所述第一下拉结点的信号为第二电平信号，并在所述上拉结点的信号为第二电平信号、接收到的时钟信号为第一电平信号且时钟阻碍信号为第二电平信号时，控制所述第一下拉结点的信号为第一电平信号；

所述第二下拉驱动单元，用于在接收到所述上拉驱动模块输出的第一电平信号时，将所述第二下拉结点与第二电平信号输入端接通；并在接收到所述上拉驱动模块输出的第二

电平信号、接收到的时钟信号为第二电平信号且时钟阻碍信号为第一电平信号时,控制所述第二下拉结点的信号第一电平信号,在接收到所述上拉驱动模块输出的第二电平信号、接收到的时钟信号为第一电平信号且时钟阻碍信号为第二电平信号时,控制所述第二下拉结点的信号第二电平信号。

7. 如权利要求 5 所述的移位寄存器,其特征在于,所述正向扫描上拉驱动单元包括第五晶体管 M5 和第六晶体管 M6;

第五晶体管 M5 的栅极接收第一选择信号,第五晶体管 M5 的第一极接收正向扫描信号,第五晶体管 M5 的第二极连接所述上拉结点;第六晶体管 M6 的第一极接收第一选择信号,第六晶体管 M6 的栅极接收正向扫描信号,第六晶体管 M6 的第二极向所述下拉驱动模块输出信号;

所述第五晶体管 M5,用于在接收到的第一选择信号为第一电平信号时,控制所述上拉结点的信号为与正向扫描信号相同的信号;所述第六晶体管 M6,用于在接收到的正向扫描信号为第一电平信号时,控制第六晶体管 M6 的第二极向所述下拉驱动模块输出与第一选择信号相同的信号。

8. 如权利要求 5 所述的移位寄存器,其特征在于,所述反向扫描上拉驱动单元包括第七晶体管 M7 和第八晶体管 M8;

第七晶体管 M7 的栅极接收第二选择信号,第七晶体管 M7 的第一极接收反向扫描信号,第七晶体管 M7 的第二极连接所述上拉结点;第八晶体管 M8 的第一极接收第二选择信号,第八晶体管 M8 的栅极接收反向扫描信号,第八晶体管 M8 的第二极向所述下拉驱动模块输出信号;

所述第七晶体管 M7,用于在接收到的第二选择信号为第一电平信号时,控制所述上拉结点的信号为与反向扫描信号相同的信号;所述第八晶体管 M8,用于在接收到的反向扫描信号为第一电平信号时,控制第八晶体管 M8 的第二极向所述下拉驱动模块输出与第二选择信号相同的信号。

9. 如权利要求 6 所述的移位寄存器,其特征在于,所述第一下拉驱动单元包括第九晶体管 M9、第十晶体管 M10 和第十一晶体管 M11;

第九晶体管 M9 的栅极接收时钟信号,第九晶体管 M9 的第一极接收时钟信号,第九晶体管 M9 的第二极连接第一下拉结点;第十晶体管 M10 的栅极接收时钟阻碍信号,第十晶体管 M10 的第一极接收时钟信号,第十晶体管 M10 的第二极连接第一下拉结点;第十一晶体管 M11 的栅极连接上拉结点,第十一晶体管 M11 的第一极连接第一下拉结点,第十一晶体管 M11 的第二极连接第二电平信号输入端;第九晶体管 M9 的尺寸和第十一晶体管 M11 的尺寸之比为第一预设比例;

第九晶体管 M9,用于在接收到的时钟信号为第一电平信号时开启,并在接收到的时钟信号为第二电平信号时关断;

第十晶体管 M10,用于在接收到的时钟阻碍信号为第一电平信号时开启,并在接收到的时钟阻碍信号为第二电平信号时关断;

第十一晶体管 M11,用于在上拉结点的信号为第一电平信号时,接通第一下拉结点与第二电平信号输入端;并在上拉结点的信号为第二电平信号时,断开第一下拉结点与第二电平信号输入端。

10. 如权利要求 6 所述的移位寄存器,其特征在于,所述第二下拉驱动单元包括第十二晶体管 M12、第十三晶体管 M13 和第十四晶体管 M14;

第十二晶体管 M12 的栅极接收时钟信号,第十二晶体管 M12 的第一极接收时钟阻碍信号,第十二晶体管 M12 的第二极连接第二下拉结点;第十三晶体管 M13 的栅极接收时钟阻碍信号,第十三晶体管 M13 的第一极接收时钟阻碍信号,第十三晶体管 M13 的第二极连接第二下拉结点;第十四晶体管 M14 的栅极接收所述上拉驱动模块输出的信号,第十四晶体管 M14 的第一极连接第二下拉结点,第十四晶体管 M14 的第二极连接第二电平信号输入端;第十三晶体管 M13 的尺寸和第十四晶体管 M14 的尺寸之比为第二预设比例;

第十二晶体管 M12,用于在接收到的时钟信号为第一电平信号时开启,并在接收到的时钟信号为第二电平信号时关断;

第十三晶体管 M13,用于在接收到的时钟阻碍信号为第一电平信号时开启,并在接收到的时钟阻碍信号为第二电平信号时关断;

第十四晶体管 M14,用于在接收到的所述上拉驱动模块输出的信号为第一电平信号时,接通第二下拉结点与第二电平信号输入端;并在接收到的所述上拉驱动模块输出的信号为第二电平信号时,断开第二下拉结点与第二电平信号输入端。

11. 如权利要求 1 所述的移位寄存器,其特征在于,所述输出模块包括:第十五晶体管 M15 和电容 C1;

第十五晶体管 M15 的栅极连接上拉结点,第十五晶体管 M15 的第一极接收时钟信号,第十五晶体管 M15 的第二极为移位寄存器的控制信号输出端;电容 C1 的一端连接上拉结点,电容 C1 的另一端连接第十五晶体管 M15 的第二极;

第十五晶体管 M15,用于在上拉结点的信号为第一电平信号时,将接收到的时钟信号从移位寄存器的控制信号输出端输出;并在上拉结点的信号为第二电平信号时断开;

电容 C1,用于存储上拉结点的信号。

12. 一种栅极驱动装置,其特征在于,所述装置包括多级如权利要求 5-11 任一所述的移位寄存器;除第一级移位寄存器和最后一级移位寄存器之外,每一级移位寄存器接收自身的前一级移位寄存器输出的控制信号作为第一选择信号,并接收自身的后一级移位寄存器输出的控制信号作为第二选择信号;第一级移位寄存器接收第一初始触发信号作为第一选择信号,并接收第二级移位寄存器输出的控制信号作为第二选择信号;最后一级移位寄存器接收第二初始触发信号作为第二选择信号,最后一级移位寄存器接收自身的前一级移位寄存器输出的控制信号作为第一选择信号。

13. 一种液晶显示装置,其特征在于,所述装置包括如权利要求 12 所述的栅极驱动装置。

一种移位寄存器、栅极驱动装置和液晶显示装置

技术领域

[0001] 本发明涉及液晶显示领域,尤其涉及一种移位寄存器、栅极驱动装置和液晶显示装置。

背景技术

[0002] 液晶显示面板由二维的液晶像素矩阵构成,液晶显示面板的驱动装置包括栅极驱动装置和数据驱动装置,数据驱动装置将输入的显示数据按顺序锁存并转换成模拟信号,依次扫描液晶显示面板的数据线;栅极驱动装置包括若干个移位寄存器,每级移位寄存器将输入的时钟信号转换为开启或关闭信号从它的控制信号输出端输出到与其对应的栅极线上。

[0003] 由于在某些特殊情况下,需要对液晶显示面板显示的画面进行 180° 翻转,此时液晶显示面板中的移位寄存器要能够实现双向扫描,即液晶面板中的移位寄存器为双向扫描移位寄存器。

[0004] 现有的双向扫描移位寄存器的典型结构如图 1 所示。第 N 级移位寄存器在除其对应的栅极线被选中的时间段及其前一级移位寄存器对应的栅极线被选中的时间段以外的时间段中,即第 N 级移位寄存器的非工作时间段内,开启信号 VON 为高电平信号,开启信号 VON 信号通过晶体管 M6 的栅极和源极(或漏极)使晶体管 M2 的栅极和晶体管 M4 的栅极接收高电平信号,从而使晶体管 M2 和晶体管 M4 开启,由于晶体管 M2 的源极(或漏极)和晶体管 M4 的源极(或漏极)连接关闭信号 VOFF,而此时关闭信号 VOFF 为低电平信号,因此,晶体管 M2 可以对第 N 级移位寄存器的控制信号 GOUT(N) 节点进行持续放电,晶体管 M4 可以对晶体管 M1 的栅极进行持续放电,从而消除第 N 级移位寄存器的控制信号 GOUT(N) 的噪声,降低晶体管 M1 的阈值漂移。其中,在正向扫描时,第 N 级移位寄存器的前一级移位寄存器是指第 N-1 级移位寄存器;在反向扫描时,第 N 级移位寄存器的前一级移位寄存器是指第 N+1 级移位寄存器。图 1 中还包括:时钟信号 CLK、正向扫描信号 Vbuf、第 N-1 级移位寄存器的控制信号 GOUT(N-1)、反向扫描信号 Vdis、第 N+1 级移位寄存器的控制信号 GOUT(N+1)、晶体管 M3、晶体管 M5 和晶体管 M7。

[0005] 但是,由于第 N 级移位寄存器在除其对应的栅极线被选中的时间段及其前一级移位寄存器对应的栅极线被选中的时间段以外的时间段中,第 N 级移位寄存器中的晶体管 M2 的栅极、晶体管 M4 的栅极和晶体管 M6 的栅极将会一直处于高电平,即晶体管 M2、晶体管 M4 和晶体管 M6 会一直处于开启状态,这虽然消除了时钟信号耦合到该移位寄存器的控制信号输出端的噪声,但会使一直处于开启状态的晶体管的阈值电压发生偏移,从而缩短了栅极驱动电路的使用寿命。

[0006] 综上所述,目前常用的栅极驱动装置中的移位寄存器虽然能够消除在移位寄存器非工作时间段内时钟信号耦合到移位寄存器的控制信号输出端的噪声,即在与移位寄存器相连的栅极线未被选中的时间段消除该栅极线上的噪声,但由于移位寄存器中的一些晶体管在非工作时间段内一直处于开启状态,使得这些晶体管的阈值电压发生偏移,从而缩短

了栅极驱动装置的使用寿命。

发明内容

[0007] 本发明实施例提供了一种移位寄存器、栅极驱动装置和液晶显示装置,用以解决现有的移位寄存器中的一些晶体管由于在非工作时间段内一直处于开启状态,从而缩短栅极驱动装置的使用寿命的问题。

[0008] 基于上述问题,本发明实施例提供一种移位寄存器,包括驱动模块、输出模块、第一下拉模块和第二下拉模块;

[0009] 驱动模块与输出模块相连;第一下拉模块分别连接驱动模块、输出模块和第二电平信号输入端;第二下拉模块分别连接驱动模块、输出模块和第二电平信号输入端;其中,驱动模块、输出模块、第一下拉模块和第二下拉模块相连的连接点为上拉结点,第一下拉模块与驱动模块相连的连接点为第一下拉结点,第一下拉模块与输出模块相连的连接点为移位寄存器的控制信号输出端;第二下拉模块与驱动模块相连的连接点为第二下拉结点,第二下拉模块与输出模块相连的连接点为移位寄存器的控制信号输出端;

[0010] 驱动模块,用于在接收到的选择信号为第一电平信号时,或者在接收到的选择信号由第一电平信号变为第二电平信号时,控制所述上拉结点为第一电平信号,并控制所述第一下拉结点和所述第二下拉结点均为第二电平信号;以及在所述上拉结点为第二电平信号时,控制所述第一下拉结点的信号为与时钟信号相同的信号、所述第二下拉结点的信号为与时钟阻碍信号相同的信号;

[0011] 输出模块,用于在所述上拉结点的信号的控制下接通所述移位寄存器的控制信号输出端与时钟信号输入端;

[0012] 第一下拉模块,用于在第一下拉结点的信号为第一电平信号时,接通上拉结点与第二电平信号输入端,并接通移位寄存器的控制信号输出端与第二电平信号输入端;

[0013] 第二下拉模块,用于在第二下拉结点的信号为第一电平信号时,接通上拉结点与第二电平信号输入端,并接通移位寄存器的控制信号输出端与第二电平信号输入端;

[0014] 当所述移位寄存器中的晶体管为N型晶体管时,第一电平信号为高电平信号,第二电平信号为低电平信号,第二电平信号输入端为低电平信号输入端;当所述移位寄存器中的晶体管为P型晶体管时,第一电平信号为低电平信号,第二电平信号为高电平信号,第二电平信号输入端为高电平信号输入端。

[0015] 本发明实施例提供一种栅极驱动装置,包括多级本发明实施例提供的移位寄存器;除第一级移位寄存器和最后一级移位寄存器之外,每一级移位寄存器接收自身的前一级移位寄存器输出的控制信号作为第一选择信号,并接收自身的后一级移位寄存器输出的控制信号作为第二选择信号;第一级移位寄存器接收第一初始触发信号作为第一选择信号,并接收第二级移位寄存器输出的控制信号作为第二选择信号;最后一级移位寄存器接收第二初始触发信号作为第二选择信号,最后一级移位寄存器接收自身的前一级移位寄存器输出的控制信号作为第一选择信号。

[0016] 本发明实施例还提供一种液晶显示装置,包括本发明实施例提供的栅极驱动装置。

[0017] 本发明实施例的有益效果包括:

[0018] 本发明实施例提供的一种移位寄存器、栅极驱动装置和液晶显示装置，该移位寄存器中的输出模块在上拉结点的信号的控制下接通该移位寄存器的控制信号输出端与时钟信号输入端，从而驱动与该移位寄存器对应的栅极线。在该移位寄存器的非工作时间段内，即上拉结点的信号为第二电平信号时，在时钟信号为第一电平信号、时钟阻碍信号为第二电平信号时，第一下拉结点为第一电平信号，第二下拉结点为第二电平信号，此时，第一下拉模块接通该移位寄存器的控制信号输出端与第二电平信号输入端，并接通上拉结点与第二电平信号输入端；在时钟信号为第二电平信号、时钟阻碍信号为第一电平信号时，第一下拉结点为第二电平信号，第二下拉结点为第一电平信号，此时，第二下拉模块接通该移位寄存器的控制信号输出端与第二电平信号输入端，并接通上拉结点与第二电平信号输入端。因此，在该移位寄存器的非工作时间段内，第一下拉模块和第二下拉模块交替使上拉结点、该移位寄存器的控制信号输出端分别与第二电平信号输入端接通，消除了在该移位寄存器的非工作时间段内时钟信号耦合到该移位寄存器的控制信号输出端的噪声，即在与移位寄存器相连的栅极线未被选中的时间段消除了该栅极线上的噪声，也使得第一下拉模块和第二下拉模块中的晶体管交替开启，避免了移位寄存器中的晶体管长时间开启时导致这些晶体管的阈值电压发生偏移，延长了包含该移位寄存器的栅极驱动装置的使用寿命。

附图说明

- [0019] 图 1 为现有技术中双向扫描移位寄存器的结构示意图；
- [0020] 图 2 为本发明实施例提供的移位寄存器的结构示意图之一；
- [0021] 图 3 为本发明实施例提供的移位寄存器的结构示意图之二；
- [0022] 图 4 为本发明实施例提供的移位寄存器的结构示意图之三；
- [0023] 图 5 为本发明实施例提供的移位寄存器的结构示意图之四；
- [0024] 图 6 为本发明实施例提供的移位寄存器的结构示意图之五；
- [0025] 图 7 为本发明实施例提供的移位寄存器的结构示意图之六；
- [0026] 图 8 为本发明实施例提供的移位寄存器的结构示意图之七；
- [0027] 图 9 为本发明实施例提供的移位寄存器的结构示意图之八；
- [0028] 图 10 为本发明实施例提供的移位寄存器的结构示意图之九；
- [0029] 图 11 为正向扫描时本发明实施例提供的移位寄存器工作的时序图；
- [0030] 图 12 为反向扫描时本发明实施例提供的移位寄存器工作的时序图；
- [0031] 图 13 为本发明实施例提供的栅极驱动装置的结构示意图。

具体实施方式

[0032] 本发明实施例提供的一种移位寄存器、栅极驱动装置和液晶显示装置，由于在该移位寄存器的非工作时间段内，第一下拉模块和第二下拉模块能够交替使得上拉结点、移位寄存器的控制信号输出端分别与第二电平信号输入端接通，从而既消除了在该移位寄存器的非工作时间段内时钟信号耦合到该移位寄存器的控制信号输出端的噪声，又延长了包含该移位寄存器的栅极驱动装置的使用寿命。

[0033] 下面结合说明书附图，对本发明实施例提供的一种移位寄存器、栅极驱动装置及液晶显示装置的具体实施方式进行说明。

[0034] 本发明实施例提供的一种移位寄存器,如图 2 所示,包括驱动模块 11、输出模块 12、第一下拉模块 13 和第二下拉模块 14;其中,驱动模块 11 与输出模块 12 相连;第一下拉模块 13 分别连接驱动模块 11、输出模块 12 和第二电平信号输入端 15;第二下拉模块 14 分别连接驱动模块 11、输出模块 12 和第二电平信号输入端 15;其中,驱动模块 11、输出模块 12、第一下拉模块 13 和第二下拉模块 14 相连的连接点为上拉结点 PU,第一下拉模块 13 与驱动模块 11 相连的连接点为第一下拉结点 PD1,第一下拉模块 13 与输出模块 12 相连的连接点为移位寄存器的控制信号输出端 OUTPUT;第二下拉模块 14 与驱动模块 11 相连的连接点为第二下拉结点 PD2,第二下拉模块 14 与输出模块 12 相连的连接点为移位寄存器的控制信号输出端 OUTPUT;

[0035] 驱动模块 11,用于在接收到的选择信号 CH0 为第一电平信号、且时钟信号 CLK 为第二电平信号时,控制上拉结点 PU 为第一电平信号,并控制第一下拉结点 PD1 和第二下拉结点 PD2 均为第二电平信号;并在接收到的选择信号 CH0 由第一电平信号变为第二电平信号、且时钟信号 CLK 为第一电平信号时,控制上拉结点 PU 为第一电平信号,并控制第一下拉结点 PD1 和第二下拉结点 PD2 均为第二电平信号;以及在上拉结点 PU 为第二电平信号时,控制第一下拉结点 PD1 的信号为与时钟信号 CLK 相同的信号、第二下拉结点 PD2 的信号为与时钟阻碍信号 CLKB 相同的信号。由于当时钟信号 CLK 为第一电平信号时,时钟阻碍信号 CLKB 为第二电平信号;当时钟信号 CLK 为第二电平信号时,时钟阻碍信号 CLKB 为第一电平信号,因此,若上拉结点 PU 为第二电平信号,当时钟信号 CLK 为第一电平信号、时钟阻碍信号 CLKB 为第二电平信号时,第一下拉结点 PD1 的信号为第一电平信号,第二下拉结点 PD2 的信号为第二电平信号;若上拉结点 PU 为第二电平信号,当时钟信号 CLK 为第二电平信号、时钟阻碍信号 CLKB 为第一电平信号时,第一下拉结点 PD1 的信号为第二电平信号,第二下拉结点 PD2 的信号为第一电平信号。

[0036] 输出模块 12,用于在上拉结点 PU 的信号的控制下接通移位寄存器的控制信号输出端 OUTPUT 与时钟信号输入端 CLKIN。即在上拉结点 PU 的信号为第一电平信号时,接通移位寄存器的控制信号输出端 OUTPUT 与时钟信号输入端 CLKIN;在上拉结点 PU 的信号为第二电平信号时,将移位寄存器的控制信号输出端 OUTPUT 与时钟信号输入端 CLKIN 断开。

[0037] 第一下拉模块 13,用于在第一下拉结点 PD1 的信号为第一电平信号时,接通上拉结点 PU 与第二电平信号输入端 15,并接通移位寄存器的控制信号输出端 OUTPUT 与第二电平信号输入端 15。

[0038] 第二下拉模块 14,用于在第二下拉结点 PD2 的信号为第一电平信号时,接通上拉结点 PU 与第二电平信号输入端,并接通移位寄存器的控制信号输出端 OUTPUT 与第二电平信号输入端 15。

[0039] 进一步地,如图 3 所述,第一下拉模块 13 包括第一晶体管 M1 和第二晶体管 M2;第一晶体管 M1 的栅极连接第一下拉结点 PD1,第一晶体管 M1 的第一极连接上拉结点 PU,第一晶体管 M1 的第二极连接第二电平信号输入端 15;第二晶体管 M2 的栅极连接第一下拉结点 PD1,第二晶体管 M2 的第一极连接移位寄存器的控制信号输出端 OUTPUT,第二晶体管 M2 的第二极连接第二电平信号输入端 15。第一晶体管 M1,用于在第一下拉结点 PD1 的信号为第一电平信号时开启,使上拉结点 PU 与第二电平信号输入端 15 接通,并在第一下拉结点 PD1 的信号为第二电平信号时关断;第二晶体管 M2,用于在第一下拉结点 PD1 的信号为第一电

平信号时开启,使移位寄存器的控制信号输出端 OUTPUT 与第二电平信号输入端 15 接通,并在第一下拉结点 PD1 的信号为第二电平信号时关断。

[0040] 进一步地,如图 4 所示,第二下拉模块 14 包括第三晶体管 M3 和第四晶体管 M4;第三晶体管 M3 的栅极连接第二下拉结点 PD2,第三晶体管 M3 的第一极连接上拉结点 PU,第三晶体管 M3 的第二极连接第二电平信号输入端 15;第四晶体管 M4 的栅极连接第二下拉结点 PD2,第四晶体管 M4 的第一极连接移位寄存器的控制信号输出端 OUTPUT,第四晶体管 M4 的第二极连接第二电平信号输入端 15。第三晶体管 M3,用于在第二下拉结点 PD2 的信号为第一电平信号时开启,以接通上拉结点与第二电平信号输入端,并在第二下拉结点 PD2 的信号为第二电平信号时断开;第四晶体管 M4,用于在第二下拉结点 PD2 的信号为第一电平信号时开启,以接通移位寄存器的控制信号输出端与第二电平信号输入端;并在第二下拉结点 PD2 的信号为第二电平信号时断开。

[0041] 进一步地,如图 5 所示,驱动模块 11 包括上拉驱动模块 111 和下拉驱动模块 112。上拉驱动模块 111,用于在接收到的选择信号 CHO 为第一电平信号时,控制上拉结点 PU 为第一电平信号,并向下拉驱动模块 112 输出第一电平信号;并在接收到的选择信号 CHO 由第一电平信号变为第二电平信号时,控制上拉结点 PU 为第一电平信号,并向下拉驱动模块 112 输出第二电平信号。下拉驱动模块 112,用于在上拉结点 PU 为第一电平信号,且接收到上拉驱动模块 111 输出的第一电平信号时,控制第一下拉结点 PD1 的信号和第二下拉结点 PD2 的信号均为第二电平信号,并在上拉结点 PU 为第一电平信号,且接收到上拉驱动模块 111 输出的第二电平信号时,控制第一下拉结点 PD1 的信号和第二下拉结点 PD2 的信号均为第二电平信号;以及在上拉结点 PU 的信号为第二电平信号、接收到的时钟信号 CLK 为第二电平信号且时钟阻碍信号 CLKB 为第一电平信号时,控制第一下拉结点 PD1 的信号为第二电平信号、第二下拉结点 PD2 的信号为第一电平信号,并在上拉结点 PU 的信号为第二电平信号、接收到的时钟信号 CLK 为第一电平信号且时钟阻碍信号 CLKB 为第二电平信号时,控制第一下拉结点 PD1 的信号为第一电平信号、第二下拉结点 PD2 的信号为第二电平信号。

[0042] 当本发明实施例提供的移位寄存器为双向扫描移位寄存器时,如图 6 所示,上拉驱动模块 111 包括正向扫描上拉驱动单元 1111 和反向扫描上拉驱动单元 1112。正向扫描上拉驱动单元 1111,用于在接收到的正向扫描信号 VF 为第一电平信号且接收到的第一选择信号 CH01 为第一电平信号时,控制上拉结点 PU 为第一电平信号,并向下拉驱动模块 112 输出第一电平信号;并在接收到的正向扫描信号 VF 为第一电平信号且接收到的第一选择信号 CH01 由第一电平信号变为第二电平信号时,控制上拉结点 PU 为第一电平信号,并向下拉驱动模块 112 输出第二电平信号。反向扫描上拉驱动单元 1112,用于在接收到的反向扫描信号 VB 为第一电平信号且接收到的第二选择信号 CH02 为第一电平信号时,控制上拉结点 PU 为第一电平信号,并向下拉驱动模块 112 输出第一电平信号;并在接收到的反向扫描信号 VB 为第一电平信号且接收到的第二选择信号 CH02 由第一电平信号变为第二电平信号时,控制上拉结点 PU 为第一电平信号,并向下拉驱动模块 112 输出第二电平信号。

[0043] 其中,正向扫描上拉驱动单元 1111 接收的第一选择信号 CH01 为该移位寄存器的前一级移位寄存器的控制信号输出端 OUTPUT 输出的信号,即若该移位寄存器为第 N 级移位寄存器,则该移位寄存器接收到的第一选择信号 CH01 为第 N-1 级移位寄存器的控制信号输出端 OUTPUT 输出的信号。反向扫描上拉驱动单元 1112 接收的第二选择信号 CH02 为该移

位寄存器的后一级移位寄存器的控制信号输出端 OUTPUT 输出的信号,即若该移位寄存器为第 N 级移位寄存器,则该移位寄存器接收到的第二选择信号 CH02 为第 N+1 级移位寄存器的控制信号输出端 OUTPUT 输出的信号。

[0044] 进一步地,如图 7 所示,下拉驱动模块 112 包括第一下拉驱动单元 1121 和第二下拉驱动单元 1122。第一下拉驱动单元 1121,用于在上拉结点 PU 的信号为第一电平信号时,将第一下拉结点 PD1 与第二电平信号输入端 15 接通;并在上拉结点 PU 的信号为第二电平信号、接收到的时钟信号 CLK 为第二电平信号且时钟阻碍信号 CLKB 为第一电平信号时,控制第一下拉结点 PD1 的信号为第二电平信号,并在上拉结点 PU 的信号为第二电平信号、接收到的时钟信号 CLK 为第一电平信号且时钟阻碍信号 CLKB 为第二电平信号时,控制第一下拉结点 PD1 的信号为第一电平信号。第二下拉驱动单元 1122,用于在接收到上拉驱动模块 111 输出的第一电平信号时,将第二下拉结点 PD2 与第二电平信号输入端 15 接通;并在接收到上拉驱动模块 111 输出的第二电平信号、接收到的时钟信号 CLK 为第二电平信号且时钟阻碍信号 CLKB 为第一电平信号时,控制第二下拉结点 PD2 的信号第一电平信号,在接收到上拉驱动模块 111 输出的第二电平信号、接收到的时钟信号 CLK 为第一电平信号且时钟阻碍信号 CLKB 为第二电平信号时,控制第二下拉结点 PD2 的信号第二电平信号。

[0045] 进一步地,如图 8 所示,所述正向扫描上拉驱动单元 1111 包括第五晶体管 M5 和第六晶体管 M6。第五晶体管 M5 的栅极接收第一选择信号 CH01,第五晶体管 M5 的第一极接收正向扫描信号 VF,第五晶体管 M5 的第二极连接上拉结点 PU;第六晶体管 M6 的第一极接收第一选择信号 CH01,第六晶体管 M6 的栅极接收正向扫描信号 VF,第六晶体管 M6 的第二极向下拉驱动模块 112 输出信号。

[0046] 第五晶体管 M5,用于在接收到的第一选择信号 CH01 为第一电平信号时开启,以控制上拉结点 PU 的信号为与正向扫描信号 VF 相同的信号;并在接收到的第一选择信号 CH01 为第二电平信号时关断。第六晶体管 M6,用于在接收到的正向扫描信号 VF 为第一电平信号时开启,以控制第六晶体管 M6 的第二极向下拉驱动模块 112 输出与第一选择信号 CH01 相同的信号;并在接收到的正向扫描信号 VF 为第二电平信号时关断。

[0047] 进一步地,如图 8 所示,反向扫描上拉驱动单元 1112 包括第七晶体管 M7 和第八晶体管 M8。第七晶体管 M7 的栅极接收第二选择信号 CH02,第七晶体管 M7 的第一极接收反向扫描信号 VB,第七晶体管 M7 的第二极连接上拉结点 PU;第八晶体管 M8 的第一极接收第二选择信号 CH02,第八晶体管 M8 的栅极接收反向扫描信号 VB,第八晶体管 M8 的第二极向下拉驱动模块 112 输出信号。

[0048] 第七晶体管 M7,用于在接收到的第二选择信号 CH02 为第一电平信号时开启,以控制上拉结点 PU 的信号为与反向扫描信号 VB 相同的信号;并在接收到的第二选择信号 CH02 为第二电平信号时关断。第八晶体管 M8,用于在接收到的反向扫描信号 VB 为第一电平信号时开启,以控制第八晶体管 M8 的第二极向下拉驱动模块 112 输出与第二选择信号 CH02 相同的信号;并在接收到的反向扫描信号 VB 为第二电平信号时关断。

[0049] 进一步地,如图 9 所示,第一下拉驱动单元 1121 包括第九晶体管 M9、第十晶体管 M10 和第十一晶体管 M11。第九晶体管 M9 的栅极接收时钟信号 CLK,第九晶体管 M9 的第一极接收时钟信号 CLK,第九晶体管 M9 的第二极连接第一下拉结点 PD1;第十晶体管 M10 的栅极接收时钟阻碍信号 CLKB,第十晶体管 M10 的第一极接收时钟信号 CLK,第十晶体管 M10

的第二极连接第一下拉结点 PD1 ;第十一晶体管 M11 的栅极连接上拉结点 PU,第十一晶体管 M11 的第一极连接第一下拉结点 PD1,第十一晶体管 M11 的第二极连接第二电平信号输入端 15 ;第九晶体管 M9 的尺寸和第十一晶体管 M11 的尺寸之比为第一预设比例以保证在第九晶体管 M9 和第十一晶体管 M11 均开启的时间段第一下拉结点 PD1 的信号为第二电平信号。

[0050] 第九晶体管 M9,用于在接收到的时钟信号 CLK 为第一电平信号时开启,并在接收到的时钟信号 CLK 为第二电平信号时关断 ;第十晶体管 M10,用于在接收到的时钟阻碍信号 CLKB 为第一电平信号时开启,并在接收到的时钟阻碍信号 CLKB 为第二电平信号时关断 ;第十一晶体管 M11,用于在上拉结点 PU 的信号为第一电平信号时开启,以接通第一下拉结点 PD1 与第二电平信号输入端 15 ;并在上拉结点 PU 的信号为第二电平信号时关断,以断开第一下拉结点 PD1 与第二电平信号输入端 15。

[0051] 进一步地,如图 9 所示,第二下拉驱动单元 1122 包括第十二晶体管 M12、第十三晶体管 M13 和第十四晶体管 M14。第十二晶体管 M12 的栅极接收时钟信号 CLK,第十二晶体管 M12 的第一极接收时钟阻碍信号 CLKB,第十二晶体管 M12 的第二极连接第二下拉结点 PD2 ;第十三晶体管 M13 的栅极接收时钟阻碍信号 CLKB,第十三晶体管 M13 的第一极接收时钟阻碍信号 CLKB,第十三晶体管 M13 的第二极连接第二下拉结点 PD2 ;第十四晶体管 M14 的栅极接收上拉驱动模块 111 输出的信号,第十四晶体管 M14 的第一极连接第二下拉结点 PD2,第十四晶体管 M14 的第二极连接第二电平信号输入端 15 ;第十三晶体管 M13 的尺寸和第十四晶体管 M14 的尺寸之比为第二预设比例,以保证在第十三晶体管 M13 和第十四晶体管 M14 均开启的时间段内第二下拉结点 PD2 的信号为第二电压信号。第十二晶体管 M12,用于在接收到的时钟信号 CLK 为第一电平信号时开启,并在接收到的时钟信号 CLK 为第二电平信号时关断 ;第十三晶体管 M13,用于在接收到的时钟阻碍信号 CLKB 为第一电平信号时开启,并在接收到的时钟阻碍信号 CLKB 为第二电平信号时关断 ;第十四晶体管 M14,用于在接收到的上拉驱动模块 111 输出的信号为第一电平信号时开启,以接通第二下拉结点 PD2 与第二电平信号输入端 15 ;并在接收到的上拉驱动模块 111 输出的信号为第二电平信号时关断,以断开第二下拉结点 PD2 与第二电平信号输入端 15。

[0052] 进一步地,如图 10 所示,输出模块 12 包括第十五晶体管 M15 和电容 C1。第十五晶体管 M15 的栅极连接上拉结点 PU,第十五晶体管 M15 的第一极接收时钟信号 CLK,第十五晶体管 M15 的第二极为移位寄存器的控制信号输出端 OUTPUT ;电容 C1 的一端连接上拉结点 PU,电容 C1 的另一端连接第十五晶体管 M15 的第二极。第十五晶体管 M15,用于在上拉结点 PU 的信号为第一电平信号时开启,将接收到的时钟信号 CLK 从移位寄存器的控制信号输出端 OUTPUT 输出 ;并在上拉结点 PU 的信号为第二电平信号时关断 ;电容 C1,用于存储上拉结点 PU 的信号。

[0053] 对于液晶显示领域的晶体管来说,漏极和源极没有明确的区别,因此本发明实施例中提到的晶体管的第一极可以为晶体管的源极 (或漏极),晶体管的第二极可以为晶体管的漏极 (或源极)。如果晶体管的源极为第一极,那么该晶体管的漏极为第二极 ;如果晶体管的漏极为第一极,那么晶体管的源极为第二极。

[0054] 若本发明实施例中提到的晶体管为 N 型晶体管,那么第一电平信号为高电平信号,第二电平信号为低电平信号,第二电平信号输入端为低电平信号输入端 ;若本发明实施例中提到的晶体管为 P 型晶体管,那么第一电平信号为低电平信号,第二电平信号为高电

平信号,第二电平信号输入端为高电平信号输入端。

[0055] 为了进一步说明本发明实施例提供的移位寄存器,下面以本发明实施例中提到的晶体管为N型晶体管为例,并结合图11和图12所示的时序图说明本发明实施例提供的移位寄存器的工作原理,其中,图11为正向扫描时移位寄存器的工作时序图,图12为反向扫描时移位寄存器的工作时序图。

[0056] 如图11所示,正向扫描时,正向扫描信号VF为高电平信号,反向扫描信号VB为低电平信号,本发明实施例提供的移位寄存器的工作时序可以分为5个阶段。

[0057] 第1阶段:时钟信号CLK为低电平信号,时钟阻碍信号CLKB为高电平信号,第一选择信号CH01为高电平信号,第二选择信号CH02为低电平信号。此时,第五晶体管M5的栅极接收到的第一选择信号CH01为高电平信号,第五晶体管M5开启,上拉结点PU的信号为高电平信号,电容C1存储该高电平信号,第十五晶体管M15开启;由于时钟信号CLK为低电平信号,时钟阻碍信号CLKB为高电平信号,第九晶体管M9关断,第十晶体管M10开启以使第一下拉结点PD1的信号与时钟信号CLK的信号相同,即第一下拉结点PD1的信号为低电平信号,第十二晶体管M12关断,第十三晶体管M13开启;此时,由于上拉结点PU的信号为高电平信号,因此,第十一晶体管M11开启,第一下拉结点PD1同时也会与第二电平信号输入端15接通,即与低电压信号输入端接通,因此,第一晶体管M1关断,第二晶体管M2关断;由于正向扫描信号VF为高电平信号,因此第六晶体管M6开启,以使第十四晶体管M14的栅极接收第一选择信号CH01,由于此时第一选择信号CH01为高电平信号,因此第十四晶体管M14的栅极接收高电平信号,第十四晶体管M14开启,由于第十三晶体管M13的尺寸和第十四晶体管M14的尺寸之比为第二预设比例,第二预设比例可以保证在第十三晶体管M13和第十四晶体管M14同时开启时,第二下拉结点PD2的信号为低电平信号,因此,第三晶体管M3关断,第四晶体管M4关断。时钟信号CLK通过开启的第十五晶体管M15从移位寄存器的控制信号输出端OUTPUT输出,即此时移位寄存器的控制信号输出端OUTPUT输出低电平信号。

[0058] 第2阶段:时钟信号CLK为高电平信号,时钟阻碍信号CLKB为低电平信号,第一选择信号CH01为低电平信号,第二选择信号CH02为低电平信号。此时,第五晶体管M5的栅极接收到的第一选择信号CH01为低电平信号,第五晶体管M5关断;第七晶体管M7的栅极接收到的第二选择信号CH02为低电平信号,第七晶体管M7关断;由于时钟信号CLK为高电平信号,时钟阻碍信号CLKB为低电平信号,因此,第九晶体管M9开启,第十晶体管M10关断,第十二晶体管M12开启,第十三晶体管M13关断;由于上拉结点PU的信号为高电平信号,因此,第十一晶体管M11开启,由于第九晶体管M9的尺寸与第十一晶体管M11的尺寸之比为第一预设比例,该第一预设比例可以保证在第九晶体管M9与第十一晶体管M11同时开启时,第一下拉结点PD1的信号为低电平信号;第一晶体管M1在接收到第一下拉结点PD1的低电平信号时关断,第二晶体管M2在接收到第一下拉结点PD1的低电平信号时关断;由于正向扫描信号VF为高电平信号,因此第六晶体管M6开启,以使第十四晶体管M14的栅极接收第一选择信号CH01,由于此时第一选择信号CH01为低电平信号,因此第十四晶体管M14的栅极接收低电平信号,第十四晶体管M14关断;由于第十二晶体管M12开启,因此,第二下拉结点PD2可以接收时钟阻碍信号CLKB,即第二下拉结点PD2的信号为低电平信号;第三晶体管M3在接收到第二下拉结点PD2的低电平信号时关断,第四晶体管M4在接收到第二

下拉结点 PD2 的低电平信号时关断。由于电容 C1, 上拉结点 PU 保持高电平信号, 第十五晶体管 M15 保持开启, 时钟信号 CLK 通过开启的第十五晶体管 M15 从移位寄存器的控制信号输出端 OUTPUT 输出, 即此时移位寄存器的控制信号输出端 OUTPUT 输出高电平信号。

[0059] 第3阶段: 时钟信号 CLK 为低电平信号, 时钟阻碍信号 CLKB 为高电平, 第一选择信号 CH01 为低电平信号, 第二选择信号 CH02 为低电平信号。此时, 第五晶体管 M5 的栅极接收到的第一选择信号 CH01 为低电平信号, 第五晶体管 M5 关断; 第七晶体管 M7 的栅极接收到的第二选择信号 CH02 为低电平信号, 第七晶体管 M7 关断; 由于时钟信号 CLK 为低电平信号, 时钟阻碍信号 CLKB 为高电平信号, 因此, 第九晶体管 M9 关断, 第十晶体管 M10 开启, 第十二晶体管 M12 关断, 第十三晶体管 M13 开启; 由于第十晶体管 M10 开启, 因此第一下拉结点 PD1 能够接收时钟信号 CLK, 即此时第一下拉结点 PD1 的信号为低电平信号; 由于反向扫描信号 VB 为低电平信号, 因此第八晶体管 M8 关断, 由于正向扫描信号 VF 为高电平信号, 因此第六晶体管 M6 开启以使第十四晶体管 M14 的栅极接收第一选择信号 CH01, 即第十四晶体管 M14 的栅极接收低电平信号, 第十四晶体管 M14 关断, 又由于第十三晶体管 M13 开启, 因此, 第二下拉结点 PD2 能够接收时钟阻碍信号 CLKB, 即此时第二下拉结点 PD2 的信号为高电平信号, 此时, 第三晶体管 M3 和第四晶体管 M4 的栅极为高电平信号, 第三晶体管 M3 和第四晶体管 M4 均开启, 上拉结点 PU 与第二电平信号输入端接通, 即上拉结点 PU 的信号为低电平信号, 第十五晶体管 M15 关断; 移位寄存器的控制信号输出端 OUTPUT 与第二电平信号输入端接通, 即移位寄存器的控制信号输出端 OUTPUT 输出低电平信号。

[0060] 第4阶段: 时钟信号 CLK 为高电平信号, 时钟阻碍信号 CLKB 为低电平信号, 第一选择信号 CH01 为低电平信号, 第二选择信号 CH02 为低电平信号。此时, 第五晶体管 M5 的栅极接收到的第一选择信号 CH01 为低电平信号, 第五晶体管 M5 关断; 第七晶体管 M7 的栅极接收到的第二选择信号 CH02 为低电平信号, 第七晶体管 M7 关断; 由于时钟信号 CLK 为高电平信号, 时钟阻碍信号 CLKB 为低电平信号, 因此, 第九晶体管 M9 开启, 第十晶体管 M10 关断, 第十二晶体管 M12 开启, 第十三晶体管 M13 关断; 由于上拉结点 PU 的信号为低电平信号, 因此, 第十一晶体管 M11 关断, 因此第九晶体管 M9 开启时, 第一下拉结点 PD1 的信号为高电平信号, 第一晶体管 M1 和第二晶体管 M2 均开启; 因此, 移位寄存器的控制信号输出端 OUTPUT 与第二电压信号接通, 即移位寄存器的控制信号输出端 OUTPUT 输出低电压信号; 由于反向扫描信号 VB 为低电平信号, 因此第八晶体管 M8 关断; 由于同相扫描信号 VF 为高电平信号, 因此第六晶体管 M6 开启, 第十四晶体管 M14 的栅极能够接收到第一选择信号 CH01, 即此时第十四晶体管 M14 的栅极为低电平信号, 第十四晶体管 M14 关断, 因此第二下拉结点 PD2 能够接收时钟阻碍信号 CLKB, 即此时第二下拉结点 PD2 的信号为低电平信号。

[0061] 第5阶段: 时钟信号 CLK 为低电平信号, 时钟阻碍信号 CLKB 为高电平信号, 第一选择信号 CH01 为低电平信号, 第二选择信号 CH02 为低电平信号。此时, 第五晶体管 M5 的栅极接收到的第一选择信号 CH01 为低电平信号, 第五晶体管 M5 关断; 第七晶体管 M7 的栅极接收到的第二选择信号 CH02 为低电平信号, 第七晶体管 M7 关断; 由于时钟信号 CLK 为低电平信号, 时钟阻碍信号 CLKB 为高电平信号, 因此, 第九晶体管 M9 关断, 第十晶体管 M10 开启, 第十二晶体管 M12 关断, 第十三晶体管 M13 开启; 由于上拉结点 PU 的信号为低电平信号, 因此, 第十一晶体管 M11 关断, 因此第十晶体管 M10 开启时, 第一下拉结点 PD1 能够接收时钟信号 CLK, 即此时第一下拉结点 PD1 的信号为低电平信号, 第一晶体管 M1 和第二晶体管 M2

均关断；由于反向扫描信号 VB 为低电平信号，因此第八晶体管 M8 关断；由于同相扫描信号 VF 为高电平信号，因此第六晶体管 M6 开启，第十四晶体管 M14 的栅极能够接收到第一选择信号 CH01，即此时第十四晶体管 M14 的栅极为低电平信号，第十四晶体管 M14 关断，因此第二下拉结点 PD2 能够接收时钟阻碍信号 CLKB，即此时第二下拉结点 PD2 的信号为高电平信号，第三晶体管 M3 和第四晶体管 M4 均开启，上拉结点 PU 与第二电压信号输入端接通，即上拉结点 PU 的信号为低电平信号，移位寄存器的控制信号输出端 OUTPUT 与第二电压信号接通，即移位寄存器的控制信号输出端 OUTPUT 输出低电压信号。

[0062] 之后，依次重复第 4 阶段和第 5 阶段，直至本发明实施例提供的移位寄存器接收到的第一选择信号 CH01 为高电平信号时再重新执行第 1 阶段。这样，在第 4 阶段和第 5 阶段，第一下拉结点 PD1 信号与时钟信号 CLK 相同；第二下拉结点 PD2 的信号与时钟阻碍信号 CLKB 相同；第一下拉结点 PD1 的信号控制第一晶体管 M1 和第二晶体管 M2 均开启时，第二下拉结点 PD2 的信号控制第三晶体管 M3 和第四晶体管 M4 均关断；第一下拉结点 PD1 的信号控制第一晶体管 M1 和第二晶体管 M2 均关断时，第二下拉结点 PD2 的信号控制第三晶体管 M3 和第四晶体管 M4 均开启。这样可以避免在本发明实施例提供的移位寄存器对应的栅极线未被选中的时间段内，实施例提供的移位寄存器中有某些晶体管长时间开启，导致这些晶体管的阈值电压偏移，从而延长了包含本发明实施例提供的移位寄存器的栅极驱动装置的使用寿命。

[0063] 如图 12 所示，正向扫描时，正向扫描信号 VF 为低电平信号，反向扫描信号 VB 为高电平信号，本发明实施例提供的移位寄存器的工作时序可以分为 5 个阶段。

[0064] 第 1 阶段：时钟信号 CLK 为低电平信号，时钟阻碍信号 CLKB 为高电平信号，第一选择信号 CH01 为低电平信号，第二选择信号 CH02 为高电平信号。此时，第五晶体管 M5 的栅极接收到的第一选择信号 CH01 为低电平信号，第五晶体管 M5 关断；第七晶体管 M7 的栅极接收到的第二选择信号 CH02 为高电平信号，第七晶体管 M7 开启，上拉结点 PU 的信号为高电平信号，电容 C1 存储该高电平信号，第十五晶体管 M15 开启；由于时钟信号 CLK 为低电平信号，时钟阻碍信号 CLKB 为高电平信号，第九晶体管 M9 关断，第十晶体管 M10 开启以使第一下拉结点 PD1 的信号与时钟信号 CLK 的信号相同，即第一下拉结点 PD1 的信号为低电平信号，第十二晶体管 M12 关断，第十三晶体管 M13 开启；此时，由于上拉结点 PU 的信号为高电平信号，因此，第十一晶体管 M11 开启，第一下拉结点 PD1 同时也会与第二电平信号输入端 15 接通，即与低电压信号输入端接通，因此，第一晶体管 M1 关断，第二晶体管 M2 关断；由于反向扫描信号 VB 为高电平信号，因此第八晶体管 M8 开启，以使第十四晶体管 M14 的栅极接收第二选择信号 CH02，由于此时第二选择信号 CH02 为高电平信号，因此第十四晶体管 M14 的栅极接收高电平信号，第十四晶体管 M14 开启，由于第十三晶体管 M13 的尺寸和第十四晶体管 M14 的尺寸之比为第二预设比例，第二预设比例可以保证在第十三晶体管 M13 和第十四晶体管 M14 同时开启时，第二下拉结点 PD2 的信号为低电平信号，因此，第三晶体管 M3 关断，第四晶体管 M4 关断。时钟信号 CLK 通过开启的第十五晶体管 M15 从移位寄存器的控制信号输出端 OUTPUT 输出，即此时移位寄存器的控制信号输出端 OUTPUT 输出低电平信号。

[0065] 第 2 阶段：时钟信号 CLK 为高电平信号，时钟阻碍信号 CLKB 为低电平信号，第一选择信号 CH01 为低电平信号，第二选择信号 CH02 为低电平信号。此时，第五晶体管 M5 的栅极接收到的第一选择信号 CH01 为低电平信号，第五晶体管 M5 关断；第七晶体管 M7 的栅极接

收到的第二选择信号 CH02 为低电平信号,第七晶体管 M7 关断;由于时钟信号 CLK 为高电平信号,时钟阻碍信号 CLKB 为低电平信号,因此,第九晶体管 M9 开启,第十晶体管 M10 关断,第十二晶体管 M12 开启,第十三晶体管 M13 关断;由于上拉结点 PU 的信号为高电平信号,因此,第十一晶体管 M11 开启,由于第九晶体管 M9 的尺寸与第十一晶体管 M11 的尺寸之比为第一预设比例,该第一预设比例可以保证在第九晶体管 M9 与第十一晶体管 M11 同时开启时,第一下拉结点 PD1 的信号为低电平信号;第一晶体管 M1 在接收到第一下拉结点 PD1 的低电平信号时关断,第二晶体管 M2 在接收到第一下拉结点 PD1 的低电平信号时关断;由于反向扫描信号 VB 为高电平信号,因此第八晶体管 M8 开启,以使第十四晶体管 M14 的栅极接收第二选择信号 CH02,由于此时第二选择信号 CH02 为低电平信号,因此第十四晶体管 M14 的栅极接收低电平信号,第十四晶体管 M14 关断;由于第十二晶体管 M12 开启,因此,第二下拉结点 PD2 可以接收时钟阻碍信号 CLKB,即第二下拉结点 PD2 的信号为低电平信号;第三晶体管 M3 在接收到第二下拉结点 PD2 的低电平信号时关断,第四晶体管 M4 在接收到第二下拉结点 PD2 的低电平信号时关断。由于电容 C1,上拉结点 PU 保持高电平信号,第十五晶体管 M15 保持开启,时钟信号 CLK 通过开启的第十五晶体管 M15 从移位寄存器的控制信号输出端 OUTPUT 输出,即此时移位寄存器的控制信号输出端 OUTPUT 输出高电平信号。

[0066] 第3阶段:时钟信号 CLK 为低电平信号,时钟阻碍信号 CLKB 为高电平,第一选择信号 CH01 为低电平信号,第二选择信号 CH02 为低电平信号。此时,第五晶体管 M5 的栅极接收到的第一选择信号 CH01 为低电平信号,第五晶体管 M5 关断;第七晶体管 M7 的栅极接收到的第二选择信号 CH02 为低电平信号,第七晶体管 M7 关断;由于时钟信号 CLK 为低电平信号,时钟阻碍信号 CLKB 为高电平信号,因此,第九晶体管 M9 关断,第十晶体管 M10 开启,第十二晶体管 M12 关断,第十三晶体管 M13 开启;由于第十晶体管 M10 开启,因此第一下拉结点 PD1 能够接收时钟信号 CLK,即此时第一下拉结点 PD1 的信号为低电平信号;由于正向扫描信号 VF 为低电平信号,因此第六晶体管 M6 关断,由于反向扫描信号 VB 为高电平信号,因此第八晶体管 M8 开启以使第十四晶体管 M14 的栅极接收第二选择信号 CH02,即第十四晶体管 M14 的栅极接收低电平信号,第十四晶体管 M14 关断,又由于第十三晶体管 M13 开启,因此,第二下拉结点 PD2 能够接收时钟阻碍信号 CLKB,即此时第二下拉结点 PD2 的信号为高电平信号,此时,第三晶体管 M3 和第四晶体管 M4 的栅极接收高电平信号,第三晶体管 M3 和第四晶体管 M4 均开启,上拉结点 PU 与第二电平信号输入端接通,即上拉结点 PU 的信号为低电平信号,第十五晶体管 M15 关断;移位寄存器的控制信号输出端 OUTPUT 与第二电平信号输入端接通,即移位寄存器的控制信号输出端 OUTPUT 输出低电平信号。

[0067] 第4阶段:时钟信号 CLK 为高电平信号,时钟阻碍信号 CLKB 为低电平信号,第一选择信号 CH01 为低电平信号,第二选择信号 CH02 为低电平信号。此时,第五晶体管 M5 的栅极接收到的第一选择信号 CH01 为低电平信号,第五晶体管 M5 关断;第七晶体管 M7 的栅极接收到的第二选择信号 CH02 为低电平信号,第七晶体管 M7 关断;由于时钟信号 CLK 为高电平信号,时钟阻碍信号 CLKB 为低电平信号,因此,第九晶体管 M9 开启,第十晶体管 M10 关断,第十二晶体管 M12 开启,第十三晶体管 M13 关断;由于上拉结点 PU 的信号为低电平信号,因此,第十一晶体管 M11 关断,因此第九晶体管 M9 开启时,第一下拉结点 PD1 的信号为高电平信号,第一晶体管 M1 和第二晶体管 M2 均开启;因此,移位寄存器的控制信号输出端 OUTPUT 与第二电压信号接通,即移位寄存器的控制信号输出端 OUTPUT 输出低电压信号;由于反向

扫描信号 VB 为高电平信号,因此第八晶体管 M8 开启;由于同向扫描信号 VF 为低电平信号,因此第六晶体管 M6 关断,第十四晶体管 M14 的栅极能够接收到第二选择信号 CH02,即此时第十四晶体管 M14 的栅极为低电平信号,第十四晶体管 M14 关断,因此第二下拉结点 PD2 能够接收时钟阻碍信号 CLKB,即此时第二下拉结点 PD2 的信号为低电平信号。

[0068] 第 5 阶段:时钟信号 CLK 为低电平信号,时钟阻碍信号 CLKB 为高电平信号,第一选择信号 CH01 为低电平信号,第二选择信号 CH02 为低电平信号。此时,第五晶体管 M5 的栅极接收到的第一选择信号 CH01 为低电平信号,第五晶体管 M5 关断;第七晶体管 M7 的栅极接收到的第二选择信号 CH02 为低电平信号,第七晶体管 M7 关断;由于时钟信号 CLK 为低电平信号,时钟阻碍信号 CLKB 为高电平信号,因此,第九晶体管 M9 关断,第十晶体管 M10 开启,第十二晶体管 M12 关断,第十三晶体管 M13 开启;由于上拉结点 PU 的信号为低电平信号,因此,第十一晶体管 M11 关断,因此第十晶体管 M10 开启时,第一下拉结点 PD1 能够接收时钟信号 CLK,即此时第一下拉结点 PD1 的信号为低电平信号,第一晶体管 M1 和第二晶体管 M2 均关断;由于反向扫描信号 VB 为高电平信号,因此第八晶体管 M8 开启;由于同相扫描信号 VF 为低电平信号,因此第六晶体管 M6 关断,第十四晶体管 M14 的栅极能够接收到第二选择信号 CH02,即此时第十四晶体管 M14 的栅极为低电平信号,第十四晶体管 M14 关断,因此第二下拉结点 PD2 能够接收时钟阻碍信号 CLKB,即此时第二下拉结点 PD2 的信号为高电平信号,第三晶体管 M3 和第四晶体管 M4 均开启,上拉结点 PU 与第二电压信号输入端接通,即上拉结点 PU 的信号为低电平信号,移位寄存器的控制信号输出端 OUTPUT 与第二电压信号接通,即移位寄存器的控制信号输出端 OUTPUT 输出低电压信号。

[0069] 之后,依次重复第 4 阶段和第 5 阶段,直至本发明实施例提供的移位寄存器接收到的第二选择信号 CH02 为高电平信号时再重新执行第 1 阶段。这样,在第 4 阶段和第 5 阶段,第一下拉结点 PD1 信号与时钟信号 CLK 相同;第二下拉结点 PD2 的信号与时钟阻碍信号 CLKB 相同;第一下拉结点 PD1 的信号控制第一晶体管 M1 和第二晶体管 M2 均开启时,第二下拉结点 PD2 的信号控制第三晶体管 M3 和第四晶体管 M4 均关断;第一下拉结点 PD1 的信号控制第一晶体管 M1 和第二晶体管 M2 均关断时,第二下拉结点 PD2 的信号控制第三晶体管 M3 和第四晶体管 M4 均开启。这样可以避免在本发明实施例提供的移位寄存器对应的栅极线未被选中的时间段内,实施例提供的移位寄存器中有某些晶体管长时间开启,导致这些晶体管的阈值电压偏移,从而延长了包含本发明实施例提供的移位寄存器的栅极驱动装置的使用寿命。

[0070] P 型晶体管与 N 型晶体管的区别仅在于:P 型晶体管在栅极接收到的信号为低电平信号时开启,而在栅极接收到的信号为高电平信号时关断;N 型晶体管在栅极接收到的信号为高电平信号时开启,而在栅极接收到的信号为低电平信号时关断。因此,包含的晶体管均为 P 型晶体管的移位寄存器与包含的晶体管均为 N 型晶体管的移位寄存器的工作原理类似,在此不再赘述。

[0071] 本发明实施例还提供一种栅极驱动装置,包括多级本发明实施例提供的移位寄存器;除第一级移位寄存器和最后一级移位寄存器之外,每一级移位寄存器接收自身的前一级移位寄存器输出的控制信号作为第一选择信号,并接收自身的后一级移位寄存器输出的控制信号作为第二选择信号;第一级移位寄存器接收第一初始触发信号作为第一选择信号,并接收第二级移位寄存器输出的控制信号作为第二选择信号;最后一级移位寄存器接

收第二初始触发信号作为第二选择信号,最后一级移位寄存器接收自身的前一级移位寄存器输出的控制信号作为第一选择信号。

[0072] 如图 13 所示,假设共有 K 级移位寄存器,若第 N 级移位寄存器为除第一级移位寄存器和最后一级移位寄存器之外的移位寄存器,则第 N 级移位寄存器接收的第一选择信号 CH01 为第 N-1 级移位寄存器的控制信号输出端 OUTPUT(N-1) 输出的信号,第 N 级移位寄存器接收的第二选择信号 CH02 为第 N+1 级移位寄存器的控制信号输出端 OUTPUT(N+1) 输出的信号;若第 N 级移位寄存器为第一级移位寄存器,则第 N 级移位寄存器接收的第一选择信号 CH01 为第一初始触发信号 STV1,第 N 级移位寄存器接收的第二选择信号 CH02 为第二级移位寄存器的控制信号输出端 OUTPUT(2) 输出的信号;若第 N 级移位寄存器为最后一级移位寄存器,则第 N 级移位寄存器接收的第一选择信号 CH01 为第 K-1 级移位寄存器的控制信号输出端 OUTPUT(K-1) 输出的信号,第 N 级移位寄存器接收的第二选择信号 CH02 为第二初始触发信号 STV2。图 13 中还包括时钟信号 CLK、时钟阻碍信号 CLKB、正向扫描信号 VF、反向扫描信号 VB 和低电平信号 VSS。

[0073] 本发明实施例还提供一种液晶显示装置,包括本发明实施例提供的栅极驱动装置。

[0074] 上述本发明实施例序号仅仅为了描述,不代表实施例的优劣。

[0075] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

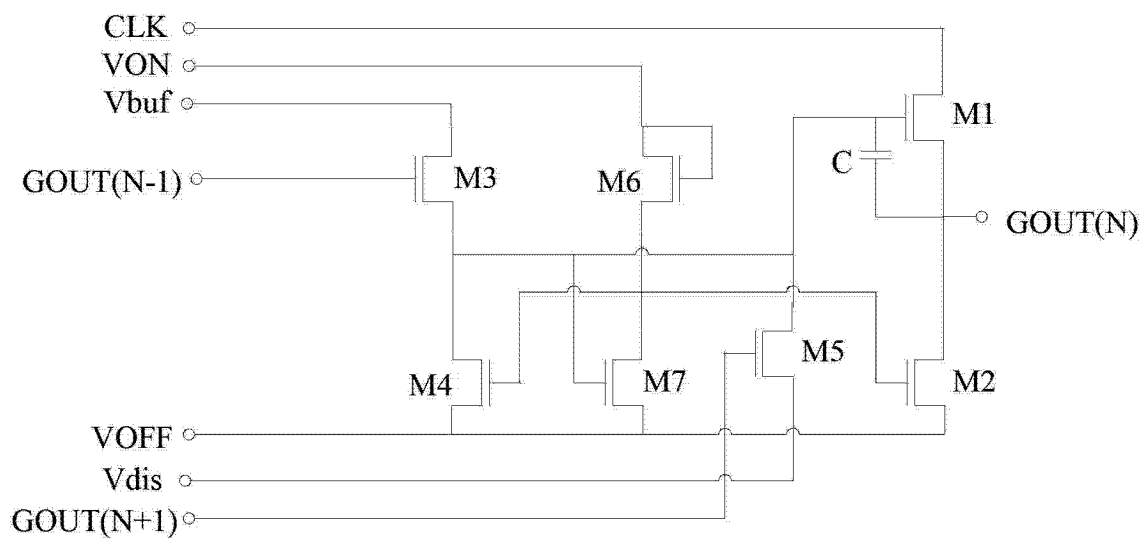


图 1

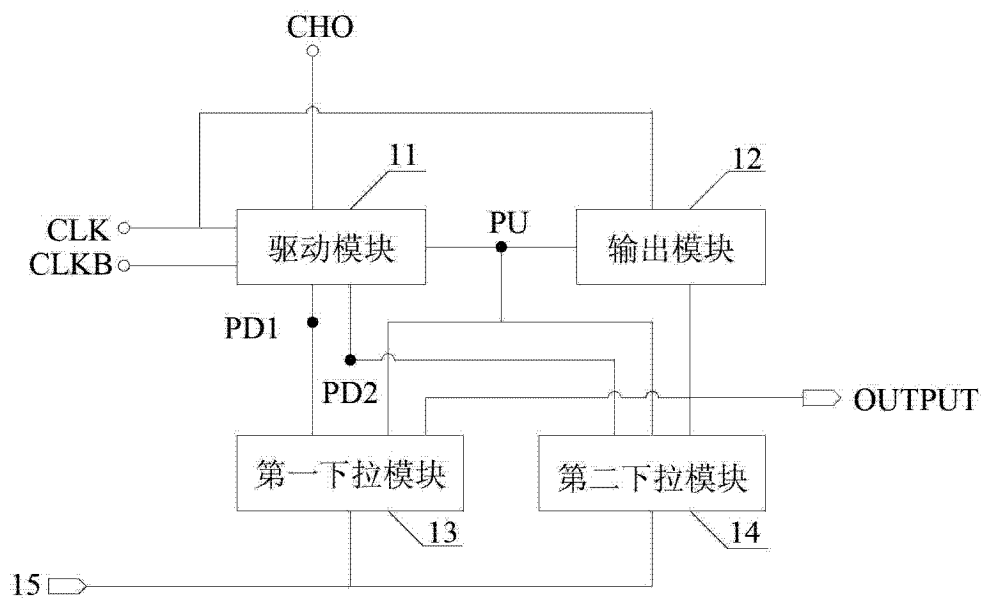


图 2

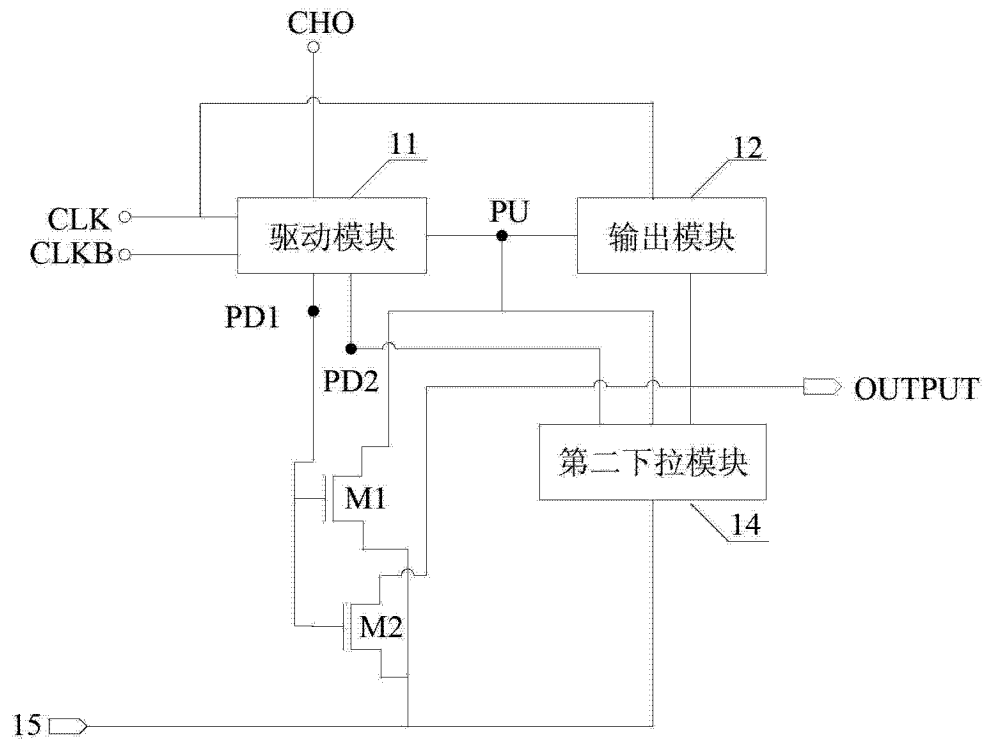


图 3

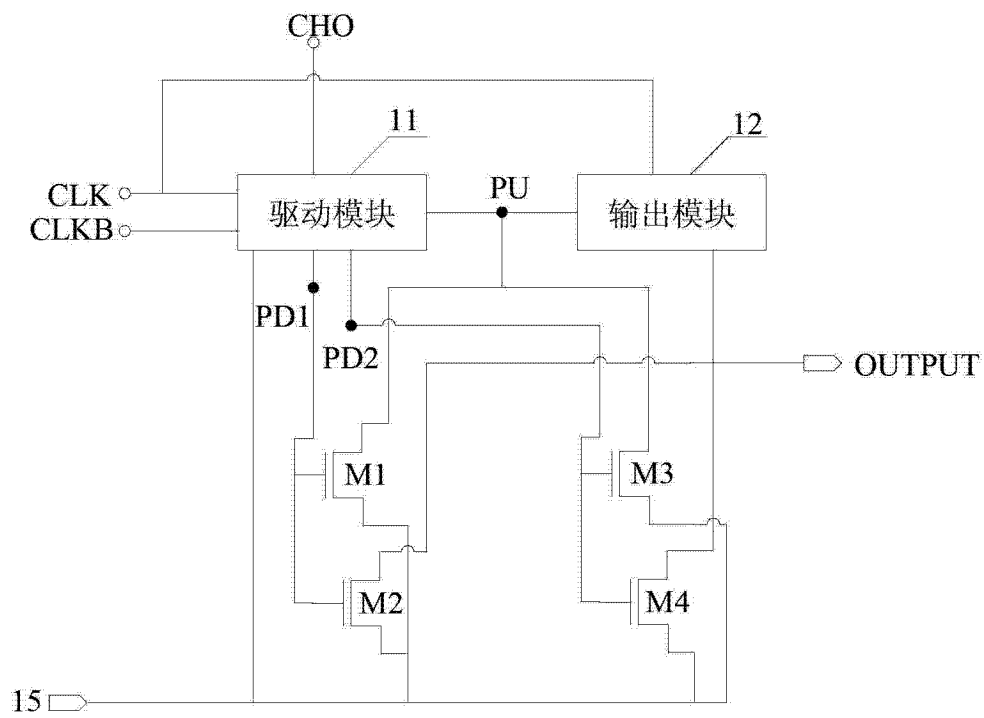


图 4

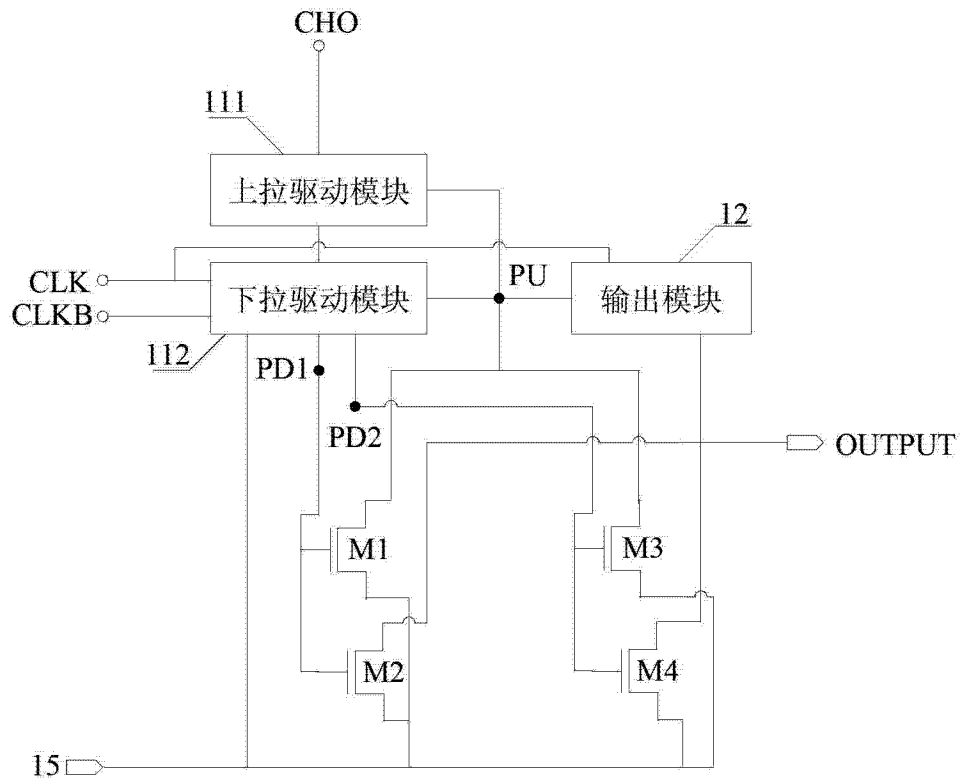


图 5

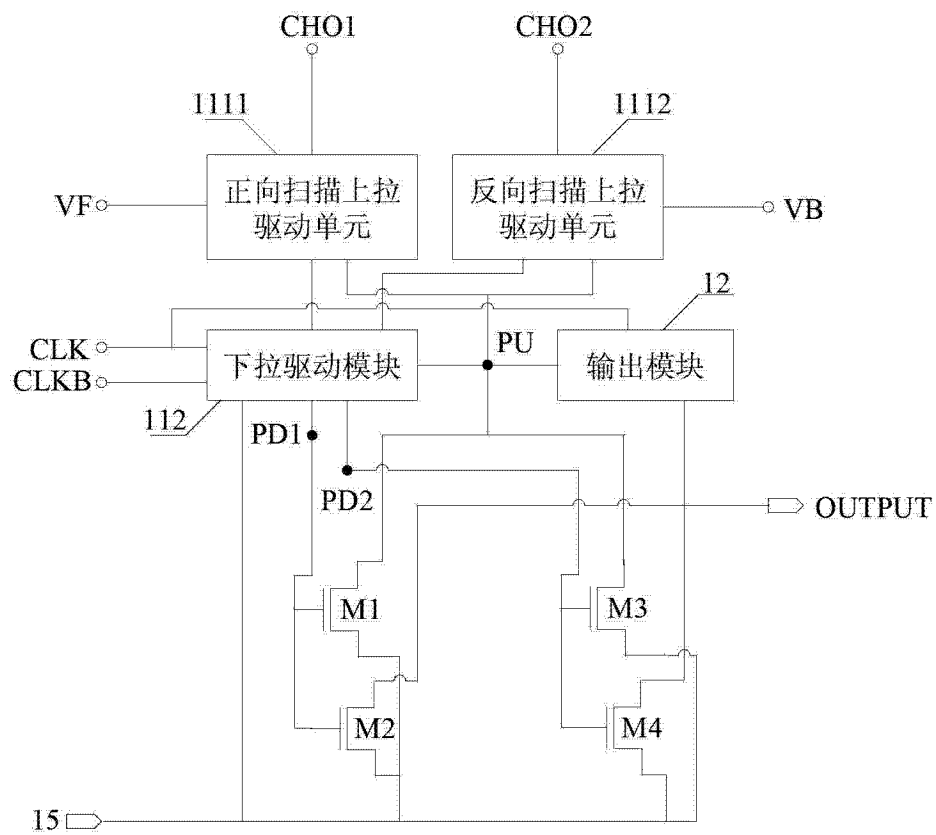


图 6

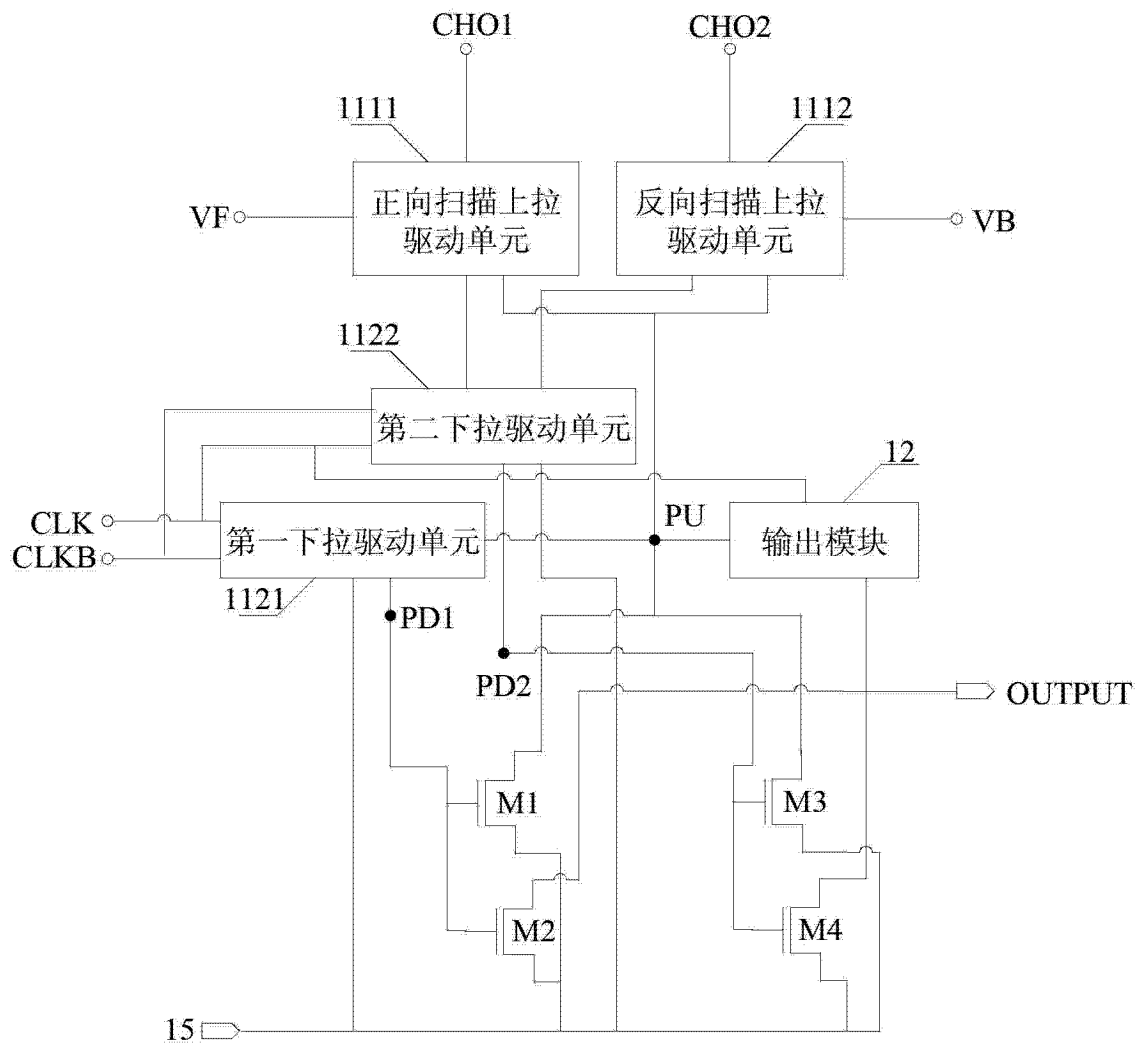


图 7

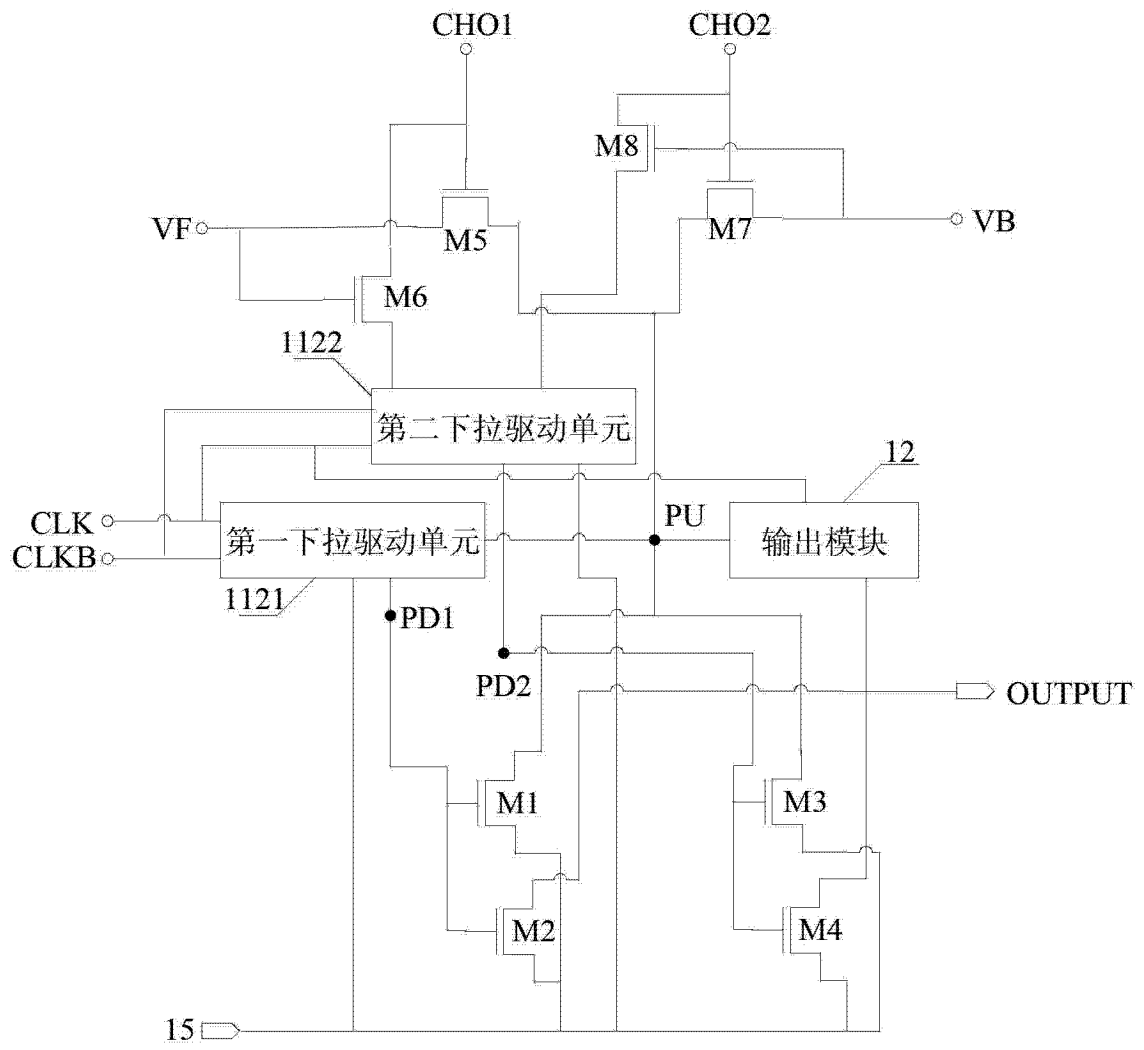


图 8

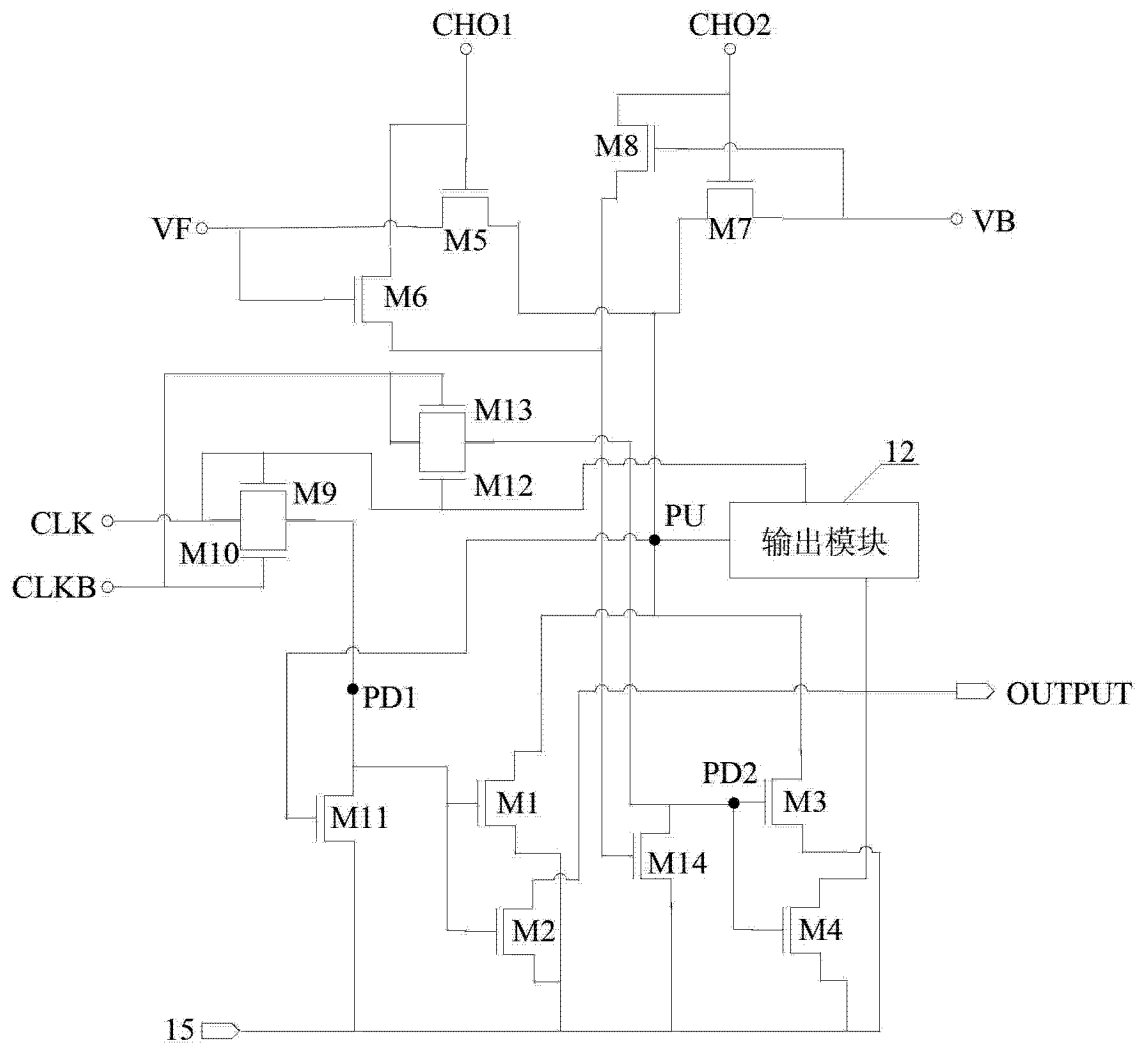


图 9

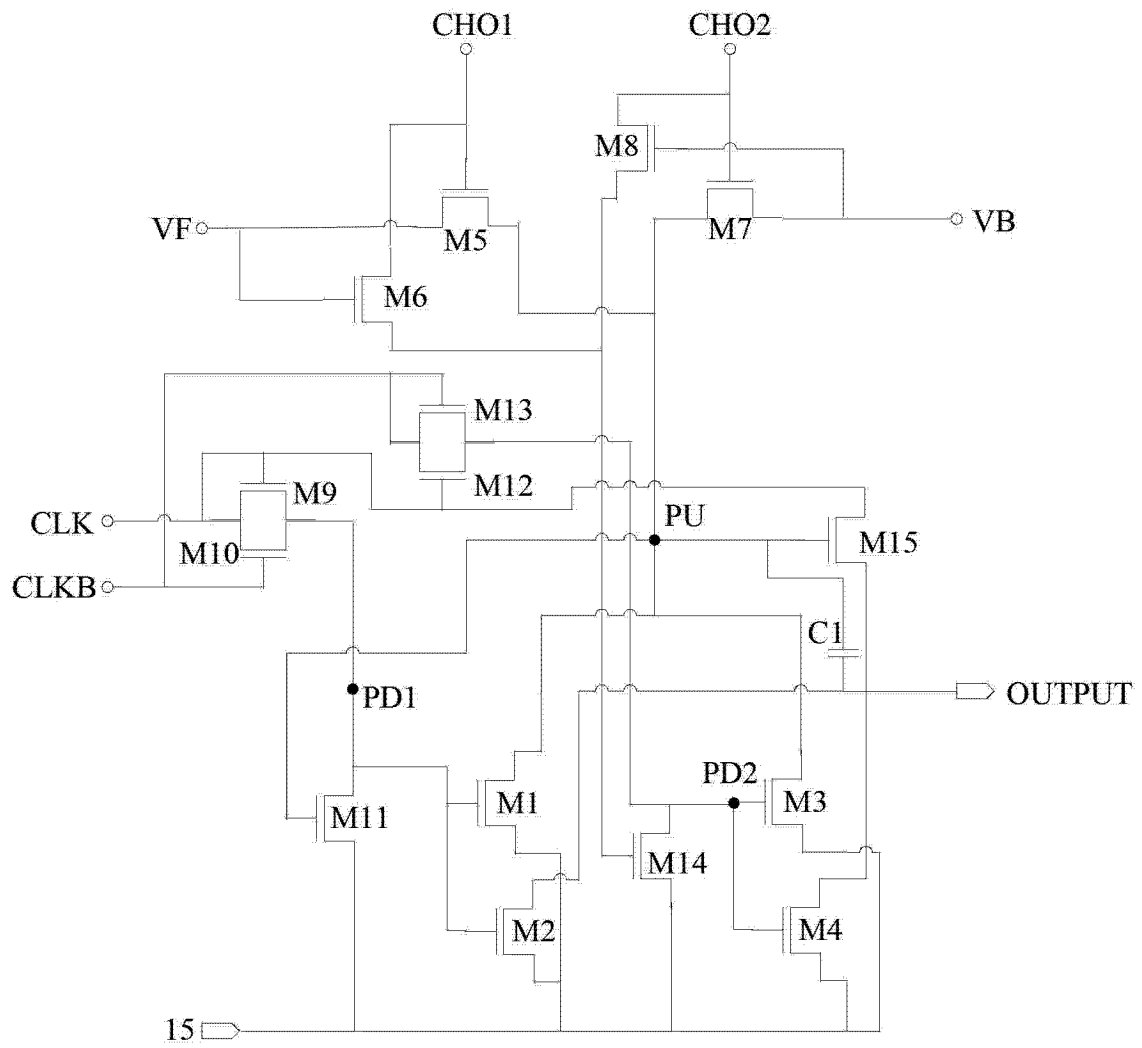


图 10

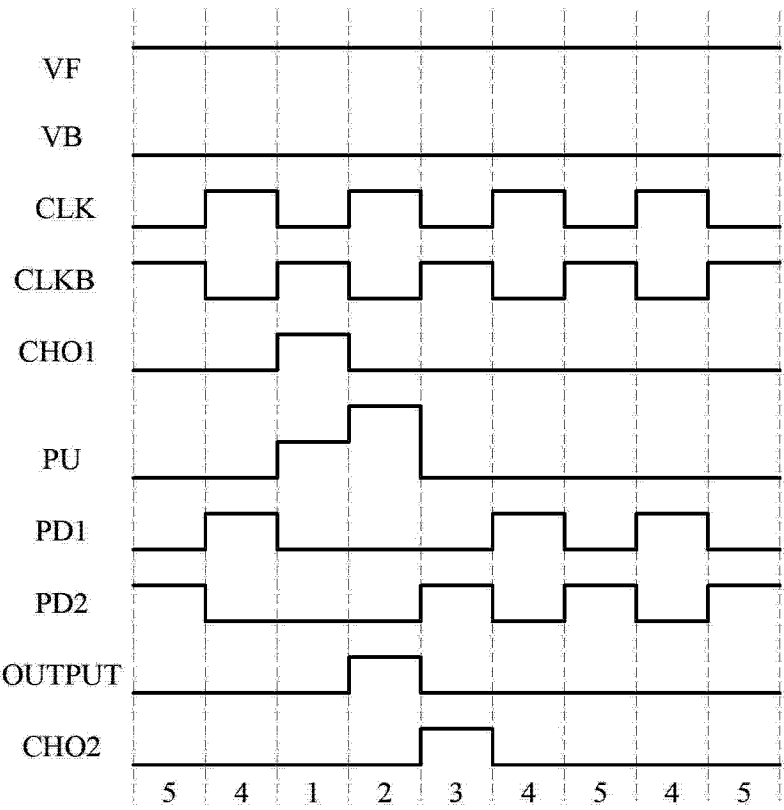


图 11

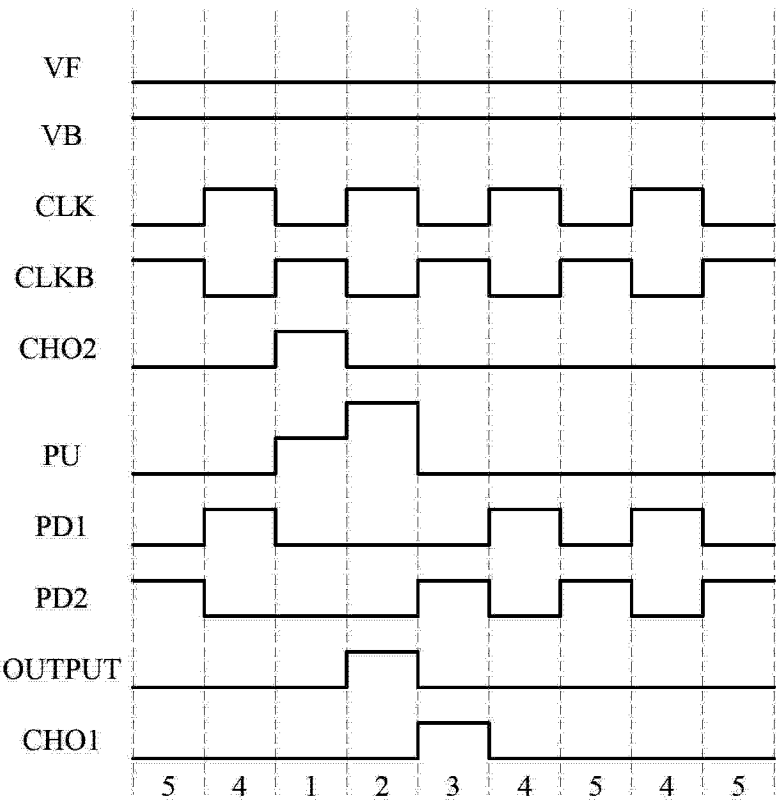


图 12

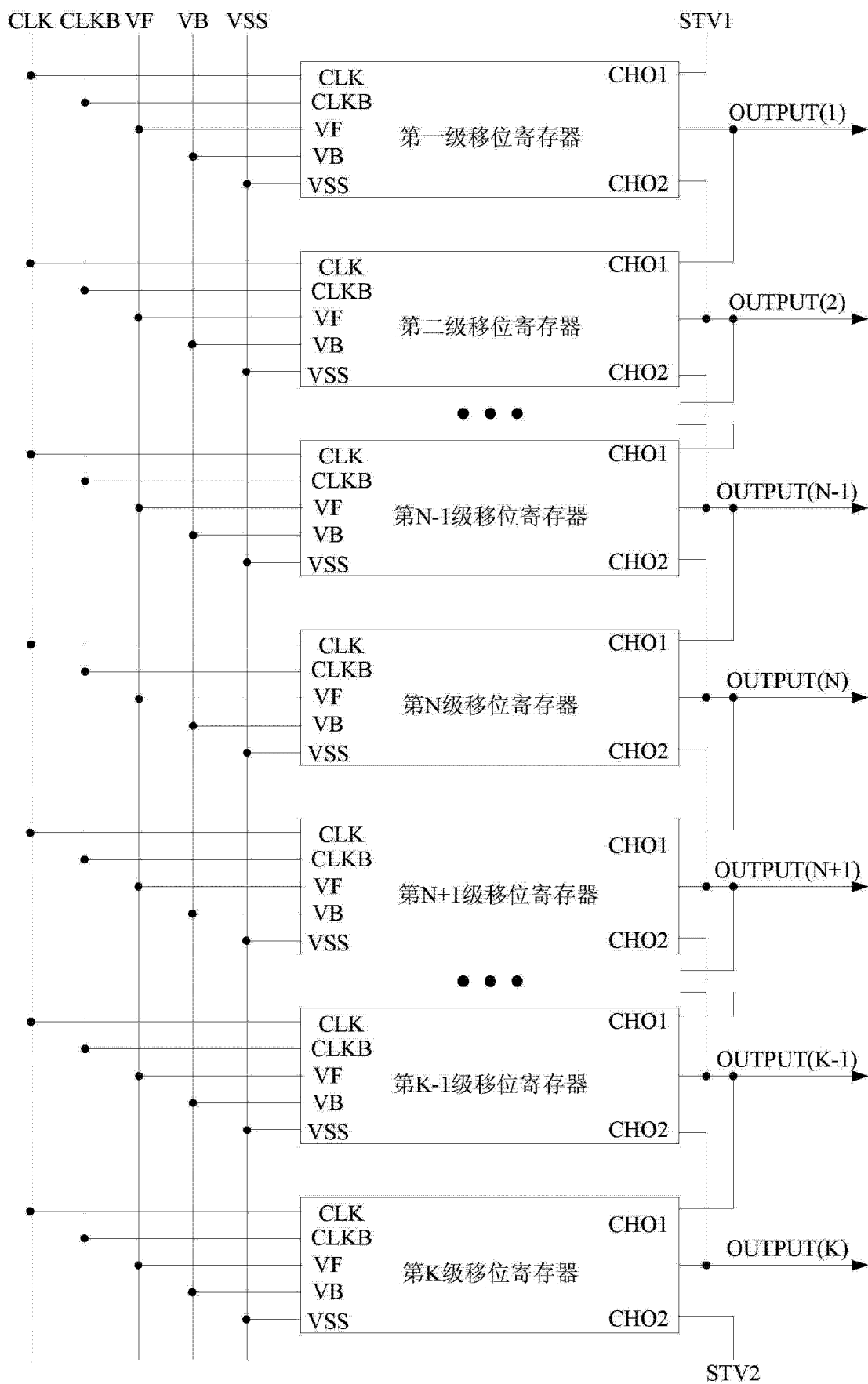


图 13

专利名称(译)	一种移位寄存器、栅极驱动装置和液晶显示装置		
公开(公告)号	CN103258494B	公开(公告)日	2015-10-14
申请号	CN201310132519.0	申请日	2013-04-16
[标]申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
当前申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
[标]发明人	杨通 马睿 胡明		
发明人	杨通 马睿 胡明		
IPC分类号	G09G3/20 G11C19/28 G09G3/36		
CPC分类号	G09G3/3677 G09G2310/0286 G09G2320/043 G09G2330/022 G09G2330/06 G11C19/28 G09G3/3659 G09G2310/08 G09G2320/045		
其他公开文献	CN103258494A		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例提供了一种移位寄存器、栅极驱动装置和液晶显示装置，用以解决现有的移位寄存器中为了降低对应的栅极线上的噪声，使得移位寄存器中的一些晶体管由于在非工作时间内一直处于开启状态，从而缩短栅极驱动装置的使用寿命的问题。该移位寄存器包括：输出模块，用于在驱动模块输出的信号的控制下接通所述移位寄存器的控制信号输出端与时钟信号输入端；第一下拉模块，用于在驱动模块输出的信号的控制下接通上拉结点与第二电平信号输入端，并接通移位寄存器的控制信号输出端与第二电平信号输入端；第二下拉模块，用于驱动模块输出的信号的控制下接通上拉结点与第二电平信号输入端，并接通移位寄存器的控制信号输出端与第二电平信号输入端。

