

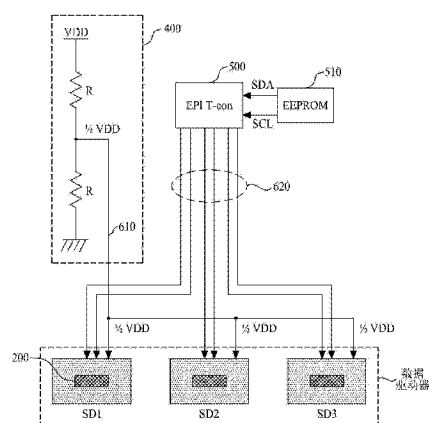


(45) 授权公告日 2015.09.23

权利要求书3页 说明书12页 附图13页

液晶显示设备及其驱动方法

本发明提供了一种液晶显示设备及其驱动方法。该液晶显示设备包括多个数据驱动器 IC、定时控制器、基准电压生成器和 PCB。所述多个数据驱动器 IC 包括用于产生伽马电压的多个伽马电压生成器。所述定时控制器产生用于控制所述多个数据驱动器 IC 的 EPI 分组。所述基准电压生成器降低驱动电压，并且将经降低的驱动电压提供至所述多个数据驱动器 IC。所述基准电压生成器、所述多个数据驱动器 IC 和所述定时控制器被安装在所述 PCB 上。在所述 PCB 上形成有将所述基准电压生成器和所述多个数据驱动器 IC 连接的第一传输线以及将所述定时控制器和所述多个数据驱动器 IC 连接的第二传输线。



1. 一种液晶显示 (LCD) 设备, 所述液晶显示设备包括:

多个数据驱动器 IC, 所述多个数据驱动器 IC 包括用于产生伽马电压的伽马电压生成器;

定时控制器, 所述定时控制器产生用于控制所述多个数据驱动器 IC 的 EPI 分组;

EEPROM, 所述 EEPROM 存储用于控制所述伽马电压的分组数据;

电源, 所述电源产生驱动电压;

基准电压生成器, 所述基准电压生成器降低所述驱动电压, 并且将经降低的驱动电压提供至所述多个数据驱动器 IC; 以及

PCB, 所述基准电压生成器、所述多个数据驱动器 IC 和所述定时控制器被安装在所述 PCB 上,

其中, 在所述 PCB 上形成有将所述基准电压生成器和所述多个数据驱动器 IC 连接的第一传输线以及将所述定时控制器和所述多个数据驱动器 IC 连接的第二传输线, 并且

其中, 所述定时控制器通过使用存储在所述 EEPROM 中的所述分组数据生成用于产生伽马电压的伽马控制分组, 并且将所生成的伽马控制分组添加到所述 EPI 分组中, 所述伽马控制分组是用于生成当数据驱动器将数字图像数据转换为模拟数据电压时所使用的所述伽马电压的控制信号。

2. 一种液晶显示 (LCD) 设备, 所述液晶显示设备包括:

多个数据驱动器 IC, 所述多个数据驱动器 IC 包括用于产生伽马电压的伽马电压生成器;

定时控制器, 所述定时控制器产生用于控制所述多个数据驱动器 IC 的 EPI 分组;

EEPROM, 所述 EEPROM 存储用于控制所述伽马电压的分组数据;

电源, 所述电源产生驱动电压;

基准电压生成器, 所述基准电压生成器降低所述驱动电压, 并且将经降低的驱动电压提供至所述多个数据驱动器 IC; 以及

PCB, 所述基准电压生成器、所述多个数据驱动器 IC 和所述定时控制器被安装在所述 PCB 上,

其中, 在所述 PCB 上形成有将所述基准电压生成器和所述多个数据驱动器 IC 连接的第一传输线以及将所述定时控制器和所述多个数据驱动器 IC 连接的第二传输线, 并且

其中, 所述定时控制器将 RGB 图像数据、用于控制所述多个数据驱动器 IC 的多个控制信号以及用于控制所述伽马电压的多个伽马控制信号添加到所述 EPI 分组中, 并且将所述 EPI 分组提供至所述多个数据驱动器 IC。

3. 根据权利要求 2 所述的液晶显示设备, 其中, 所述定时控制器将用于控制所述多个数据驱动器 IC 的所述多个控制信号配置到多个控制分组中, 并且将所述多个伽马控制信号配置到配置有所述多个控制信号的所述多个控制分组中。

4. 根据权利要求 2 所述的液晶显示设备, 其中, 所述定时控制器将所述伽马控制信号分配到在将用于控制所述多个数据驱动器 IC 的所述多个控制信号添加到多个控制分组之后所留下的空闲存储空间中。

5. 根据权利要求 2 所述的液晶显示设备, 其中, 所述定时控制器将用于控制第一伽马电压到第十伽马电压的多个伽马控制信号编码为相同数目的比特, 并且将经编码的伽马控

制信号分配至多个控制分组。

6. 根据权利要求 2 所述的液晶显示设备,其中,所述定时控制器将用于控制第一伽马电压到第十伽马电压的多个伽马控制信号不同地编码为特定数目的比特,并且将经编码的伽马控制信号分配至多个控制分组。

7. 根据权利要求 1 或 2 所述的液晶显示设备,其中,所述伽马电压生成器包括:

多个电阻器,所述多个电阻器彼此串联地连接;

多个解码器,所述多个解码器连接到所述多个电阻器的各输出节点;

多个缓冲器,所述多个缓冲器连接到所述多个解码器的各输出端子;以及

多个开关,所述多个开关连接到所述多个缓冲器的各输出端子。

8. 根据权利要求 7 所述的液晶显示设备,其中,

所述伽马电压生成器通过使用串联在驱动电压端子和基准电压端子之间的多个电阻器生成用于产生正数据电压的高伽马电压,并且

所述伽马电压生成器通过使用串联在所述基准电压端子和地电压端子之间的多个电阻器生成用于产生负数据电压的低伽马电压。

9. 根据权利要求 8 所述的液晶显示设备,其中,所述伽马电压生成器生成具有与输入到所述多个解码器的所述伽马控制信号的比特相对应的范围的所述高伽马电压和所述低伽马电压。

10. 根据权利要求 9 所述的液晶显示设备,其中,所述伽马电压生成器生成第一伽马电压到第五伽马电压作为所述高伽马电压,并且生成第六伽马电压到第十伽马电压作为所述低伽马电压。

11. 根据权利要求 1 或 2 所述的液晶显示设备,其中,所述基准电压生成器将所述驱动电压降低一半以产生基准电压,并且将所述基准电压提供至所述伽马电压生成器。

12. 根据权利要求 11 所述的液晶显示设备,其中,所述基准电压生成器生成第一伽马电压并且将所述第一伽马电压提供至所述伽马电压生成器。

13. 一种液晶显示 (LCD) 设备的驱动方法,其中,所述液晶显示设备包括:多个数据驱动器 IC,所述多个数据驱动器 IC 包括用于产生伽马电压的伽马电压生成器;以及定时控制器,所述定时控制器产生用于控制所述多个数据驱动器 IC 的 EPI 分组,所述驱动方法包括以下步骤:

产生 EPI 分组,所述 EPI 分组包括 RGB 图像数据、用于控制所述多个数据驱动器 IC 的多个控制信号以及用于控制所述伽马电压的多个伽马控制信号;

将所述 EPI 分组提供至所述多个数据驱动器 IC;

通过使用包括在所述 EPI 分组中的所述多个伽马控制信号将所述 RGB 图像数据转换为模拟数据电压;以及

将所述数据电压提供至液晶面板,

其中,所述 EPI 分组包括用于产生伽马电压的伽马控制分组,所述伽马控制分组是用于生成当数据驱动器将数字图像数据转换为模拟数据电压时所使用的所述伽马电压的所述伽马控制信号。

14. 根据权利要求 13 所述的驱动方法,其中,

所述 EPI 分组被配置为具有多个分组,并且

每个分组由 22 个比特组成。

15. 一种液晶显示 (LCD) 设备的驱动方法, 其中, 所述液晶显示设备包括: 多个数据驱动器 IC, 所述多个数据驱动器 IC 包括用于产生伽马电压的伽马电压生成器; 以及定时控制器, 所述定时控制器产生用于控制所述多个数据驱动器 IC 的 EPI 分组, 所述驱动方法包括以下步骤:

产生 EPI 分组, 所述 EPI 分组包括 RGB 图像数据、用于控制所述多个数据驱动器 IC 的多个控制信号以及用于控制所述伽马电压的多个伽马控制信号;

将所述 EPI 分组提供至所述多个数据驱动器 IC;

通过使用包括在所述 EPI 分组中的所述多个伽马控制信号将所述 RGB 图像数据转换为模拟数据电压; 以及

将所述数据电压提供至液晶面板,

其中, 所述 EPI 分组被配置为具有多个分组, 所述多个分组包括前导分组、控制开始分组、多个控制分组、数据开始分组和图像数据分组,

将所述多个伽马控制信号分配到在将用于控制所述多个数据驱动器 IC 的所述多个控制信号添加到多个控制分组之后留下的空闲存储空间中, 并且

将用于控制第一伽马电压到第十伽马电压的多个伽马控制信号编码为相同数目的比特, 并且将经编码的多个伽马控制信号分配至所述多个控制分组, 或者将用于控制第一伽马电压到第十伽马电压的多个伽马控制信号不同地编码为特定数目的比特, 并且将经编码的多个伽马控制信号分配至所述多个控制分组。

液晶显示设备及其驱动方法

技术领域

[0001] 本发明涉及液晶显示(LCD)设备及其驱动方法,其中减小了所安装的驱动电路的印刷电路板(PCB)的大小并且节省了制造成本。

背景技术

[0002] 对于 LCD 设备,其制造技术先进,驱动装置的驱动性能优异,功耗低,实现了高质量图像和大屏幕。因此,LCD 设备正在普及。另外,LCD 设备正被应用于诸如包括笔记本电脑的便携式计算机、办公自动化设备、便携式多媒体设备、室内 / 室外显示设备等的各种领域,并且 LCD 设备的应用领域连续扩大。

[0003] LCD 设备根据输入的视频信号调整各个像素的透光率,从而显示图像。

[0004] 图 1 是例示相关技术的 LCD 设备的图。图 2 是例示相关技术的伽马块和数据驱动器集成电路(IC)之间的连接结构的图。

[0005] 参照图 1 和图 2,相关技术 LCD 设备包括通过使用输入图像信号显示图像的液晶面板 10、向液晶面板 10 提供光的背光单元(未示出)以及驱动液晶面板 10 的驱动电路。

[0006] 液晶面板 10 包括上基板(滤色器阵列基板)、下基板(薄膜晶体管(TFT)阵列基板)以及形成在上基板和下基板之间的液晶层。液晶面板 10 包括以矩阵形式排列的多个像素,并且调整从背光单元照射的光的透射率以显示图像。

[0007] 驱动电路包括选通驱动器(未示出)、数据驱动器(未示出)、伽马电压生成器 40、定时控制器 50 和电源(未示出)。

[0008] 这里,将多个数据驱动器 IC 20、伽马电压生成器 40 和定时控制器 50 安装在 PCB30 上。

[0009] 选通驱动器包括多个选通驱动器 IC,并且向形成在液晶面板 10 中的多条选通线顺序地提供扫描信号以开启多个像素。

[0010] 数据驱动器包括数据驱动器 IC 20,并且将数据电压分别提供至形成在液晶面板 10 中的多条数据线。

[0011] 这里,数据驱动器 IC 20 将从定时控制器 50 提供的数字图像数据转换为模拟数据电压,并且将这些模拟数据电压分别提供至数据线。

[0012] 定时控制器 50 将从外部输入的数字图像数据对齐,并且将对齐后的数据提供至数据驱动器 IC 20。

[0013] 另外,定时控制器 50 产生用于控制选通驱动器 and 数据驱动器的多个控制信号,并且将这些控制信号分别提供至选通驱动器和数据驱动器。

[0014] 如图 2 所示,伽马电压生成器 40 包括多个伽马块 42,并且分别产生去往数据驱动器 IC 20 的多个伽马电压。

[0015] 在各伽马块 42 的输出端子中布置电容器(未示出),该电容器缓冲伽马电压并且输出特定的电压值。

[0016] 在图 2 中,作为示例,伽马电压生成器 40 被例示为包括十个伽马块 42。各伽马块

42 包括串联在驱动电压 VDD 端子和地电压 GND 端子之间的两个电阻器。

[0017] 伽马块 42 通过使用串联在驱动电压 VDD 端子和地电压 GND 端子之间的两个对应的电阻器分别产生(具有不同值的)第一伽马电压 GMA1 到第十伽马电压 GMA10。此外,伽马块 42 将第一伽马电压 GMA1 到第十伽马电压 GMA10 分别提供至数据驱动器 IC 20。

[0018] 这里,数据驱动器 IC 20 通过使用从伽马电压生成器 40 提供的正和负伽马电压 GMA1 到 GMA10 将从定时控制器 50 输出的数字图像数据转换为模拟数据电压。

[0019] 在 PCB 30 上形成有多条传输线 60,并且伽马电压生成器 40 和数据驱动器 IC 20 通过传输线 60 并联连接。通过传输线 60 将伽马电压生成器 40 产生的伽马电压 GMA1 到 GMA10 提供到数据驱动器 IC 20。

[0020] 在具有上述构造的相关技术的 LCD 设备中,当伽马电压生成器 40 是由十个伽马块 42 构建的时,需要在 PCB 30 上形成用于将十个伽马块 42 和数据驱动器 IC 20 并联连接的多条传输线 60。

[0021] 由于传输线 60 形成在 PCB 30 上,所以 PCB 30 的面积增大。因此,最近针对减小其上安装了 LCD 设备的驱动电路的 PCB 30 的面积进行了大量研究。然而,由于传输线 60 形成在 PCB 30 上,所以 PCB 30 的面积减小是有限的。

[0022] 另外,提出了减少 PCB 的层以节省 LCD 设备的制造成本的方法,但由于传输线 60 形成在 PCB 30 上,所以 PCB 30 的层的减少是有限的。

[0023] 另外,需要二十个电阻器 R1 到 R20 以通过使用十个伽马块产生第一伽马电压 GMA1 到第十伽马电压 GMA10,并且在伽马块 42 的各输出端子中布置了十个电容器,导致 LCD 设备的制造成本增大。

发明内容

[0024] 因此,本发明旨在提供一种 LCD 设备及其驱动方法,其基本上消除了由于相关技术的限制和缺点而导致的一个或更多个问题。

[0025] 本发明的一个方面旨在提供一种 LCD 设备,其可以减小其上安装了驱动电路的 PCB 的面积。

[0026] 本发明的另一方面旨在提供一种 LCD 设备,其可以减少其上安装了驱动电路的 PCB 的层。

[0027] 本发明的另一方面旨在提供一种 LCD 设备,其中,通过将伽马电压生成器安装在数据驱动器 IC 上可以减少形成在 PCB 上的传输线的数目,因而节省了制造成本。

[0028] 下面将描述除上述目的以外的本发明的其它特征和优点,并且根据以下的描述将被本领域技术人员清楚地理解。

[0029] 本发明的其它优点和特征将在以下说明书中部分地进行阐述,并且在本领域技术人员研读以下内容后部分地变得清楚,或者可以从本发明的实践获知。本发明的这些目的和其它优点可以通过在所撰写的说明书及其权利要求书及附图中具体指出的结构来实现和获得。

[0030] 为了实现这些和其它优点并且根据本发明的目的,如这里所具体实施和广泛描述的,本发明提供了一种 LCD 设备,所述 LCD 设备包括:多个数据驱动器 IC,所述多个数据驱动器 IC 包括用于产生伽马电压的伽马电压生成器;定时控制器,所述定时控制器产生用于

控制所述多个数据驱动器 IC 的 EPI 分组 ;EEPROM,所述 EEPROM 存储用于控制所述伽马电压的分组数据 ;电源,所述电源产生驱动电压 ;基准电压生成器,所述基准电压生成器降低所述驱动电压,并且将经降低的驱动电压提供至所述多个数据驱动器 IC ;以及 PCB,所述基准电压生成器、所述多个数据驱动器 IC 和所述定时控制器被安装在所述 PCB 上,其中,在所述 PCB 上形成有将所述基准电压生成器和所述多个数据驱动器 IC 连接的第一传输线以及将所述定时控制器和所述多个数据驱动器 IC 连接的第二传输线。

[0031] 在本发明的另一方面,提供了一种 LCD 设备的驱动方法,其中,所述 LCD 设备包括 :多个数据驱动器 IC,所述多个数据驱动器 IC 包括用于产生伽马电压的伽马电压生成器 ;以及定时控制器,所述定时控制器产生用于控制所述多个数据驱动器 IC 的 EPI 分组,所述驱动方法包括以下步骤 :产生 EPI 分组,所述 EPI 分组包括 RGB 图像数据、用于控制所述多个数据驱动器 IC 的多个控制信号以及用于控制所述伽马电压的多个伽马控制信号 ;将所述 EPI 分组提供至所述多个数据驱动器 IC ;通过使用包括在所述 EPI 分组中的所述多个伽马控制信号将所述 RGB 图像数据转换为多个模拟数据电压 ;以及,将所述数据电压提供至液晶面板。

[0032] 应理解的是,对本发明的以上概述和以下详述都是示例性和解释性的,并旨在对所要求保护的本发明提供进一步的解释。

附图说明

[0033] 包括附图以提供对本发明的进一步理解,附图被并入并且构成本申请的一部分,附图例示了本发明的实施方式,并与说明书一起用于解释本发明的原理。在附图中 :

[0034] 图 1 是例示了相关技术的 LCD 设备的图 ;

[0035] 图 2 是例示了相关技术的伽马块和数据驱动器 IC 之间的连接结构的图 ;

[0036] 图 3 是例示了根据本发明的实施方式的 LCD 设备的图 ;

[0037] 图 4 是例示了根据本发明的第一实施方式的基准电压生成器和数据驱动器 IC 之间的连接结构以及定时控制器和数据驱动器 IC 之间的连接结构的图 ;

[0038] 图 5 是例示了根据本发明的实施方式的嵌入式点对点接口 (EPI) 分组的图 ;

[0039] 图 6 是根据本发明的实施方式的 LCD 设备的 EPI 分组的波形图 ;

[0040] 图 7 是例示了根据本发明的另一种实施方式的 EPI 分组的图 ;

[0041] 图 8 是例示了包括在图 7 的 EPI 分组中的子分组的示例的图 ;

[0042] 图 9 是例示了根据本发明的实施方式的 LCD 设备的数据驱动器 IC 的图 ;

[0043] 图 10 是例示了根据本发明的实施方式的 LCD 设备的伽马电压生成器的图 ;

[0044] 图 11 是用于描述图 10 的伽马电压生成器的具体配置以及产生伽马电压的方法的图 ;

[0045] 图 12 是例示了由根据本发明的实施方式的伽马电压生成器所产生的伽马电压的范围的图 ;

[0046] 图 13 是例示了根据本发明的第二实施方式的基准电压生成器和数据驱动器 IC 之间的连接结构以及定时控制器和数据驱动器 IC 之间的连接结构的图 ;并且

[0047] 图 14 是例示了包括在图 7 的 EPI 分组中的子分组的其它示例的图。

具体实施方式

[0048] 下面将详细描述本发明的示例性实施方式,在附图中例示出了本发明的示例性实施方式的示例。将尽可能地在整个附图中用相同的标号表示相同的或类似的构件。

[0049] 在下文,将参照附图详细地描述根据本发明的实施方式的 LCD 设备。

[0050] 根据调整液晶层的配置的方案,已经不同地开发了扭曲向列(TN)模式、垂直对准(VA)模式、面内切换(IPS)模式和边缘场切换(FFS)模式的多种 LCD 设备。

[0051] 在这些模式中,IPS 模式和 FFS 模式是这样的模式,其中,将多个像素电极和公共电极布置在下电极上,并且由对应的像素电极和公共电极之间的电压差所产生的电场来调整液晶层的排列。

[0052] 具体地,IPS 模式是这样的模式,其中,平行地且交替地排列像素电极和公共电极,并且由像素电极和公共电极之间的电压差产生横向电场,从而调整液晶层的排列。

[0053] 在 IPS 模式中,在像素电极和公共电极上方的上部中不调整液晶层的排列,因而,在与该上部相对应的区域中透光率减小。

[0054] 为了克服 IPS 模式的限制,开发了 FFS 模式。在 FFS 模式中,彼此分离地形成像素电极和公共电极,二者之间具有绝缘层。

[0055] 在这种情况下,以平板形状或者图案形成一个电极,以手指形状形成另一个电极,因而用两个电极之间所产生的边缘场来调整液晶层的排列。

[0056] TN 模式、VA 模式、IPS 模式和 FFS 模式可以选择性地应用于根据本发明的实施方式的 LCD 设备。

[0057] 图 3 是例示根据本发明的实施方式的 LCD 设备的图。图 4 是例示根据本发明的第一实施方式的在基准电压生成器和数据驱动器 IC 之间的连接结构以及在定时控制器和数据驱动器 IC 之间的连接结构的图。

[0058] 参照图 3 和图 4,根据本发明的实施方式的 LCD 设备包括显示图像的液晶面板 100、向液晶面板 100 提供光的背光单元、以及驱动电路。

[0059] 液晶面板 100 包括上基板(滤色器阵列基板)、下基板(TFT 阵列基板)以及形成在上基板和下基板之间的液晶层。液晶面板 100 包括彼此交叉形成的多条选通线和数据线,并且由选通线和数据线限定多个像素。

[0060] 多个像素排列为矩阵形式。在各像素中形成有作为开关元件的 TFT、存储电容器、像素电极和公共电极。

[0061] 在此,如在 TN 模式和 VA 模式中,当以纵向电场显示图像时,多个公共电极形成在上基板上。

[0062] 如在 IPS 模式和 FFS 模式中,当用横向电场或边缘场显示图像时,多个公共电极形成在下基板上。

[0063] 像素根据由分别提供至像素电极的数据电压和提供至公共电极的公共电压(V_{com})所产生的电场来调整从背光单元照射的光的透射率,从而显示图像。

[0064] 背光单元包括:光源,该光源发射供应至液晶面板 100 的光;以及多个光学构件,其用于增强光效率。

[0065] 可以将冷阴极荧光灯(CCFL)、外置电极荧光灯(EFFL)或者发光二极管(LED)用作光源。

[0066] 光学构件可以包括导光板(LGP)、扩散膜、棱镜片和双亮度增强膜(FBEF)。

[0067] 驱动电路包括选通驱动器、数据驱动器、EPI 定时控制器 500、基准电压生成器 400 和向驱动电路提供驱动电压 VDD 的电源 700。

[0068] 此处,数据驱动器包括多个数据驱动器 IC 200。

[0069] 将数据驱动器 IC 200、基准电压生成器 400 和 EPI 定时控制器 500 安装在 PCB 300 上。

[0070] 另外,在 PCB 300 上形成有将基准电压生成器 400 和数据驱动器 IC 200 连接的第一传输线(基准电压传输线)610 以及将 EPI 定时控制器 500 和数据驱动器 IC 200 连接的第二传输线(EPI 分组传输线)620。

[0071] 电可擦除可编程只读存储器(EEPROM)510 存储用于控制多个伽马电压 GMA 的分组数据。

[0072] EPI 定时控制器 500 向数据驱动器提供分组信息(即,EPI 分组),其包括 RGB 图像数据和用于控制数据驱动器的多个控制信号。EPI 定时控制器 500 以点对点的方式通过第二传输线 620 连接到数据驱动器 IC 200。EPI 定时控制器 500 连接到作为存储元件的 EEPROM 510,并且从 EEPROM 510 接收分组数据。

[0073] 在此,EPI 定时控制器 500 和 EEPROM 510 通过 I²C 接口连接,并且 EPI 定时控制器 500 加载存储在 EEPROM 510 中的分组数据。EPI 定时控制器 500 用所加载的分组数据产生伽马控制信号。

[0074] 下面将参照图 5 到图 8 描述由 EPI 定时控制器 500 所生成的 EPI 分组。

[0075] 在本实施方式中,EPI 定时控制器 500 将多个伽马控制信号(用于产生第一伽马电压 GMA1 到第十伽马电压 GMA10)添加到 EPI 分组中,并且将 EPI 分组传送至数据驱动器 IC 200。

[0076] 图 5 是例示根据本发明的实施方式的嵌入式点对点接口(EPI)分组的图。图 6 是根据本发明的实施方式的 LCD 设备的 EPI 分组的波形图。

[0077] 图 5 所例示的根据本发明的实施方式的 EPI 分组包括用于控制伽马电压的分组数据(即,伽马控制分组 CTR0)。

[0078] 参照图 5 和图 6, EPI 定时控制器 500 产生 EPI 分组,其包括用于控制选通驱动器和数据驱动器的多个控制信号和数字图像数据,并且将 EPI 分组提供至数据驱动器。另外, EPI 定时控制器 500 将用于控制选通驱动器的控制信号提供至选通驱动器。

[0079] EPI 定时控制器 500 对齐从外部输入的数字图像数据,将数字图像数据配置到 RGB_DATA 分组,并且将数字图像数据添加到 EPI 分组中。EPI 定时控制器 500 通过第二传输线(EPI 分组传输线)620 将 EPI 分组提供至数据驱动器 IC 200。

[0080] 另外,EPI 定时控制器 500 通过使用存储在 EEPROM 510 中的分组数据生成用于产生伽马电压的伽马控制分组 CTR0,并且将所产生的伽马控制分组 CTR0 添加到 EPI 分组中。EPI 定时控制器 500 通过第二传输线(EPI 分组传输线)620 将包括伽马控制分组 CTR0 的 EPI 分组提供至数据驱动器 IC 200。

[0081] 在此,伽马控制分组 CTR0 是用于产生当数据驱动器将数字图像数据转换为模拟数据电压时所使用的的第一伽马电压 GMA1 到第十伽马电压 GMA10 的控制信号。

[0082] 在此,EPI 分组被配置为具有多个分组,并且各分组可以被配置为具有特定数目的

比特,例如可以被配置为具有 22 比特的大小。

[0083] 多个分组包括前导分组、控制开始分组 CTR_START、多个控制分组 CTR0 到 CTR2、数据开始分组 DATA_START 和图像数据分组 RGB_DATA。这些分组构成了一个 EPI 分组。

[0084] 控制信号包括用于对数据驱动器 IC 200 进行初始化的前导信号、时钟 CLK、EPI 分组开始指示信号 CTR_START、数据使能信号 DE、源输出使能信号 SOE、源输出宽度信号 SOE、极性信号 POL、选通开始脉冲信号 GSP、伽马缓冲器使能信号 GMAENB1 和 GMAENB2、图像数据开始信号 DATA_START 以及伽马控制信号。

[0085] 前导信号被编码为前导分组,并且其它信号被分别编码为控制分组 CTR0 到 CTR2,并且被分别提供到数据驱动器 IC 200。

[0086] 具体地,用于生成由数据驱动器 IC 200 所产生的第一伽马电压 GMA1 到第十伽马电压 GMA10 的伽马控制信号被编码为单独的伽马控制分组 CTR0,因而被添加到 EPI 分组。

[0087] 图像数据被配置为具有 RGB 图像数据。RGB 图像数据被连续地编码为 22 比特的 RGB_DATA 分组,并且被提供到数据驱动器 IC 200。

[0088] 图 7 是例示根据本发明的另一种实施方式的 EPI 分组的图。图 8 是例示包括在图 7 的 EPI 分组中的子分组的示例的图。

[0089] 参照图 7 和图 8,根据本发明的另一种实施方式的 EPI 分组可以被配置为具有多个分组,并且各分组可以被配置为具有特定数目的比特,例如可以被配置为具有 22 比特的大小。

[0090] 多个分组包括指示 EPI 分组的开始的 EPI 开始分组 EPI_START、控制开始分组 CTR_START、多个控制分组 CTR1 和 CTR2、数据开始分组 DATA_START 以及图像数据分组 RGB_DATA。这些分组构成了一个 EPI 分组。

[0091] 在此,控制开始分组 CTR_START、控制分组 CTR1 和 CTR2 以及数据开始分组 DATA_START 中的每一种分组可以由 22 个比特组成。除了其中对包括在各个分组中的信号进行了编码的比特之外,还存在剩余比特。

[0092] 因此,在本发明的另一种实施方式中,各分组包括其独有的信号,并且用于生成由数据驱动器 IC 200 所产生的第一伽马电压 GMA1 到第十伽马电压 GMA10 的多个伽马控制信号可以被编码为剩余比特。

[0093] 如图 8 所例示的,用于产生第一伽马电压 GMA1 到第四伽马电压 GMA4 的伽马控制信号可以被编码为控制开始分组 CTR_START 的剩余比特。

[0094] 用于产生第五伽马电压 GMA5 到第八伽马电压 GMA8 的伽马控制信号可以被编码为数据开始分组 DATA_START 的剩余比特。

[0095] 用于产生第九伽马电压 GMA9 到第十伽马电压 GMA10 的伽马控制信号可以被编码为第一控制分组 CTR1 的剩余比特。

[0096] 通过这种方式,可以将用于产生第一伽马电压 GMA1 到第十伽马电压 GMA10 的伽马控制信号分配到并且编码为构成 EPI 分组的分组中,并且包括伽马控制信号的 EPI 分组可以被传送到数据驱动器 IC 200。

[0097] 再次参照图 4,基准电压生成器 400 包括具有相同的电阻值的两个电阻器 R,并且通过这两个电阻器将驱动电压 VDD 降低一半。

[0098] 基准电压生成器 400 将(从电源 700 提供的)驱动电压 VDD 降低一半以产生用于增

伽马电压的精确性的基准电压,并且通过第一传输线(基准电压传输线)610 将基准电压(VDD/2)提供至数据驱动器 IC 200。

[0099] 选通驱动器包括多个选通驱动器 IC,并且根据从 EPI 定时控制器 500 提供的 EPI 分组产生扫描信号。随后,选通驱动器将扫描信号顺序地提供至形成在液晶面板 100 中的选通线,从而开启多个像素。

[0100] 数据驱动器包括数据驱动器 IC 200,并且将模拟图像数据(即,数据电压)提供至形成在液晶面板 100 中的数据线。

[0101] 在这种情况下,数据驱动器 IC 200 根据从 EPI 定时控制器 500 提供的 EPI 分组将数字图像数据转换为模拟数据电压,并且将数据电压提供至液晶面板 100 的数据线。

[0102] 图 9 是例示了根据本发明的实施方式的 LCD 设备的数据驱动器 IC 的图。

[0103] 参照图 9,各数据驱动器 IC 200 包括:移位寄存器单元 210,其顺序地提供采样信号;锁存单元 220,其响应于采样信号顺序地锁存数字数据并同时输出所锁存的数字数据;数模(DA)转换器 230,其将来自锁存单元 220 的数字图像数据转换为模拟图像数据(即,数据电压);以及输出缓冲器单元 240,其缓冲并且输出来自 DA 转换器 230 的模拟数据。

[0104] 此外,数据驱动器 IC 200 通过使用伽马电压 GMA 将数字图像数据转换为模拟数据电压。

[0105] 为此,如图 10 和图 11 所示,数据驱动器 IC 200 包括用于产生在将数字图像数据转换到数据电压时所使用的伽马电压 GMA 的伽马电压生成器 250。

[0106] 具有上述构造的各数据驱动器 IC 200 将数据电压提供至在形成在液晶面板 100 中的 n 条数据线中分组的特定数目的数据线。

[0107] 包括在移位寄存器单元 210 中的 n 个移位寄存器根据源采样时钟信号 SSC 对源开始脉冲 SSP 进行顺序的移位以输出采样信号。

[0108] 响应于来自移位寄存器单元 210 的采样信号,锁存单元 220 以特定的单位顺序地采样并且锁存数字图像数据。

[0109] 为此,锁存单元 220 包括用于锁存 n 个数字图像数据的 n 个锁存器。各锁存器具有与数字图像数据的比特数相对应的大小。

[0110] 在此,EPI 定时控制器 500 可以将数字图像数据划分为偶数数据和奇数数据,并通过第二传输线 620 同时输出偶数数据和奇数数据,以便降低传输频率。

[0111] 各偶数数据和奇数数据包括红色(R)、绿色(G)和蓝色(B)数据。因此,锁存单元 220 可以锁存针对各采样信号所提供的偶数数据和奇数数据(即,六个数字数据)。

[0112] DA 转换器 230 将来自锁存单元 220 的数字数据转换为正模拟数据和负模拟数据并同时输出正模拟数据和负模拟数据。为此,DA 转换器 230 包括共同连接到锁存单元 220 的正(P)解码器(未示出)和负(N)解码器(未示出),以及用于选择 P 解码器的输出信号和 N 解码器的输出信号的多路选择器(MUX,未示出)。

[0113] DA 转换器 230 通过使用来自伽马电压生成器 250 的多个正伽马电压 GMA1 到 GMA5 将数字图像数据转换为正数据电压。

[0114] 另外,DA 转换器 230 通过使用来自伽马电压生成器 250 的多个负伽马电压 GMA6 到 GMA10 将数字图像数据转换为负数据电压。

[0115] 包括在输出缓冲器单元 240 中的 n 个输出缓冲器被配置为具有分别串联地连接到

n 条数据线 D1 到 Dn 的多个电压跟随器。输出缓冲器对来自 DA 转换器 230 的模拟数据进行信号缓冲(signal-buffer),并且将经缓冲的模拟数据提供至数据线 D1 到 Dn。

[0116] 图 10 是例示了根据本发明的实施方式的 LCD 设备的伽马电压生成器的图。图 11 是用于描述图 10 的伽马电压生成器的具体配置以及产生伽马电压的方法的图。

[0117] 参照图 10 和图 11,伽马电压生成器 250 包括串联在驱动电压 VDD 端子和基准电压 VDD/2 端子之间以及在基准电压 VDD/2 端子和地电压 GND 端子之间的多个电阻器 252a 和 252b。

[0118] 驱动电压 VDD 是从电源 700 提供的,并且基准电压 VDD/2 是从基准电压生成器 400 提供的。

[0119] 在此,多个电阻器 252a 构成了形成在数据驱动器 IC 200 中的电阻器串,并且串联地连接到输入端子。多个电阻器 252b 构成了形成在数据驱动器 IC 200 中的电阻器串,并且串联地连接到输出端子。

[0120] 根据多个电阻值从多个电阻器之间的各个节点产生被划分为十种电平并且具有不同的电压值的第一伽马电压 GMA1 到第十伽马电压 GMA10。

[0121] 另外,伽马电压生成器 250 包括多个这样的解码器 254,即,这些解码器 254 连接到多个电阻器之间的各个节点并且根据所输入的伽马控制信号(伽马分组)选择性地输出多种伽马电压中的一种伽马电压。

[0122] 如图 11 所示,作为示例,解码器 254 可以根据 3 比特输入选择性地输出八个输出中的一个输出。

[0123] 在解码器 254 的各输出端子中形成对输出伽马电压进行缓冲以输出特定电压值的多个缓冲器 256。在各缓冲器 256 和输出端子之间形成有开关 258,以使得能够选择性地使用分别从缓冲器 256 输出的伽马电压。

[0124] 如图 5 到图 8 所例示的,具有上述构造的伽马电压生成器 250 产生第一伽马电压 GMA1 到第十伽马电压 GMA10,并且根据包括在 EPI 分组中的伽马控制信号将第一伽马电压 GMA1 到第十伽马电压 GMA10 提供至 DA 转换器 240。

[0125] 如图 12 所示,第一伽马电压 GMA1 到第十伽马电压 GMA10 可以被划分为特定数目的比特,因而根据包括在 EPI 分组中的伽马控制信号产生第一伽马电压 GMA1 到第十伽马电压 GMA10。

[0126] 在此,在第一伽马电压 GMA1 到第十伽马电压 GMA10 中,第一伽马电压 GMA1 到第五伽马电压 GMA5 是针对正(+)数据电压的高伽马电压。在第一伽马电压 GMA1 到第十伽马电压 GMA10 中,第六伽马电压 GMA6 到第十伽马电压 GMA10 是针对负(-)数据电压的低伽马电压。

[0127] 根据本发明的实施方式的伽马电压生成器 250 微小地设定伽马电压。

[0128] 例如,当驱动电压 VDD 是 7.6V 时,可以用 3.8V 的电压生成第一伽马电压 GMA1 到第五伽马电压 GMA5,3.8V 的电压是 7.6V 的驱动电压 VDD 和 3.8V 的基准电压 VDD/2 之间的电压差。

[0129] 此外,可以用 3.8V 的电压生成第六伽马电压 GMA6 到第十伽马电压 GMA10,3.8V 的电压是 3.8V 的基准电压 VDD/2 和 0V 的地电压 GND 之间的电压差。

[0130] 数据驱动器 IC 200 通过使用由伽马电压生成器 250 产生的第一伽马电压 GMA1 到

第十伽马电压 GMA10 将从 EPI 定时控制器 500 所提供的数字图像数据转换为模拟数据电压。此外,通过将第一伽马电压 GMA1 到第十伽马电压 GMA10 提供至形成在液晶面板 100 中的多条数据线,多个像素显示图像。因此,伽马电压被微小地设定,因而增强了图像的显示质量。

[0131] 第一伽马电压 GMA1 到第十伽马电压 GMA10 各自的范围可以由多个比特组成,以微小地设定第一伽马电压 GMA1 到第十伽马电压 GMA10 的目标值。

[0132] 作为示例,第一伽马电压 GMA1 到第十伽马电压 GMA10 各自的范围可以由 3 个比特组成。

[0133] 当第一伽马电压 GMA1 到第十伽马电压 GMA10 各自的范围可以由 3 个比特组成时,以 0.475V 为单位产生伽马电压,如以下等式(1)所示,因而可以微小地设定第一伽马电压 GMA1 到第十伽马电压 GMA10 的目标值。

[0134] $7.6V(VDD) - 3.8V(VDD/2)/8(3 \text{ 比特}) = 0.475V \cdots (1)$

[0135] 作为另一示例,第一伽马电压 GMA1 到第十伽马电压 GMA10 各自的范围可以由 8 个比特组成。

[0136] 当第一伽马电压 GMA1 到第十伽马电压 GMA10 各自的范围由 8 个比特组成时,以 0.015V 为单位产生伽马电压,如以下等式(2)所示,因而可以微小地设定第一伽马电压 GMA1 到第十伽马电压 GMA10 的目标值。

[0137] $7.6V(VDD) - 3.8V(VDD/2)/256(8 \text{ 比特}) = 0.015V \cdots (2)$

[0138] 图 13 是例示根据本发明的第二实施方式的基准电压生成器和数据驱动器 IC 之间的连接结构以及定时控制器和数据驱动器 IC 之间的连接结构的图。在参照图 13 对第二实施方式的描述中,不对与已经参照图 4 描述了的第二实施方式的元件相同的元件提供详细描述。

[0139] 参照图 13,驱动电路包括选通驱动器、数据驱动器、EPI 定时控制器 500、基准电压生成器 400 和电源 700。数据驱动器包括多个数据驱动器 IC 200。

[0140] 数据驱动器 IC 200、基准电压生成器 400 和 EPI 定时控制器 500 被安装在 PCB 300 上。

[0141] 另外,在 PCB 300 上形成有将基准电压生成器 400 和数据驱动器 IC 200 连接的第一传输线(基准电压传输线)610。而且在 PCB 300 上形成有将 EPI 定时控制器 500 和数据驱动器 IC 200 连接的第二传输线(EPI 分组传输线)620。此外,在 PCB 300 上形成有第三传输线(伽马电压传输线)630,通过第三传输线 630 传输由基准电压生成器 400 所产生的的第一伽马电压 GMA1。

[0142] 在此,基准电压生成器 400 包括具有相同电阻值的两个电阻器 R,并且通过这两个电阻器将驱动电压 VDD 降低一半。

[0143] 为了增加伽马电压的精确度,基准电压生成器 400 将(从电源 700 产生的)驱动电压降低一半以产生基准电压。此外,基准电压生成器 400 通过第一传输线(基准电压传输线)610 将基准电压 VDD/2 提供至数据驱动器 IC 200。

[0144] 另外,基准电压生成器 400 产生第一伽马电压 GMA1,并且通过第三传输线(伽马电压传输线)630 将第一伽马电压 GMA1 提供至数据驱动器 IC 200。

[0145] 各数据驱动器 IC 200 相对于第一伽马电压 GMA1 产生第二伽马电压 GMA2 到第十

伽马电压 GMA10。因此,基准电压生成器 400 向数据驱动器 IC 200 提供第一伽马电压 GMA1,因而使得数据驱动器 IC 200 能够平滑地产生第二伽马电压 GMA2 到第十伽马电压 GMA10。另外,可以产生第一伽马电压 GMA1 到第十伽马电压 GMA10 作为精确的伽马电压。

[0146] 在此,在针对第一伽马电压 GMA1 的输出端子中设置有 RC 滤波器,因而减少了第一伽马电压 GMA1 中的纹波,从而能够向数据驱动器 IC 200 提供具有精确值的第一伽马电压 GMA1。

[0147] EPI 定时控制器 500 向数据驱动器提供分组信息(即, EPI 分组),其包括 RGB 图像数据以及用于控制数据驱动器的多个控制信号。

[0148] EPI 定时控制器 500 以点对点的形式通过第二传输线 620 连接到数据驱动器 IC200。EPI 定时控制器 500 和 EEPROM 510 通过 I²C 接口连接,并且 EPI 定时控制器 500 加载存储在 EEPROM 510 中的分组数据。EPI 定时控制器 500 利用所加载的分组数据产生伽马控制信号。

[0149] 图 14 是例示了包括在图 7 的 EPI 分组中的子分组的其它示例的图。

[0150] 参照图 14,控制开始分组 CTR_START、控制分组 CTR1 和 CTR2 以及数据开始分组 DATA_START 中的每一种分组可以由 22 个比特组成。除了其中对包括在各个分组中的信号进行了编码的比特之外,还存在剩余比特。

[0151] 因此,在本发明的另一种实施方式中,独有的信号分别被包括在 EPI 分组中所包括的子分组中,并且伽马控制信号可以被编码为剩余比特。

[0152] 伽马控制信号被添加到 EPI 分组,并被提供到数据驱动器 IC 200。各数据驱动器 IC 200 根据包括在 EPI 分组中的伽马控制信号并利用电压 VDD、VDD/2 和 GND 以及从基准电压生成器 400 所提供的第一伽马电压 GMA1 生成第二伽马电压 GMA2 到第十伽马电压 GMA10。

[0153] 数据驱动器 IC 200 将包括在 EPI 分组中的 RGB 图像数据转换为具有第一伽马电压 GMA1 到第十伽马电压 GMA10 的模拟数据电压,并且将各数据电压提供至形成在液晶面板 100 中的多条数据线。

[0154] 下面将描述将伽马控制信号编码为构成了 EPI 分组的子分组的剩余比特的示例。

[0155] 如图 14 所例示,为了精确地设定第一伽马电压 GMA1 到第十伽马电压 GMA10,第一伽马电压 GMA1 到第十伽马电压 GMA10 的伽马控制信号可以被编码为多个比特中。

[0156] 用于产生第二伽马电压 GMA2 到第四伽马电压 GMA4 的伽马控制信号可以被编码为控制开始分组 CTR_START 的剩余比特。在这种情况下,用于产生第二伽马电压 GMA2 到第四伽马电压 GMA4 的伽马控制信号可以被编码为 4 个比特。

[0157] 用于产生第七伽马电压 GMA7 到第九伽马电压 GMA9 的伽马控制信号可以被编码为数据开始分组 DATA_START 的剩余比特。在这种情况下,用于产生第七伽马电压 GMA7 到第九伽马电压 GMA9 的伽马控制信号可以被编码为 4 个比特。

[0158] 用于产生第一伽马电压 GMA1、第五伽马电压 GMA5、第六伽马电压 GMA6 和第十伽马电压 GMA10 的伽马控制信号可以被编码为第一控制分组 CTR1 的剩余比特。在这种情况下,针对第一伽马电压 GMA1 到第十伽马电压 GMA10 的伽马控制信号可以被编码为 2 个比特。针对第五伽马电压 GMA5 和第六伽马电压 GMA6 的伽马控制信号可以被编码为 3 个比特。

[0159] 在此,其中对伽马控制信号进行了编码的比特的数目可以根据伽马电压而不同。第一伽马电压 GMA1 具有与驱动电压 VDD 相似的电压值,并且第十伽马电压 GMA10 具有与地

电压 GND 相似的电压值。因此,尽管伽马控制信号被编码为 2 个比特,但是第一伽马电压 GMA1 和第十伽马电压 GMA10 也可以被产生为精确的电压值,因而,其它伽马电压可以被编码为更少的比特。

[0160] 通过将针对第一伽马电压 GMA1 和第十伽马电压 GMA10 的伽马控制信号编码为 2 个比特所获得的剩余比特可以用于针对其它伽马电压的伽马控制信号进行编码。

[0161] 第五伽马电压 GMA5 和第六伽马电压 GMA6 具有与降低的电压 $VDD/2$ 相似的电压值。因此,尽管伽马控制信号被编码为 3 个比特,但是第五伽马电压 GMA5 和第六伽马电压 GMA6 可以被产生为精确的电压值。

[0162] 第七伽马电压 GMA7 到第九伽马电压 GMA9 具有在驱动电压 VDD 和地电压 GND 之间的电压值,因此,为了第七伽马电压 GMA7 到第九伽马电压 GMA9 被产生为精确的电压值,与第七伽马电压 GMA7 到第九伽马电压 GMA9 相比,针对其它伽马电压的伽马控制信号可以被编码为更多的比特(例如,4 个比特)。

[0163] 通过这种方式,用于产生第一伽马电压 GMA1 到第十伽马电压 GMA10 的多个伽马控制信号可以被分配并编码在多个分组中,并且包括伽马控制信号的 EPI 分组可以被传送到数据驱动器 IC 200。

[0164] 当用于产生第一伽马电压 GMA1 到第十伽马电压 GMA10 的伽马控制信号被分配并且布置在 EPI 分组中时,没有特别的限制。考虑到留在子分组中的剩余比特,可以分配并布置用于产生第一伽马电压 GMA1 到第十伽马电压 GMA10 的伽马控制信号。

[0165] 此外,以上描述了用于产生第一伽马电压 GMA1 到第十伽马电压 GMA10 的伽马控制信号被编码为 2 个比特到 4 个比特,但是伽马控制信号可以被编码为 4 个或者更多个比特(例如,8 个比特)。

[0166] 通过这种方式,用于产生第一伽马电压 GMA1 到第十伽马电压 GMA10 的伽马控制信号可以被不同地编码为特定数目的比特,并被分配到多个控制分组。

[0167] 如上所述,用于产生第一伽马电压 GMA1 到第十伽马电压 GMA10 的伽马控制信号可以被编码为不同数目的比特,因而可以精确地设定伽马电压。

[0168] 当第二伽马电压 GMA2 到第四伽马电压 GMA4 以及第七伽马电压 GMA7 到第九伽马电压 GMA9 各自的范围是由 4 个比特组成的时,以在下面的等式(3)中所示的 0.2375V 为单位产生伽马电压。因此,可以微小地设定第二伽马电压 GMA2 到第四伽马电压 GMA4 以及第七伽马电压 GMA7 到第九伽马电压 GMA9 的目标值。

[0169] $7.6V(VDD) - 3.8V(VDD/2) / 16(4 \text{ 比特}) = 0.2375V \cdots (3)$

[0170] 在根据本发明的实施方式的 LCD 设备及其驱动方法中,通过在数据驱动器 IC200 内形成伽马电压生成器 250,减少了相关技术中的形成在 PCB 上的用于将伽马电压生成器和数据驱动器 IC 连接的传输线的数目。因此,可以减小 PCB 的面积。

[0171] 另外,通过减小形成在 PCB 中的传输线的数目,PCB 的层减少,因而能够使 PCB 的结构简单。

[0172] 另外,根据本发明的实施方式,PCB 以低成本进行制造,因而可以增加 LCD 设备的价格竞争力。

[0173] 在相关技术中,应用了二十个电阻器和十个电容器来产生第一伽马电压到第十伽马电压,因而增加了 LCD 设备的制造成本。然而,在根据本发明的实施方式的 LCD 设备及驱

动方法中,通过将伽马电压生成器安装在数据驱动器 IC 上,可以节省 LCD 装置的制造成本。

[0174] 在根据本发明的实施方式的 LCD 设备中,可以减小其上安装了驱动电路的 PCB 的面积。

[0175] 在根据本发明的实施方式的 LCD 设备中,可以减少其上安装了驱动电路的 PCB 的层。

[0176] 根据本发明的实施方式,PCB 以低成本进行制造,因而可以增加 LCD 设备的价格竞争力。

[0177] 在根据本发明的实施方式的 LCD 设备及其驱动方法中,微小地设定了伽马电压,因而增强了图像的显示质量。

[0178] 在根据本发明的实施方式的 LCD 设备及其驱动方法中,通过将伽马电压生成器安装在数据驱动器 IC 上减少了形成在 PCB 上的传输线的数目,因而节省了制造成本。

[0179] 除本发明的上述特征和效果以外,可以从本发明的实施方式重新得到本发明的其它特征和效果。

[0180] 对于本领域技术人员明显的是,可以在不脱离本发明的精神或范围的情况下对本发明做出各种修改和变化。因此,本发明旨在涵盖本发明的落入所附权利要求及其等同物范围内的所有修改和变化。

[0181] 本申请要求 2011 年 10 月 11 日提交的韩国专利申请第 10-2011-0103767 号和 2012 年 9 月 14 日提交的韩国专利申请第 10-2012-0101916 号的优先权,通过引用将其并入于此,如同在此进行了完整阐述一样。

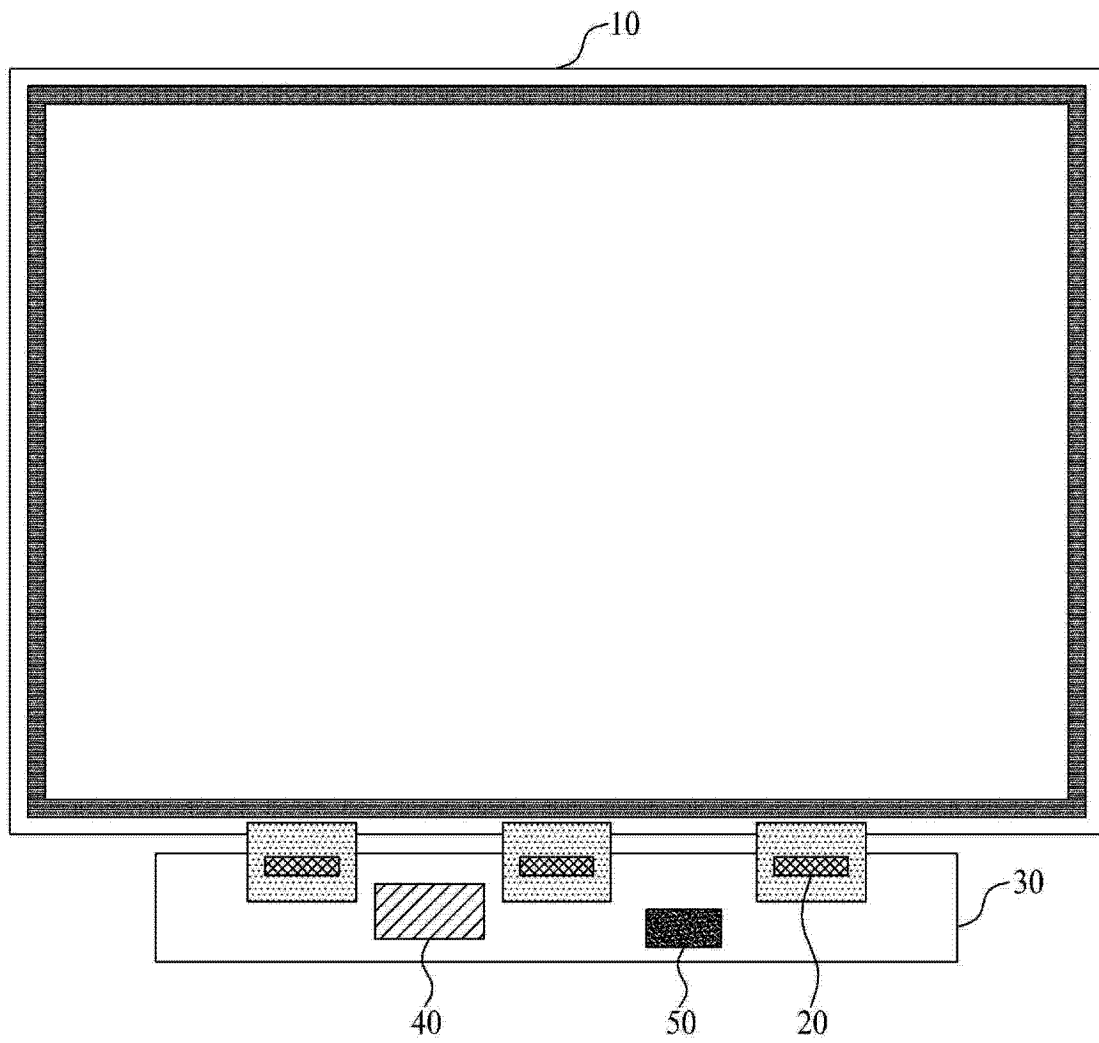


图 1

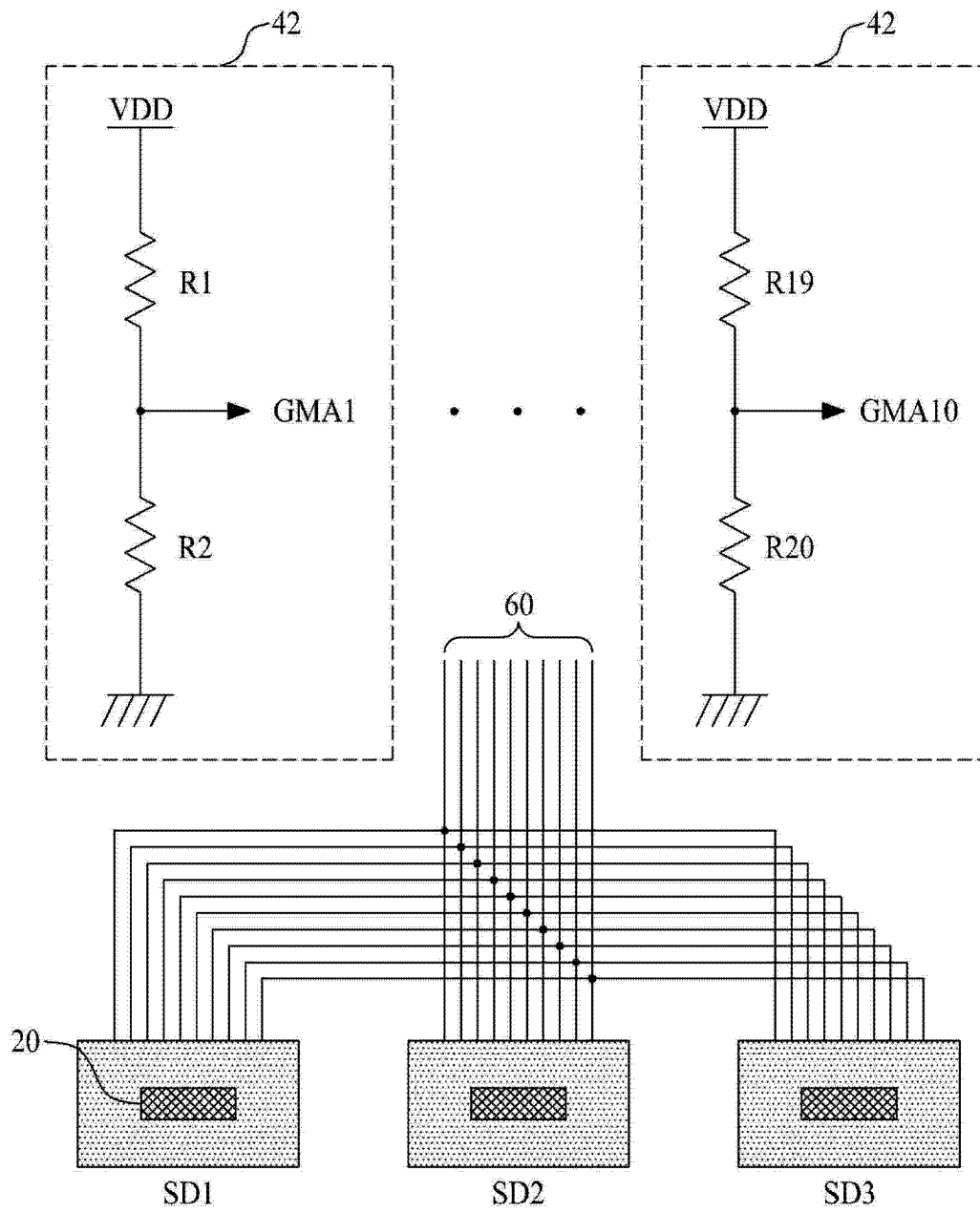


图 2

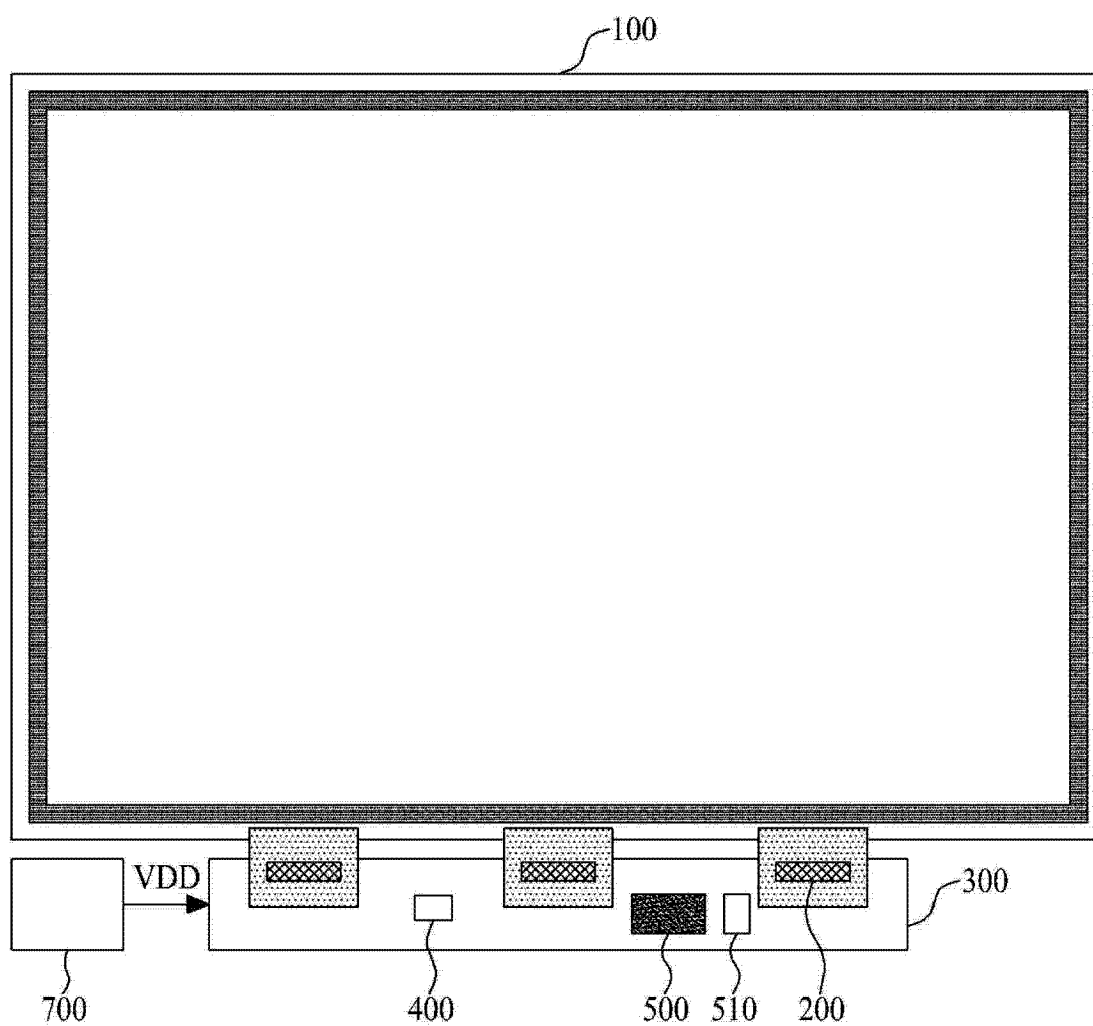


图 3

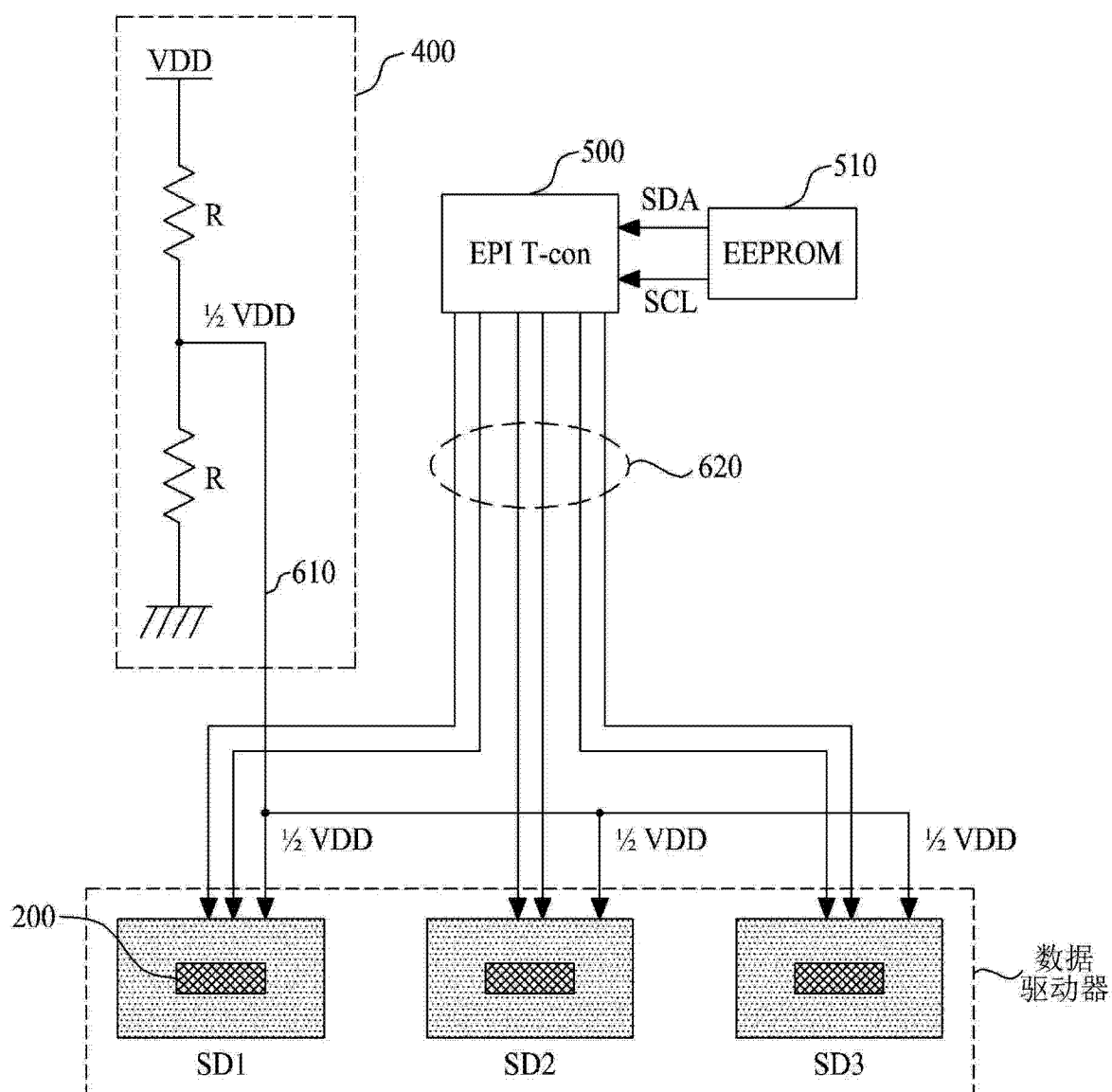


图 4

控制数据		名称	比特	描述
分组数据	CTR_start	指示符	C[5:0]	控制分组开始指示符 (LSB→MSB)
		虚设	C[17:6]	
	CTR0	GMA1	G1[3:0]	伽玛#1电压控制
		GMA2	G2[3:0]	伽玛#2电压控制
		GMA3	G3[3:0]	伽玛#3电压控制
		GMA4	G4[3:0]	伽玛#4电压控制
		GMA5	G5[3:0]	伽玛#5电压控制
		GMA6	G6[3:0]	伽玛#6电压控制
		GMA7	G7[3:0]	伽玛#7电压控制
		GMA8	G8[3:0]	伽玛#8电压控制
		GMA9	G9[3:0]	伽玛#9电压控制
		GMA10	G10[3:0]	伽玛#10电压控制
	CTR1	SOE 开始	C[7:0]	
		SOE 宽度	C[17:8]	
	CTR2	POL	C0	极性翻转
		模式	C1	固定到低
		H2DOT	C2	水平2点翻转
		LTD1	C3	低温驱动模型选择
		LTD2	C4	
		PWRC1	C5	输出缓冲器功率控制
		PWRC2	C6	
		PWRC3	C7	
		虚设	C8	
		GSP	C9	用于指示帧开始时间的选通开始脉冲
		CSC	C10	改变共享模式控制
		GMAENB1	C11	伽马缓冲器使能
		GMAENB2	C12	
		POLC	C13	极性控制
		保留	C14	
		保留	C15	
		保留	C16	
		保留	C17	
Data_start		指示符	C[5:0]	数据分组开始指示符 (LSB→MSB)
		虚设	C[17:6]	

图 5

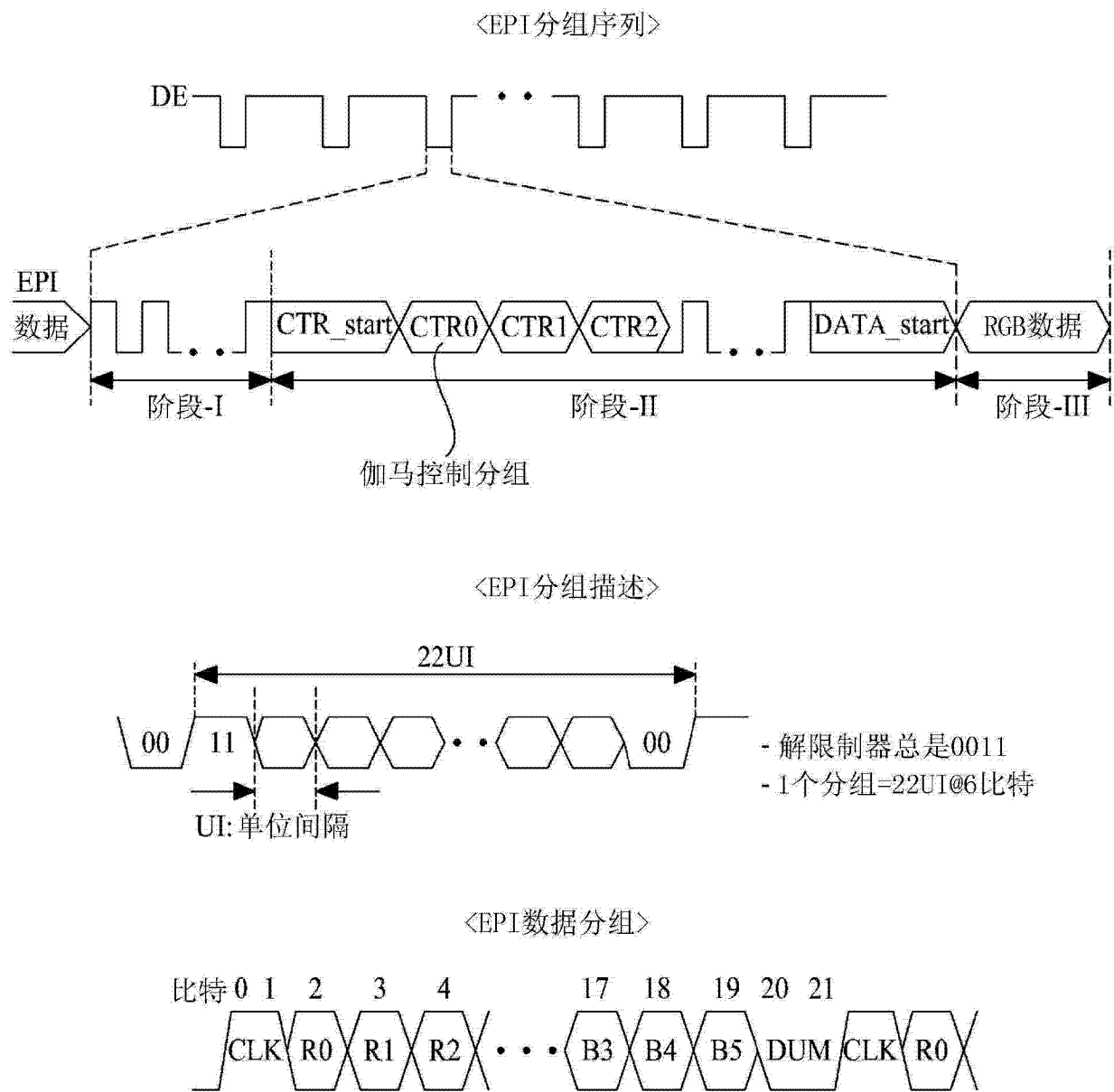


图 6



图 7

<CTR_START>

比特编号	名称	默认值	功能
0, 1	CK	HH	嵌入的时钟的高2比特
2 ~ 7	CTR_START	HL HL HL	指示下一分组是控制分组
8 ~ 10	GMA_DEC	-	G[0:2]: 针对GMA1的伽马解码器
11 ~ 13	GMA_DEC	-	G[3:5]: 针对GMA2的伽马解码器
14 ~ 16	GMA_DEC	-	G[6:8]: 针对GMA3的伽马解码器
17 ~ 19	GMA_DEC	-	G[9:11]: 针对GMA4的伽马解码器
20, 21	DMY	LL	嵌入的时钟的低2比特

<DATA_START>

比特编号	名称	默认值	功能
0, 1	CK	HH	嵌入的时钟的高2比特
2 ~ 7	DATA_START	HL HL HL	指示下一分组是控制分组
8 ~ 10	GMA_DEC	-	G[12:14]: 针对GMA5的伽马解码器
11 ~ 13	GMA_DEC	-	G[15:17]: 针对GMA6的伽马解码器
14 ~ 16	GMA_DEC	-	G[18:20]: 针对GMA7的伽马解码器
17 ~ 19	GMA_DEC	-	G[21:23]: 针对GMA8的伽马解码器
20, 21	DMY	LL	嵌入的时钟的低2比特

<CTR 1>

比特编号	名称	默认值	功能
0, 1	CK	HH	嵌入的时钟的高2比特
2 ~ 9	SOE_START	-	SOE脉冲的开始点的8比特
10 ~ 13	SOE_Width	-	SOE脉冲的宽度的4比特
14 ~ 16	GMA_DEC	-	G[15:17]: 针对GMA9的伽马解码器
17 ~ 19	GMA_DEC	-	G[27:29]: 针对GMA10的伽马解码器
20, 21	DMY	LL	嵌入的时钟的低2比特

图 8

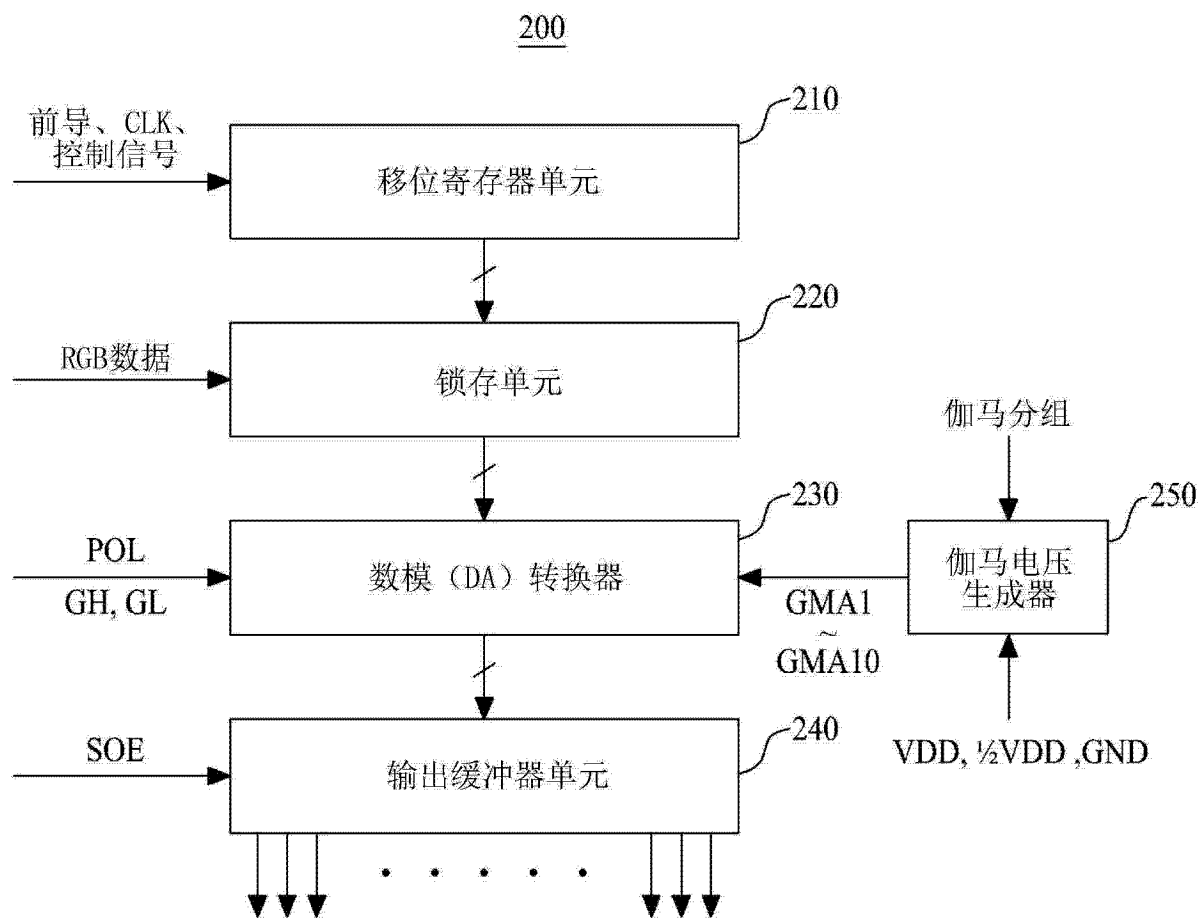


图 9

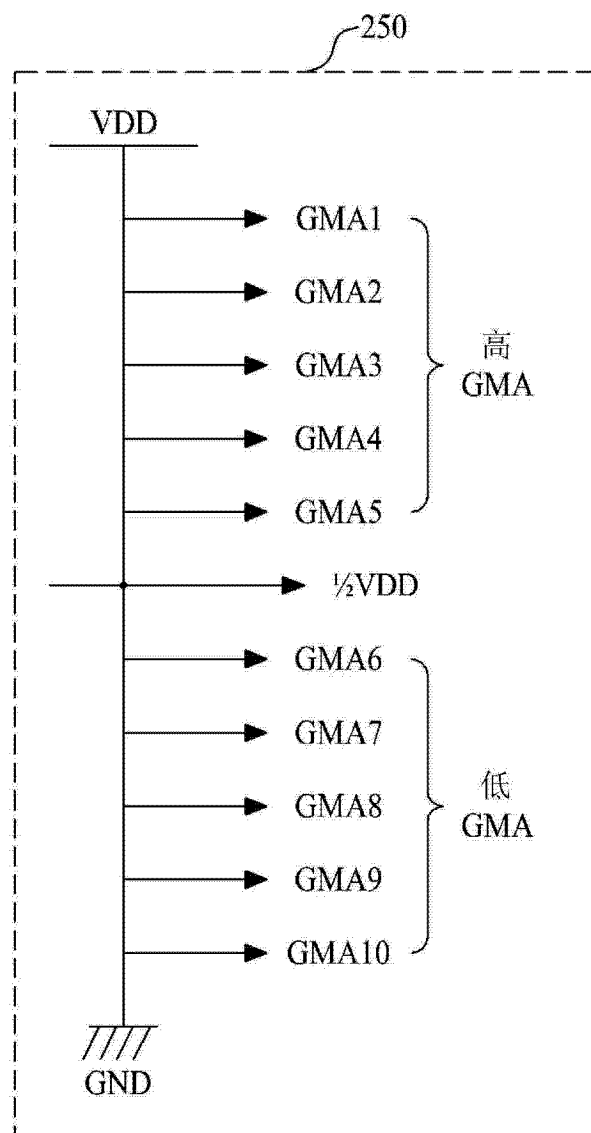


图 10

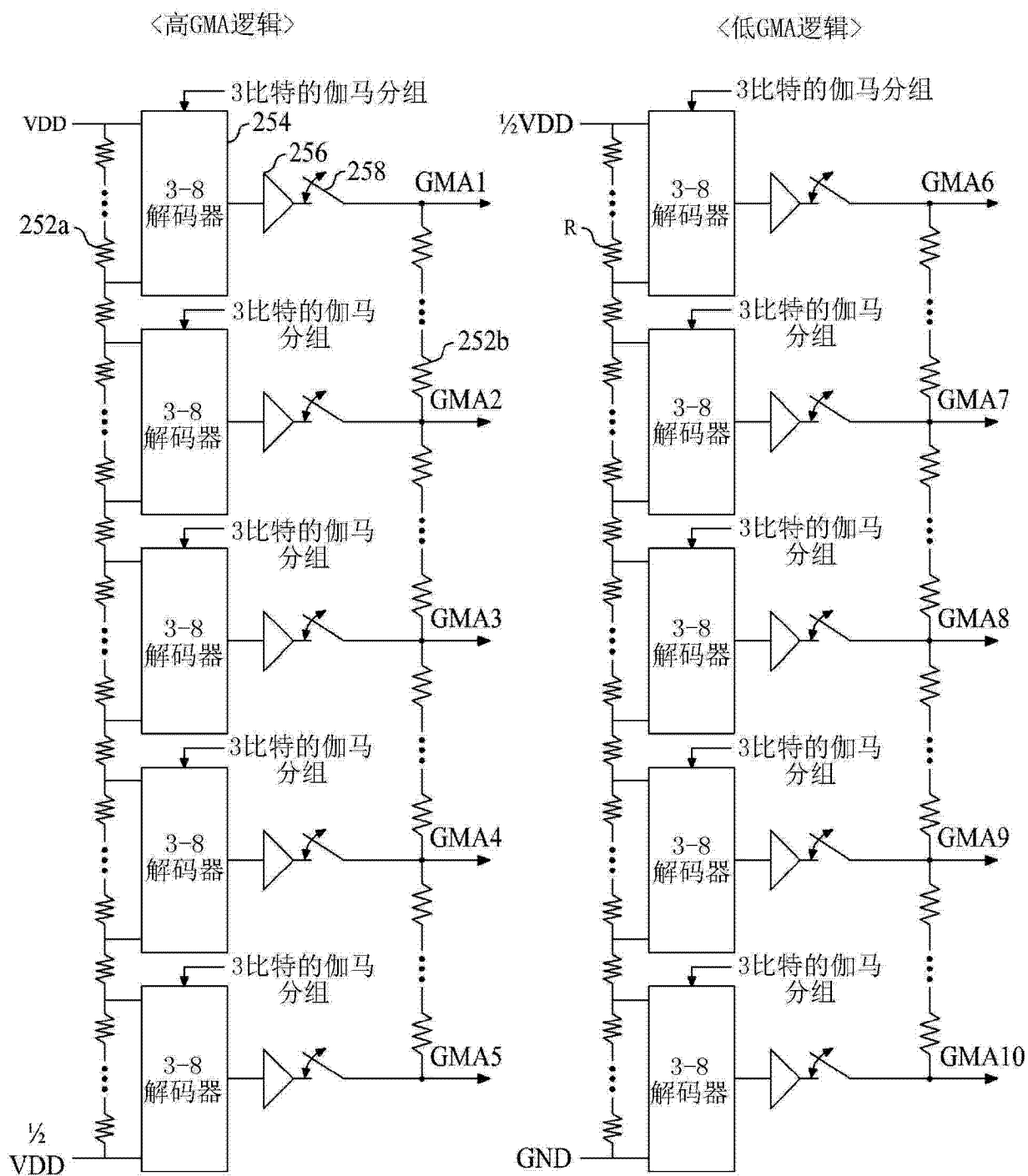


图 11

<高GMA范围>				<低GMA范围>			
	输入数据	G[2:0]	伽马		输入数据	G[2:0]	伽马
GMA1	7	1 1 1	0.00%	GMA6	7	1 1 1	100.00%
	6	1 1 0	0.50%		6	1 1 0	99.00%
	5	1 0 1	1.00%		5	1 0 1	98.00%
	4	1 0 0	1.60%		4	1 0 0	97.00%
	3	0 1 1	2.00%		3	0 1 1	96.00%
	2	0 1 0	2.50%		2	0 1 0	95.00%
	1	0 0 1	3.00%		1	0 0 1	94.00%
	0	0 0 0	3.50%		0	0 0 0	93.00%
GMA2	7	1 1 1	0.80%	GMA7	7	1 1 1	88.50%
	6	1 1 0	1.80%		6	1 1 0	86.50%
	5	1 0 1	2.80%		5	1 0 1	84.50%
	4	1 0 0	3.80%		4	1 0 0	82.50%
	3	0 1 1	4.80%		3	0 1 1	80.50%
	2	0 1 0	5.80%		2	0 1 0	78.50%
	1	0 0 1	6.80%		1	0 0 1	76.50%
	0	0 0 0	7.80%		0	0 0 0	74.50%
GMA3	7	1 1 1	35.50%	GMA8	7	1 1 1	63.00%
	6	1 1 0	39.00%		6	1 1 0	61.00%
	5	1 0 1	42.50%		5	1 0 1	59.00%
	4	1 0 0	46.00%		4	1 0 0	57.00%
	3	0 1 1	49.50%		3	0 1 1	55.00%
	2	0 1 0	53.00%		2	0 1 0	53.00%
	1	0 0 1	56.50%		1	0 0 1	51.00%
	0	0 0 0	60.00%		0	0 0 0	49.00%
GMA4	7	1 1 1	61.00%	GMA9	7	1 1 1	7.80%
	6	1 1 0	64.50%		6	1 1 0	6.80%
	5	1 0 1	68.00%		5	1 0 1	5.80%
	4	1 0 0	71.50%		4	1 0 0	4.80%
	3	0 1 1	75.00%		3	0 1 1	3.80%
	2	0 1 0	78.50%		2	0 1 0	2.80%
	1	0 0 1	82.00%		1	0 0 1	1.80%
	0	0 0 0	85.50%		0	0 0 0	0.80%
GMA5	7	1 1 1	79.00%	GMA10	7	1 1 1	3.50%
	6	1 1 0	82.00%		6	1 1 0	3.00%
	5	1 0 1	85.00%		5	1 0 1	2.50%
	4	1 0 0	88.00%		4	1 0 0	2.00%
	3	0 1 1	91.00%		3	0 1 1	1.50%
	2	0 1 0	94.00%		2	0 1 0	1.00%
	1	0 0 1	97.00%		1	0 0 1	0.50%
	0	0 0 0	100.00%		0	0 0 0	0.00%

图 12

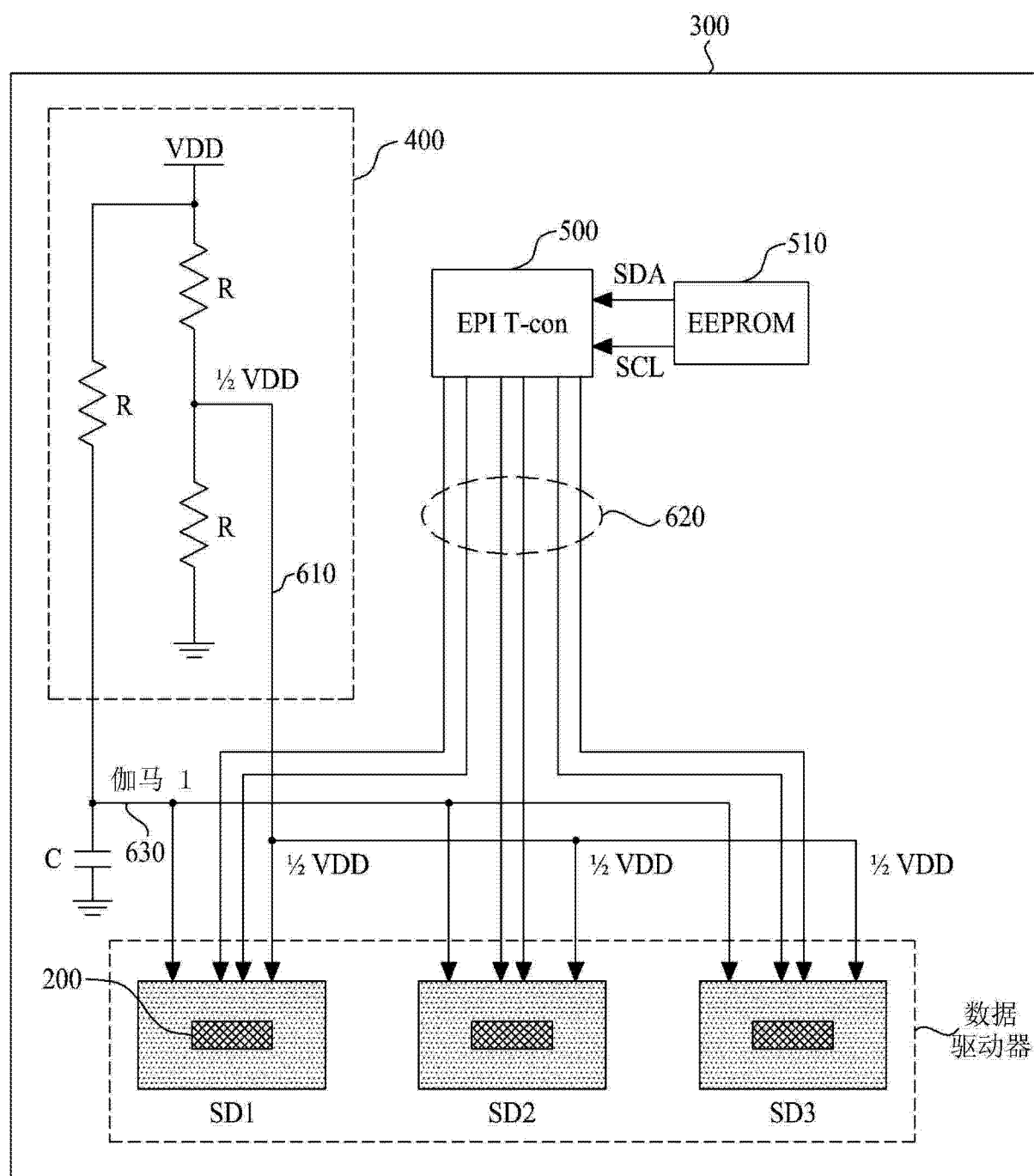


图 13

<CTR_START>

比特编号	名称	默认值	功能
0, 1	CK	HH	嵌入的时钟的高2比特
2 ~ 7	CTR_START	HL HL HL	指示下一分组是控制分组
8 ~ 11	GMA_DEC	-	G[0:3]: 针对GMA2的伽马解码器
12 ~ 15	GMA_DEC	-	G[4:7]: 针对GMA3的伽马解码器
16 ~ 19	GMA_DEC	-	G[8:11]: 针对GMA4的伽马解码器
20, 21	DMY	LL	嵌入的时钟的低2比特

<DATA_START>

比特编号	名称	默认值	功能
0, 1	CK	HH	嵌入的时钟的高2比特
2 ~ 7	DATA_START	HL HL HL	指示下一分组是控制分组
8 ~ 11	GMA_DEC	-	G[12:15]: 针对GMA7的伽马解码器
12 ~ 15	GMA_DEC	-	G[16:19]: 针对GMA8的伽马解码器
16 ~ 19	GMA_DEC	-	G[20:23]: 针对GMA9的伽马解码器
20, 21	DMY	LL	嵌入的时钟的低2比特

<CTR 1>

比特编号	名称	默认值	功能
0, 1	CK	HH	嵌入的时钟的高2比特
2 ~ 5	SOE_START	-	SOE脉冲的开始点的4比特
6 ~ 9	SOE_END	-	SOE脉冲的结束点的4比特
10, 11	GMA_DEC	-	G[24:25]: 针对GMA1的伽马解码器
12 ~ 14	GMA_DEC	-	G[26:28]: 针对GMA5的伽马解码器
15 ~ 17	GMA_DEC	-	G[29:31]: 针对GMA6的伽马解码器
18, 19	GMA_DEC	-	G[32:33]: 针对GMA10的伽马解码器
20, 21	DMY	LL	嵌入的时钟的低2比特

图 14

专利名称(译)	液晶显示设备及其驱动方法		
公开(公告)号	CN103050101B	公开(公告)日	2015-09-23
申请号	CN201210384132.X	申请日	2012-10-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	成洛真 韩相洙		
发明人	成洛真 韩相洙		
IPC分类号	G09G3/36		
CPC分类号	G09G2300/0426 G09G2320/0276 G09G3/3688 G09G3/3696 G09G1/005		
代理人(译)	刘久亮		
优先权	1020120101916 2012-09-14 KR 1020110103767 2011-10-11 KR		
其他公开文献	CN103050101A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种液晶显示设备及其驱动方法。该液晶显示设备包括多个数据驱动器IC、定时控制器、基准电压生成器和PCB。所述多个数据驱动器IC包括用于产生伽马电压的多个伽马电压生成器。所述定时控制器产生用于控制所述多个数据驱动器IC的EPI分组。所述基准电压生成器降低驱动电压，并且将经降低的驱动电压提供至所述多个数据驱动器IC。所述基准电压生成器、所述多个数据驱动器IC和所述定时控制器被安装在所述PCB上。在所述PCB上形成有将所述基准电压生成器和所述多个数据驱动器IC连接的第一传输线以及将所述定时控制器和所述多个数据驱动器IC连接的第二传输线。

