



(12)发明专利



(10)授权公告号 CN 104238205 B

(45)授权公告日 2019. 04. 30

(21)申请号 201410246494.1

(22)申请日 2014.06.05

(65)同一申请的已公布的文献号
申请公布号 CN 104238205 A

(43)申请公布日 2014.12.24

(30)优先权数据
2013-118550 2013.06.05 JP
2013-122849 2013.06.11 JP
2014-037205 2014.02.27 JP

(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川县厚木市

(72)发明人 久保田大介 洼田勇介

(74)专利代理机构 中国专利代理(香港)有限公
司 72001

代理人 何欣亭 王忠忠

(51)Int.Cl.

G02F 1/1343(2006.01)

G02F 1/1337(2006.01)

G02F 1/1339(2006.01)

(56)对比文件

US 2007252928 A1,2007.11.01,

US 2012113343 A1,2012.05.10,

CN 102156368 A,2011.08.17,

US 2011242073 A1,2011.10.06,

CN 102157564 A,2011.08.17,

CN 202126557 U,2012.01.25,

审查员 谭欣

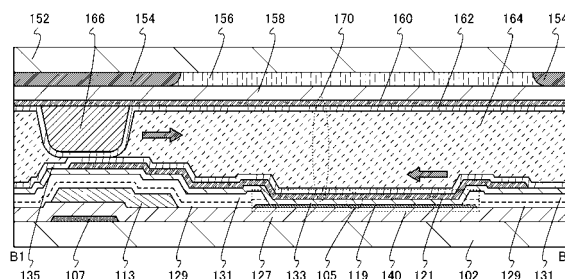
权利要求书3页 说明书27页 附图33页

(54)发明名称

显示装置及电子设备

(57)摘要

本发明提供一种取向不良被降低的显示装置。此外,本发明提供一种包括开口率高且能够增大电荷容量的电容元件的显示装置。此外,本发明提供一种包括开口率高且电荷容量大的电容元件且取向不良被降低的显示装置。本发明是一种在区划为扫描线、数据线以及电容线的区域中具有像素的显示装置,该像素包括:夹在对置电极与像素电极之间的液晶层;形成在液晶层中的间隔物;以及连接到像素电极的晶体管,该像素电极具有凹部,由间隔物及凹部控制液晶层的取向方向。



1. 一种包括配置为矩阵状的多个像素的显示装置,各像素包括:
具有透光性的导电层;
所述导电层上的像素电极,该像素电极具有凹部;
与所述像素电极对置的对置电极;
在所述像素电极与所述对置电极之间的液晶层;
在所述液晶层中且在所述像素电极与所述对置电极之间的间隔物;
电连接到所述像素电极的晶体管,所述晶体管包括氧化物半导体层中的沟道形成区;
所述氧化物半导体层上的第一绝缘层;以及
所述第一绝缘层上的第二绝缘层,
其中,所述第一绝缘层包括与所述导电层重叠的区域中的开口,
所述第一绝缘层覆盖所述导电层的边缘,
所述第二绝缘层在所述开口中与所述第一绝缘层的侧面和所述导电层接触,
所述凹部沿着所述开口被设置,
并且,所述液晶层中的取向由所述凹部及所述间隔物控制。
2. 根据权利要求1所述的显示装置,其中所述间隔物及所述凹部彼此不重叠。
3. 根据权利要求1所述的显示装置,还包括隔着所述液晶层彼此对置的一对取向膜。
4. 一种包括权利要求1所述的显示装置的电子设备。
5. 一种包括配置为矩阵状的多个像素的显示装置,各像素包括:
具有凹部的像素电极;
与所述像素电极对置的对置电极;
在所述像素电极与所述对置电极之间的液晶层;
在所述液晶层中且在所述像素电极与所述对置电极之间的间隔物;
电连接于所述像素电极的晶体管,该晶体管包括氧化物半导体层中的沟道形成区;
所述氧化物半导体层上的第一绝缘层;
所述第一绝缘层上的第二绝缘层;以及
电容元件,包括:
具有透光性的导电层;
所述第二绝缘层;以及
像素电极,
其中,所述第一绝缘层包括与所述导电层重叠的区域中的开口,
所述第一绝缘层覆盖所述导电层的边缘,
所述第二绝缘层在所述开口中与所述第一绝缘层的侧面和所述导电层接触,
所述凹部沿着所述开口被设置,
所述氧化物半导体层及所述导电层被设置在同一表面上且包括同一材料,
并且,所述液晶层中的取向由所述凹部及所述间隔物控制。
6. 根据权利要求5所述的显示装置,其中所述间隔物及所述凹部彼此不重叠。
7. 根据权利要求5所述的显示装置,还包括隔着所述液晶层彼此对置的一对取向膜。
8. 根据权利要求5所述的显示装置,还包括在一个像素与另一个像素之间的电容线,该电容线电连接于所述一个像素的所述电容元件及所述另一个像素的所述电容元件,

其中所述一个像素的所述导电层及所述另一个像素的所述导电层是同一导电层，并且所述同一导电层包括：

用作所述一个像素的所述电容元件的一个电极的第一区域；

与所述电容线重叠的第二区域；以及

用作所述另一个像素的所述电容元件的一个电极的第三区域，以及

其中所述第二区域在所述第一区域与所述第三区域之间。

9. 根据权利要求8所述的显示装置，其中所述一个像素的所述电容元件及所述另一个像素的所述电容元件相对所述电容线对称地被设置。

10. 一种包括权利要求5所述的显示装置的电子设备。

11. 一种显示装置，包括：

第一像素，包括：

第一像素电极；

第一对置电极；

在所述第一像素电极与所述第一对置电极之间的第一液晶层；

在所述第一液晶层中且在所述第一像素电极与所述第一对置电极之间的第一间隔物；

以及

电连接于所述第一像素电极的第一晶体管；

第二像素，包括：

第二像素电极；

第二对置电极；

在所述第二像素电极与所述第二对置电极之间的第二液晶层；

在所述第二液晶层中且在所述第二像素电极与所述第二对置电极之间的第二间隔物；

以及

电连接于所述第二像素电极的第二晶体管；

在所述第一像素与所述第二像素之间的电容线；以及

在所述第一晶体管及所述第二晶体管上的绝缘层，该绝缘层具有开口，

其中，所述第一像素电极及所述第二像素电极被设置在所述绝缘层上且与所述开口部分重叠，

所述第一像素电极包括沿着所述开口的第一凹部，

并且，所述第二像素电极包括沿着所述开口的第二凹部。

12. 根据权利要求11所述的显示装置，

其中所述第一间隔物与所述第一凹部彼此不重叠，

并且所述第二间隔物与所述第二凹部彼此不重叠。

13. 根据权利要求11所述的显示装置，还包括隔着所述第一液晶层及所述第二液晶层彼此对置的一对取向膜。

14. 根据权利要求11所述的显示装置，

其中所述第一液晶层中的取向由所述第一凹部及所述第一间隔物控制，

并且所述第二液晶层中的取向由所述第二凹部及所述第二间隔物控制。

15. 根据权利要求11所述的显示装置，

其中所述第一像素包括第一电容元件,该第一电容元件包括:

所述第一像素电极;以及

具有透光性的导电层,

所述第二像素包括第二电容元件,该第二电容元件包括:

所述第二像素电极;以及

具有透光性的导电层,

所述导电层包括与所述电容线重叠的第一区域,

并且所述开口包括与所述第一区域重叠的第二区域。

16. 根据权利要求15所述的显示装置,其中所述第一电容元件及所述第二电容元件相对所述电容线对称地被设置。

17. 根据权利要求15所述的显示装置,

其中所述第一晶体管及所述第二晶体管各包括氧化物半导体层中的沟道形成区,

并且所述氧化物半导体层及所述导电层被设置在同一表面上且包括同一材料。

18. 一种包括权利要求11所述的显示装置的电子设备。

显示装置及电子设备

技术领域

[0001] 本说明书等所公开的发明涉及一种显示装置及包括该显示装置的电子设备。

背景技术

[0002] 近年来,随着以智能手机为首的便携式信息终端的迅速普及,终端本身的高性能化也迅速进展。屏幕的大型化及高清晰化日趋增加,随着屏幕的清晰度的提高,显示装置的功耗受到重视。作为显示装置,例如典型为使用液晶元件的液晶显示装置。在液晶显示装置中,在行方向及列方向配置的像素内设置有:作为开关元件的晶体管;与该晶体管电连接的液晶元件;以及与该液晶元件并联连接的电容元件等。

[0003] 作为构成上述晶体管的半导体膜的半导体材料,通常使用非晶硅或多晶硅等硅半导体。

[0004] 另外,呈现半导体特性的金属氧化物(以下也称为氧化物半导体)也是能够用于晶体管的半导体膜的半导体材料。例如,已公开有一种使用氧化锌或In-Ga-Zn类氧化物半导体制造晶体管的技术(参照专利文献1及专利文献2)。

[0005] [专利文献1] 日本专利申请公开2007-123861号公报

[0006] [专利文献2] 日本专利申请公开2007-96055号公报。

[0007] 在显示装置中,若像素外围的台阶部等的凹凸较大,容易发生液晶层的取向不良。该取向不良例如容易沿着与晶体管连接的扫描线及数据线以及像素电极附近的台阶部的边缘发生。因此,需要由遮光膜(即黑矩阵,也被称为BM)覆盖能够用作显示区的像素的开口的一部分。因此,像素的开口率被降低,而使图像的显示品质降低。

[0008] 为了减少上述取向不良,通常使用有机树脂等对起因于晶体管等的台阶部等的凹凸进行平坦化处理。

[0009] 然而,当作为构成晶体管的半导体材料使用氧化物半导体时,由于若有机树脂所包含的杂质(典型为水分等)混入到该氧化物半导体中会给半导体特性带来不良影响,因此存在着采用尽可能地不使用有机树脂的结构制造显示装置的课题。

[0010] 另外,当使显示装置高清晰化时,一个像素尺寸变小,而将多个像素配置于显示装置。在高清晰度的显示装置中,例如,当作为液晶元件的取向控制进行通过摩擦处理的取向控制时,一个像素尺寸较小,由于需要对多个像素全部进行取向控制,因此存在着发生取向不良的概率变高而使显示装置的成品率下降的课题。

[0011] 另外,当在显示装置中设置有电容元件时,在该电容元件中,一对电极之间设置有介电膜,一对电极中的至少一个往往是由构成晶体管的栅电极、源电极或漏电极等的导电膜形成的。在施加电场的情况下,电容元件的电容值越大,能够将液晶元件的液晶分子的取向保持为固定的期间越长。在显示静态图像的显示装置中,能够延长该期间意味着能够降低改写图像数据的次数,由此可以期待减少功耗。

[0012] 为了增大电容元件的电荷容量,可以增大电容元件的占有面积,具体地可以增大一对电极彼此重叠的面积。但是,在上述显示装置中,当为了增大一对电极彼此重叠的面积

而增大导电膜的面积时,像素的开口率降低,而使图像显示质量下降。此外,当使显示装置高清晰化时,因为一个像素尺寸变小,所以难以增大电容元件的面积。

发明内容

[0013] 鉴于上述课题,本发明的一个方式的目的之一是提供一种取向不良被降低的显示装置。此外,本发明的一个方式的目的之一是提供一种包括开口率高且能够增大电荷容量的电容元件的显示装置。此外,本发明的一个方式的目的之一是提供一种包括开口率高且电荷容量大的电容元件且取向不良被降低的显示装置。

[0014] 本发明的一个方式是一种在区划为扫描线、数据线以及电容线的区域中具有像素的显示装置,该像素包括:夹在对置电极与像素电极之间的液晶层;形成在液晶层中的间隔物;以及连接到像素电极的晶体管,该像素电极具有凹部,由间隔物及凹部控制液晶层的取向方向。

[0015] 通过由间隔物及凹部控制液晶层的取向方向,可以以不进行摩擦处理的方式控制液晶层的取向。由于间隔物及凹部分别独立地形成在多个像素中,因此即使在将液晶显示装置高清晰化的情况下也可以减少各像素中的液晶层的取向不良。

[0016] 另外,通过将形成像素电极之前的基底膜(例如绝缘层)开口,并沿着该绝缘层的开口形成像素电极,可以在像素电极中形成上述凹部。

[0017] 注意,本发明的一个方式的制造显示装置的制造方法也属于本发明的一个方式。

[0018] 根据本发明的一个方式,可以提供一种取向不良被降低的显示装置。此外,可以提供一种包括开口率高且能够增大电荷容量的电容元件的显示装置等。此外,可以提供一种包括开口率高且电荷容量大的电容元件且取向不良被降低的显示装置。

附图说明

[0019] 图1是说明本发明的一个方式的显示装置的像素外围的俯视图;

[0020] 图2是说明本发明的一个方式的显示装置的像素的截面图;

[0021] 图3是说明本发明的一个方式的显示装置的像素的截面图;

[0022] 图4是说明本发明的一个方式的显示装置的像素的截面图;

[0023] 图5A至图5C是说明本发明的一个方式的显示装置的制造方法的截面图;

[0024] 图6A和图6B是说明本发明的一个方式的显示装置的制造方法的截面图;

[0025] 图7A和图7B是说明本发明的一个方式的显示装置的制造方法的截面图;

[0026] 图8A和图8B是说明本发明的一个方式的显示装置的制造方法的截面图;

[0027] 图9是说明本发明的一个方式的显示装置的像素外围的俯视图;

[0028] 图10是说明本发明的一个方式的显示装置的像素外围的俯视图;

[0029] 图11是说明本发明的一个方式的显示装置的像素外围的俯视图;

[0030] 图12A和图12B是说明显示装置的框图及电路图;

[0031] 图13是说明显示模组的图;

[0032] 图14A至14H是说明电子设备的图;

[0033] 图15是说明用于实施例的计算的显示装置的结构截面图;

[0034] 图16是说明透射率的计算结果的图;

- [0035] 图17是说明透射率的计算结果的图；
- [0036] 图18A至图18C是说明晶体管的一个方式的俯视图及截面图；
- [0037] 图19A至图19C是说明晶体管的一个方式的俯视图及截面图；
- [0038] 图20A和图20B是说明本发明的一个方式的显示装置的驱动电路的一个例子的电路图和俯视图；
- [0039] 图21A和图21B是说明本发明的一个方式的显示装置的驱动电路的一个例子的截面图；
- [0040] 图22是说明实施例的显示装置的显示的图；
- [0041] 图23A和图23B是说明实施例的像素的观察结果的图；
- [0042] 图24是说明电阻率的温度依赖性的图。

具体实施方式

[0043] 下面,参照附图对本发明的实施方式进行详细说明。但是,本发明不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解一个事实,就是其方式及其详细内容可以被变换为各种各样的形式。此外,本发明不应该被解释为仅限于以下所示的实施方式的记载内容中。

[0044] 在以下说明的本发明的结构中,在不同附图之间共同使用同一符号表示同一部分或具有同样功能的部分并省略其重复说明。另外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加符号。

[0045] 在本说明书所说明的各附图中,各结构的大小、膜的厚度或区域为容易理解而有时被夸大。因此,本发明并不一定限定于附图中的比例。

[0046] 在本说明书等中,为了方便起见,附加了第一、第二等序数词,而其并不表示工序顺序或叠层顺序。因此,例如可以将“第一”适当地替换为“第二”或“第三”等来进行说明。此外,本说明书等中所记载的序数词与用于特定本发明的一个方式的序数词有时不一致。

[0047] 另外,本发明中的“源极”及“漏极”的功能在电路工作的电流方向变化的情况等下,有时互相调换。因此,在本说明书中,“源极”及“漏极”可以被互相调换。

[0048] 实施方式1

[0049] 在本实施方式中,参照图1至图11对本发明的一个方式的显示装置进行说明。

[0050] 〈显示装置的结构例子〉

[0051] 图1示出显示装置中的像素外围的俯视图。注意,在图1所示的俯视图中,为了避免附图的繁杂而省略构成要素的一部分。

[0052] 在图1中,在区划为扫描线107、数据线109以及电容线115的区域中包括像素101。此外,扫描线107在与数据线109大致正交的方向(图中左右方向)上延伸地设置。数据线109在与扫描线107大致正交的方向(图中上下方向)上延伸地设置。电容线115在大致平行于数据线109的方向延伸地设置。

[0053] 晶体管103形成在与扫描线107重叠的位置,并设置在扫描线107与数据线109交错的区域中。晶体管103至少包括具有沟道形成区的半导体层111、栅电极、栅极绝缘层(图1中未图示)、源电极以及漏电极。

[0054] 另外,扫描线107也被用作晶体管103的栅电极,数据线109也被用作晶体管103的

源电极。导电层113被用作晶体管103的漏电极,通过开口117与像素电极121电连接。此外,下文在指晶体管103的栅电极时有时会记载为扫描线107,在指晶体管103的源电极时有时会记载为数据线109。

[0055] 电容元件105由如下层构成:比晶体管103所包括的半导体层111的导电率高且具有透光性的半导体层119;具有透光性的像素电极121;以及作为介电层而包括在晶体管103中且具有透光性的绝缘层(图1中未图示)。也就是说,电容元件105具有透光性。此外,以接触于半导体层119上的方式设置有电容线115,并且电容线115与半导体层119电连接。此外,半导体层119上形成有开口140。开口140通过对设置在半导体层119上的绝缘层(图1中未图示)进行加工来形成。此外,以覆盖开口140的一部分的方式形成有像素电极121,所以像素电极121具有凹部。

[0056] 另外,像素101内设置有间隔物166,可以通过间隔物166及上述像素电极121的凹部控制液晶层的取向。

[0057] 另外,在图1中例示出两个像素,像素101和相邻于像素101的像素(图1中的像素101左侧的像素)共同使用电容线115。此外,电容元件105在像素101和相邻于像素101的像素中以电容线115为中心左右对称地配置。通过采用这种配置方法,能够减少电容线115的数量,而可以提高高清晰的显示装置的开口率,所以是优选的。

[0058] 在此,作为像素101的截面形状,图2示出图1所示的点划线A1-A2间的截面图,图3示出点划线B1-B2间的截面图,图4示出点划线C1-C2间的截面图。

[0059] 图2所示的显示装置的截面结构为如下。

[0060] 衬底102上设置有用晶体管103的栅电极的扫描线107。扫描线107上设置有用晶体管103的栅极绝缘层的绝缘层127。在绝缘层127上的与扫描线107重叠的位置上设置有半导体层111,半导体层111被用作晶体管103的沟道形成区。此外,绝缘层127上设置有与半导体层111在同一工序中形成的半导体层119。在半导体层111及绝缘层127上设置有用晶体管103的源电极的数据线109及用作晶体管103的漏电极的导电层113。数据线109、半导体层111、导电层113、半导体层119以及绝缘层127上设置有用晶体管103的保护绝缘层的绝缘层129及绝缘层131。绝缘层129及绝缘层131中设置有到达半导体层119的开口140,并且绝缘层129及绝缘层131的端部的一部分以覆盖半导体层119的端部的方式形成。以覆盖绝缘层131及半导体层119的方式形成有绝缘层133。绝缘层129、绝缘层131以及绝缘层133中设置有到达导电层113的开口117,开口117及绝缘层133上设置有像素电极121。绝缘层133及像素电极121上设置有取向膜135。

[0061] 图3所示的显示装置的截面结构为如下。

[0062] 衬底102上设置有扫描线107。扫描线107上设置有绝缘层127。绝缘层127上设置有半导体层119。绝缘层127上的与扫描线107重叠的位置上设置有导电层113。绝缘层127、半导体层119以及导电层113上设置有绝缘层129及绝缘层131。绝缘层129及绝缘层131中设置有到达半导体层119的开口140,并且绝缘层129及绝缘层131的一部分端部以覆盖半导体层119的端部的方式形成。以覆盖半导体层119、绝缘层131以及开口140的方式设置有绝缘层133。绝缘层133上设置有像素电极121。绝缘层133及像素电极121上设置有取向膜135。

[0063] 图4所示的显示装置的截面结构为如下。

[0064] 衬底102上设置有绝缘层127。绝缘层127上设置有半导体层119。半导体层119上设

置有电容线115。电容线115及半导体层119上设置有绝缘层133。绝缘层133上设置有像素电极121及像素电极121d。绝缘层133、像素电极121以及像素电极121d上设置有取向膜135。

[0065] 像素电极121d被用作与像素101相邻的像素(图1中的像素101的左侧的像素)的像素电极。如图4所示,在像素101和相邻于像素101的像素中可以共同使用半导体层119。换言之,半导体层119的至少一部分连结于相邻于像素101的像素。注意,虽然在像素101和相邻于像素101的像素中共同使用半导体层119及开口140,但是因为像素电极121与像素电极121d是分开的,所以在相邻于像素101的像素中由半导体层119、绝缘层133以及像素电极121d形成电容元件105d。

[0066] 另外,在图2至图4所示的显示装置中,以与衬底102对置的方式设置有衬底152。在衬底102与衬底152之间夹有液晶层164。在衬底152的下方形成有遮光层154、着色层156、绝缘层158、导电层160以及取向膜162。形成有着色层156的区域成为像素101中的开口,而被用作显示区域。

[0067] 另外,在图2至图4所示的显示装置中,由像素电极121、取向膜135、液晶层164、取向膜162以及导电层160构成液晶元件170。换言之,由像素电极121及导电层160夹着液晶层164。此外,导电层160被用作液晶元件170的对置电极。通过对像素电极121及导电层160施加电压,液晶元件170利用液晶层164的光学调制作用控制光的透射或非透射。注意,不一定必须设置取向膜135及取向膜162,可以根据用于液晶层164的材料而不设置取向膜135及取向膜162。

[0068] 另外,在图2至图4所示的显示装置中,由半导体层119、绝缘层133以及像素电极121形成电容元件105。半导体层119被用作电容元件105的一个电极,还可以被用作相邻的电容元件的一个电极。像素电极121被用作电容元件105的另一个电极,与相邻的电容元件的另一个电极分开地形成。

[0069] 另外,在图2及图3所示的显示装置中,由于像素电极121以覆盖设置有开口140的绝缘层129及绝缘层131的形状的方式形成在绝缘层133上,因此像素电极121具有凹部。

[0070] 在图2及图3所示的显示装置中,以与导电层160接触的方式形成有间隔物166。间隔物166用来控制液晶层164的膜厚度(盒厚:cell gap),并且具有控制液晶层164的取向的功能。

[0071] 在此,参照图3对控制液晶层164的取向的方法进行说明。

[0072] 图3所示的箭头示意性地示出液晶层164受到的起因于台阶部的取向的影响。具体而言,液晶层164受到起因于间隔物166的台阶及起因于像素电极121所具有的凹部的台阶的影响。

[0073] 如上所述,本发明的一个方式的显示装置可以不另行形成肋等突起物而利用间隔物166的台阶及像素电极121所具有的凹部的台阶来控制液晶层164的取向。此外,间隔物166及像素电极121所具有的凹部由于分别独立地形成在显示装置所包括的多个像素中,因此不进行摩擦处理而在各像素中分别控制液晶层164的取向。因此,可以提供一种取向不良被降低的优良的显示装置。

[0074] 另外,为了降低台阶的影响,本实施方式所示的显示装置的像素101不使用平坦化膜。因此,作为晶体管的半导体层,例如当使用氧化物半导体层时,也因为有可能混入到该氧化物半导体层的杂质(例如,有机树脂所包含的水等)被减少,所以可以提供可靠性高的

显示装置。因此,通过使用本发明的一个方式的显示装置,可以使用取向不良被降低且可靠性高的晶体管,所以可以提供一种显示品质高的显示装置。

[0075] 在下面所示的显示装置的制造方法中详细说明图1至图4所示的本发明的一个方式的显示装置的其他构成要素。

[0076] 〈显示装置的制造方法〉

[0077] 参照图5A至图7B,下面说明图1至图4所示的显示装置的制造方法。此外,在图5A至图7B中,以图2所示的显示装置的截面结构为例进行说明。

[0078] 首先,准备衬底102。作为衬底102,使用铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等玻璃材料。从量产的观点来看,作为衬底102优选使用第八代(2160mm×2460mm)、第九代(2400mm×2800mm或2450mm×3050mm)或第十代(2950mm×3400mm)等的母体玻璃。因为在处理温度高且处理时间长的情况下母体玻璃大幅度收缩,所以当使用母体玻璃进行量产时,优选的是,在600℃以下,优选在450℃以下,更优选在350℃以下的温度下进行制造工序中的加热处理。

[0079] 接着,在衬底102上形成导电层,通过对该导电层以残留所希望的区域的方式进行加工,形成扫描线107。然后,在衬底102及扫描线107上形成绝缘层127。然后,在绝缘层127上形成半导体层,通过对该导电层以残留所希望的区域的方式进行加工,形成半导体层111及半导体层119(参照图5A)。

[0080] 作为用于扫描线107的材料,可以使用选自铝、铬、铜、钽、钛、钼、钨中的金属元素、以上述金属元素为成分的合金或组合上述金属元素的合金等而形成。此外,用于扫描线107的材料既可以是单层结构又可以是两层以上的叠层结构。例如,可以举出在铝膜上层叠钛膜的两层结构、在氮化钛膜上层叠钛膜的两层结构、在氮化钛膜上层叠钨膜的两层结构、在氮化钽膜或氮化钨膜上层叠钨膜的两层结构以及依次层叠钛膜、该钛膜上的铝膜和其上的钛膜的三层结构等。此外,也可以使用组合铝与选自钛、钽、钨、钼、铬、钽、钨中的元素的膜、组合铝与上述元素中的多种的合金膜或氮化膜。扫描线107例如可以利用溅射法形成。

[0081] 作为绝缘层127,例如使用氮氧化硅膜、氮化硅膜、氧化铝膜等即可,使用PE-CVD装置以叠层或单层设置。在作为绝缘层127采用叠层结构的情况下,优选的是,使用缺陷少的氮化硅膜作为第一氮化硅膜,在第一氮化硅膜上设置氢释放量及氨释放量少的氮化硅膜作为第二氮化硅膜。其结果是,可以抑制包含在绝缘层127中的氢及氮移动或扩散到半导体层111及半导体层119。

[0082] 绝缘层127例如可以使用氧化硅膜、氧氮化硅膜等,并且使用PE-CVD装置以叠层或单层设置。

[0083] 作为绝缘层127,例如可以采用如下叠层结构:形成厚度为400nm的氮化硅膜,然后形成厚度为50nm的氧氮化硅膜。当在真空中连续地形成该氮化硅膜和该氧氮化硅膜时,可以抑制杂质的混入,所以是优选的。此外,在与扫描线107重叠的位置上的绝缘层127被用作晶体管103的栅极绝缘层。注意,氮氧化硅是指氮含量比氧含量多的绝缘材料,而氧氮化硅是指氧含量比氮含量多的绝缘材料。

[0084] 绝缘层127被用作晶体管103的栅极绝缘层。通过作为栅极绝缘层采用上述结构,例如可以获得如下效果。与氧化硅膜相比,氮化硅膜的相对介电常数高,为了得到相等的静电容量所需要的厚度大,所以可以增加栅极绝缘层的物理厚度。因此,可以抑制晶体管103

的绝缘耐压的下降。再者,通过提高绝缘耐压,可以抑制晶体管103的静电破坏。

[0085] 半导体层111及半导体层119优选使用氧化物半导体,作为该氧化物半导体优选包括至少含有铟(In)、锌(Zn)和M(M表示Al、Ga、Ge、Y、Zr、Sn、La、Ce或Hf等元素)的以In-M-Zn氧化物表示的膜。或者,优选包含In及Zn的双方。为了减小使用该氧化物半导体的晶体管的电特性的偏差,氧化物半导体优选除了In和/或Zn之外还含有稳定剂(stabilizer)。

[0086] 作为稳定剂,可以举出镓(Ga)、锡(Sn)、铪(Hf)、铝(Al)或锆(Zr)等。另外,作为其他稳定剂,可以举出镧系元素的镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、镱(Lu)等。

[0087] 作为构成半导体层111及半导体层119的氧化物半导体,例如可以使用In-Ga-Zn类氧化物、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物、In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、In-Hf-Al-Zn类氧化物。

[0088] 注意,在此,In-Ga-Zn类氧化物是指作为主要成分具有In、Ga和Zn的氧化物,对In、Ga、Zn的比率没有限制。另外,也可以包含In、Ga、Zn以外的金属元素。

[0089] 作为半导体层111及半导体层119的成膜方法,可以适当地利用溅射法、MBE(Molecular Beam Epitaxy:分子束外延)法、CVD(Chemical Vapor Deposition:化学气相沉积)法、脉冲激光沉积(Pulsed Laser Deposition:PLD)法、ALD(Atomic Layer Deposition:原子层沉积)法等。

[0090] 作为半导体层111及半导体层119,当形成氧化物半导体膜时,优选尽可能地降低膜中的氢浓度。为了降低氢浓度,例如在利用溅射法形成膜的情况下,不仅对成膜室进行高真空排气而且还需要进行溅射气体的高度纯化。通过作为用作溅射气体的氧气体或氩气体使用高度纯化到露点为-40℃以下,优选为-80℃以下,更优选为-100℃以下,进一步优选为-120℃以下的气体,可以尽量防止水分等被引入到氧化物半导体膜中。

[0091] 另外,为了去除残留在成膜室内的水分,优选使用吸附型真空泵,例如低温泵、离子泵、钛升华泵。此外,也可以使用具备冷阱的涡轮泵。由于低温泵对如氢分子、水(H₂O)等包含氢原子的化合物、包含碳原子的化合物等进行排气的能力较高,所以可以降低在利用低温泵进行了排气的成膜室中形成的膜所包含的杂质浓度。

[0092] 另外,作为半导体层111及半导体层119,在通过溅射法形成氧化物半导体膜的情况下,用于成膜的金属氧化物靶材的相对密度(填充率)为90%以上且100%以下,优选为95%以上且100%以下。通过使用相对密度高的金属氧化物靶材,可以形成致密的膜。

[0093] 另外,为了降低有可能包含在氧化物半导体膜中的杂质的浓度,在将衬底102保持为高温的状态下作为半导体层111及半导体层119形成氧化物半导体膜也是有效的。将加热衬底102的温度设定为150℃以上且450℃以下,优选将衬底温度设定为200℃以上且350℃以下即可。

[0094] 接着,优选进行第一热处理。第一热处理可以在250℃以上且650℃以下、优选为300℃以上且500℃以下的温度下,在惰性气体气氛中、在含有10 ppm以上的氧化气体的气

氛中或者在减压状态下执行。另外,第一热处理可以按照以下的方式执行:在惰性气体气氛中执行热处理之后,在含有10 ppm以上的氧化气体的气氛中执行第一热处理以便补偿脱离的氧。通过第一热处理,可以提高用于半导体层111及半导体119的氧化物半导体的结晶度,并且从绝缘层127、半导体层111及半导体层119中去除氢或水等杂质。第一热处理可以在半导体层111及半导体层119被加工成岛状之前执行。

[0095] 接着,在绝缘层127、半导体层111以及半导体层119上形成导电膜,通过对该导电膜以残留所希望的区域的方式进行加工,形成数据线109及导电层113。注意,晶体管103在这阶段形成(参照图5B)。

[0096] 另外,在附图中,虽然未图示,但是图1及图4所示的电容线115可以在形成数据线109及导电层113的同时形成。

[0097] 作为能够用于数据线109及导电层113的导电膜的材料,可以使用如下材料并以单层或叠层形成:由铝、钛、铬、镍、铜、钇、锆、钼、银、钽或钨构成的单质金属或以上述金属为主要成分的合金。例如,可以举出如下结构:在铝膜上层叠钛膜的两层结构;在钨膜上层叠钛膜的两层结构;在铜-镁-铝合金膜上层叠铜膜的两层结构;在钛膜或氮化钛膜上层叠铝膜或铜膜,在其上还形成钛膜或氮化钛膜的三层结构;以及在钼膜或氮化钼膜上层叠铝膜或铜膜,在其上还形成钼膜或氮化钼膜的三层结构等。此外,也可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。导电膜例如可以利用溅射法形成。

[0098] 接着,在绝缘层127、半导体层111、半导体层119、数据线109以及导电层113上形成绝缘层129及绝缘层131(参照图5C)。

[0099] 作为绝缘层129及绝缘层131可以使用含有氧的无机绝缘材料,以便提高与用作半导体层111的氧化物半导体之间的界面的特性。绝缘层129及绝缘层131能够例如利用PE-CVD法来形成。

[0100] 可以将绝缘层129的厚度设定为5nm以上且150nm以下,优选为5nm以上且50nm以下,更优选为10nm以上且30nm以下。可以将绝缘层131的厚度设定为30nm以上且500nm以下,优选为150nm以上且400nm以下。

[0101] 另外,因为绝缘层129及绝缘层131可以使用同种材料的绝缘膜,所以有时无法明确地确认到绝缘层129与绝缘层131之间的界面。因此,在本实施方式中,以虚线图示出绝缘层129与绝缘层131之间的界面。注意,在本实施方式中,虽然说明了绝缘层129与绝缘层131双层结构,但是不局限于此,例如,也可以采用绝缘层129的单层结构、绝缘层131的单层结构或三层以上的叠层结构。

[0102] 接着,通过对绝缘层129及绝缘层131以残留所希望的区域的方式进行加工,形成开口140。(参照图6A)。

[0103] 注意,以至少使半导体层119露出的方式形成开口140。在本实施方式中,通过开口140使半导体层119露出。作为开口140的形成方法,例如可以利用干蚀刻法。注意,作为开口140的形成方法,不局限于此而可以采用湿蚀刻法或组合干蚀刻法与湿蚀刻法的形成方法。

[0104] 例如,作为开口140的形成方法,当利用干蚀刻法作为半导体层119使用氧化物半导体膜时,有时在该氧化物半导体膜中形成氧缺陷。

[0105] 注意,将在氧化物半导体膜中形成氧缺陷的元素作为杂质元素进行说明。作为杂质元素的典型例子,有氢、硼、碳、氮、氟、铝、硅、磷、氯以及稀有气体元素等。作为稀有气体

元素的典型例子,有氢、氦、氩、氪以及氙等。

[0106] 接着,以覆盖绝缘层131、半导体层119以及开口140的方式形成绝缘层133。另外,绝缘膜133具有沿着开口140的凹部(参照图6B)。

[0107] 绝缘层133是使用能够防止诸如水分、碱金属或碱土金属等来自外部的杂质扩散到氧化物半导体层中的材料来形成的膜,并且其中含有氢。因此,当绝缘层133的氢扩散到半导体层119时,在半导体层119中氢与氧键合或氢与氧缺陷键合而产生为载流子的电子。其结果是,半导体层119成为导电性增高且具有透光性的导电层。注意,在本实施方式中,改变在半导体层119的导电性增高之前及之后的阴影来进行图示。

[0108] 下面对被用作半导体层119的导电性高的氧化物半导体膜进行说明。

[0109] 〈导电性高的氧化物半导体膜〉

[0110] 当对形成有氧缺陷的氧化物半导体添加氢时,氢进入氧缺陷的位点而在传导带附近形成施主能级。其结果是,氧化物半导体的导电性增高,而成为导电体。可以将成为导电体的氧化物半导体称为氧化物导电体。一般而言,由于氧化物半导体的能隙大,因此对可见光具有透光性。另一方面,氧化物导电体是在传导带附近具有施主能级的氧化物半导体。因此,起因于该施主能级的吸收的影响小,而对可见光具有与氧化物半导体膜相同程度的透光性。

[0111] 在此,参照图24说明使用氧化物半导体形成的膜(以下称为氧化物半导体膜(OS))及使用氧化物导电体形成的膜(以下称为氧化物导电体膜(OC))的各自电阻率的温度依赖性。在图24中,横轴示出测定温度,纵轴示出电阻率。此外,圆圈示出氧化物半导体膜(OS)的测定结果,方块示出氧化物导电体膜(OC)的测定结果。

[0112] 以如下方法制造包含氧化物半导体膜(OS)的样品:在玻璃衬底上,通过使用原子个数比为In:Ga:Zn=1:1:1.2的溅射靶材的溅射法形成厚度为35nm的In-Ga-Zn氧化物膜,在其上通过使用原子个数比为In:Ga:Zn=1:4:5的溅射靶材的溅射法形成厚度为20nm的In-Ga-Zn氧化物膜,在450℃的氮气氛下进行热处理之后,在450℃的氮及氧的混合气体气氛下进行热处理,并且在氧化物膜上利用等离子体CVD法形成氮化硅膜。

[0113] 此外,以如下方法制造包含氧化物导电体膜(OC)的样品:在玻璃衬底上,通过使用原子个数比为In:Ga:Zn=1:1:1的溅射靶材的溅射法形成厚度为100nm的In-Ga-Zn氧化物膜,在450℃的氮气氛下进行热处理之后,在450℃的氮及氧的混合气体气氛下进行热处理,并且在氧化物膜上利用等离子体CVD法形成氮化硅膜。

[0114] 从图24可知,氧化物导电体膜(OC)的电阻率的温度依赖性低于氧化物半导体膜(OS)的电阻率的温度依赖性。典型的是,80K以上且290K以下的氧化物导电体膜(OC)的电阻率的变化率为低于 $\pm 20\%$ 。或者,150K以上且250K以下的电阻率的变化率为低于 $\pm 10\%$ 。也就是说,氧化物导电体是简并半导体,可以推测其传导带边缘能级与费米能级一致或大致一致。因此,可以将氧化物导电体膜用作电容元件的一个电极。

[0115] 在本实施方式中,例示出从与半导体层119接触地形成的绝缘层133引入氢的方法,但是并不局限于该方法。例如,可以在用作晶体管103的沟道的半导体层111上设置掩模,并且对没有被该掩模覆盖的区域引入氢。例如,可以利用离子掺杂装置等来将氢引入到半导体层119内。

[0116] 作为绝缘层133的一个例子,可以使用厚度为150nm以上且400nm以下的氮化硅膜、

氮化硅膜等。在本实施方式中,作为绝缘层133,使用厚度为150nm的氮化硅膜。

[0117] 另外,为了提高阻挡性,优选在高温下形成上述氮化硅膜,例如优选在衬底温度为100℃以上且衬底的应变点的温度以下,更优选在300℃以上且400℃以下的温度下加热形成。当在高温下形成上述氮化硅膜时,有时会发生氧从用作半导体层111的氧化物半导体中脱离并且载流子浓度增加的现象,因此采用不会发生该现象的温度。

[0118] 接着,通过对绝缘层129、绝缘层131及绝缘层133以残留所希望的区域的方式进行加工,形成开口117(参照图7A)。

[0119] 以使导电层113露出的方式形成开口117。作为开口117的形成方法,例如可以利用干蚀刻法。注意,作为开口117的形成方法,不局限于此而可以采用湿蚀刻法或组合干蚀刻法与湿蚀刻法的形成方法。

[0120] 接着,以覆盖开口117的方式在绝缘层133上形成导电层,对该导电层以残留所希望的区域的方式进行加工,形成像素电极121。此外,电容元件105在此阶段形成。此外,像素电极121沿着通过开口140形成的绝缘层129及绝缘层131的凹部在绝缘层133上形成。因此,像素电极121具有凹部(参照图7B)。

[0121] 作为能够用于像素电极121的导电层,可以使用具有透光性的导电材料诸如包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物(下面表示为ITO)、铟锌氧化物、添加有氧化硅的铟锡氧化物等。此外,能够用于像素电极121的导电层例如可以利用溅射法形成。

[0122] 电容元件105的一个电极是与用于晶体管103的半导体层111形成在同一表面上的半导体层119,半导体层119是有透光性的半导体膜。此外,电容元件105的介电膜是设置在晶体管103的半导体层111的上方的具有透光性的绝缘层133。此外,电容元件105的另一个电极是电连接于晶体管103的具有透光性的像素电极121。如上所述,电容元件105可以与晶体管103形成在同一表面上,也就是说可以在同一工序中形成。

[0123] 因此,因为电容元件105具有透光性,所以可以在像素101内的形成有晶体管103的区域以外的区域大面积地形成电容元件105。因此,根据本发明的一个方式,可以得到开口率被提高且电荷容量被增大的显示装置。此外,通过提高开口率可以得到显示品质优良的显示装置。

[0124] 通过上述工序可以形成衬底102上的晶体管103及电容元件105。

[0125] 接着,下面说明在与衬底102对置地设置的衬底152上形成的结构。

[0126] 首先,准备衬底152。作为衬底152可以援用衬底102的材料。接着,在衬底152上形成遮光层154、着色层156及绝缘层158(参照图8A)。

[0127] 作为遮光层154,优选具有遮蔽在特定波长区域内的光的功能,并且能够使用金属膜或包含黑色颜料等的有机绝缘膜等。作为着色层156,优选是使在特定波长区域内的光透射的着色层,例如,能够使用使在红色波长范围内的光透射的红色(R)滤色器、使在绿色波长范围内的光透射的绿色(G)滤色器、使在蓝色波长范围内的光透射的蓝色(B)滤色器等。在所希望的位置上使用各种材料并利用印刷法、喷墨法、使用光刻技术的蚀刻法等分别形成遮光层154及着色层156。

[0128] 作为绝缘层158,可以使用丙烯酸类树脂等有机绝缘膜。通过形成绝缘层158,例如可以抑制着色层156中所包含的杂质等扩散到液晶层164一侧。注意,绝缘层158并不一定必

须形成,也可以采用不形成绝缘层158的结构。

[0129] 接着,在绝缘层158上形成导电层160。然后,在导电层160上的所希望的区域中形成间隔物166(参照图8B)。

[0130] 作为导电层160,可以援用能够用于像素电极121的材料。

[0131] 间隔物166是通过选择性地蚀刻而获得的柱状间隔物,并且它是为了控制液晶层164的厚度(盒厚(cell gap))而设置的。例如,作为间隔物166,优选将柱状的间隔物形成为圆形、椭圆形、三角形、四角形或五角以上的多角形。此外,作为间隔物166,例如可以使用丙烯酸类树脂、聚酰亚胺类树脂等有机材料,或者氧化硅膜、氧氮化硅膜、氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜等无机材料来形成。此外,间隔物166的厚度(也成为高度)为 $0.5\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下,优选为 $1.0\mu\text{m}$ 以上且 $4\mu\text{m}$ 以下。

[0132] 另外,在本发明的一个方式中,由间隔物166控制液晶层164的取向方向,所以优选的是,在图8A和图8B所示的截面图中,间隔物166的锥形角 d 为 45° 以上且低于 90° ,更优选为 60° 以上且 85° 以下。注意,当间隔物166包括多个锥形角 d 时,至少一个锥形角 d 在上述数值的范围内即可。

[0133] 通过上述工序,可以形成衬底152上的结构。

[0134] 接着,在形成在衬底102上的绝缘层133及像素电极121上形成取向膜135。此外,与形成在衬底152上的导电层160及间隔物166接触的方式形成取向膜162。取向膜135及取向膜162可以利用涂敷法等形成。然后,在衬底102和衬底152之间形成液晶层164。作为液晶层164的形成方法,可以使用分配器法(滴落法)或在将衬底102与衬底152贴合之后利用毛细现象注入液晶的注入法。

[0135] 通过上述工序,可以制造图2所示的显示装置。

[0136] 〈变形例子〉

[0137] 在此,参照图9至图11对图1所示的显示装置的像素外围的俯视图的变形例子进行说明。注意,在图9至图11所示的俯视图中,为了避免附图的繁杂而省略构成要素的一部分。

[0138] 此外,在图9至图11所示的像素外围的俯视图中,与图1所示的显示装置相同的部分或具有相同的功能的部分由相同的附图标记表示而省略其详细说明。

[0139] 在图9所示的显示装置的像素外围的俯视图中,其电容元件、开口及半导体层的形状与图1所示的俯视图不同。更具体地说,图9所示的显示装置包括电容元件105a。电容元件105a由如下层构成:比晶体管103所包括的半导体层111的导电率高且具有透光性的半导体层119a;具有透光性的像素电极121;以及作为介电层而包括在晶体管103中且具有透光性的绝缘层(图9中未图示)。也就是说,电容元件105a具有透光性。此外,半导体层119a上形成有开口140a。开口140a通过对设置在半导体层119a上的绝缘层(图9中未图示)进行加工来形成。此外,以覆盖开口140a的一部分的方式形成有像素电极121,所以像素电极121具有凹部。

[0140] 另外,在图9中例示出两个像素,像素101和相邻于像素101的像素(图9中的像素101左侧的像素)共同使用电容线115。此外,电容元件105a在像素101和相邻于像素101的像素中以电容线115为中心左右对称地配置。注意,作为与图1所示的俯视图的不同之处,在图9所示的俯视图中,半导体层119a及开口140a与相邻于像素101的像素连结的区域设置在像素101的下方。

[0141] 在图10所示的显示装置的像素外围的俯视图中,其电容元件、开口及半导体层的形状与图1所示的俯视图不同。更具体地说,图10所示的显示装置包括电容元件105b。电容元件105b由如下层构成:比晶体管103所包括的半导体层111的导电率高且具有透光性的半导体层119b;具有透光性的像素电极121;以及作为介电层而包括在晶体管103中且具有透光性的绝缘层(图10中未图示)。也就是说,电容元件105b具有透光性。此外,半导体层119b上形成有开口140b。开口140b通过对设置在半导体层119b上的绝缘层(图10中未图示)进行加工来形成。此外,以覆盖开口140b的一部分的方式形成有像素电极121,所以像素电极121具有凹部。

[0142] 另外,在图10中例示出两个像素,像素101和相邻于像素101的像素(图10中的像素101左侧的像素)共同使用电容线115。此外,电容元件105b在像素101和相邻于像素101的像素中以电容线115为中心左右对称地配置。注意,作为与图1所示的俯视图的不同之处,在图10所示的俯视图中,半导体层119b及开口140b与相邻于像素101的像素连结的区域设置在像素101的中央附近。

[0143] 在图11所示的显示装置的像素外围的俯视图中,其电容元件、开口及半导体层的形状与图1所示的俯视图不同。更具体地说,图11所示的显示装置包括电容元件105c。电容元件105c由如下层构成:比晶体管103所包括的半导体层111的导电率高且具有透光性的半导体层119c;具有透光性的像素电极121;以及作为介电层而包括在晶体管103中且具有透光性的绝缘层(图11中未图示)。也就是说,电容元件105c具有透光性。此外,半导体层119c上形成有开口140c。开口140c通过对设置在半导体层119c上的绝缘层(图11中未图示)进行加工来形成。此外,以覆盖开口140c的一部分的方式形成有像素电极121,所以像素电极121具有凹部。

[0144] 另外,在图11中例示出两个像素,像素101和相邻于像素101的像素(图11中的像素101左侧的像素)共同使用电容线115。此外,电容元件105c在像素101和相邻于像素101的像素中以电容线115为中心左右对称地配置。注意,作为与图1所示的俯视图的不同之处,在图11所示的俯视图中,半导体层119c及开口140c与相邻于像素101的像素连结的区域以连续而不被分断的方式设置在像素101的上方至下方。

[0145] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0146] 实施方式2

[0147] 在本实施方式中,对能够应用于实施方式1所示的显示装置的晶体管及电容元件的氧化物半导体层的一个例子进行说明。

[0148] <氧化物半导体层的结晶性>

[0149] 以下说明氧化物半导体层的结构。

[0150] 氧化物半导体层大致分为非单晶氧化物半导体层和单晶氧化物半导体层。非单晶氧化物半导体层包括CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor:c轴取向结晶氧化物半导体)膜、多晶氧化物半导体层、微晶氧化物半导体层及非晶氧化物半导体层等。

[0151] 首先,对CAAC-OS膜进行说明。

[0152] CAAC-OS膜是包含多个结晶部的氧化物半导体层之一,大部分的结晶部为能够容纳在一边短于100nm的立方体的尺寸。因此,有时包括在CAAC-OS膜中的结晶部的尺寸为能

够容纳于一边短于10nm、短于5nm或短于3nm的立方体内的尺寸。

[0153] 在CAAC-OS膜的透射电子显微镜(TEM:Transmission Electron Microscope)图像中,观察不到结晶部与结晶部之间的明确的边界,即晶界(grain boundary)。因此,在CAAC-OS膜中,不容易发生起因于晶界的电子迁移率的降低。

[0154] 根据从大致平行于样品面的方向观察的CAAC-OS膜的TEM图像(截面TEM图像)可知在结晶部中金属原子排列为层状。各金属原子层具有反映形成CAAC-OS膜的面(也称为被形成面)或CAAC-OS膜的上表面的凸凹的形状并以平行于CAAC-OS膜的被形成面或上表面的方式排列。

[0155] 注意,在本说明书中,“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态,因此也包括角度为 -5° 以上且 5° 以下的情况。另外,“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态,因此也包括角度为 85° 以上且 95° 以下的情况。

[0156] 另一方面,根据从大致垂直于样品面的方向观察的CAAC-OS膜的TEM图像(平面TEM图像)可知在结晶部中金属原子排列为三角形状或六角形状。但是,在不同的结晶部之间金属原子的排列没有规律性。

[0157] 由截面TEM图像及平面TEM图像可知,CAAC-OS膜的结晶部具有取向性。

[0158] 使用X射线衍射(XRD:X-Ray Diffraction)装置对CAAC-OS膜进行结构分析。例如,当利用out-of-plane法分析包括InGaZnO₄结晶的CAAC-OS膜时,在衍射角(2θ)为 31° 附近时常出现峰值。由于该峰值来源于InGaZnO₄结晶的(009)面,由此可知CAAC-OS膜中的结晶具有c轴取向性,并且c轴朝向大致垂直于CAAC-OS膜的被形成面或上表面的方向。

[0159] 另一方面,当利用从大致垂直于c轴的方向使X射线入射到样品的in-plane法分析CAAC-OS膜时,在 2θ 为 56° 附近时常出现峰值。该峰值来源于InGaZnO₄结晶的(110)面。在此,将 2θ 固定为 56° 附近并在以样品面的法线向量为轴(ϕ 轴)旋转样品的条件下进行分析(ϕ 扫描)。当该样品是InGaZnO₄的单晶氧化物半导体层时,出现六个峰值。该六个峰值来源于相等于(110)面的结晶面。另一方面,当该样品是CAAC-OS膜时,即使在将 2θ 固定为 56° 附近的条件下进行 ϕ 扫描也不能观察到明确的峰值。

[0160] 由上述结果可知,在具有c轴取向的CAAC-OS膜中,虽然a轴及b轴的方向在不同结晶部之间无规律,但是c轴都朝向平行于被形成面或上表面的法线向量的方向。因此,在上述截面TEM图像中观察到的排列为层状的各金属原子层相当于与结晶的ab面平行的面。

[0161] 注意,结晶部在形成CAAC-OS膜或进行加热处理等晶化处理时形成。如上所述,结晶的c轴朝向平行于CAAC-OS膜的被形成面或上表面的法线向量的方向。由此,例如,当CAAC-OS膜的形状因蚀刻等而发生改变时,结晶的c轴不一定平行于CAAC-OS膜的被形成面或上表面的法线向量。

[0162] 此外,CAAC-OS膜中的晶化度不一定均匀。例如,当CAAC-OS膜的结晶部是由CAAC-OS膜的上表面附近的结晶生长而形成时,有时上表面附近区域的晶化度高于被形成面附近区域的晶化度。另外,当对CAAC-OS膜添加杂质时,被添加了杂质的区域的晶化度改变,所以有时CAAC-OS膜中的晶化度根据区域而不同。

[0163] 注意,当利用out-of-plane法分析包括InGaZnO₄结晶的CAAC-OS膜时,除了在 2θ 为 31° 附近的峰值之外,有时还在 2θ 为 36° 附近观察到峰值。 2θ 为 36° 附近的峰值意味着CAAC-OS膜的一部分中含有不具有c轴取向的结晶。优选的是,在CAAC-OS膜中在 2θ 为 31° 附近时出

现峰值而在 2θ 为 36° 附近时不出现峰值。

[0164] CAAC-OS膜是杂质浓度低的氧化物半导体层。杂质是指氢、碳、硅、过渡金属元素等氧化物半导体层的主要成分以外的元素。尤其是,与氧的键合力比构成氧化物半导体层的金属元素更强的硅等元素会从氧化物半导体层夺取氧来使氧化物半导体层的原子排列杂乱而成为导致结晶性降低的主要因素。此外,铁或镍等重金属、氩、二氧化碳等因为其原子半径(或分子半径)大而在包含在氧化物半导体层内部时使氧化物半导体层的原子排列杂乱而成为结晶性降低的主要因素。此外,包含在氧化物半导体层中的杂质有时会成为载流子陷阱或载流子发生源。

[0165] 另外,CAAC-OS膜是缺陷态密度低的氧化物半导体层。

[0166] 此外,在使用CAAC-OS膜的晶体管中,起因于可见光或紫外光的照射的电特性变动小。

[0167] 接着,对微晶氧化物半导体层进行说明。

[0168] 在使用TEM观察微晶氧化物半导体层时的图像中,有时无法明确地确认到结晶部。微晶氧化物半导体层中含有的结晶部的尺寸大多为1nm以上且100nm以下或1nm以上且10nm以下。尤其是,将具有尺寸为1nm以上且10nm以下或1nm以上且3nm以下的微晶的纳米晶(nc: nanocrystal)的氧化物半导体层称为nc-OS(nanocrystalline Oxide Semiconductor)膜。另外,例如在使用TEM观察nc-OS膜时,有时无法明确地确认到晶界。

[0169] 在nc-OS膜的微小区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中原子排列具有周期性。另外,nc-OS膜在不同的结晶部之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS膜在某些分析方法中与非晶氧化物半导体层没有差别。例如,在通过其中利用使用直径比结晶部大的X射线的XRD装置的out-of-plane法对nc-OS膜进行结构分析时,检测不出表示结晶面的峰值。此外,在通过使用直径大于结晶部的电子束(例如,50nm以上)来获得的nc-OS膜的电子衍射(选区电子衍射)图案中,观察到光晕图案。另一方面,在通过使用其直径近于或小于结晶部的电子束(例如,1nm以上且30nm以下)来获得的nc-OS膜的电子衍射(也称为纳米束电子衍射)图案中,观察到斑点。另外,在nc-OS膜的纳米束电子衍射图案中,有时观察到如圆圈那样的(环状的)亮度高的区域。而且,在nc-OS膜的纳米束电子衍射图案中,有时还观察到环状的区域内的多个斑点。

[0170] nc-OS膜是其规律性比非晶氧化物半导体层高的氧化物半导体层。因此,nc-OS膜的缺陷态密度比非晶氧化物半导体层低。但是,nc-OS膜在不同的结晶部之间观察不到晶体方位的规律性。所以,nc-OS膜的缺陷态密度比CAAC-OS膜高。

[0171] 注意,氧化物半导体层例如也可以是包括非晶氧化物半导体层、微晶氧化物半导体层和CAAC-OS膜中的两种以上的叠层膜。

[0172] <CAAC-OS膜的成膜方法>

[0173] CAAC-OS膜例如使用多晶的氧化物半导体溅射靶材且利用溅射法形成。当离子碰撞到该溅射靶材时,有时包含在溅射靶材中的结晶区域沿着a-b面劈开,即具有平行于a-b面的面的平板状或颗粒状的溅射粒子有时剥离。此时,由于该平板状或颗粒状的溅射粒子保持结晶状态到达衬底,可以形成CAAC-OS膜。

[0174] 平板状或颗粒状溅射粒子例如平行于a-b面的面的当量圆直径为3nm以上且10nm

以下,厚度(垂直于a-b面的方向的长度)为0.7nm以上且小于1nm。此外,平板状或颗粒状溅射粒子也可以是平行于a-b面的面的形状为正三角形或正六边形。在此,面的当量圆直径是指等于面的面积的正圆的直径。

[0175] 另外,为了形成CAAC-OS膜,优选应用如下条件。

[0176] 通过增高成膜时的衬底温度使溅射粒子在到达衬底之后发生迁移。具体而言,在将衬底温度设定为100℃以上且740℃以下,优选为200℃以上且500℃以下的状态下进行成膜。通过增高成膜时的衬底温度,使平板状或颗粒状的溅射粒子在到达衬底时在衬底上发生迁移,于是溅射粒子的平坦的面附着到衬底。此时,在溅射粒子带正电时溅射粒子互相排斥而附着到衬底上,由此溅射粒子不会不均匀地重叠,从而可以形成厚度均匀的CAAC-OS膜。

[0177] 通过减少成膜时的杂质混入,可以抑制因杂质导致的结晶状态的损坏。例如,降低存在于成膜室内的杂质(氢、水、二氧化碳及氮等)的浓度即可。另外,降低成膜气体中的杂质浓度即可。具体而言,使用露点为-80℃以下,优选为-100℃以下的成膜气体。

[0178] 另外,优选通过增高成膜气体中的氧比例并使电力最优化,来减轻成膜时的等离子体损伤。将成膜气体中的氧比例设定为30vol.%以上,优选设定为100vol.%。

[0179] 或者,CAAC-OS膜使用以下方法而形成。

[0180] 首先,形成其厚度为1nm以上且小于10nm的第一氧化物半导体层。第一氧化物半导体层使用溅射法形成。具体而言,第一氧化物半导体层的形成条件如下:衬底温度为100℃以上且500℃以下,优选为150℃以上且450℃以下;以及成膜气体中的氧比例为30vol.%以上,优选为100vol.%。

[0181] 接着,进行加热处理,以使第一氧化物半导体层形成高结晶性第一CAAC-OS膜。将加热处理的温度设定为350℃以上且740℃以下,优选为450℃以上且650℃以下。另外,将加热处理的时间设定为1分钟以上且24小时以下,优选为6分钟以上且4小时以下。加热处理可以在惰性气氛或氧化性气氛中进行。优选的是,先在惰性气氛中进行加热处理,然后在氧化性气氛中进行加热处理。通过在惰性气氛中进行加热处理,可以在短时间内降低第一氧化物半导体层的杂质浓度。另一方面,通过在惰性气氛中进行加热处理,有可能在第一氧化物半导体层中形成氧缺陷。在此情况下,通过在氧化性气氛中进行加热处理,可以减少该氧缺陷。另外,也可以在1000Pa以下、100Pa以下、10Pa以下或1Pa以下的减压下进行加热处理。在减压下,可以在更短时间内降低第一氧化物半导体层的杂质浓度。

[0182] 通过将第一氧化物半导体层的厚度设定为1nm以上且低于10nm,与厚度为10nm以上的情况相比可以通过进行加热处理而容易地使其结晶化。

[0183] 接着,以10nm以上且50nm以下的厚度形成其组成与第一氧化物半导体层相同的第二氧化物半导体层。使用溅射法形成第二氧化物半导体层。具体而言,第二氧化物半导体膜的形成条件如下:衬底温度为100℃以上且500℃以下,优选为150℃以上且450℃以下;以及成膜气体中的氧比例为30vol.%以上,优选为100vol.%。

[0184] 接着,进行加热处理,以使第二氧化物半导体层从第一CAAC-OS膜进行固相生长,来形成高结晶性第二CAAC-OS膜。将加热处理的温度设定为350℃以上且740℃以下,优选为450℃以上且650℃以下。另外,将加热处理的时间设定为1分钟以上且24小时以下,优选为6分钟以上且4小时以下。加热处理可以在惰性气氛或氧化性气氛中进行。优选的是,先在惰

性气氛中进行加热处理,然后在氧化性气氛中进行加热处理。通过在惰性气氛中进行加热处理,可以在短时间内降低第二氧化物半导体层的杂质浓度。另一方面,通过在惰性气氛中进行加热处理,有可能在第二氧化物半导体层中形成氧缺陷。在此情况下,通过在氧化性气氛中进行加热处理,可以减少该氧缺陷。另外,也可以在1000Pa以下、100Pa以下、10Pa以下或1Pa以下的减压下进行加热处理。在减压下,可以在更短时间内降低第二氧化物半导体层的杂质浓度。

[0185] 经上述步骤,可以形成总厚度为10nm以上的CAAC-OS膜。可以将该CAAC-OS膜优选用作氧化物叠层中的氧化物半导体层。

[0186] 接着,例如,说明被形成面由于不经过衬底加热等而处于低温(例如,低于130℃,低于100℃,低于70℃或者室温(20℃至25℃)左右)的情况下的氧化物膜的形成方法。

[0187] 在被形成面处于低温的情况下,溅射粒子不规则地飘落到被成膜面。例如,由于溅射粒子不发生迁移,因此溅射粒子不规则地沉积到包括已经沉积有其他的溅射粒子的区域的区域上。换言之,通过沉积溅射粒子而获得的氧化物膜例如有时不具有均匀的厚度和一致的结晶取向。通过上述方法获得的氧化物膜由于维持一定程度的溅射粒子的结晶性,因此具有结晶部(纳米晶)。

[0188] 另外,例如,在成膜时的压力高的情况下,飞着的溅射粒子碰撞到氩等其他粒子(原子、分子、离子、自由基等)的频率升高。如果飞着的溅射粒子碰撞到其他的粒子(再次被溅射),则有可能导致结晶结构的损坏。例如,溅射粒子在碰撞到其他的粒子时有可能无法维持平板状或颗粒状的形状而被细分化(例如分成各原子的状态)。此时,有时由溅射粒子分离的各原子沉积到被形成面上而形成非晶氧化物膜。

[0189] 另外,当不采用作为出发点使用具有多晶氧化物的靶材的溅射法等,而采用使用液体进行成膜的方法或者使靶材等固体气化而进行成膜的方法时,分离的各原子飞着沉积到被形成面上,因此有时形成非晶氧化物膜。另外,例如,当采用激光烧蚀法时,由于从靶材释放的原子、分子、离子、自由基、簇(cluster)等飞着沉积到被形成面上,因此有时形成非晶氧化物膜。

[0190] 作为本发明的一个方式的包括在电阻元件及晶体管中的氧化物半导体层可以应用上述结晶状态的任一种的氧化物半导体层。此外,在包括叠层结构的氧化物半导体层的情况下,也可以使各氧化物半导体层的结晶状态彼此不同。但是,作为用作晶体管的沟道的氧化物半导体层,优选应用CAAC-OS膜。此外,包括在电阻元件中的氧化物半导体层由于杂质浓度比包括在晶体管中的氧化物半导体层的杂质浓度高,所以有时结晶性下降。

[0191] 本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合而使用。

[0192] 实施方式3

[0193] 在本实施方式中,参照图12A和图12B对本发明的一个方式的显示装置进行说明。另外,具有与实施方式1相同的功能的部分由相同的附图标记表示而省略详细的说明。

[0194] 图12A所示的显示装置包括:具有像素中的显示元件的区域(以下称为像素部302);配置在像素部302外侧并具有用来驱动像素的电路的电路部(以下称为驱动电路部304);具有保护元件的功能的电路(以下称为保护电路306);以及端子部307。此外,也可以采用不设置保护电路306的结构。

[0195] 驱动电路部304的一部分或全部优选形成在与像素部302同一的衬底上。由此,可以减少构件的数量或端子的数量。当驱动电路部304的一部分或全部不形成在与像素部302同一的衬底上时,驱动电路部304的一部分或全部可以通过COG或TAB安装。

[0196] 像素部302包括用来驱动配置为X行(X为2以上的自然数)Y列(Y为2以上的自然数)的矩阵状的多个显示元件的电路(以下称为像素101),驱动电路部304包括输出选择像素的信号(扫描信号)的电路(以下称为栅极驱动器304a)、用来供应用来驱动像素的显示元件的信号(数据信号)的电路(以下称为源极驱动器304b)等驱动电路。

[0197] 栅极驱动器304a具有移位寄存器等。栅极驱动器304a通过端子部307被输入用来驱动移位寄存器的信号并将该信号输出。例如,栅极驱动器304a被输入起始脉冲信号、时钟信号等并输出脉冲信号。栅极驱动器304a具有控制被供应扫描信号的布线(以下称为扫描线GL_1至GL_X)的电位的功能。另外,也可以设置多个栅极驱动器304a,并通过多个栅极驱动器304a分割地控制扫描线GL_1至GL_X。或者,栅极驱动器304a具有能够供应初始化信号的功能。但是,不局限于此,栅极驱动器304a可以供应其他信号。

[0198] 源极驱动器304b具有移位寄存器等。除了用来驱动移位寄存器的信号之外,作为数据信号的基础的信号(像素信号)也通过端子部307被输入到源极驱动器304b。源极驱动器304b具有以像素信号为基础生成写入到像素101的数据信号的功能。另外,源极驱动器304b具有依照输入起始脉冲信号、时钟信号等而得到的脉冲信号来控制数据信号的输出的功能。另外,源极驱动器304b具有控制被供应数据信号的布线(以下称为数据线DL_1至DL_Y)的电位的功能。或者,源极驱动器304b具有能够供应初始化信号的功能。但是,不局限于此,源极驱动器304b可以供应其他信号。

[0199] 源极驱动器304b例如使用多个模拟开关等来构成。通过依次使多个模拟开关成为导通状态,源极驱动器304b可以输出对图像信号进行时间分割而成的信号作为数据信号。

[0200] 多个像素101的每一个分别通过被供应扫描信号的多个扫描线GL之一而被输入脉冲信号,并通过被供应数据信号的多个数据线DL之一而被输入数据信号。另外,多个像素101的每一个通过栅极驱动器304a来控制数据信号的数据的写入及保持。例如,通过扫描线GL_m(m是X以下的自然数)从栅极驱动器304a对第m行第n列的像素101输入脉冲信号,并根据扫描线GL_m的电位而通过数据线DL_n(n是Y以下的自然数)从源极驱动器304b对第m行第n列的像素101输入数据信号。

[0201] 图12A所示的保护电路306例如与作为栅极驱动器304a与像素101之间的布线的扫描线GL连接。或者,保护电路306与作为源极驱动器304b与像素101之间的布线的数据线DL连接。或者,保护电路306可以与栅极驱动器304a与端子部307之间的布线连接。或者,保护电路306可以与源极驱动器304b与端子部307之间的布线连接。此外,端子部307是指设置有用从外部的电路对显示装置输入电源、控制信号及像素信号的端子的部分。

[0202] 保护电路306是在自身所连接的布线被供应一定的范围之外的电位时使该布线和其他布线作为导通状态的电路。

[0203] 如图12A所示,通过对像素部302和驱动电路部304分别设置保护电路306,可以提高显示装置对因ESD(Electro Static Discharge:静电放电)等而产生的过电流的耐性。但是,保护电路306的结构不局限于此,例如,也可以采用将栅极驱动器304a与保护电路306连接的结构或只将源极驱动器304b与保护电路306连接的结构。或者,也可以采用将端子部

307与保护电路306连接的结构。

[0204] 另外,虽然在图12A中示出由栅极驱动器304a和源极驱动器304b形成驱动电路部304的例子,但是不局限于此结构。例如,也可以采用如下结构:只形成栅极驱动器304a并安装另外准备的形成有源极驱动电路的衬底(例如,由单晶半导体膜、多晶半导体膜形成的驱动电路衬底)的结构。

[0205] 图12A所示的多个像素101例如可以采用图12B所示的结构。

[0206] 图12B所示的像素101包括液晶元件170、晶体管103以及电容元件105。此外,可以将液晶元件170、晶体管103以及电容元件105用于实施方式1所示的图1中的显示装置。

[0207] 根据像素101的规格适当地设定液晶元件170的一对电极中的一个电极的电位。根据被写入的数据设定液晶元件170的取向状态。此外,也可以对多个像素101的每一个所具有的液晶元件170的一对电极中的一个电极供应共同电位(公共电位)。此外,也可以对各行

的像素101的每一个所具有的液晶元件170的一对电极中的一个电极供应不同电位。

[0208] 例如,作为具备液晶元件170的显示装置的驱动方法优选使用VA(Vertical Alignment:垂直取向)模式。

[0209] 此外,也可以由包含呈现蓝相(Blue Phase)的液晶和手性试剂的液晶组合物构成液晶元件。呈现蓝相的液晶的响应速度快,为1msec以下,并且由于其具有光学各向同性,所以不需要取向处理且视角依赖性小。

[0210] 在第m行第n列的像素101中,晶体管103的源极和漏极中的一方与数据线DL_n电连接,源极和漏极中的另一方与液晶元件170的一对电极中的另一个电极电连接。此外,晶体管103的栅极与扫描线GL_m电连接。晶体管103具有通过成为导通状态或关闭状态而对数据信号的数据的写入进行控制的功能。

[0211] 电容元件105的一对电极中的一个电极与供应电位的布线(以下,称为电位供应线VL)电连接,另一个电极与液晶元件170的一对电极中的另一个电极电连接。此外,根据像素101的规格适当地设定电位供应线VL的电位的值。电容元件105用作储存被写入的数据的存储电容器。

[0212] 例如,在具有图12A的像素101的显示装置中,通过栅极驱动器304a依次选择各行的像素101,并使晶体管103成为导通状态而写入数据信号的数据。

[0213] 当晶体管103成为关闭状态时,被写入数据的像素101成为保持状态。通过按行依次进行上述步骤,可以显示图像。

[0214] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而实施。

[0215] 实施方式4

[0216] 在本实施方式中,参照图18A至图19B说明能够用于本发明的一个方式的显示装置的晶体管的结构。此外,本实施方式所示的晶体管可以应用于:用于实施方式1所示的像素101的晶体管及用于实施方式3所示的驱动电路部304的晶体管。另外,具有与上述实施方式相同的功能的

部分由相同的附图标记表示而省略详细的说明。

[0217] 首先,说明图18A至图18C所示的晶体管250。

[0218] 图18A至图18C示出晶体管250的俯视图及截面图。图18A是晶体管250的俯视图,图18B是沿着图18A的点划线A-B的截面图,图18C是沿着图18A的点划线C-D的截面图。注意,在图18A中,为了明确起见,省略衬底102、用作晶体管250的栅极绝缘层的绝缘层127、绝缘层

129、绝缘层133等。

[0219] 图18A至图18C所示的晶体管250是沟道蚀刻型晶体管,其包括:设置在衬底102上的栅电极207;形成在衬底102及栅电极207上的绝缘层127;隔着绝缘层127与栅电极207重叠的半导体层111;以及接触于半导体层111的一对电极209及213。此外,在绝缘层127、半导体层111、一对电极209及213上包括:由绝缘层129、绝缘层131及绝缘层133构成的栅极绝缘层228;以及形成在栅极绝缘层228上的栅电极251。栅电极251在设置在绝缘层127及栅极绝缘层228中的开口242中连接于栅电极207。此外,连接于一对电极209及213中的一个(在此为电极213)的像素电极121形成在栅极绝缘层228上。

[0220] 栅电极251与像素电极121同时形成。此外,作为本实施方式的晶体管250,在与像素电极121同一工序中形成用作晶体管250的第二栅电极的栅电极251。

[0221] 另外,栅电极207可以使用与实施方式1所示的扫描线107相同的材料及制造方法形成。此外,开口242可以与开口241同时形成。开口241可以使用与实施方式1所示的开口117相同的制造方法形成。此外,一对电极209及213可以使用与实施方式1所示的数据线109及导电层113相同的材料及制造方法形成。

[0222] 另外,在本实施方式所示的晶体管250中,栅电极207及栅电极251之间设置有半导体层111。此外,如图18A所示,在上表面形状中,栅电极251隔着栅极绝缘层228与半导体层111的侧面重叠。

[0223] 另外,绝缘层127及栅极绝缘层228具有多个开口。典型的是,如图18B所示,具有露出一对电极209及213中的一个的开口241。此外,如图18C所示,在半导体层111的一个侧面的外侧,在设置在绝缘层127及栅极绝缘层228中的开口242中,栅电极251与栅电极207连接。此外,在开口242的侧面,栅电极251与半导体层111的侧面相对。此外,在半导体层111的另一个侧面的外侧,栅电极251不与栅电极207连接。此外,栅电极251的两端部分别位于半导体层111的两个侧面的外侧。

[0224] 另外,如图18C所示,在沟道宽度方向上,当将栅电极251投影于绝缘层127与栅极绝缘层228的界面时,其端部与半导体层111的侧面之间的距离 d 优选是绝缘层127的厚度 t_1 及栅极绝缘层228的厚度 t_2 的总厚度的1倍以上且7.5倍以下。当距离 d 是绝缘层127的厚度 t_1 及栅极绝缘层228的厚度 t_2 的总厚度的1倍以上时,栅电极251的电场影响到半导体层111的侧面或包括侧面及侧面附近的端部,因此可以抑制半导体层111的侧面或端部产生寄生沟道。另一方面,当距离 d 是绝缘层127的厚度 t_1 及栅极绝缘层228的厚度 t_2 的总厚度的7.5倍以下时,可以缩小晶体管250的面积。

[0225] 另外,作为图18A至图18C所示的晶体管250,在其沟道宽度方向上,在半导体层111的一个侧面的外侧,栅电极207与栅电极251连接,并且,在半导体层111的另一个侧面的外侧,隔着绝缘层127及栅极绝缘层228,栅电极207与栅电极251相对。另外,通过采用连接栅电极207与栅电极251的结构,可以对栅电极207及栅电极251供应同电位。注意,本发明的一个方式不局限于此,也可以通过不设置开口242而采用不连接栅电极207与栅电极251的结构,对栅电极207及栅电极251供应不同的电位。

[0226] 接着,下面说明图19A至图19C所示的晶体管260。

[0227] 图19A至图19C示出晶体管260的俯视图及截面图。图19A是晶体管260的俯视图,图19B是沿着图19A的点划线A-B的截面图,图19C是沿着图19A的点划线C-D的截面图。注意,在

图19A中,为了明确起见,省略衬底102、用作栅极绝缘层的绝缘层127、氧化物绝缘层229、氧化物绝缘层231、氮化物绝缘层233等。

[0228] 图19A至图19C所示的晶体管260是沟道蚀刻型晶体管,其包括:设置在衬底102上的栅电极207;形成在衬底102及栅电极207上的绝缘层127;隔着绝缘层127与栅电极207重叠的半导体层111;以及接触于半导体层111的一对电极209及213。此外,在绝缘层127、半导体层111、一对电极209及213上包括:由氧化物绝缘层229、氧化物绝缘层231及氮化物绝缘层233构成的栅极绝缘层288;以及形成在栅极绝缘层288上的栅电极291。栅电极291在设置在绝缘层127及氮化物绝缘层233的开口294中连接于栅电极207。此外,连接于一对电极209及213中的一个(在此为电极213)的电极292形成在氮化物绝缘层233上。电极292在设置在氮化物绝缘层233中的开口293中与电极213连接。此外,电极292被用作像素电极。

[0229] 另外,绝缘层127由氮化物绝缘层215a及氧化物绝缘层215b形成。氧化物绝缘层215b形成在与半导体层111、一对电极209及213以及氧化物绝缘层231重叠的区域。

[0230] 栅电极207可以使用与实施方式1所示的扫描线107相同的材料及制造方法形成。此外,作为氮化物绝缘层215a,使用氮化硅膜形成。作为氧化物绝缘层215b,使用氧化硅膜、氧氮化硅膜等形成。氮化物绝缘层215a及氧化物绝缘层215b可以使用与实施方式1所示的绝缘层127相同的形成方法形成。此外,一对电极209及213可以使用与实施方式1所示的数据线109及导电层113相同的材料及制造方法形成。此外,氧化物绝缘层229可以适当地使用与实施方式1所示的绝缘层129相同的材料及制造方法形成。氧化物绝缘层231可以适当地使用与实施方式1所示的绝缘层131相同的材料及制造方法形成。氮化物绝缘层233可以适当地使用与实施方式1所示的绝缘层133相同的材料及制造方法形成。此外,栅电极291及电极292可以适当地使用与实施方式1所示的像素电极121相同的材料及制造方法形成。

[0231] 另外,每个晶体管中的氧化物绝缘层229及氮化物绝缘层231与其他晶体管中的氧化物绝缘层229及氮化物绝缘层231分开,并且与半导体层111重叠。具体而言,在图19B所示的沟道长度方向上,氧化物绝缘层229及氧化物绝缘层231的端部位于一对电极209及213上,并且,在图19C所示的沟道宽度方向上,氧化物绝缘层229及氧化物绝缘层231的端部位于半导体层111的外侧。此外,以覆盖氧化物绝缘层229及氧化物绝缘层231的上表面及侧面的方式形成氮化物绝缘层233,并且氮化物绝缘层233接触于氮化物绝缘层215a。此外,在沟道长度方向上,氧化物绝缘层229及氧化物绝缘层231的端部也可以不设置在一对电极209及213上而设置在氮化物绝缘层215a上。

[0232] 另外,在图19C所示的沟道宽度方向上,栅电极291隔着氧化物绝缘层229及氧化物绝缘层231的侧面与半导体层111的侧面对。

[0233] 作为本实施方式所示的晶体管260,在其沟道宽度方向上,在栅电极207及栅电极291之间隔着绝缘层127及栅极绝缘层288设置有半导体层111。此外,在如图19A所示的俯视图中,栅电极291隔着栅极绝缘层288与半导体层111的侧面重叠。

[0234] 如图19C所示,在半导体层111的一个侧面的外侧,在设置在绝缘层127及氮化物绝缘层233中的开口294中,栅电极291与栅电极207连接。此外,在氧化物绝缘层229及氧化物绝缘层231的侧面,栅电极291与半导体层111的侧面对。此外,在半导体层111的另一个侧面的外侧,栅电极291不与栅电极207连接。此外,栅电极291的两端部分别位于半导体层111的两个侧面的外侧。

[0235] 另外,虽然如图19C所示,作为晶体管260,在沟道宽度方向上,栅电极207与栅电极291在半导体层111的仅一个侧面的外侧连接,但是栅电极207与栅电极291也可以在半导体层111的两个侧面的外侧连接。另外,通过采用连接栅电极207与栅电极291的结构,可以对栅电极207及栅电极291供应同电位。注意,本发明的一个方式不局限于此,也可以通过不设置开口294而采用不连接栅电极207与栅电极291的结构,对栅电极207及栅电极291供应不同的电位。

[0236] 在本实施方式所示的晶体管260中,氮化物绝缘层215a及氮化物绝缘层233在其内侧包括半导体层111及氧化物绝缘层231,并且,氮化物绝缘层215a及氮化物绝缘层233接触于半导体层111及氧化物绝缘层231。氮化物绝缘层215a及氮化物绝缘层233的氧的扩散系数小,并且具有对氧的阻挡性,由此可以使氮化物绝缘层231所包含的氧的一部分高效地移动到半导体层111,从而可以减少半导体层111的氧缺陷量。此外,氮化物绝缘层215a及氮化物绝缘层233的水、氢等的扩散系数小,并且具有对水、氢等的阻挡性,所以能够防止水、氢等从外部扩散到半导体层111中。其结果是,晶体管260成为可靠性高的晶体管。

[0237] 下面示出晶体管260的制造工序。

[0238] 首先,进行与实施方式1的图5C所示的工序相同的工序。然后,在形成开口140的同时将氧化物绝缘层229及氧化物绝缘层231分开使其成为岛状。然后,形成氮化物绝缘层233。然后,对氮化物绝缘层233进行加工来形成到达电极213的开口293。此外,在形成开口293的同时对氮化物绝缘层233及绝缘层127进行加工来形成到达栅电极207的开口294。然后,在氮化物绝缘层233上形成导电层,通过对该导电层进行加工,来形成栅电极291及用作像素电极的电极292。

[0239] 实施方式5

[0240] 在本实施方式中,参照图20A至图21B对实施方式3所示的显示装置的驱动电路部304的一个结构进行说明。驱动电路部304可以适当地使用实施方式1及实施方式4所示的晶体管来制造。在此,作为驱动电路部304的一个例子,使用形成在栅极驱动器304a中的缓冲器进行说明。

[0241] 图20A是缓冲器500的电路图。缓冲器500包括晶体管M1至晶体管M3以及电容元件C。晶体管M1的栅极连接于被供应电位VDD的布线。此外,晶体管M1的源极和漏极中的一个连接于端子A,而源极和漏极中的另一个连接于晶体管M2的栅极。晶体管M2的源极和漏极中的一个连接于缓冲器500的输出端子OUT,而源极和漏极中的另一个连接于被输入信号CLK的布线。晶体管M3的栅极连接于端子B。此外,晶体管M3的源极和漏极中的一个连接于被供应电位VSS的布线,而源极和漏极中的另一个连接于输出端子OUT。电容元件C的一对电极中的一个连接于晶体管M1的源极和漏极中的另一个及晶体管M2的栅极,而一对电极中的另一个连接于晶体管M3的源极和漏极中的另一个及输出端子OUT。

[0242] 在本实施方式所示的缓冲器中,晶体管M1至晶体管M3可以适当地使用实施方式1及实施方式4所示的晶体管。

[0243] 接着,说明晶体管M1及晶体管M2的结构。图20B示出晶体管M1及晶体管M2的俯视图。此外,图21A示出俯视图的点划线A1-A2间及B1-B2间的截面图,图21B示出俯视图的点划线C1-C2间的截面图。此外,图21A示出晶体管M1及晶体管M2的沟道方向的截面图,图21B示出晶体管M1的沟道宽度方向的截面图。

[0244] 下面示出图21A及图21B所示晶体管M1的截面结构。

[0245] 衬底102上设置有用晶体管M1的第一栅电极的导电层507a。导电层507a上设置有用晶体管M1的栅极绝缘层的绝缘层127。在绝缘层127上的与导电层507a重叠的位置上设置有半导体层511a_1及半导体层511a_2,半导体层511a_1及半导体层511a_2被用作晶体管M1的半导体层。此外,半导体层511a_1、半导体层511a_2以及绝缘层127上设置有用晶体管M1的源电极的导电层509a及用作晶体管M1的漏电极的导电层513a。导电层509a、半导体层511a_1、半导体层511a_2、导电层513a以及绝缘层127上设置有用晶体管M1的保护绝缘层的绝缘层129及绝缘层131。绝缘层131上形成有绝缘层133,绝缘层133上形成有用晶体管M1的第二栅电极的导电层517a。绝缘层129、绝缘层131及绝缘层133中设置有到达导电层513a的开口523。绝缘层129及绝缘层131中设置有到达绝缘层127的开口521及开口522。此外,以覆盖开口521及开口522的方式形成有绝缘层133,并且绝缘层127及绝缘层133中设置有到达导电层507a的开口524及到达导电层507b的开口525。绝缘层133、开口521及开口524上设置有导电层517a。也就是说,用作第二栅电极的导电层517a与用作第一栅电极的导电层507a是同电位。绝缘层133、开口522、开口523及开口525上设置有导电层519。也就是说,用作晶体管M1的漏电极的导电层513a与用作晶体管M2的第一栅电极的导电层507b通过导电层519彼此连接。

[0246] 图21B是晶体管M1的沟道宽度方向的截面图。在本实施方式中,晶体管M1使用实施方式4所示的晶体管250形成,其用作栅电极的导电层517a的端部位于半导体层511a_1的端部的外侧。

[0247] 另外,衬底102上设置有用晶体管M2的第一栅电极的导电层507b。导电层507b上设置有用晶体管M2的栅极绝缘层的绝缘层127。在绝缘层127上的与导电层507b重叠的位置上设置有半导体层511b,半导体层511b被用作晶体管M2的半导体层。此外,半导体层511b及绝缘层127上设置有用晶体管M2的源电极的导电层509b及用作晶体管M2的漏电极的导电层513b。导电层509b、半导体层511b、导电层513b以及绝缘层127上设置有用晶体管M2的保护绝缘层的绝缘层129及绝缘层131。绝缘层131上形成有绝缘层133,绝缘层133上形成有用晶体管M2的第二栅电极的导电层517b。注意,虽然未图示,但是在设置在绝缘层127、绝缘层129、绝缘层131以及绝缘层133的开口中,导电层507b及导电层517b连接。也就是说,用作第二栅电极的导电层517b与用作第一栅电极的导电层507b是同电位。

[0248] 接着,参照实施方式1所示的图5A至图7B及图21A和图21B说明晶体管M1及晶体管M2的制造方法。

[0249] 通过与图5A所示的扫描线107相同的工序在衬底102上形成导电层507a及导电层507b。接着,形成绝缘层127。接着,通过与图5A所示的半导体层111及半导体层119相同的工序形成半导体层511a_1、半导体层511a_2以及半导体层511b。

[0250] 接着,通过与图5B所示的数据线109及导电层113相同的工序,在绝缘层127、半导体层511a_1、半导体层511a_2以及半导体层511b上形成导电层509a、导电层513a、导电层509b以及导电层513b。

[0251] 接着,如图5C所示,形成绝缘层129及绝缘层131。

[0252] 接着,通过与图6A所示的开口140相同的工序,形成开口521及开口522。

[0253] 接着,如图6B所示,形成绝缘层133。

[0254] 接着,通过与图7A所示的开口117相同的工序,形成开口523、开口524及开口525。

[0255] 接着,通过与图7B所示的像素电极121相同的工序,形成导电层517a、517b及导电层519。

[0256] 通过上述工序,可以制造晶体管M1及晶体管M2。

[0257] 通过使用如实施方式4所示那样的包括隔着半导体层重叠的一对栅电极且该一对栅电极是同电位的晶体管制造晶体管M1至晶体管M3,可以使各晶体管所包括的半导体层中的沟道形成区增加,而实现晶体管M1至晶体管M3的漏极电流的增加。因此,可以抑制通态电流(on-state current)的降低且使晶体管M1至晶体管M3的尺寸为小,所以可以使缓冲器500及使用缓冲器500的驱动电路的面积为小。尤其是,由于设置在缓冲器500的输出一侧的晶体管M2需要具有比晶体管M1大的电流供应能力,因此通过使晶体管M2包括如上所述的一对栅电极,使缓冲器500或驱动电路的面积为小的效果大于其与晶体管M1具有相同的结构的情况。

[0258] 实施方式6

[0259] 在本实施方式中,参照图13以及图14A至图14H对可以使用本发明的一个方式的显示装置的显示模块及电子设备进行说明。

[0260] 图13所示的显示模块8000在上部覆盖物8001与下部覆盖物8002之间包括连接于FPC8003的触摸面板8004、连接于FPC8005的显示面板8006、背光8007、框架8009、印刷电路板8010、电池8011。

[0261] 例如可以将本发明的一个方式的显示装置用于显示面板8006。

[0262] 上部覆盖物8001及下部覆盖物8002根据触摸面板8004及显示面板8006的尺寸可以适当地改变形状或尺寸。

[0263] 触摸面板8004能够是电阻膜式触摸面板或静电容量式触摸面板,并且能够被形成与显示面板8006重叠。此外,也可以使显示面板8006的对置衬底(密封衬底)具有触摸面板的功能。另外,也可以在显示面板8006的各像素内设置光传感器,而用作光学触摸面板。

[0264] 背光8007具有光源8008。光源8008也可以设置在背光8007的端部,并使用光扩散板。

[0265] 框架8009除了具有保护显示面板8006的功能以外还具有用来遮断因印刷电路板8010的工作而产生的电磁波的电磁屏蔽的功能。此外,框架8009具有作为散热板的功能。

[0266] 印刷电路板8010具有电源电路以及用来输出视频信号及时钟信号的信号处理电路。作为对电源电路供应电力的电源,既可以使用外部的商业电源,又可以使用另行设置的电池8011的电源。当使用商用电源时,可以省略电池8011。

[0267] 此外,在显示模块8000中还可以设置偏振片、相位差板、棱镜片等构件。

[0268] 图14A至图14H是示出电子设备的图。这些电子设备可以包括框体5000、显示部5001、扬声器5003、LED灯5004、操作键5005(包括电源开关或操作开关)、连接端子5006、传感器5007(它具有测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风5008等。

[0269] 图14A示出移动计算机,该移动计算机除了上述以外还可以包括开关5009、红外端口5010等。图14B示出具备记录介质的便携式图像再现装置(例如DVD再现装置),该便携式

图像再现装置除了上述以外还可以包括第二显示部5002、记录介质读取部5011等。图14C示出护目镜型显示器,该护目镜型显示器除了上述以外还可以包括第二显示部5002、支撑部5012、耳机5013等。图14D示出便携式游戏机,该便携式游戏机除了上述以外还可以包括记录介质读取部5011等。图14E示出具有电视接收功能的数码相机,该数码相机除了上述以外还可以包括天线5014、快门按钮5015、图像接收部5016等。图14F示出便携式游戏机,该便携式游戏机除了上述以外还可以包括第二显示部5002、记录介质读取部5011等。图14G示出电视接收机,该电视接收机除了上述以外还可以包括调谐器、图像处理部等。图14H示出便携式电视接收机,该便携式电视接收机除了上述以外还可以包括能够收发信号的充电器5017等。

[0270] 图14A至图14H所示的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上;触控面板;显示日历、日期或时刻等;通过利用各种软件(程序)控制处理;进行无线通信;通过利用无线通信功能来连接到各种计算机网络;通过利用无线通信功能,进行各种数据的发送或接收;读出储存在记录介质中的程序或数据来将其显示在显示部上等。再者,在具有多个显示部的电子设备中,可以具有如下功能:一个显示部主要显示图像信息,而另一个显示部主要显示文字信息;或者,在多个显示部上显示考虑到视差的图像来显示立体图像等。再者,在具有图像接收部的电子设备中,可以具有如下功能:拍摄静态图像;拍摄动态图像;对所拍摄的图像进行自动或手动校正;将所拍摄的图像储存在记录介质(外部或内置于相机)中;将所拍摄的图像显示在显示部上等。注意,图14A至图14H所示的电子设备的可具有的功能不局限于上述功能,而可以具有各种各样的功能。

[0271] 本实施方式所述的电子设备的特征在于具有用来显示某些信息的显示部。

[0272] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而实施。

[0273] 实施例1

[0274] 在本实施例中,对本发明的一个方式的显示装置的透射率进行了计算。参照图15对用于本实施例的计算的显示装置的结构进行说明。

[0275] 图15所示的用于计算的显示装置包括:衬底402;衬底402上的导电层407及导电层419;衬底402、导电层407及导电层419上的绝缘层431;绝缘层431上的间隔物466;绝缘层431上的电极421;间隔物466上的电极460;电极460上的衬底452;以及夹在电极421与电极460之间的液晶层464。

[0276] 另外,电极421沿着形成在绝缘层431中的凹部配置。因此,电极421具有凹部。此外,将间隔物466的一个端部表示为X点,并将电极421所具有的凹部的一个端部表示为Y点。

[0277] 另外,图15所示的用于计算的显示装置的结构是将图3所示的本发明的一个方式的显示装置简易化而用来简便地进行计算的结构。具体而言,衬底402相当于形成有图3所示的晶体管103的衬底102,导电层407相当于图3所示的扫描线107,导电层419相当于图3所示的半导体层119,绝缘层431相当于图3所示的绝缘层131,间隔物466相当于图3所示的间隔物166,电极421相当于图3所示的像素电极121,电极460相当于图3所示的导电层160,衬底452相当于图3所示的衬底152,液晶层464相当于图3所示的液晶层164。

[0278] 另外,图15中所示的0、10、20、30、40及49.5(μm)表示在进行上述计算时使用的结构的横方向的距离。此外,图15中所示的0.0、0.5、1.0、1.5、2.0、2.5、3.0、3.5及4.0(μm)表

示在进行上述计算时使用的结构的纵方向的距离。具体而言,将形成在绝缘层431的凹部的深度(纵方向的距离)设定为 $0.5\mu\text{m}$,将该凹部的锥角度设定为 15° ,并将电极421及电极460的厚度设定为 $0.1\mu\text{m}$ 。

[0279] 另外,利用326ppi、353ppi及513ppi的三个分辨率计算图15所示的用于计算的显示装置的结构像素数。当像素数为326ppi时,将图15中所示的显示装置的结构横方向的距离设定为 $78\mu\text{m}$,当像素数为353ppi时,将图15中所示的显示装置的结构横方向的距离设定为 $72\mu\text{m}$,当像素数为513ppi时,将图15中所示的显示装置的结构横方向的距离设定为 $49.5\mu\text{m}$ 。

[0280] 另外,将施加于图15所示的导电层及电极的电压设定为如下。

[0281] (导电层407:-9V,导电层419:0V,电极421:5V,电极460:0V)

[0282] 此外,液晶层464假设使用MLC2039(默克公司(Merck Ltd.)制造)的液晶材料。

[0283] 在上述条件下,计算液晶层464的随着时间经过的透射率。此外,作为计算软件使用了LCD Master(日本Shintech公司制造)。

[0284] 图16示出透射率的计算结果。在图16中,横轴表示时间(msec),纵轴表示标准化透射率(%)。

[0285] 从图16所示的计算结果可知,在图15所示的显示装置的结构中,像素数的分辨率越高标准化透射率的上升时间越早。这意味着在图15所示的显示装置的结构中,分辨率越高液晶层464的响应速度越快。

[0286] 接着,计算了图15所示的用于计算的显示装置的结构随着时间经过的液晶层的透射率的变化。将像素数设定为513ppi(横方向的距离为 $49.5\mu\text{m}$),计算当时时间经过0、5、10、15、20、25以及30msec时的液晶层464的透射率。注意,用于其它计算的条件与上述条件相同。

[0287] 图17示出透射率的计算结果。在图17中,横轴表示距离(μm),纵轴表示透射率(%)。此外,在图17中,在相当于图15所示的X点及Y点的位置上标注X点及Y点。

[0288] 从图17所示的计算结果中可以确认到:透射率以X点(间隔物466的端部)及Y点(电极421所具有的凹部的端部)的两点为起点随着时间经过向像素的中央部增加。如上所述,由于X点及Y点的两个点是取向控制的起点,因此意味着X-Y间的距离越短响应速度越快。也就是说,显示装置的分辨率越高本发明的一个方式的结构的效果越好。

[0289] 本实施例所示的结构可以与其他实施方式所示的结构适当地组合而使用。

[0290] 实施例2

[0291] 在本实施例中,制造本发明的一个方式的显示装置并对其进行评价。下面说明在本实施例中制造的显示装置的一个方式。

[0292] 首先,表1示出在本实施例中制造的显示装置的规格。

[0293] [表1]

[0294]

底板	CAAC-IGZO
面板尺寸	4.3 英寸
有效像素数	1080×RGB(H)×1920(V):FHD
像素尺寸	16.5 μm(H)×49.5 μm(V)
面板外形尺寸	55.46mm(H)×137.96mm(V)
显示区域	53.46mm(H)×95.04mm(V)
分辨率	513ppi
掩模个数	6 个 (CE 型晶体管)
LCD	垂直电场方式的液晶
彩色化方式	CF 方式
开口率	50.3%
驱动频率	60Hz
图像信号形式	模拟线序列
栅极驱动器	内置 (驱动宽度: 0.72mm) (边框宽度: 1.0mm)
源极驱动器	COF (边框宽度: 4.3mm)

[0295] 如表1所示,作为底板使用了CAAC-IGZO。面板尺寸为4.3英寸。有效像素数为1080×RGB(H)×1920(V)的FHD(Full High Definition:全高清)。像素尺寸为16.5μm(H)×49.5μm(V)。面板外形尺寸为55.46mm(H)×137.96mm(V)。显示区域为53.46mm(H)×95.04mm(V)。分辨率为513ppi。掩模个数为6个,并且使用了CE(channel-etched:沟道蚀刻)型晶体管。此外,作为LCD采用了垂直电场方式的液晶。作为彩色化的方式采用了CF(color filter:滤色片)方式。开口率为50.3%。驱动频率为60Hz。作为图像信号形式采用了模拟线序列(analog line sequential)方式。此外,内置有栅极驱动器,其驱动宽度为0.72mm,边框宽度为1.0mm。源极驱动器使用了COF(Chip on Film:薄膜覆晶封装),并且其宽度为4.3mm。

[0296] 注意,作为像素的结构,采用了与图1所示的俯视图及图2至图4所示的截面图相同的结构。

[0297] 图22示出在本实施方式中制造的本发明的一个方式的显示装置的显示结果。如图22所示,确认到本发明的一个方式的显示装置的显示效果优良。

[0298] 接着,使用具有与图22所示的显示装置相同结构的TEG(Test Element Group:测试元件组)衬底对像素部中的液晶的取向状态进行观察。注意,在上述TEG衬底中,未形成BM(黑矩阵)及CF(滤色片)以使像素部中的液晶的取向状态的观察容易进行。

[0299] 作为液晶的取向状态的观察,使用正交尼科尔棱镜(crossed-Nicol)观察反射像和透射像。

[0300] 图23A和图23B示出液晶的取向状态的观察结果。图23A是反射像的液晶的取向状态的观察结果,图23B是透射像的液晶的取向状态的观察结果。

[0301] 如图23A和图23B所示,确认到液晶的取向状态良好而没有取向缺陷。

[0302] 如上所述,确认到根据本实施例可以使用六个掩模制造4.3英寸的高清晰(分辨率为513ppi)的FHD的液晶显示装置。

[0303] 符号说明

[0304] 101 像素;102 衬底;103 晶体管;105 电容元件;105a 电容元件;105b 电容元件;105c 电容元件;105d 电容元件;107 扫描线;109 数据线;111 半导体层;113 导电层;115 电容线;117 开口;119 半导体层;119a 半导体层;119b 半导体层;119c 半导体层;121 像素电极;121d 像素电极;127 绝缘层;129 绝缘层;131 绝缘层;133 绝缘层;135 取向膜;140 开口;140a 开口;140b 开口;140c 开口;152 衬底;154 遮光层;156 着色层;158 绝缘层;160 导电层;162 取向膜;164 液晶层;166 间隔物;170 液晶元件;207 栅电极;209 电极;213 电极;215a 氮化物绝缘层;215b 氧化物绝缘层;228 栅极绝缘层;229 氧化物绝缘层;231 氧化物绝缘层;233 氮化物绝缘层;241 开口;242 开口;250 晶体管;251 栅电极;260 晶体管;288 栅极绝缘层;291 栅电极;292 电极;293 开口;294 开口;302 像素部;304 驱动电路部;304a 栅极驱动器;304b 源极驱动器;306 保护电路;307 端子部;308 像素电路部;402 衬底;407 导电层;419 导电层;421 电极;431 绝缘层;452 衬底;460 电极;464 液晶层;466 间隔物;500 缓冲器;507a 导电层;507b 导电层;509a 导电层;509b 导电层;511_1 半导体层;511a_1 半导体层;511a_2 半导体层;511b 半导体层;513a 导电层;513b 导电层;517a 导电层;517b 导电层;519 导电层;521 开口;522 开口;523 开口;524 开口;525 开口;5000 箱体;5001 显示部;5002 显示部;5003 扬声器;5004 LED灯;5005 操作键;5006 连接端子;5007 传感器;5008 麦克风;5009 开关;5010 红外端口;5011 记录介质读取部;5012 支撑部;5013 耳机;5014 天线;5015 快门按钮;5016 图像接收部;5017 充电器;8000 显示模块;8001 上部覆盖物;8002 下部覆盖物;8003 FPC;8004 触摸面板;8005 FPC;8006 显示面板;8007 背光;8008 光源;8009 帧;8010 印刷电路板;8011 电池。

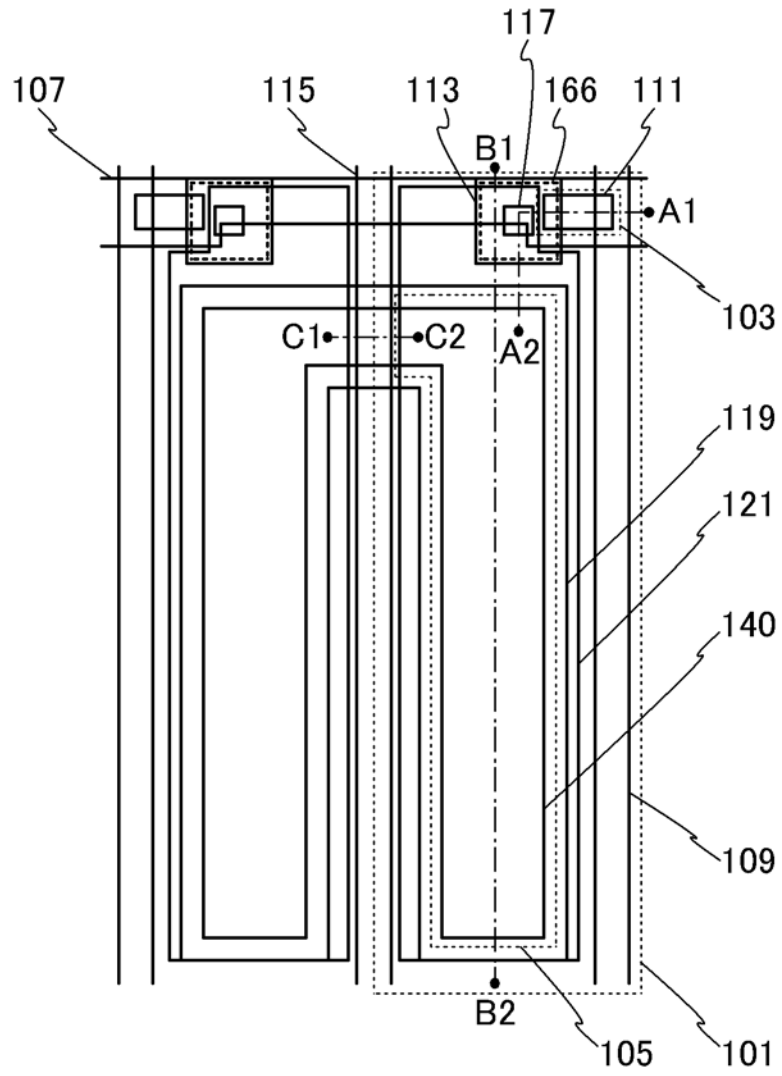


图 1

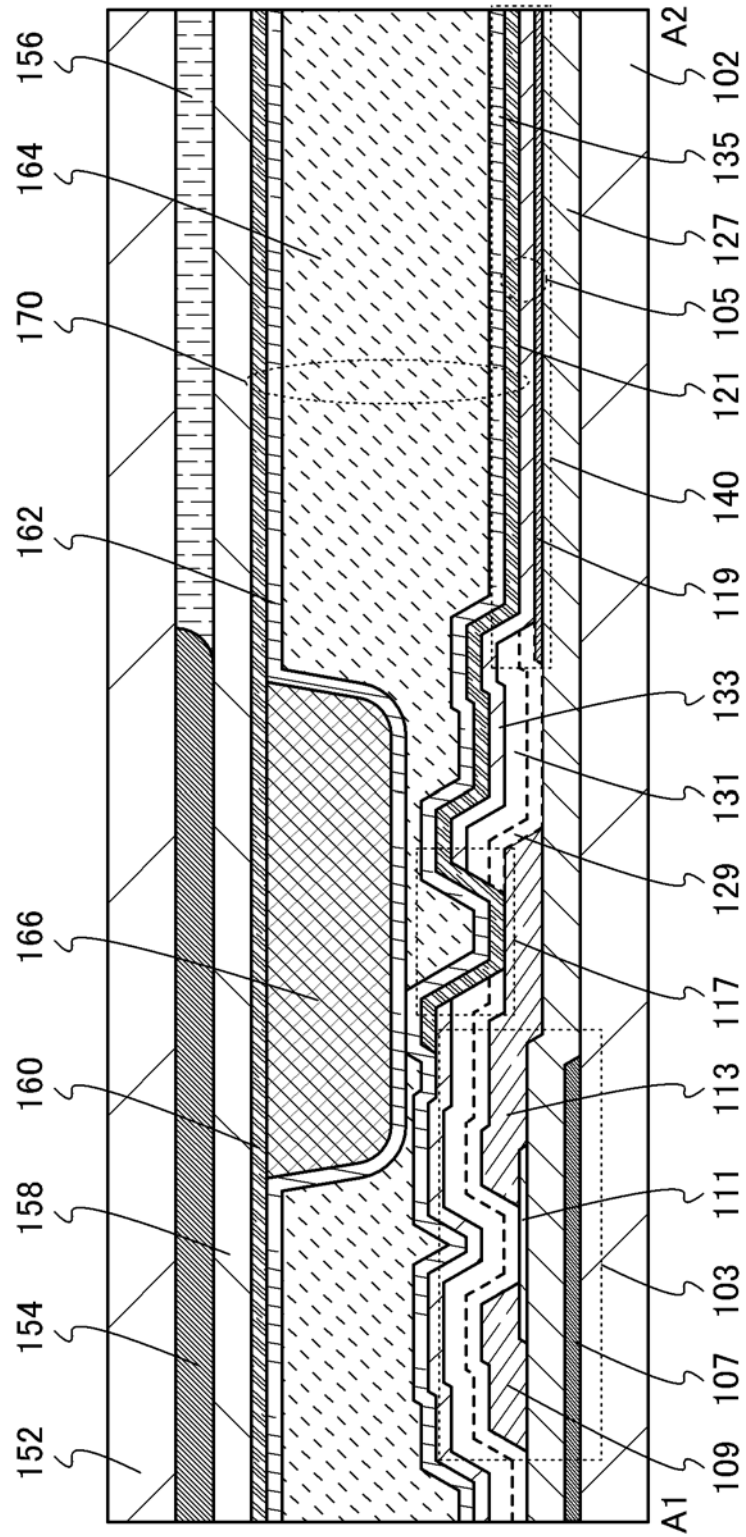


图 2

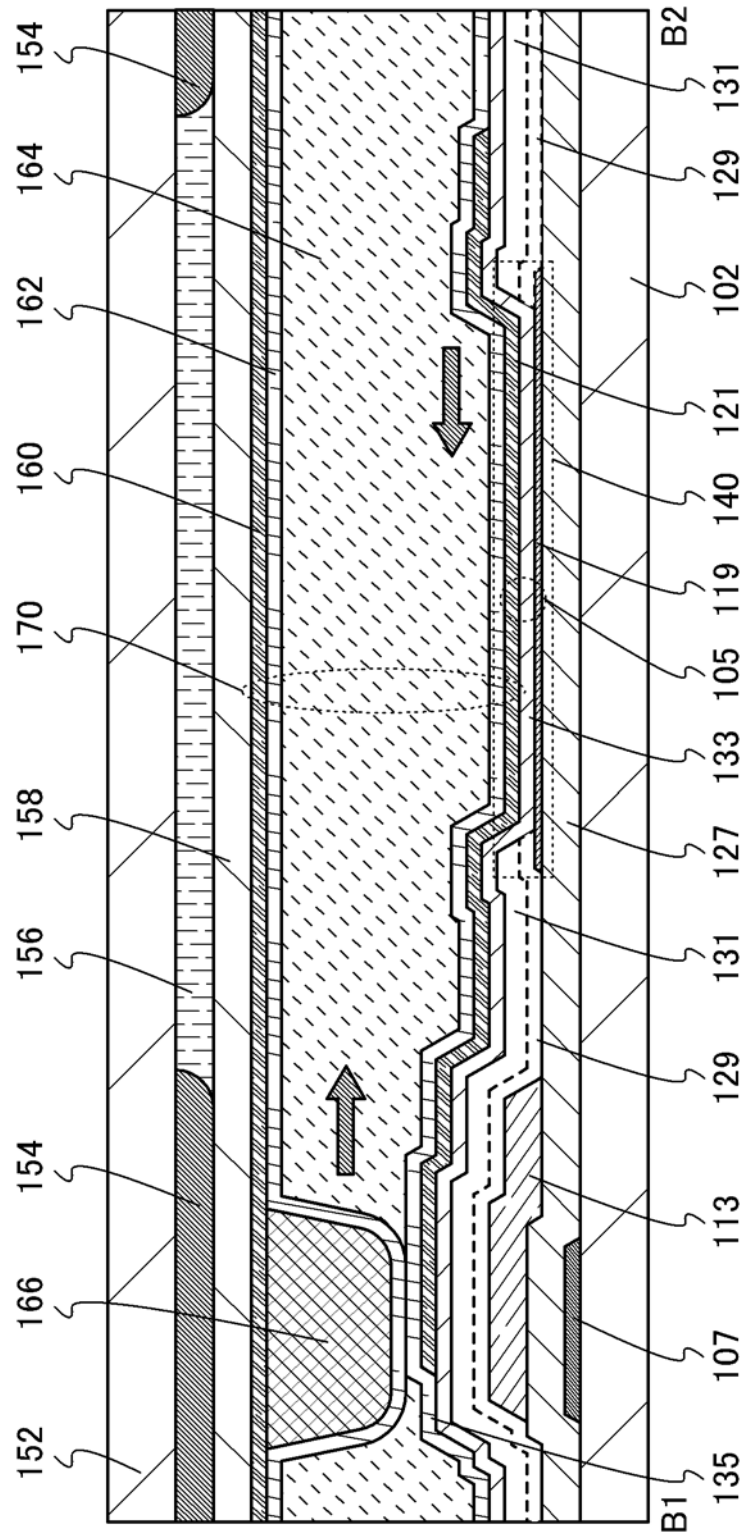


图 3

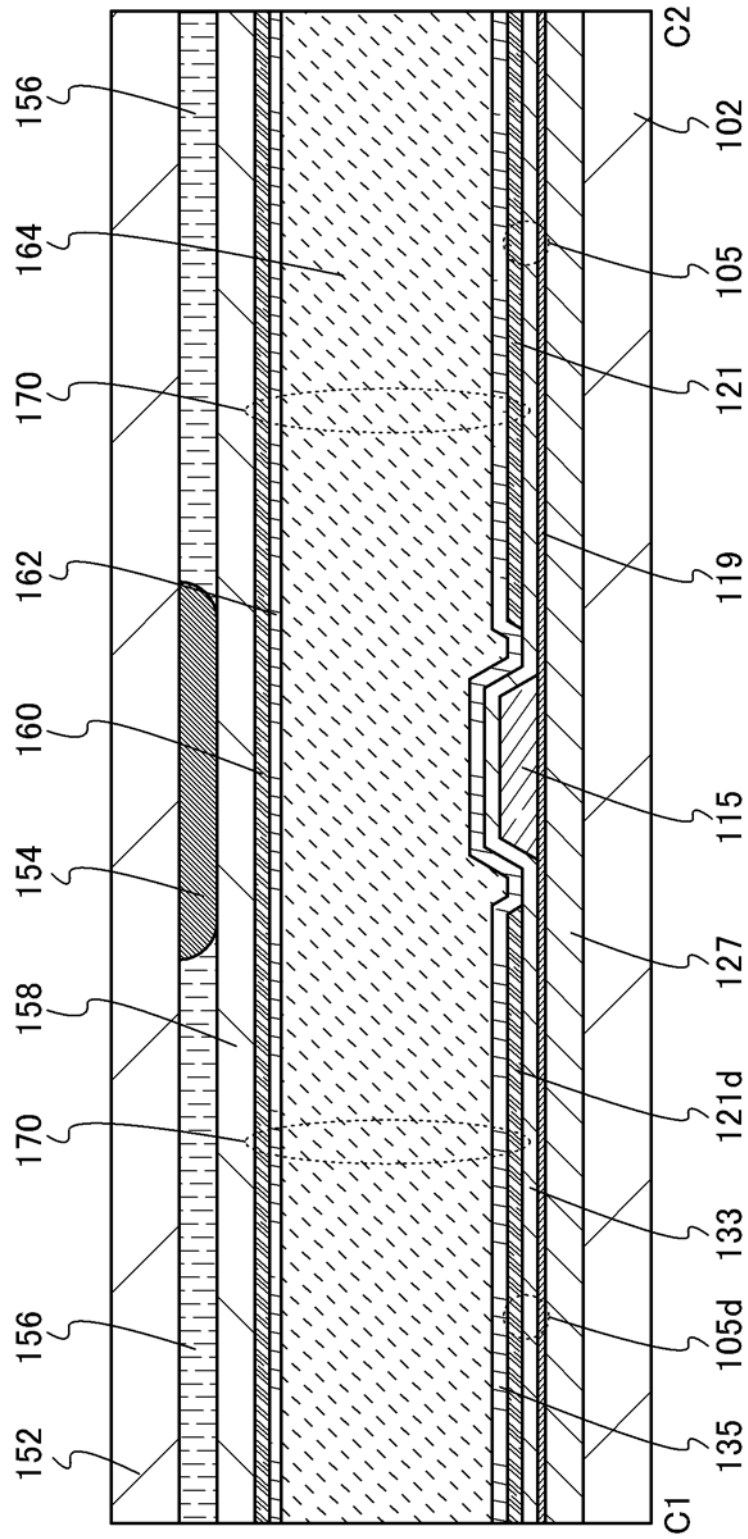


图 4

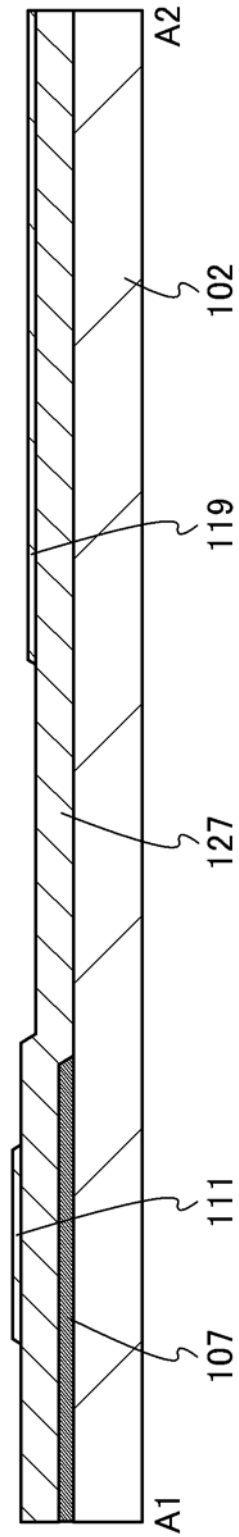


图 5A

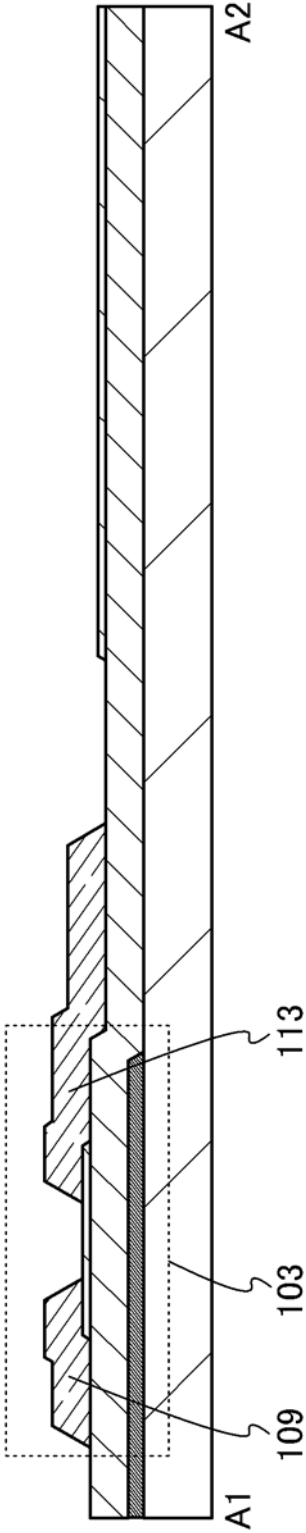


图 5B

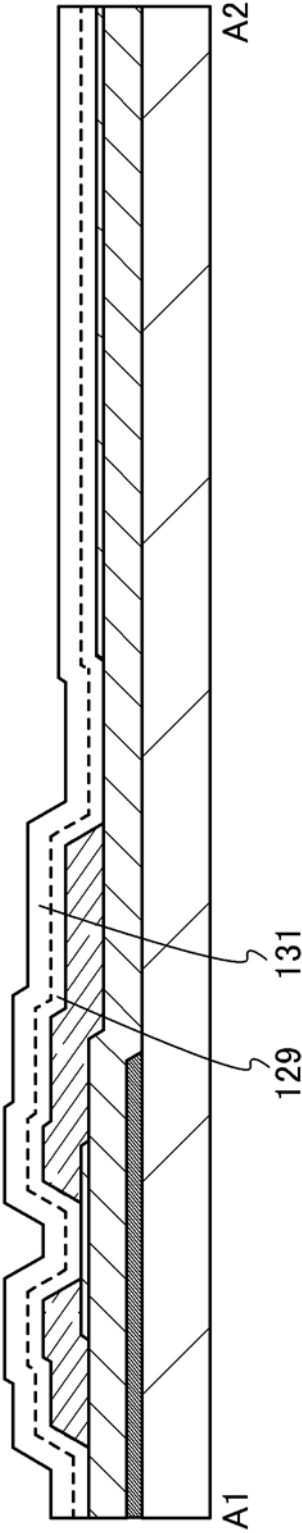


图 5C

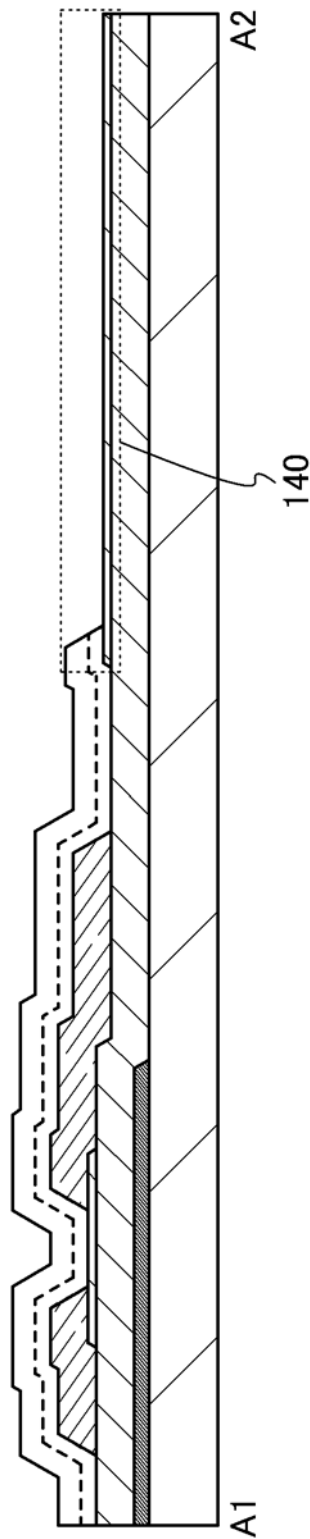


图 6A

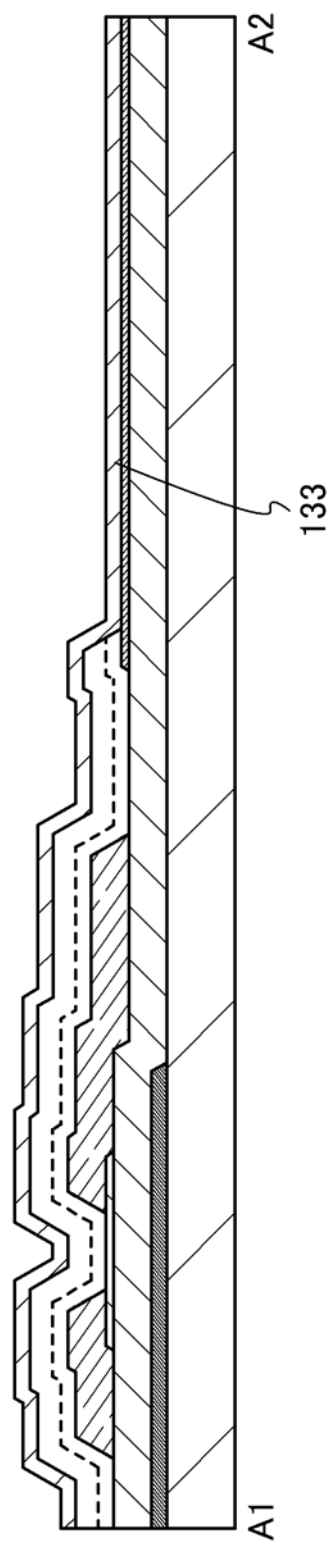


图 6B

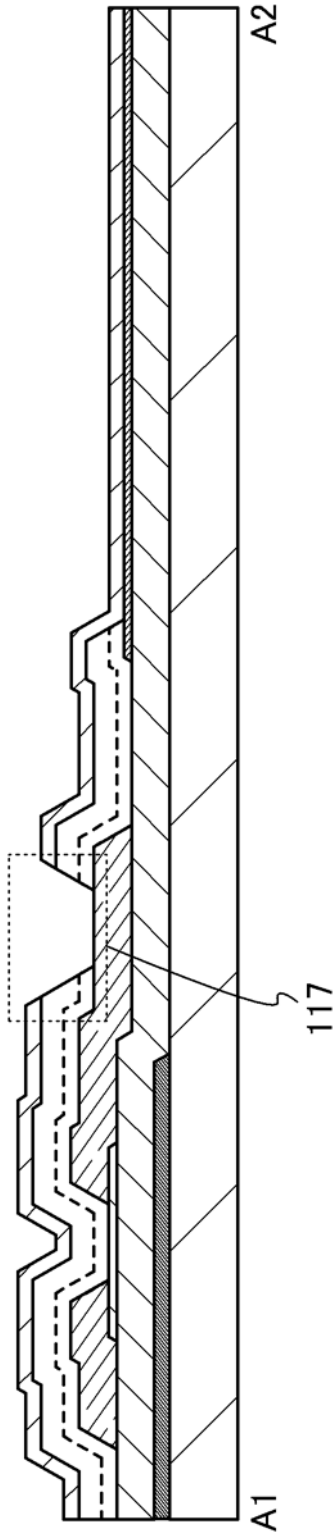


图 7A

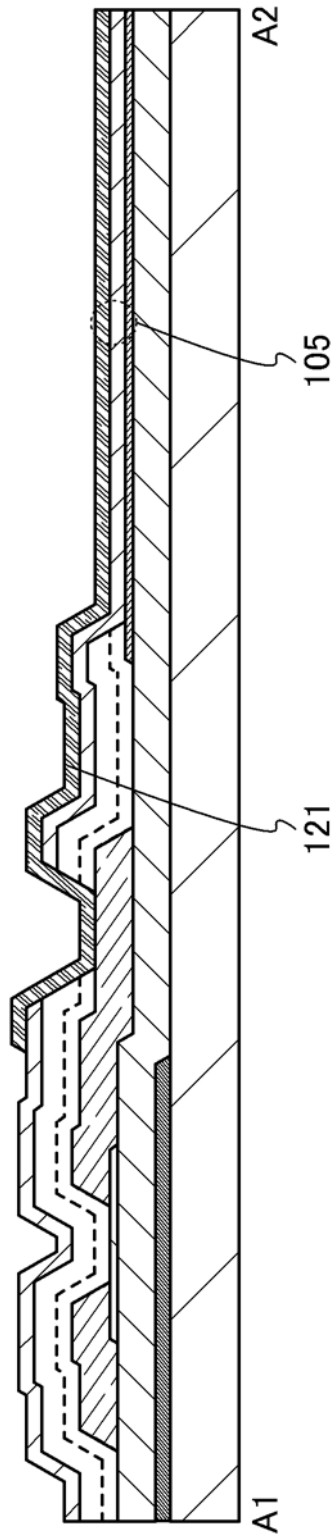


图 7B

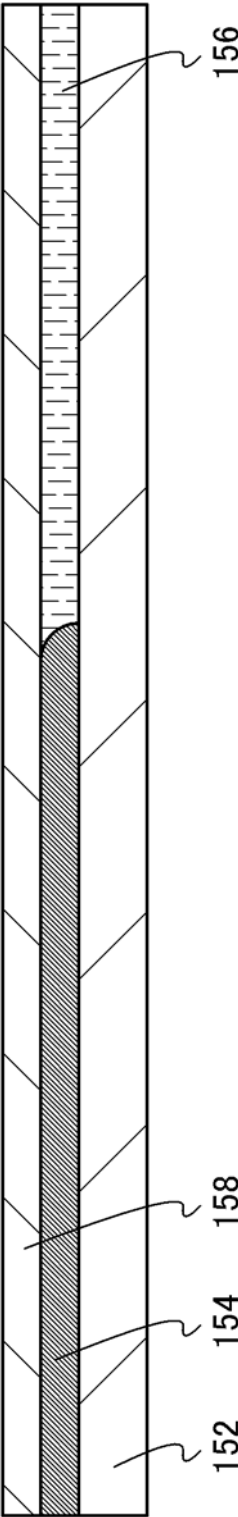


图 8A

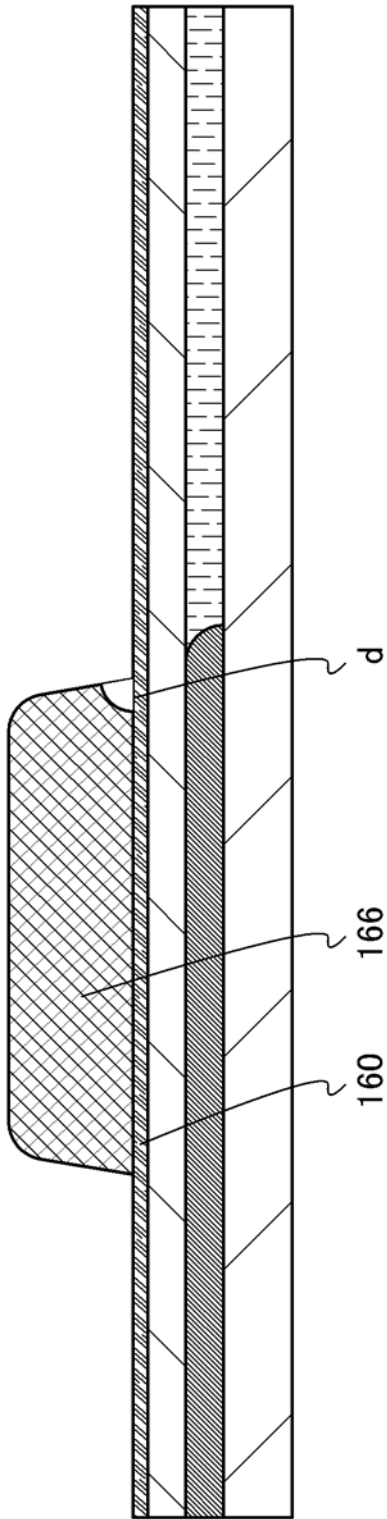


图 8B

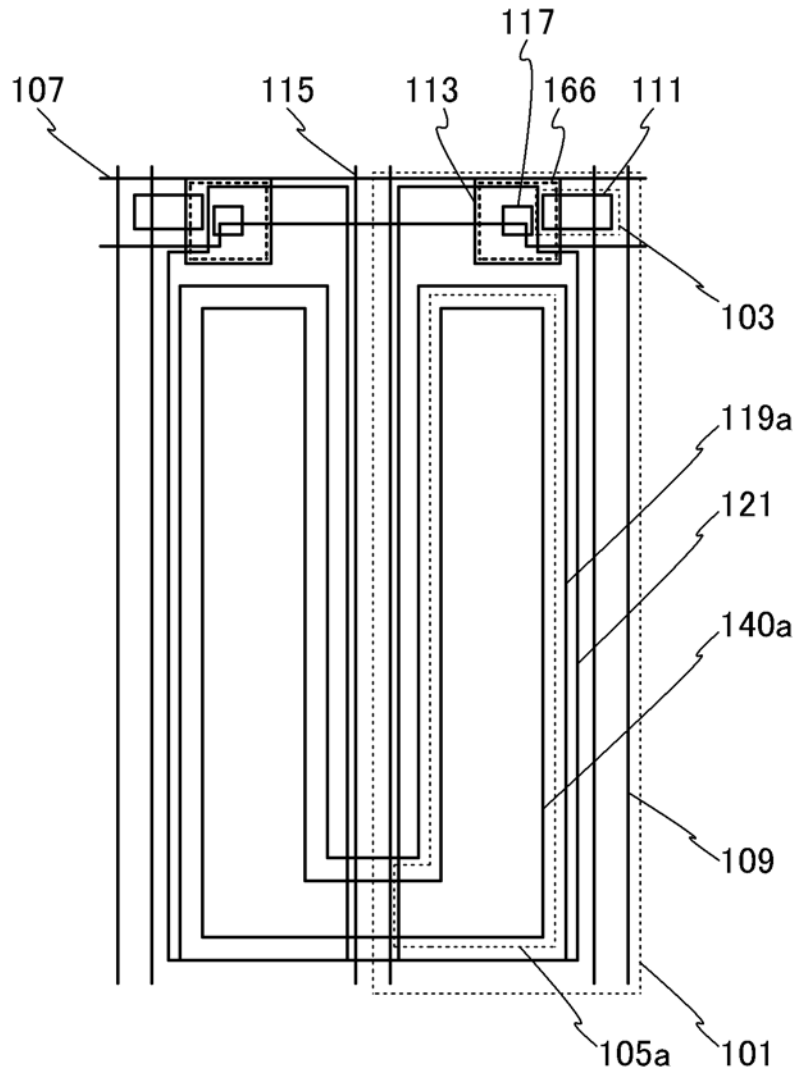


图 9

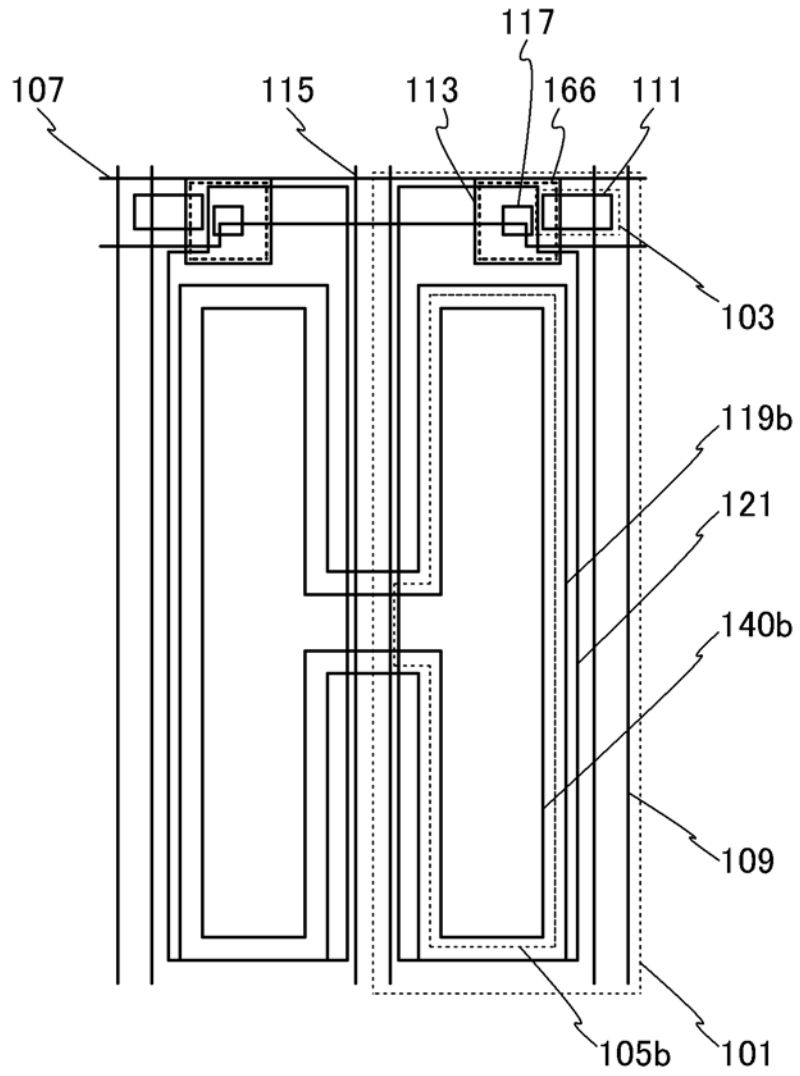


图 10

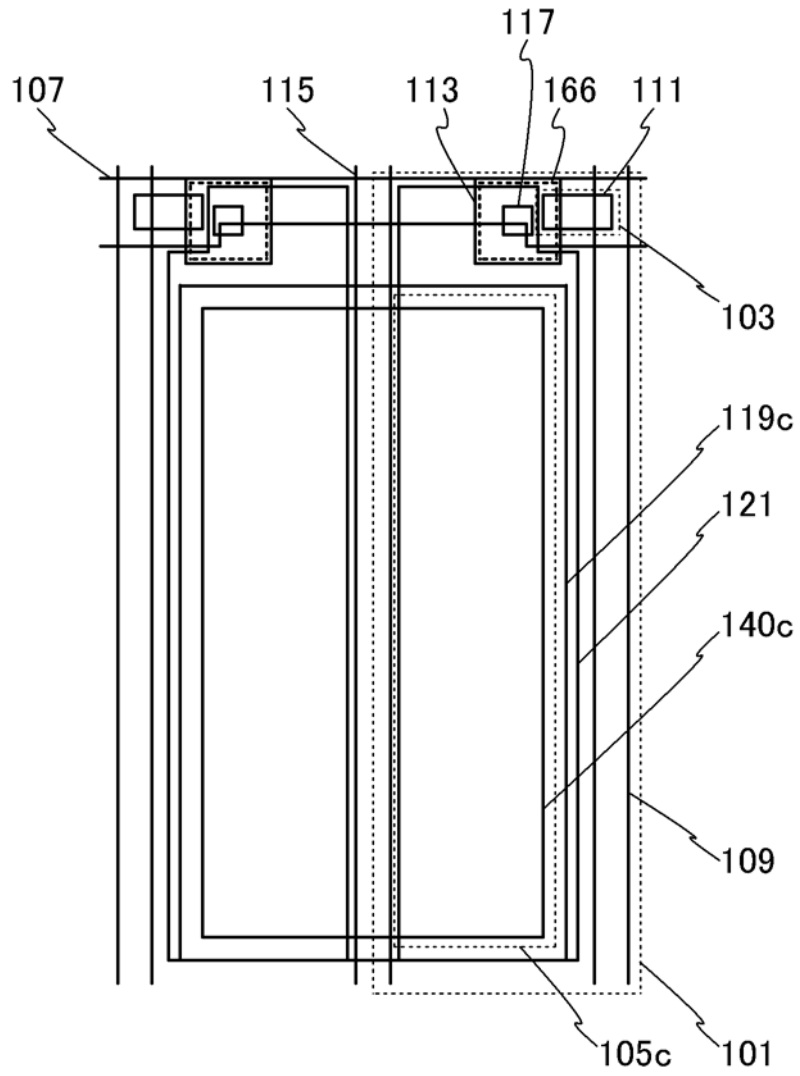


图 11

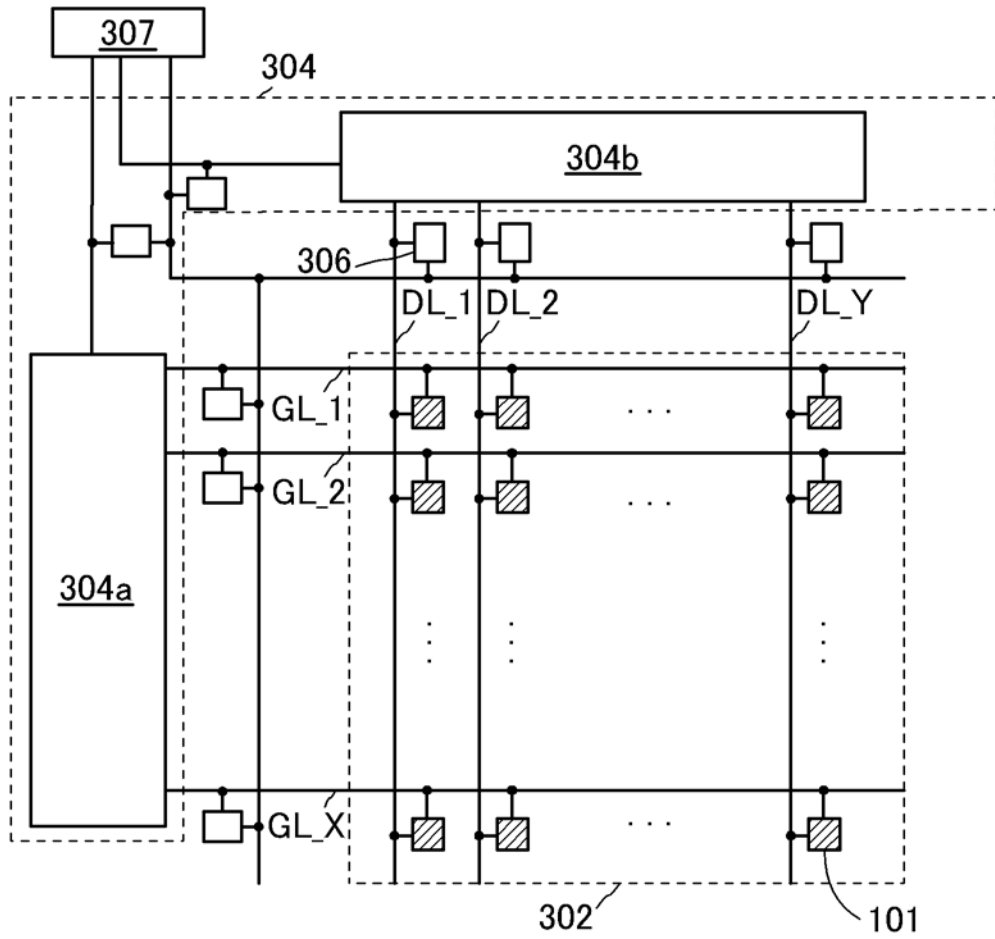


图 12A

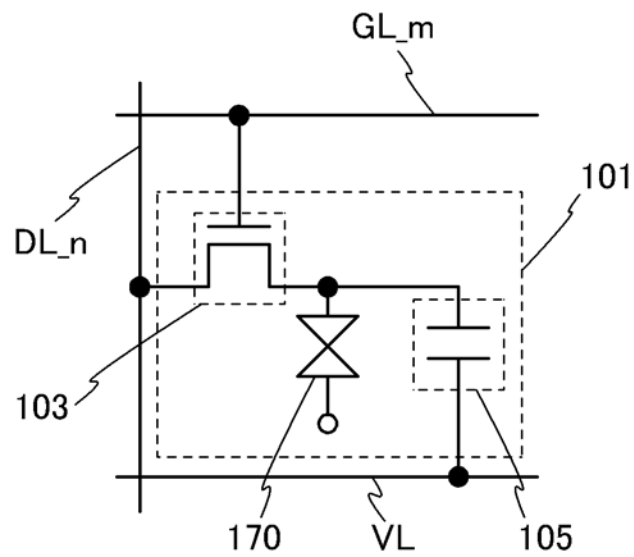


图 12B

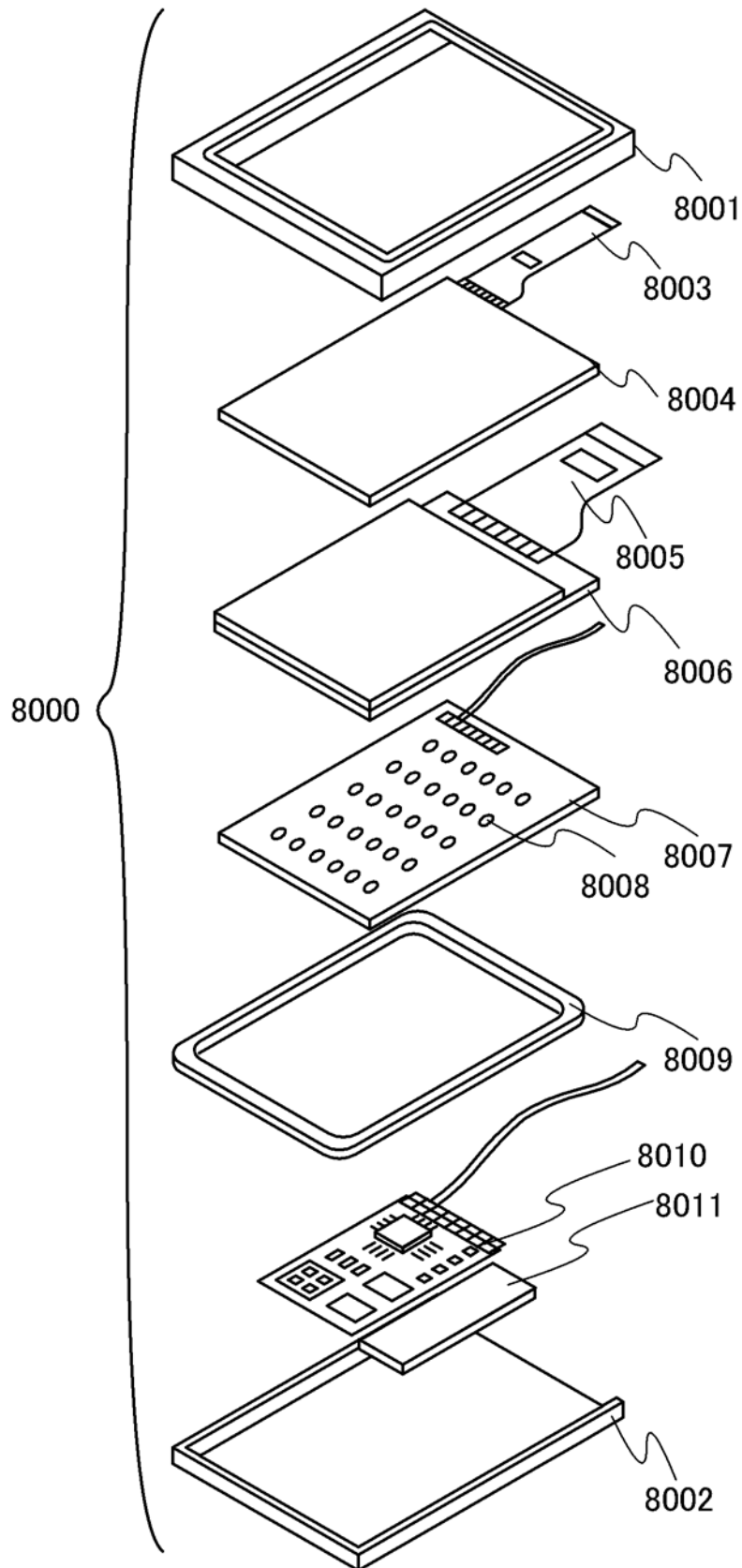


图 13

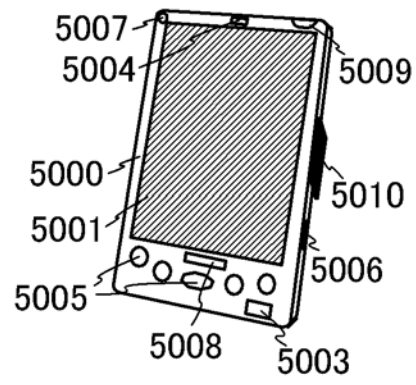


图 14A

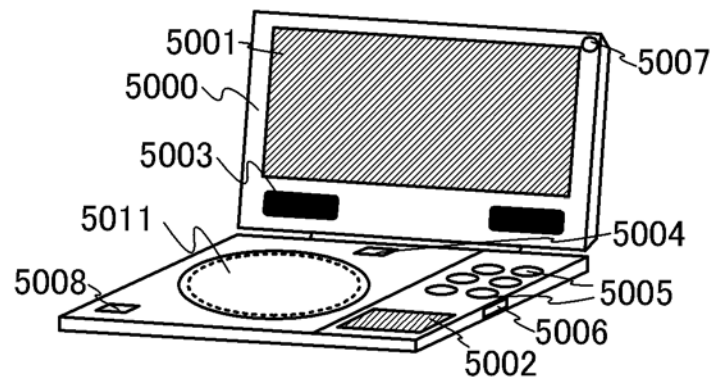


图 14B

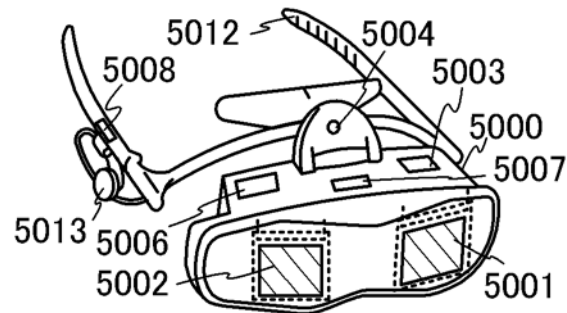


图 14C

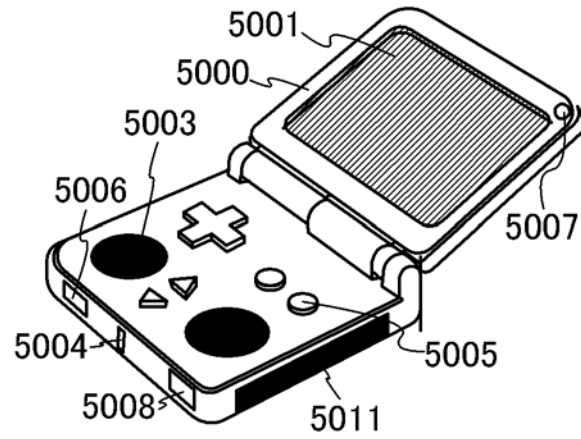


图 14D

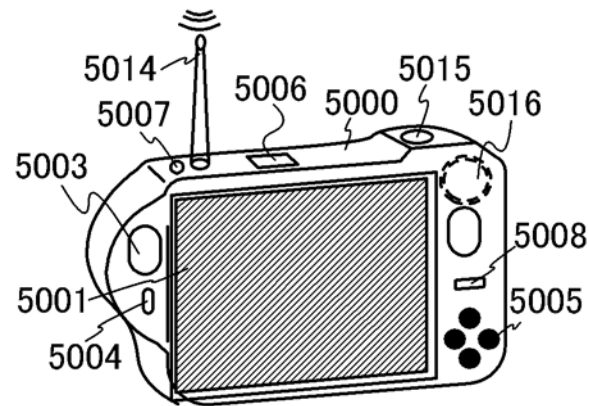


图 14E

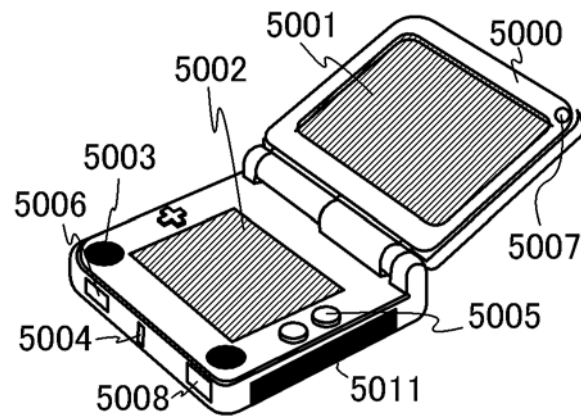


图 14F

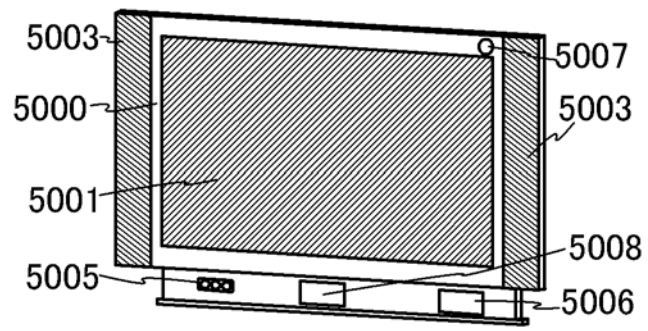


图 14G

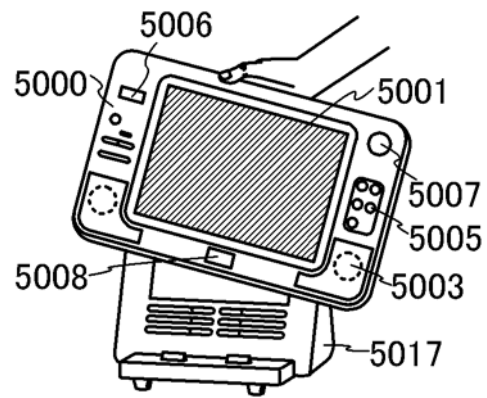


图 14H

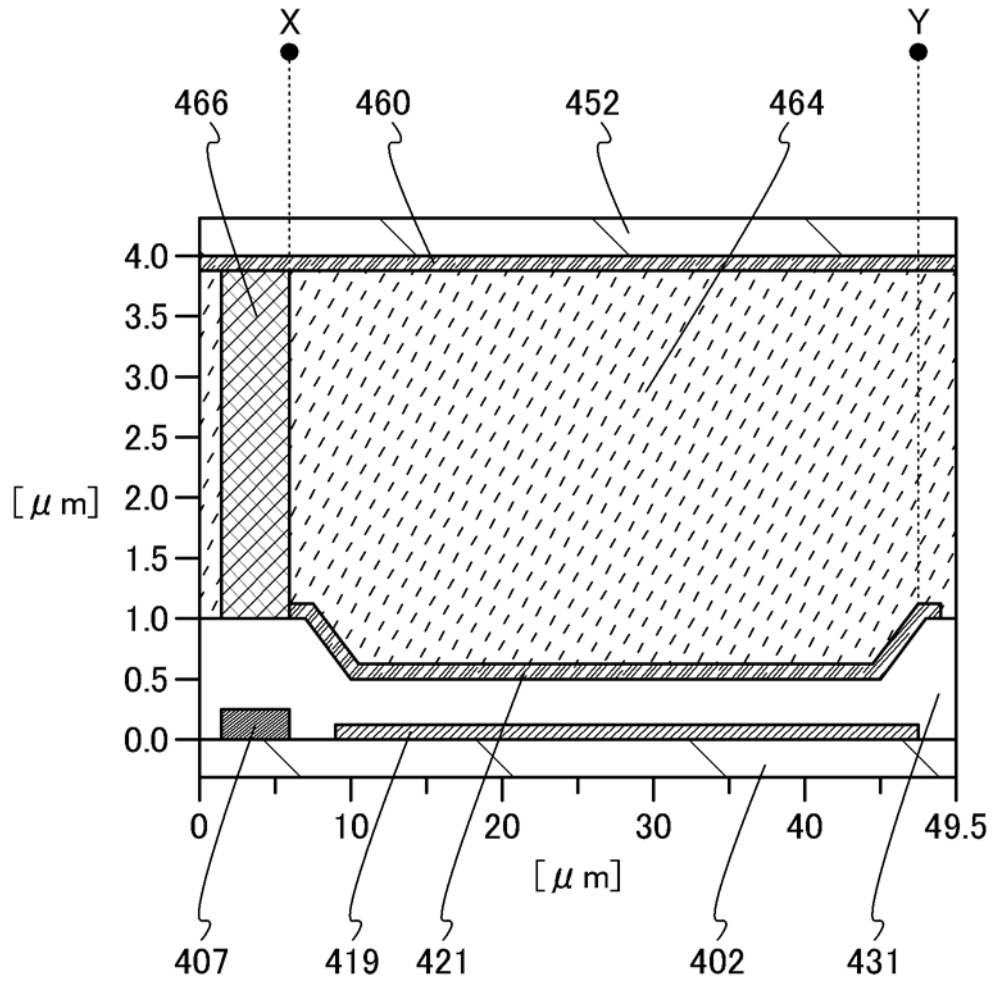


图 15

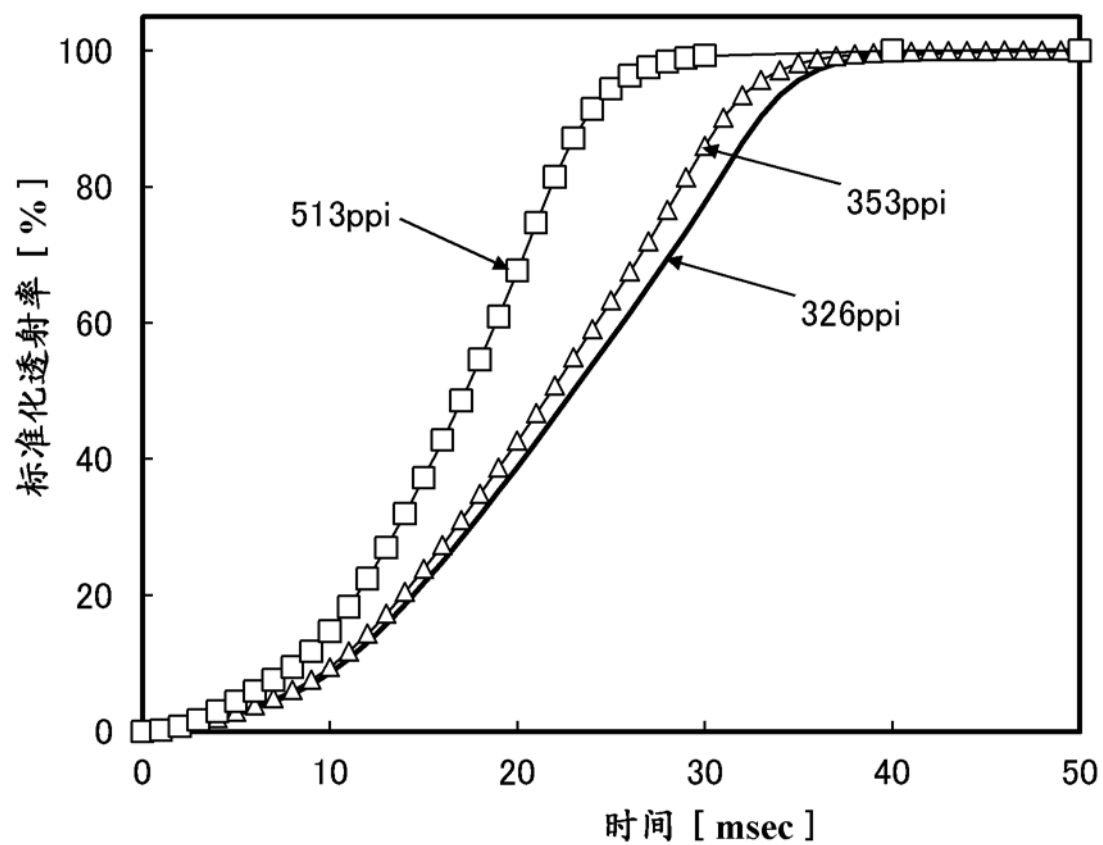


图 16

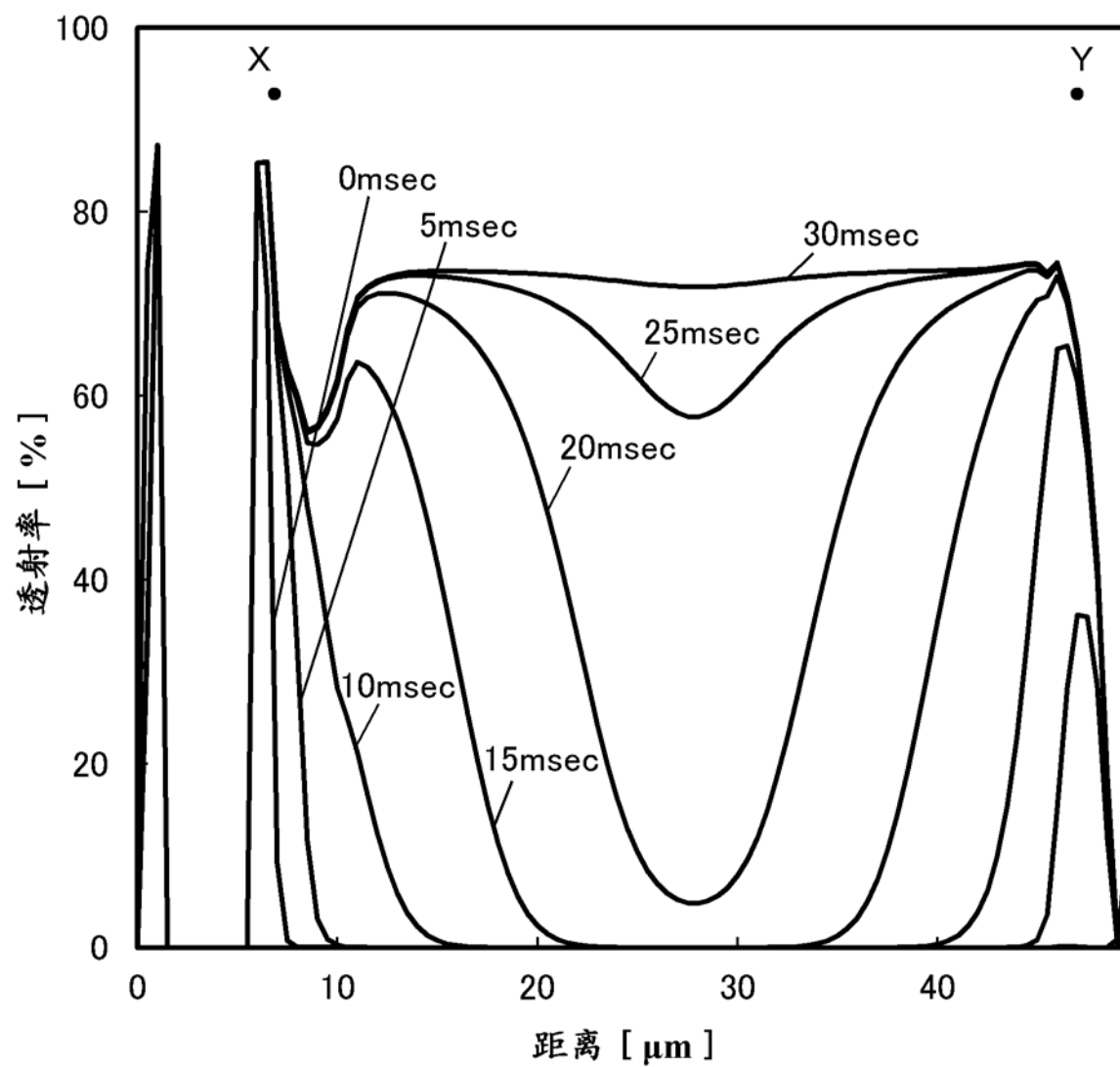


图 17

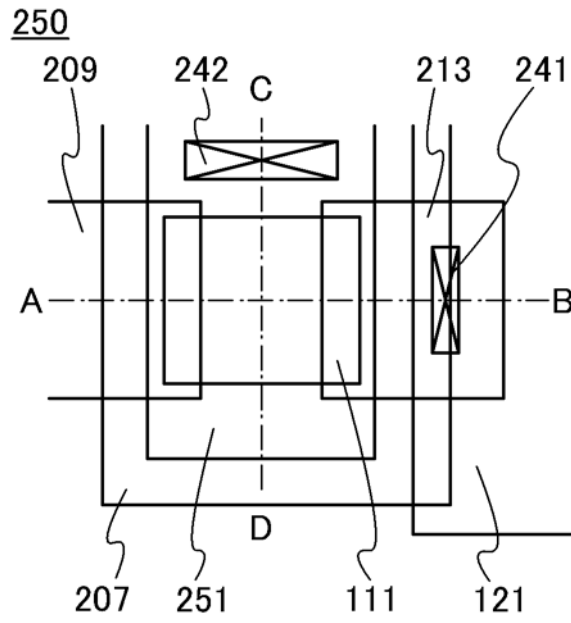


图 18A

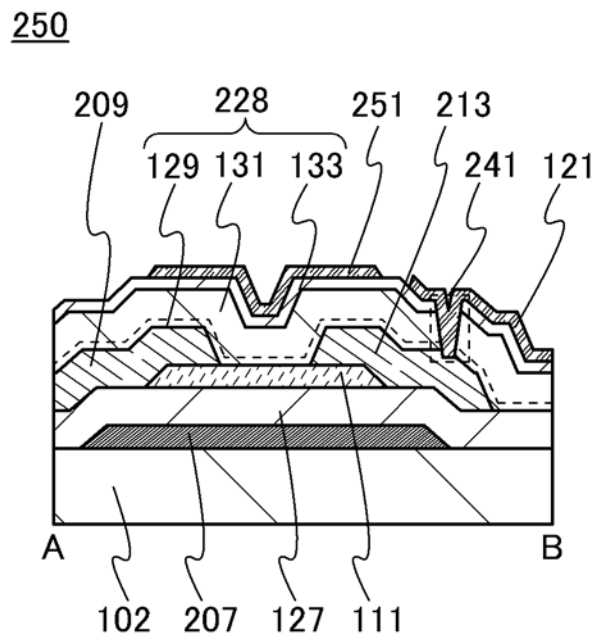


图 18B

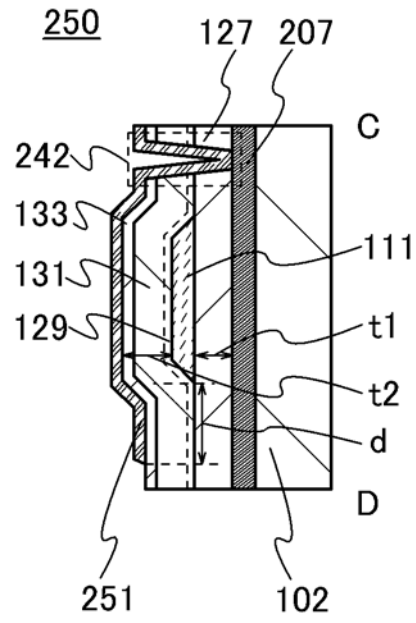


图 18C

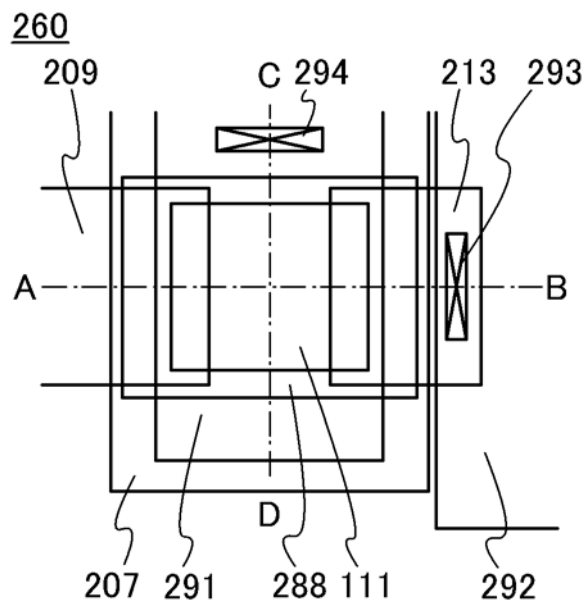


图 19A

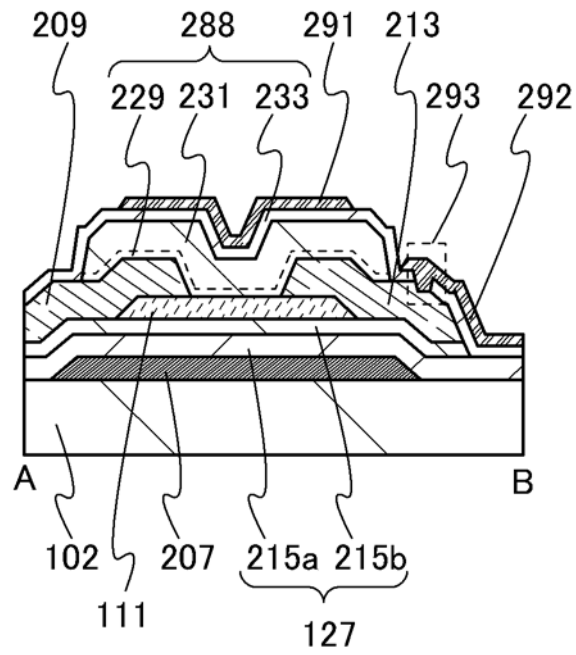
260

图 19B

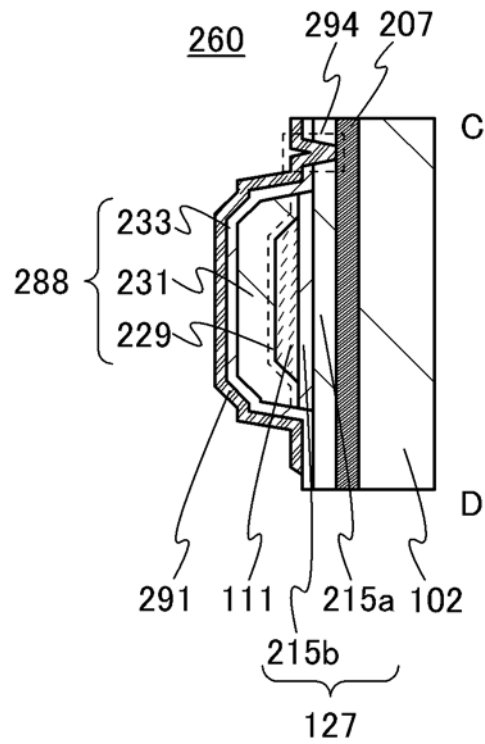


图 19C

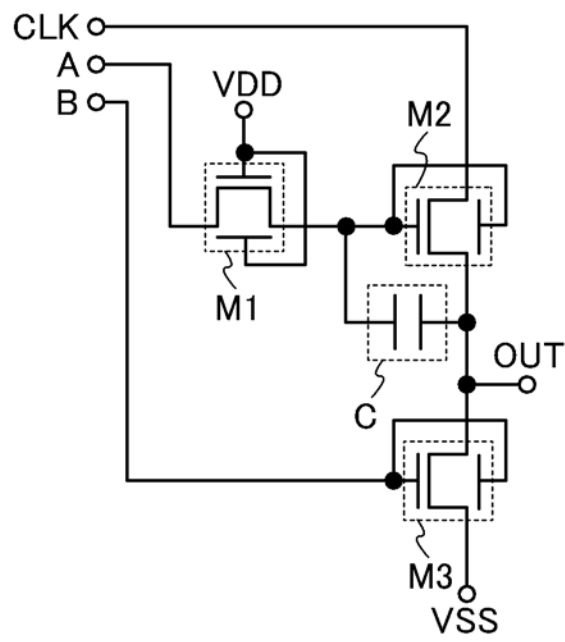
500

图 20A

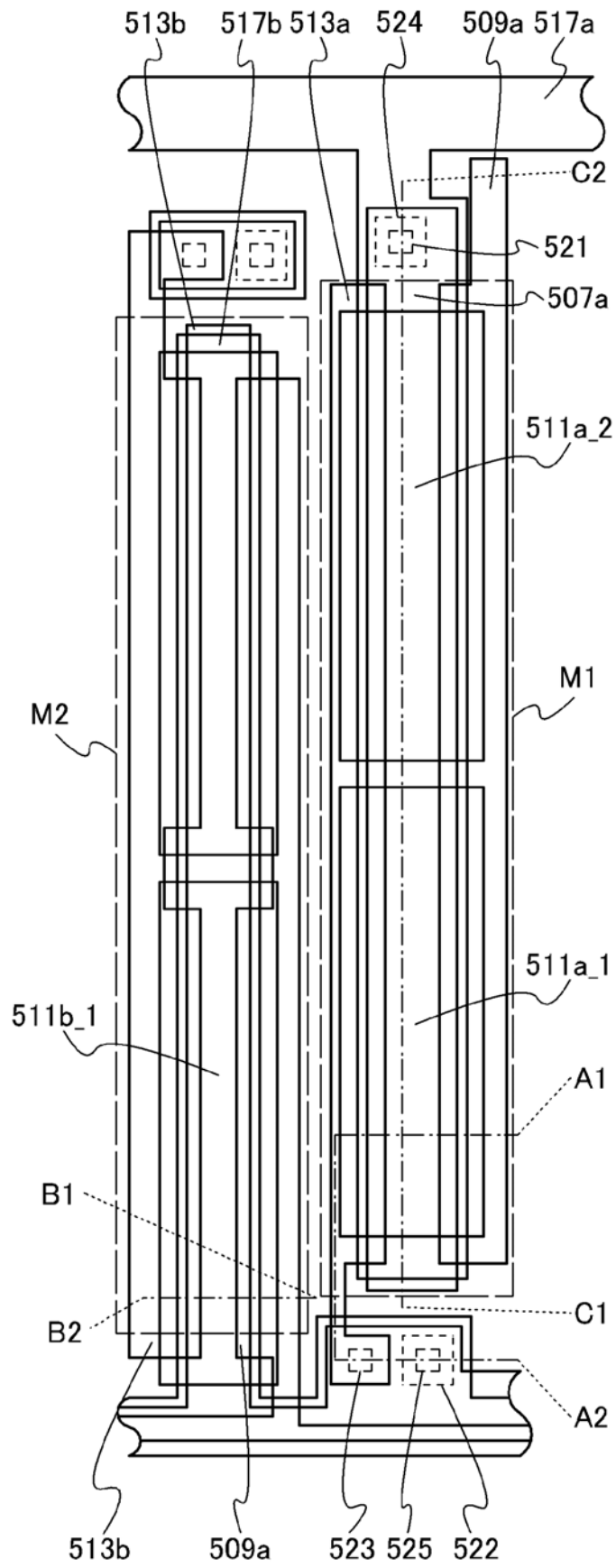


图 20B

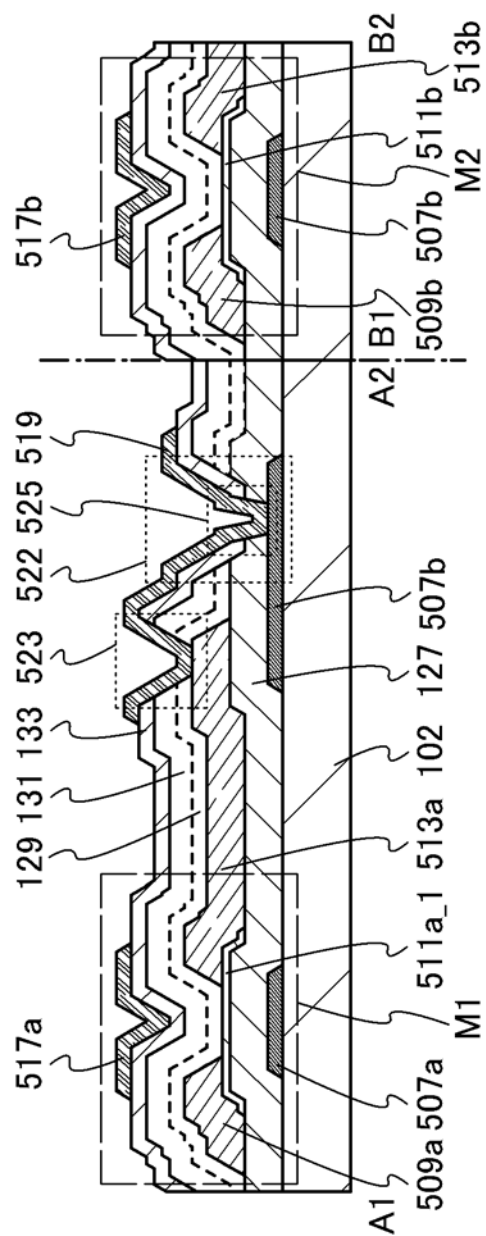


图 21A

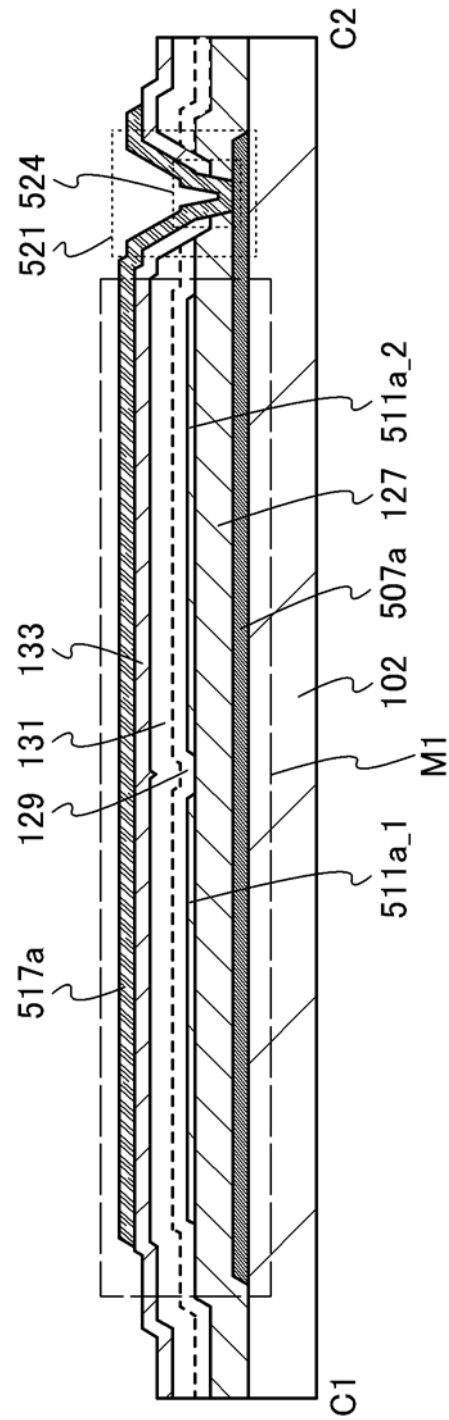


图 21B



图 22

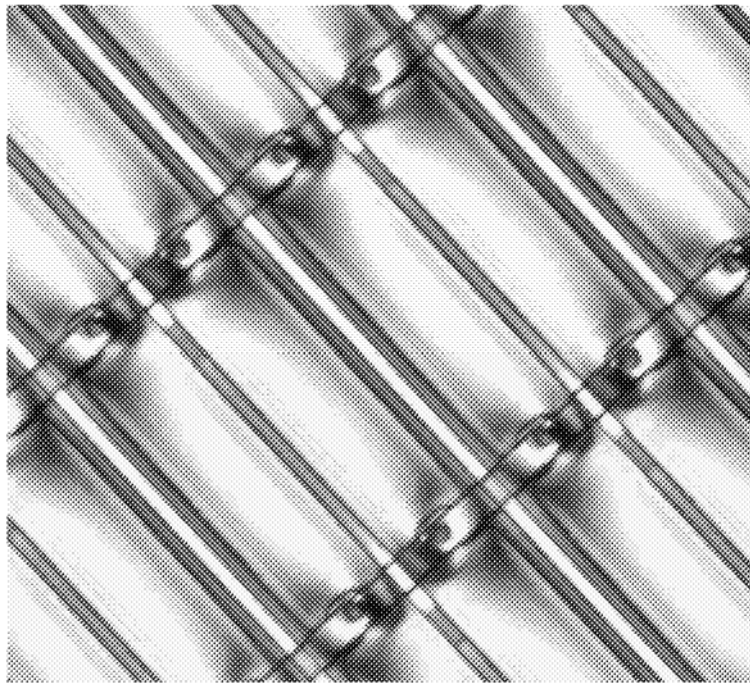


图 23A

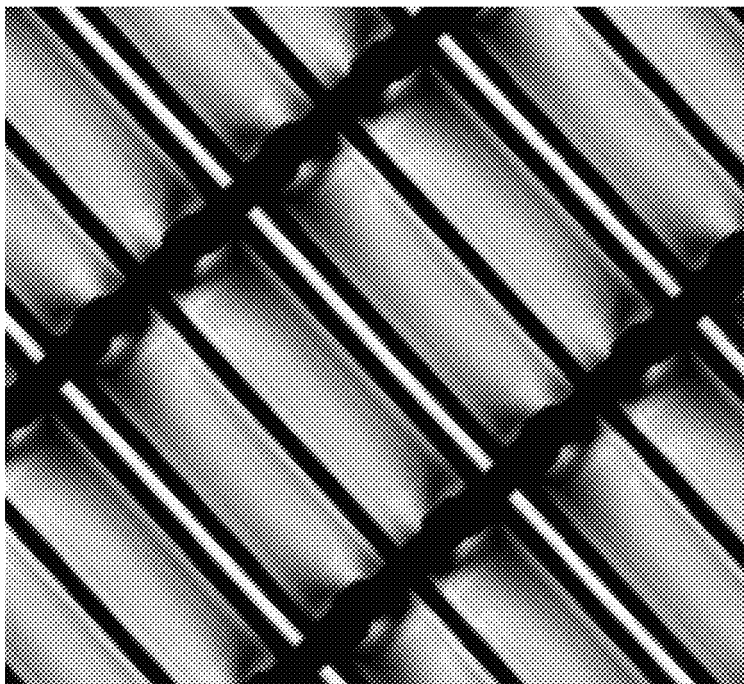


图 23B

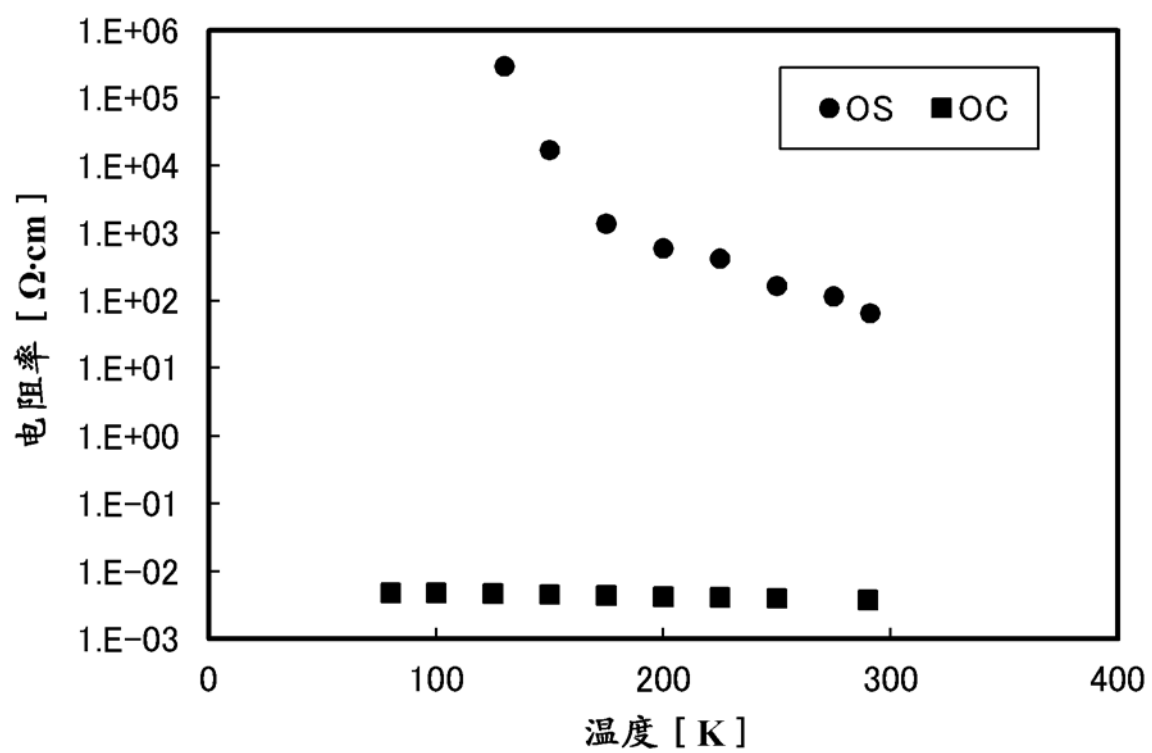


图 24

专利名称(译)	显示装置及电子设备		
公开(公告)号	CN104238205B	公开(公告)日	2019-04-30
申请号	CN201410246494.1	申请日	2014-06-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社半导体能源研究所		
当前申请(专利权)人(译)	株式会社半导体能源研究所		
[标]发明人	久保田大介 洼田勇介		
发明人	久保田大介 洼田勇介		
IPC分类号	G02F1/1343 G02F1/1337 G02F1/1339		
CPC分类号	G02F1/133707 G02F1/13394 G02F1/136213		
代理人(译)	王忠忠		
审查员(译)	谭欣		
优先权	2013118550 2013-06-05 JP 2013122849 2013-06-11 JP 2014037205 2014-02-27 JP		
其他公开文献	CN104238205A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种取向不良被降低的显示装置。此外，本发明提供一种包括开口率高且能够增大电荷容量的电容元件的显示装置。此外，本发明提供一种包括开口率高且电荷容量大的电容元件且取向不良被降低的显示装置。本发明是一种在区划为扫描线、数据线以及电容线的区域中具有像素的显示装置，该像素包括：夹在对置电极与像素电极之间的液晶层；形成在液晶层中的间隔物；以及连接到像素电极的晶体管，该像素电极具有凹部，由间隔物及凹部控制液晶层的取向方向。

