



(12) 发明专利申请

(10) 申请公布号 CN 103903546 A

(43) 申请公布日 2014. 07. 02

(21) 申请号 201310714197. 0

(22) 申请日 2013. 12. 20

(30) 优先权数据

10-2012-0153837 2012. 12. 26 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 吴承哲

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国

(51) Int. Cl.

G09G 3/20 (2006. 01)

G09G 3/36 (2006. 01)

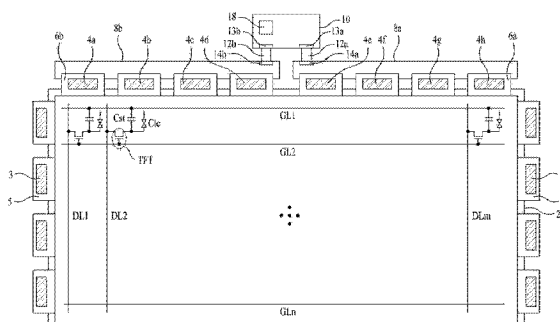
权利要求书3页 说明书10页 附图4页

(54) 发明名称

图像显示装置及其驱动方法

(57) 摘要

公开了一种图像显示装置及其驱动方法,其中使用多点面板内接口可减少图像数据的发送/接收线的数量以及提高带宽使用效率。所述图像显示装置包括:图像显示面板,所述图像显示面板被配置成通过包括多个像素区域显示图像;多个第一栅极 IC,所述多个第一栅极 IC 位于所述图像显示面板的第一侧以驱动所述图像显示面板的栅极线;多个数据 IC,所述多个数据 IC 被配置成驱动所述图像显示面板的数据线;和时序控制器,所述时序控制器被配置成根据奇数数据 IC 和偶数数据 IC 排列从外部接收的图像数据,并使用多点方案将排列后的奇数和偶数图像数据依次提供给奇数数据 IC 和偶数数据 IC。



1. 一种图像显示装置,包括:

图像显示面板,所述图像显示面板被配置成通过包括多个像素区域显示图像;

多个第一栅极 IC,所述多个第一栅极 IC 位于所述图像显示面板的第一侧以驱动所述图像显示面板的栅极线;

多个数据 IC,所述多个数据 IC 被配置成驱动所述图像显示面板的数据线;和

时序控制器,所述时序控制器被配置成根据奇数数据 IC 和偶数数据 IC 排列从外部接收的图像数据,并使用多点方案将排列后的奇数和偶数图像数据依次提供给奇数数据 IC 和偶数数据 IC。

2. 根据权利要求 1 所述的图像显示装置,还包括:

划分的信号传输线,其中使用多点方案通过所述划分的信号传输线传输排列后的图像数据,所述划分的信号传输线被配置成位于与所述时序控制器相邻的成对的奇数数据 IC 和偶数数据 IC 之间;和

进位传输线,所述进位传输线位于彼此相邻的成对的奇数数据 IC 和偶数数据 IC 之间,

其中所述时序控制器被配置成按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出用于每个奇数数据 IC 和偶数数据 IC 的排列后的图像数据,

各奇数数据 IC 被配置成基于水平依次存储排列后的图像数据中的奇数图像数据,

各偶数数据 IC 被配置成在从相邻的奇数数据 IC 接收到进位信号时,基于水平依次存储排列后的图像数据中的偶数图像数据。

3. 根据权利要求 1 所述的图像显示装置,还包括:

划分的信号传输线,其中使用多点方案通过所述划分的信号传输线传输排列后的图像数据,所述划分的信号传输线被配置成位于与所述时序控制器相邻的成对的奇数数据 IC 和偶数数据 IC 之间,

其中向彼此相邻的成对的奇数数据 IC 和偶数数据 IC 中的每一个输入用于设定奇数或偶数位置的位置设定信号,所述位置设定信号为由至少一位组成的逻辑信号,

所述时序控制器被配置成按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出用于每个奇数数据 IC 和偶数数据 IC 的排列后的图像数据,

各奇数数据 IC 被配置成在接收到所述位置设定信号时,基于水平依次存储排列后的图像数据中的奇数图像数据,

各偶数数据 IC 被配置成在接收到所述位置设定信号时,基于水平依次存储排列后的图像数据中的偶数图像数据。

4. 根据权利要求 1 所述的图像显示装置,还包括:

用于传输排列后的图像数据的信号传输线,所述信号传输线插置在该时序控制器与在彼此相邻的奇数数据 IC 和偶数数据 IC 之中的更邻近于该时序控制器的每个数据 IC 之间,并且不与所述信号传输线连接的其余各数据 IC 分别级联到与所述信号传输线连接的相邻数据 IC,

其中在彼此相邻的奇数数据 IC 和偶数数据 IC 的每个中自身确定用于确定奇数或偶数位置的位置设定信号,或者作为由至少一位组成的逻辑信号来输入用于确定奇数或偶数位置的位置设定信号,

所述时序控制器按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出根据

奇数数据 IC 和偶数数据 IC 排列后的图像数据，

各奇数数据 IC 被配置成基于水平依次存储根据位置设定信号排列后的图像数据中的奇数图像数据，

各偶数数据 IC 被配置成基于水平依次存储根据位置设定信号排列后的图像数据中的偶数图像数据。

5. 根据权利要求 1 所述的图像显示装置，还包括：

用于传输排列后的图像数据的信号传输线，所述信号传输线被配置成位于所述时序控制器与奇数数据 IC 之间，

其中偶数数据 IC 以偶数数据 IC 分别与单独的信号传输线连接的方式级联到与偶数数据 IC 成对的相邻奇数数据 IC，

用于设定奇数或偶数位置的位置设定信号被预先存储在彼此相邻的成对的奇数数据 IC 和偶数数据 IC 中的每一个中，并且所述位置设定信号被输入为由至少一位组成的逻辑信号，

所述时序控制器被配置成按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出用于每个奇数数据 IC 和偶数数据 IC 的排列后的图像数据，

各奇数数据 IC 被配置成在接收到所述位置设定信号时，基于水平依次存储排列后的图像数据中的奇数图像数据，

各偶数数据 IC 被配置成在接收到所述位置设定信号时，基于水平依次存储排列后的图像数据中的偶数图像数据。

6. 一种用于驱动图像显示装置的方法，包括：

驱动图像显示面板的栅极线，所述图像显示面板包括多个像素区域以显示图像；

根据所述栅极线的驱动时序，使用奇数数据 IC 和偶数数据 IC 驱动所述图像显示面板的数据线；和

根据各奇数数据 IC 和偶数数据 IC 排列从外部接收的图像数据，并使用多点方案将排列后的奇数和偶数图像数据依次提供给奇数数据 IC 和偶数数据 IC。

7. 根据权利要求 6 所述的方法，其中：

在与时序控制器相邻的成对的奇数数据 IC 和偶数数据 IC 之间设置划分的信号传输线，其中使用多点方案通过所述划分的信号传输线传输排列后的图像数据；以及

在彼此相邻的成对的奇数数据 IC 和偶数数据 IC 之间设置进位传输线，

其中依次提供排列后的图像数据包括：

按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出用于每个奇数数据 IC 和偶数数据 IC 的排列后的图像数据；

使各奇数数据 IC 基于水平依次存储排列后的图像数据中的奇数图像数据，并向与奇数数据 IC 相邻的偶数数据 IC 提供自身产生的进位信号；以及

使各偶数数据 IC 在从相邻奇数数据 IC 接收到进位信号时，基于水平依次存储排列后的图像数据中的偶数图像数据。

8. 根据权利要求 6 所述的方法，其中：

在与时序控制器相邻的成对的奇数数据 IC 和偶数数据 IC 之间设置划分的信号传输线，其中使用多点方案通过所述划分的信号传输线传输排列后的图像数据；以及

向彼此相邻的成对的奇数数据 IC 和偶数数据 IC 中的每一个输入用于设定奇数或偶数位置的位置设定信号,所述位置设定信号为由至少一位组成的逻辑信号,

其中依次提供排列后的图像数据包括:

按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出用于每个奇数数据 IC 和偶数数据 IC 的排列后的图像数据;

使各奇数数据 IC 在接收到所述位置设定信号时,基于水平依次存储排列后的图像数据中的奇数图像数据;以及

使各偶数数据 IC 在接收到所述位置设定信号时,基于水平依次存储排列后的图像数据中的偶数图像数据。

9. 根据权利要求 6 所述的方法,其中:

用于传输排列后的图像数据的信号传输线插置在时序控制器与在彼此相邻的奇数数据 IC 和偶数数据 IC 之中的更邻近于该时序控制器的每个数据 IC 之间,并且不与所述信号传输线连接的其余各数据 IC 分别级联到与所述信号传输线连接的相邻数据 IC,

其中在彼此相邻的奇数数据 IC 和偶数数据 IC 的每个中自身确定用于确定奇数或偶数位置的位置设定信号,或者作为由至少一位组成的逻辑信号来输入用于确定奇数或偶数位置的位置设定信号,

其中依次提供排列后的图像数据包括:

按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出根据奇数数据 IC 和偶数数据 IC 排列后的图像数据;

使各奇数数据 IC 基于水平依次存储根据位置设定信号排列后的图像数据中的奇数图像数据;以及

使各偶数数据 IC 基于水平依次存储根据位置设定信号排列后的图像数据中的偶数图像数据。

10. 根据权利要求 6 所述的方法,其中:

在时序控制器与奇数数据 IC 之间设置用于传输排列后的图像数据的信号传输线,

偶数数据 IC 以偶数数据 IC 分别与单独的信号传输线连接的方式级联到与偶数数据 IC 成对的相邻奇数数据 IC,

将用于设定奇数或偶数位置的位置设定信号预先存储在彼此相邻的成对的奇数数据 IC 和偶数数据 IC 中的每一个中,并且所述位置设定信号被输入为由至少一位组成的逻辑信号,

其中依次提供排列后的图像数据包括:

按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出用于每个奇数数据 IC 和偶数数据 IC 的排列后的图像数据;

使各奇数数据 IC 在接收到所述位置设定信号时,基于水平依次存储排列后的图像数据中的奇数图像数据;以及

使各偶数数据 IC 在接收到所述位置设定信号时,基于水平依次存储排列后的图像数据中的偶数图像数据。

图像显示装置及其驱动方法

[0001] 本申请要求 2012 年 12 月 26 日提交的韩国专利申请 No. 10-2012-0153837 的优先权,在此援引该专利申请作为参考,如同在这里完全阐述一样。

技术领域

[0002] 本发明涉及一种被配置成使用多点面板内接口减少图像数据的发送 / 接收线的数量以及提高带宽使用效率的图像显示装置及其驱动方法。

背景技术

[0003] 近来,各种图像显示装置已广泛用于以各种方式显示各种数字内容。一般的平板型图像显示装置包括液晶显示(LCD)装置、有机发光显示(OLED)装置、场发射显示(FED)装置、等离子体显示面板(PDP)等。

[0004] 图像显示装置被配置成使用面板内接口方案实现用于驱动图像显示面板的驱动器与用于控制驱动器的控制器之间的数据发送 / 接收。

[0005] 典型的面板内接口方案包括基于多点方案的低摆幅差分信号(RSDS)接口、迷你低压差分信号(迷你 LVDS)接口、以及基于点对点方案的点对点差分信号(PPDS)接口。

[0006] 然而,上述面板内接口方案需要大量的用于传输控制信号或数据的传输线,降低了带宽使用效率并遇到了由电磁干扰(EMI)导致的一些问题。

[0007] 近来,因为响应于希望具有低重量和纤薄设计产品的消费者日益增长的需求,大屏幕图像显示装置以窄边框设计或空白无边框设计的方式进行构造,所以控制信号的数量和数据传输线的数量增加得越来越多,从而带宽使用效率降低,由 EMI 导致的问题数量变得突出。结果,需要进一步减少控制信号的数量和传输线的数量。

发明内容

[0008] 因此,本发明旨在提供一种基本上克服了由于现有技术的限制和缺点而导致的一个或多个问题的图像显示装置及其驱动方法。

[0009] 本发明的一个目的是提供一种被配置成使用多点面板内接口减少图像数据的发送 / 接收线(即,传输线)的数量以及提高带宽使用效率的图像显示装置及其驱动方法。

[0010] 在下面的描述中将部分列出本发明的附加优点、目的和特征,这些优点、目的和特征的一部分在研究下文之后对于本领域普通技术人员来说是显而易见的,或者可从本发明的实施领会到。通过说明书、权利要求书以及附图中具体指出的结构可实现和获得本发明的这些目的和其他优点。

[0011] 为了实现这些目的和其他优点,并根据本发明的意图,如在此具体化和概括描述的,一种图像显示装置包括:图像显示面板,所述图像显示面板被配置成通过包括多个像素区域显示图像;多个第一栅极 IC,所述多个第一栅极 IC 位于所述图像显示面板的第一侧以驱动所述图像显示面板的栅极线;多个数据 IC,所述多个数据 IC 被配置成驱动所述图像显示面板的数据线;和时序控制器,所述时序控制器被配置成根据奇数数据 IC 和偶数数据 IC

排列从外部接收的图像数据,并使用多点方案将排列后的奇数和偶数图像数据依次提供给奇数数据 IC 和偶数数据 IC。

[0012] 所述图像显示装置还可包括:划分的信号传输线,其中使用多点方案通过所述划分的信号传输线传输排列后的图像数据,所述划分的信号传输线被配置成位于与所述时序控制器相邻的成对的奇数数据 IC 和偶数数据 IC 之间;和进位传输线,所述进位传输线位于彼此相邻的成对的奇数数据 IC 和偶数数据 IC 之间,其中所述时序控制器被配置成按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出用于每个奇数数据 IC 和偶数数据 IC 的排列后的图像数据,各奇数数据 IC 被配置成基于水平依次存储排列后的图像数据中的奇数图像数据,各偶数数据 IC 被配置成在从相邻的奇数数据 IC 接收到进位信号时,基于水平依次存储排列后的图像数据中的偶数图像数据。

[0013] 所述图像显示装置还可包括:划分的信号传输线,其中使用多点方案通过所述划分的信号传输线传输排列后的图像数据,所述划分的信号传输线被配置成位于与所述时序控制器相邻的成对的奇数数据 IC 和偶数数据 IC 之间,其中向彼此相邻的成对的奇数数据 IC 和偶数数据 IC 中的每一个输入用于设定奇数或偶数位置的位置设定信号,所述位置设定信号为由至少一位组成的逻辑信号,所述时序控制器被配置成按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出用于每个奇数数据 IC 和偶数数据 IC 的排列后的图像数据,各奇数数据 IC 被配置成在接收到所述位置设定信号时,基于水平依次存储排列后的图像数据中的奇数图像数据,各偶数数据 IC 被配置成在接收到所述位置设定信号时,基于水平依次存储排列后的图像数据中的偶数图像数据。

[0014] 所述图像显示装置还可包括:用于传输排列后的图像数据的信号传输线,所述信号传输线插置在该时序控制器与在彼此相邻的奇数数据 IC 和偶数数据 IC 之中的更邻近于该时序控制器的每个数据 IC 之间,并且不与所述信号传输线连接的其余各数据 IC 分别级联到与所述信号传输线连接的相邻数据 IC,其中在彼此相邻的奇数数据 IC 和偶数数据 IC 的每个中自身确定用于确定奇数或偶数位置的位置设定信号,或者作为由至少一位组成的逻辑信号来输入用于确定奇数或偶数位置的位置设定信号,所述时序控制器按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出根据奇数数据 IC 和偶数数据 IC 排列后的图像数据,各奇数数据 IC 被配置成基于水平依次存储根据位置设定信号排列后的图像数据中的奇数图像数据,各偶数数据 IC 被配置成基于水平依次存储根据位置设定信号排列后的图像数据中的偶数图像数据。

[0015] 所述图像显示装置还可包括:用于传输排列后的图像数据的信号传输线,所述信号传输线被配置成位于所述时序控制器与奇数数据 IC 之间,其中偶数数据 IC 以偶数数据 IC 分别与单独的信号传输线连接的方式级联到与偶数数据 IC 成对的相邻奇数数据 IC,用于设定奇数或偶数位置的位置设定信号被预先存储在彼此相邻的成对的奇数数据 IC 和偶数数据 IC 中的每一个中,并且所述位置设定信号被输入为由至少一位组成的逻辑信号,所述时序控制器被配置成按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出用于每个奇数数据 IC 和偶数数据 IC 的排列后的图像数据,各奇数数据 IC 被配置成在接收到所述位置设定信号时,基于水平依次存储排列后的图像数据中的奇数图像数据,各偶数数据 IC 被配置成在接收到所述位置设定信号时,基于水平依次存储排列后的图像数据中的偶数图像数据。

[0016] 根据另一个方面,一种用于驱动图像显示装置的方法包括:驱动图像显示面板的栅极线,所述图像显示面板包括多个像素区域以显示图像;根据所述栅极线的驱动时序,使用奇数数据 IC 和偶数数据 IC 驱动所述图像显示面板的数据线;和根据各奇数数据 IC 和偶数数据 IC 排列从外部接收的图像数据,并使用多点方案将排列后的奇数和偶数图像数据依次提供给奇数数据 IC 和偶数数据 IC。

[0017] 在与时序控制器相邻的成对的奇数数据 IC 和偶数数据 IC 之间可设置划分的信号传输线,其中使用多点方案通过所述划分的信号传输线传输排列后的图像数据;以及在彼此相邻的成对的奇数数据 IC 和偶数数据 IC 之间可设置进位传输线,其中依次提供排列后的图像数据可包括:按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出用于每个奇数数据 IC 和偶数数据 IC 的排列后的图像数据;使各奇数数据 IC 基于水平依次存储排列后的图像数据中的奇数图像数据,并向与奇数数据 IC 相邻的偶数数据 IC 提供自身产生的进位信号;以及使各偶数数据 IC 在从相邻奇数数据 IC 接收到进位信号时,基于水平依次存储排列后的图像数据中的偶数图像数据。

[0018] 在与时序控制器相邻的成对的奇数数据 IC 和偶数数据 IC 之间可设置划分的信号传输线,其中使用多点方案通过所述划分的信号传输线传输排列后的图像数据;以及可向彼此相邻的成对的奇数数据 IC 和偶数数据 IC 中的每一个输入用于设定奇数或偶数位置的位置设定信号,所述位置设定信号为由至少一位组成的逻辑信号,其中依次提供排列后的图像数据可包括:按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出用于每个奇数数据 IC 和偶数数据 IC 的排列后的图像数据;使各奇数数据 IC 在接收到所述位置设定信号时,基于水平依次存储排列后的图像数据中的奇数图像数据;以及使各偶数数据 IC 在接收到所述位置设定信号时,基于水平依次存储排列后的图像数据中的偶数图像数据。

[0019] 用于传输排列后的图像数据的信号传输线可插置在时序控制器与在彼此相邻的奇数数据 IC 和偶数数据 IC 之中的更邻近于该时序控制器的每个数据 IC 之间,并且不与所述信号传输线连接的其余各数据 IC 分别级联到与所述信号传输线连接的相邻数据 IC,其中在彼此相邻的奇数数据 IC 和偶数数据 IC 的每个中可自身确定用于确定奇数或偶数位置的位置设定信号,或者可作为由至少一位组成的逻辑信号来输入用于确定奇数或偶数位置的位置设定信号,其中依次提供排列后的图像数据可包括:按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出根据奇数数据 IC 和偶数数据 IC 排列后的图像数据;使各奇数数据 IC 基于水平依次存储根据位置设定信号排列后的图像数据中的奇数图像数据;以及使各偶数数据 IC 基于水平依次存储根据位置设定信号排列后的图像数据中的偶数图像数据。

[0020] 在时序控制器与奇数数据 IC 之间可设置用于传输排列后的图像数据的信号传输线,偶数数据 IC 以偶数数据 IC 分别与单独的信号传输线连接的方式级联到与偶数数据 IC 成对的相邻奇数数据 IC,可将用于设定奇数或偶数位置的位置设定信号预先存储在彼此相邻的成对的奇数数据 IC 和偶数数据 IC 中的每一个中,并且所述位置设定信号被输入为由至少一位组成的逻辑信号,其中依次提供排列后的图像数据可包括:按彼此相邻的成对的奇数数据 IC 和偶数数据 IC 的顺序依次输出用于每个奇数数据 IC 和偶数数据 IC 的排列后的图像数据;使各奇数数据 IC 在接收到所述位置设定信号时,基于水平依次存储排列后

的图像数据中的奇数图像数据；以及使各偶数数据 IC 在接收到所述位置设定信号时，基于水平依次存储排列后的图像数据中的偶数图像数据。

[0021] 应当理解，本发明前面的大体性描述和下面的详细描述都是例示性的和解释性的，意在对本发明提供进一步的解释。

附图说明

[0022] 给本发明提供进一步理解并且并入本申请组成本申请一部分的附图图解了本发明的实施方式，并与说明书一起用于说明本发明的原理。

[0023] 图 1 是图解根据本发明实施方式的液晶显示(LCD)装置的示意图；

[0024] 图 2 是图解根据第一个实施方式的图 1 中所示的时序控制器与数据集成电路(IC)之间的信号传输线的框图；

[0025] 图 3 是图解图 2 中所示的时序控制器与数据 IC 之间的输入 / 输出(I/O)信号和发送 / 接收数据的波形图；

[0026] 图 4 是图解根据第二个实施方式的图 1 中所示的时序控制器与数据 IC 之间的信号传输线的框图；

[0027] 图 5 是图解图 4 中所示的时序控制器与数据 IC 之间的输入 / 输出(I/O)信号和发送 / 接收数据的波形图；

[0028] 图 6 是图解根据第三个实施方式的图 1 中所示的时序控制器与数据 IC 之间的信号传输线的框图；

[0029] 图 7 是图解图 6 中所示的时序控制器与数据 IC 之间的输入 / 输出(I/O)信号和发送 / 接收数据的波形图；

[0030] 图 8 是图解根据第四个实施方式的图 1 中所示的时序控制器与数据 IC 之间的信号传输线的框图；以及

[0031] 图 9 是图解图 8 中所示的时序控制器与数据 IC 之间的输入 / 输出(I/O)信号和发送 / 接收数据的波形图。

具体实施方式

[0032] 现在将详细描述本发明的示例性实施方式，附图中图解了这些实施方式的一些例子。尽可能地在整个附图中使用相同的参考标记指代相同或相似的部件。下文将参照附图描述根据本发明实施方式的图像显示装置及其驱动方法。

[0033] 例如，一般的平板显示装置可包括液晶显示器、场发射显示器(FED)、等离子体显示面板(PDP)、有机发光二极管(OLED)显示器等。

[0034] 为了便于描述和更好地理解本发明，下文将描述液晶显示(LCD)装置作为平板显示装置的一个例子。

[0035] 图 1 是图解根据实施方式的液晶显示(LCD)装置的示意图。

[0036] 参照图 1，LCD 装置包括：包括多个像素区域以显示图像的液晶面板 2（或称为“图像显示面板”）；位于液晶面板的第一侧以驱动液晶面板 2 的栅极线(GL1 到 GLn)的多个第一栅极 IC；位于与液晶面板 2 的第一侧对应的第二侧以驱动栅极线(GL1 到 GLn)的第二栅极 IC23；用于驱动液晶面板 2 的数据线(DL1 到 DLm)的多个数据 IC（4a 到 4h）；和时序控

制器 18, 时序控制器 18 用于根据奇数数据 IC (4a, 4c, 4e, 4g) 和偶数数据 IC (4b, 4d, 4f, 4h) 排列从外部接收的图像数据, 并使用多点方案 (multi-drop scheme) 依次向奇数和偶数数据 IC (4a 到 4h) 提供奇数和偶数图像数据。

[0037] 液晶面板 2 包括形成在由多条栅极线 (GL1 到 GLn) 和多条数据线 (DL1 到 DLn) 限定的每个像素区域中的薄膜晶体管 (TFT); 和与 TFT 连接的液晶电容器 Clc。液晶电容器 Clc 包括与 TFT 连接的像素电极、公共电极以及夹在像素电极与公共电极之间的液晶层。TFT 在接收到来自每条栅极线 (GL1 到 GLn) 的扫描脉冲时向像素电极提供来自每条数据线 (DL1 到 DLm) 的图像信号。液晶电容器 Clc 被充入施加给像素电极的图像信号与施加给公共电极的参考公共电压之间的差分电压, 并通过响应于差分电压根据液晶排列的变化调整光学透射率来实现灰度级。存储电容器 Cst 与液晶电容器 Clc 并联, 从而将液晶电容器 Clc 中充入的电压一直保持到接收下一个数据信号为止。可通过被配置成与前一栅极线重叠的像素电极并且在像素电极与前一栅极线之间插入绝缘膜来形成存储电容器 Cst, 并且还可通过被配置成与存储线重叠的像素电极并且在像素电极与存储线之间插入绝缘膜来形成存储电容器 Cst。

[0038] 每个数据 IC (4a 到 4h) 组装到置于液晶面板 2 的第三侧与至少一个源极印刷电路板 (8a 或 8b) 之间的每个数据电路膜 (6a, 6b) 中, 从而可分别驱动与相应数据 IC 的位置匹配的显示区域的相应数据线 (DL1 到 DLm)。

[0039] 数据电路膜 6a 或 6b 可由载带封装 (TCP) 膜或柔性印刷电路芯片 (COF) 膜形成。具体来说, 组装有各数据 IC (4a 到 4h) 的数据电路膜 6a 或 6b 通过带式自动焊接 (TAB) 方案等安装在至少一个源极 PCB 8a 或 8b 与液晶面板 2 之间。在这种情形中, 每个数据 IC (4a 到 4h) 被配置成通过数据电路膜 (6a, 6b)、焊盘部等驱动与相应数据 IC 的位置对应的显示区域的相应数据线 (DL1 到 DLm)。

[0040] 每个数据 IC (4a 到 4h) 被配置成在从时序控制器 18 接收到数据驱动控制信号 (例如源极起始脉冲 (SSP)、源极移位时钟 (SSC)、源极输出使能 (SOE) 信号等) 时向每条数据线 (DL1 到 DLm) 提供模拟图像信号。

[0041] 更详细地说, 奇数数据 IC (4a, 4c, 4e, 4g) 可基于水平依次接收奇数显示区域的图像数据, 偶数数据 IC (4b, 4d, 4f, 4h) 可基于水平依次接收偶数显示区域的图像数据。在与奇数显示位置对应的奇数显示区域的图像数据和与偶数显示位置对应的偶数显示区域的图像数据被锁存之后, 将锁存后的图像数据转换为模拟图像电压 (即模拟图像信号)。转换后的图像信号被施加给与相应图像信号的位置对应的显示区域的相应数据线 (DL1 到 DLm)。

[0042] 奇数数据 IC 的位置或偶数数据 IC 的位置可被预先确定或预先存储, 并可通过从外部接收的位置设定信号或进位信号确定。例如, 可输入用于设定奇数或偶数位置的位置设定信号作为由至少一位组成的逻辑信号。位置设定信号可根据各数据 IC (4a 到 4h) 的位置被预先确定或预先存储, 并可通过外部系统或时序控制器 18 确定和输入。

[0043] 多个第一栅极 IC3 安装到液晶面板 2 的第一侧, 从而栅极线 (GL1 到 GLn) 被依次驱动。每个第一栅极 IC3 被组装到液晶面板 2 的非显示区域或第一栅极电路膜 5 中, 从而与液晶面板 2 电连接。每个第一栅极 IC3 可通过至少一个源极 PCB (8a, 8b)、数据电路膜 (6a, 6b) 以及液晶面板 2 的非显示区域和第一栅极电路膜 5 从时序控制器 18 接收栅极控制

信号等。

[0044] 各第一栅极 IC3 在从时序控制器 18 接收到栅极控制信号(例如,栅极起始脉冲(GSP)、栅极移位时钟(GSC)、栅极输出使能(GOE)信号等)向各条栅极线(GL1 到 GLn)依次输出扫描脉冲或栅极导通电压。更详细地说,第一栅极 IC3 可响应于 GSC 信号对从时序控制器 18 接收的 GSP 进行移位,从而依次向各条栅极线(GL1 到 GLn)施加栅极导通电压的扫描脉冲。在不向各条栅极线(GL1 到 GLn)施加扫描脉冲的具体时间段期间,第一栅极 IC3 可提供栅极关断电压。

[0045] 多个第二栅极 IC23 位于与液晶面板 2 的第一侧相面对的第二侧,从而依次驱动各条栅极线(GL1 到 GLn)。在此,可根据大屏幕液晶面板 2 的尺寸和各条栅极线(GL1 到 GLn)的长度选择性形成多个第二栅极 IC23。如果液晶面板 2 尺寸较小,不必使用第二栅极 IC23。用于驱动每个第二栅极 IC23 的方法与用于驱动每个第一栅极 IC3 的方法相同。数据 IC(4a 到 4h)的数量及第一和第二栅极 IC(3,23)的数量不限于图 1 的例子。时序控制器 18 可包含在单独的控制 PCB10 中,如图 1 中所示,并可包含在任意一个源极 PCB(8a,8b)中,从而在从外部接收到图像数据和多个同步信号时控制数据 IC(4a 到 4h)及第一和第二栅极 IC(3,23)。例如,如果时序控制器 18 包含在单独的控制 PCB10 中,则时序控制器 18 可通过至少一个第一连接器(13a,13b)、至少一个电缆(12a,12b)和至少一个第二连接器(14a,14b)向各源极 PCB(8a,8b)和各数据电路膜(6a,6b)输出栅极和数据控制信号。

[0046] 时序控制器 18 可根据液晶面板 2 的驱动来排列从外部系统接收的图像数据。在此,时序控制器 18 根据奇数数据 IC(4a,4c,4e,4g)和偶数数据 IC(4b,4d,4f,4h)排列和划分图像数据,然后依次向数据 IC(4a 到 4h)输出基于多点(multi-drop)排列并划分的图像数据。此外,时序控制器 18 在从外部接收到同步信号(例如,点时钟、数据使能信号、水平和垂直同步信号)时可产生栅极和数据控制信号,从而可控制第一和第二栅极 IC(3,23)和数据 IC(4a,4b)。在此,时序控制器 18 可产生由至少一位组成的位置设定信号,以确定奇数数据 IC(4a,4c,4e,4g)的位置和偶数数据 IC(4b,4d,4f,4h)的位置,从而向奇数和偶数数据 IC(4a 到 4h)输出位置设定信号。

[0047] 图 2 是图解根据第一个实施方式的图 1 中所示的时序控制器与数据集成电路(IC)之间的信号传输线的框图。图 3 是图解图 2 中所示的时序控制器与数据 IC 之间的输入/输出(I/O)信号和发送/接收数据的波形图。

[0048] 划分的信号传输线(使用多点方案通过划分的信号传输线来传输排列后的图像数据)插置在与时序控制器 18 相邻的奇数和偶数数据 IC(4a,4b,4c,4d,…)之间,进位传输线 CL 插置在彼此相邻的奇数和偶数数据 IC(4a,4b,4c,4d,…)之间。

[0049] 因此,时序控制器 18 可按彼此相邻的成对的奇数和偶数数据 IC(4a,4b,4c,4d,…)的顺序依次输出根据奇数和偶数数据 IC 排列的图像数据。

[0050] 各奇数数据 IC(4a,4c,4e,4g)可基于水平依次存储排列后的图像数据中的奇数图像数据。各偶数数据 IC(4b,4d,4f,4h)可基于水平依次存储排列后的图像数据中的偶数图像数据。在此,根据从彼此相邻的奇数数据 IC(4a,4c,4e,4g)接收的进位信号获得排列后的图像数据。

[0051] 更详细地说,在时序控制器 18 与每个奇数数据 IC(4a,4c,4e,4g)之间设置传输数据控制信号和图像数据的至少一条信号传输线。从各条信号传输线分支的信号传输分别

与偶数数据 IC (4b, 4d, 4f, 4h) 连接。

[0052] 可在彼此相邻的奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 之间进一步形成单独的进位传输线 CL。

[0053] 参照图 3, 时序控制器 18 使相位延迟信号或延迟锁定环 DLL 同步, 并在奇数水平时间段期间向信号传输线输出根据各奇数数据 IC (4a, 4c, 4e, 4g) 排列并划分的一水平行的数据控制信号(packet#1)和图像数据(ActiveData#1)。此外, 时序控制器 18 在偶数水平时间段期间向相同信号传输线输出根据各偶数数据 IC (4b, 4d, 4f, 4h) 排列并划分的一水平行的数据控制信号(packet#2)和图像数据(Active Data#2)。

[0054] 各奇数数据 IC (4a, 4c, 4e, 4g) 可响应于数据控制信号(packet#1)依次存储对应于单个水平行的图像数据(Active Data#1)。在此, 各奇数数据 IC (4a, 4c, 4e, 4g) 可响应于 GSC 信号移位 GSP, 从而依次存储单个水平行的图像数据(Active Data#1)。此外, 移位后的 GSP 被输出至进位传输线 CL, 从而可作为其自身产生的进位信号被提供给相邻的偶数数据 IC (4b, 4d, 4f, 4h)。

[0055] 如果每个偶数数据 IC (4b, 4d, 4f, 4h) 从每个奇数数据 IC (4a, 4c, 4e, 4g) 接收进位信号, 则偶数数据 IC (4b, 4d, 4f, 4h) 可响应于基于水平行的数据控制信号(packet#2)依次存储排列并划分的图像数据中的偶数图像数据(Active Data#2)。在此, 各偶数数据 IC (4b, 4d, 4f, 4h) 可响应于 GSC 信号移位 GSP, 从而依次存储单个水平行的图像数据(Active Data#2)。

[0056] 之后, 奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 可同时将存储的水平行的图像数据(Active Data#1 和 Active Data#2) 转换为模拟图像信号, 并将模拟图像信号提供给与相应数据 IC 的位置匹配的显示区域的数据线(DL1 到 DLm)。

[0057] 图 4 是图解根据第二个实施方式的图 1 中所示的时序控制器与数据 IC 之间的信号传输线的框图。图 5 是图解图 4 中所示的时序控制器与数据 IC 之间的输入 / 输出(I/O) 信号和发送 / 接收数据的波形图。

[0058] 参照图 4, 划分的信号传输线(使用多点方案通过划分的信号传输线来传输排列后的图像数据) 插置在与时序控制器 18 相邻的奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 之间, 并且输入用于对彼此相邻的奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 设定奇数或偶数排列位置的位置设定信号 DN 作为由至少一位组成的逻辑信号。时序控制器 18 可按彼此相邻的奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 的顺序依次输出根据各奇数和偶数数据 IC 排列的图像数据。

[0059] 各奇数数据 IC (4a, 4c, 4e, 4g) 可基于水平行依次存储根据位置设定信号 DN 排列后的图像数据中的奇数图像数据, 并且各偶数数据 IC (4b, 4d, 4f, 4h) 可基于水平行依次存储根据位置设定信号 DN 排列后的图像数据中的偶数图像数据。

[0060] 更详细地说, 在时序控制器 18 与奇数数据 IC (4a, 4c, 4e, 4g) 之间形成传输图像数据和数据控制信号的至少一条信号传输线。从各条信号传输线分支的信号传输分别与偶数数据 IC (4b, 4d, 4f, 4h) 连接。

[0061] 参照图 5, 时序控制器 18 使相位延迟信号或延迟锁定环 DLL 同步, 并在奇数水平时间段期间向信号传输线输出根据各奇数数据 IC (4a, 4c, 4e, 4g) 排列并划分的一水平行的数据控制信号(packet#1)和图像数据(Active Data#1)。此外, 时序控制器 18 在偶数水平

时间段期间向相同信号传输线输出根据各偶数数据 IC (4b, 4d, 4f, 4h) 排列并划分的一水平行的数据控制信号(packet#2)和图像数据(Active Data#2)。

[0062] 各奇数数据 IC (4a, 4c, 4e, 4g) 可根据被提供或确定为低逻辑电平的位置设定信号 DN (L) 首先接收数据控制信号(packet#1), 并且可根据数据控制信号(packet#1) 依次存储单个水平行的图像数据(Active Data#1)。在这种情形中, 各奇数数据 IC (4a, 4c, 4e, 4g) 可响应于 GSC 移位 GSP, 从而依次存储单个水平行的图像数据(Active Data#1)。

[0063] 各偶数数据 IC (4b, 4d, 4f, 4h) 可根据基于水平行被提供或确定为高逻辑电平的位置设定信号 DN (H), 使用数据控制信号(packet#2)依次存储排列后的图像数据中的偶数图像数据(Active Data#2)。

[0064] 之后, 奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 可同时将存储的水平行的图像数据(Active Data#1 和 Active Data#2) 转换为模拟图像信号, 并将模拟图像信号提供给与相应数据 IC 的位置匹配的显示区域的数据线(DL1 到 DLm)。

[0065] 图 6 是图解根据第三个实施方式的图 1 中所示的时序控制器与数据 IC 之间的信号传输线的框图。图 7 是图解图 6 中所示的时序控制器与数据 IC 之间的输入 / 输出(I/O) 信号和发送 / 接收数据的波形图。

[0066] 参照图 6, 用于传输排列后的图像数据的信号传输线插置在时序控制器 18 与在彼此相邻的奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 之中的更邻近于时序控制器 18 的每个数据 IC (4b, 4d, 4e, 4g) 之间。不与信号传输线连接的其余各数据 IC (4a, 4c, 4f, 4h) 分别级联到与信号传输线连接的相邻数据 IC (4b, 4d, 4e, 4g)。在这种情形中, 在彼此相邻的奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 的每个中可自身确定用于确定奇数或偶数位置的位置设定信号 DN, 或者可作为由至少一位组成的逻辑信号来输入用于确定奇数或偶数位置的位置设定信号 DN。

[0067] 因此, 时序控制器 18 可按彼此相邻的成对的奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 的顺序依次输出根据奇数和偶数数据 IC 排列的图像数据。

[0068] 各奇数数据 IC (4a, 4c, 4e, 4g) 可基于水平行依次存储根据位置设定信号 DN 排列后的图像数据中的奇数图像数据。即, 各奇数数据 IC 在接收到位置设定信号 DN 时可基于水平行依次存储排列后的图像数据中的奇数图像数据。各偶数数据 IC (4b, 4d, 4f, 4h) 可基于水平行依次存储根据位置设定信号 DN 排列后的图像数据中的偶数图像数据。即, 各偶数数据 IC 在接收到位置设定信号 DN 时可基于水平行依次存储排列后的图像数据中的偶数图像数据。

[0069] 更详细地说, 在彼此相邻的奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 之中的更邻近于时序控制器 18 设置的各数据 IC (4b, 4d, 4e, 4g) 通过信号传输线与时序控制器 18 连接。与此相对照, 不与信号传输线连接的其余各数据 IC (4a, 4c, 4f, 4h) 分别级联到与信号传输线连接的相邻数据 IC (4b, 4d, 4e, 4g), 从而依次接收一系列控制信号或图像数据, 并使得其余的数据 IC (4a, 4c, 4f, 4h) 分别与单独的信号传输线连接。

[0070] 参照图 7, 时序控制器 18 使相位延迟信号或延迟锁定环 DLL 同步, 并在奇数水平时间段期间向信号传输线输出根据各奇数数据 IC (4a, 4c, 4e, 4g) 排列并划分的一水平行的数据控制信号(packet#1) 和图像数据(ActiveData#1)。此外, 时序控制器 18 在偶数水平时间段期间向相同信号传输线输出根据各偶数数据 IC (4b, 4d, 4f, 4h) 排列并划分的一水

平行的数据控制信号(packet#2)和图像数据(Active Data#2)。

[0071] 各奇数数据 IC (4a, 4c, 4e, 4g) 可根据被提供或确定为低逻辑电平 of 的奇数数据控制信号(packet#1)操作, 并且可根据数据控制信号(packet#1)依次存储单个水平行的图像数据(Active Data#1)。在这种情形中, 各奇数数据 IC (4a, 4c, 4e, 4g) 可响应于 GSC 移位 GSP, 从而依次存储单个水平行的图像数据(Active Data#1)。

[0072] 各偶数数据 IC (4b, 4d, 4f, 4h) 可基于水平行依次存储根据被提供或确定为高逻辑电平的位置设定信号 DN (H) 使用数据控制信号(packet#2)排列后的图像数据中的偶数图像数据(Active Data#2)。

[0073] 之后, 奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 可同时将存储的水平行的图像数据(Active Data#1 和 Active Data#2)转换为模拟图像信号, 并将模拟图像信号提供给与相应数据 IC 的位置匹配的显示区域的数据线(DL1 到 DLm)。

[0074] 这样, 在向彼此相邻的奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 之中的更邻近于时序控制器 18 设置的各数据 IC (4b, 4d, 4e, 4g) 施加图像数据之后, 如果图像数据传输到彼此相邻的其余数据 IC (4a, 4c, 4f, 4h), 则可降低由反射波和电磁干扰(EMI) 导致的风险。

[0075] 图 8 是图解根据第四个实施方式的图 1 中所示的时序控制器与数据 IC 之间的信号传输线的框图。图 9 是图解图 8 中所示的时序控制器与数据 IC 之间的输入 / 输出(I/O) 信号和发送 / 接收数据的波形图。

[0076] 传输排列后图像数据的信号传输线插置于时序控制器 18 与奇数数据 IC (4a, 4c, 4e, 4g) 之间, 偶数数据 IC (4b, 4d, 4f, 4h) 通过单独的信号传输线分别级联到与其成对的彼此相邻的各奇数数据 IC (4a, 4c, 4e, 4g)。在这种情形中, 用于确定奇数或偶数位置的位置设定信号 DN 可预先存储在彼此相邻的各奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 中, 或者可输入位置设定信号 DN 作为由至少一位组成的逻辑信号。

[0077] 因此, 时序控制器 18 可按彼此相邻的成对的奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...) 的顺序依次输出根据奇数和偶数数据 IC 排列的图像数据。

[0078] 各奇数数据 IC (4a, 4c, 4e, 4g) 可基于水平行依次存储根据位置设定信号 DN 排列后的图像数据中的奇数图像数据。各偶数数据 IC (4b, 4d, 4f, 4h) 可基于水平行依次存储根据位置设定信号 DN 排列后的图像数据中的偶数图像数据。

[0079] 更详细地说, 奇数数据 IC (4a, 4c, 4e, 4g) 通过信号传输线与时序控制器 18 连接。与此相对照, 不与信号传输线连接的偶数数据 IC (4b, 4d, 4f, 4h) 分别级联到相邻的奇数数据 IC (4a, 4c, 4e, 4g), 从而依次接收一系列控制信号或图像数据, 使得偶数数据 IC (4b, 4d, 4f, 4h) 分别与信号传输线连接。

[0080] 参照图 9, 时序控制器 18 使相位延迟信号或延迟锁定环 DLL 同步, 并在奇数水平时间段期间向信号传输线输出根据各奇数数据 IC (4a, 4c, 4e, 4g) 排列并划分的一水平行的数据控制信号(packet#1)和图像数据(Active Data#1)。此外, 时序控制器 18 在偶数水平时间段期间向相同信号传输线输出根据各偶数数据 IC (4b, 4d, 4f, 4h) 排列并划分的一水平行的数据控制信号(packet#2)和图像数据(Active Data#2)。

[0081] 各奇数数据 IC (4a, 4c, 4e, 4g) 可根据被提供或确定为低逻辑电平的位置设定信号 DL (L) 操作, 并可根据奇数数据控制信号(packet#1)依次存储单个水平行的图像数据(Active Data#1)。在这种情形中, 各奇数数据 IC (4a, 4c, 4e, 4g) 可响应于 GSC 移位 GSP,

从而依次存储单个水平行的图像数据(Active Data#1)。

[0082] 各偶数数据 IC (4b, 4d, 4f, 4h)可基于水平行,依次存储根据被提供或确定为高逻辑电平的位置设定信号 DN (H) 使用偶数数据控制信号(packet#2)排列后的图像数据中的偶数图像数据(Active Data#2)。

[0083] 之后,奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...)可同时将存储的水平行的图像数据(Active Data#1和Active Data#2)转换为模拟图像信号,并将模拟图像信号提供给与相应数据 IC 的位置匹配的显示区域的数据线(DL1 到 DLm)。

[0084] 这样,在向彼此相邻的奇数和偶数数据 IC (4a, 4b, 4c, 4d, ...)之中的更邻近于时序控制器 18 设置的各数据 IC (4b, 4d, 4e, 4g)施加图像数据之后,如果图像数据传输到彼此相邻的其余数据 IC (4a, 4c, 4f, 4h),则可降低由反射波和电磁干扰(EMI)导致的风险。

[0085] 通过前面的描述很显然,根据本发明的图像显示装置及其驱动方法可使用多点面板内接口减少图像数据的发送/接收线的数量,并可简化时钟信号的输出构造。结果,可提高带宽使用效率并可降低电磁干扰(EMI)。

[0086] 在不脱离本发明的精神或范围的情况下,本发明可进行各种修改和变化,这对于本领域技术人员来说是显而易见的。因而,本发明意在覆盖落入所附权利要求书范围及其等同范围内的对本发明的所有修改和变化。

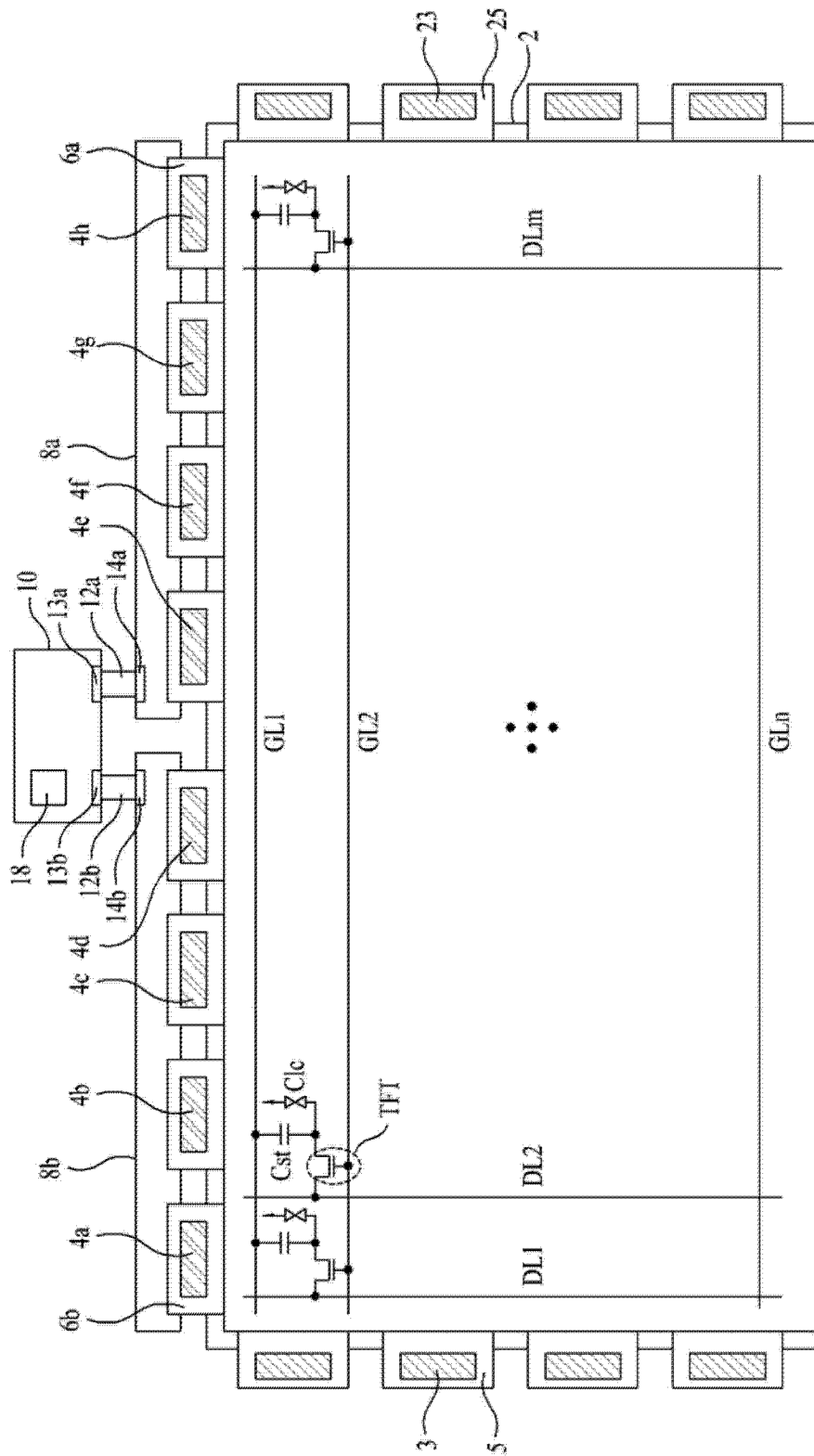


图 1

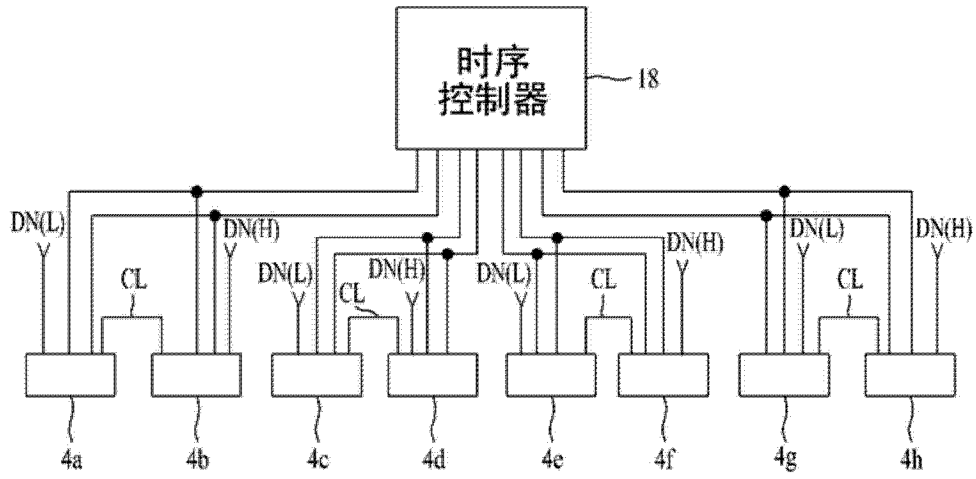


图 2

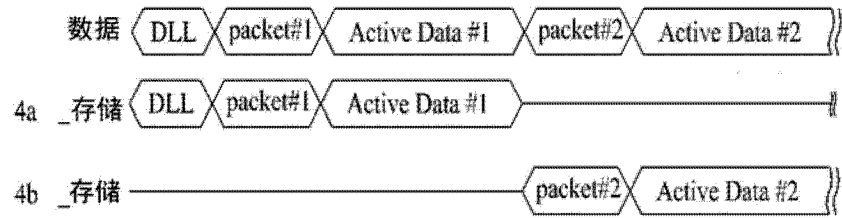


图 3

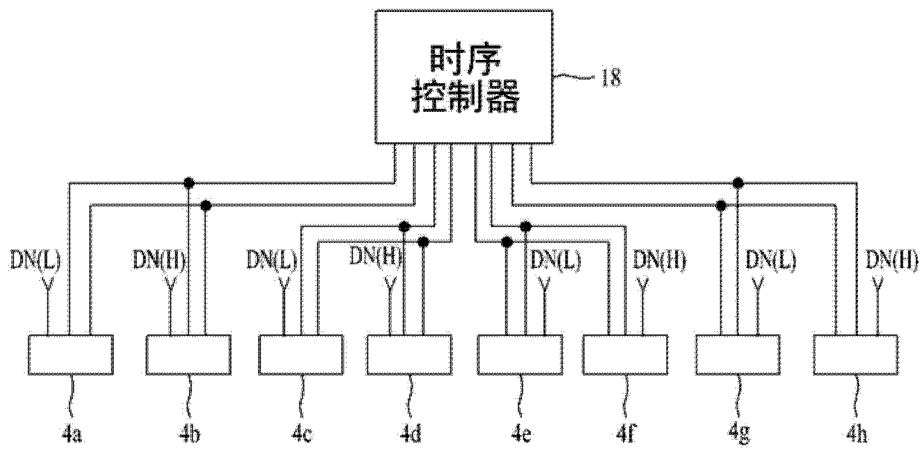


图 4

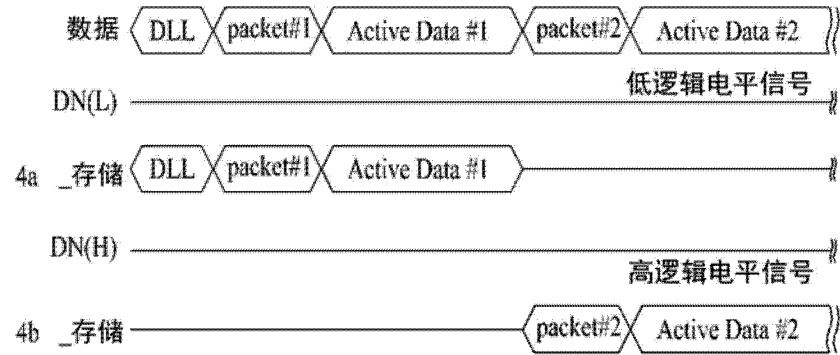


图 5

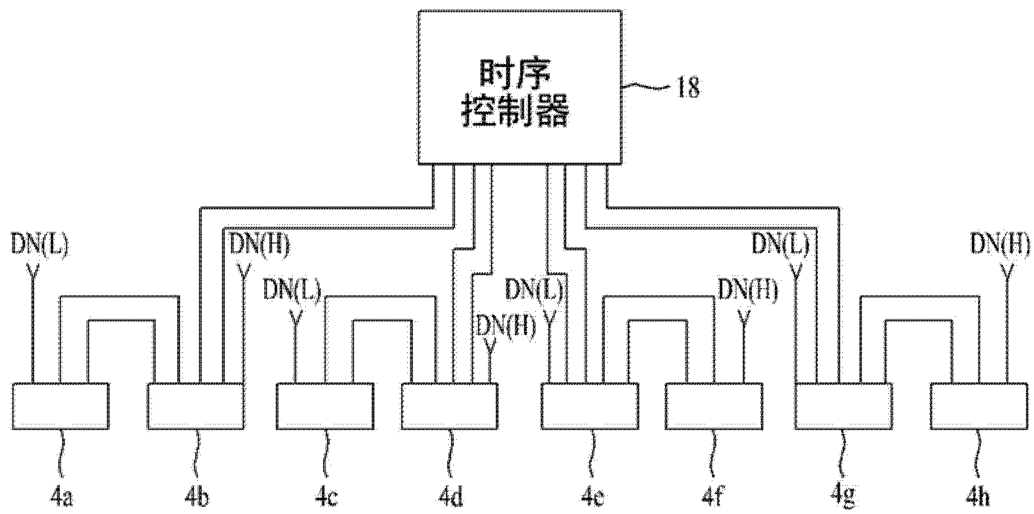


图 6

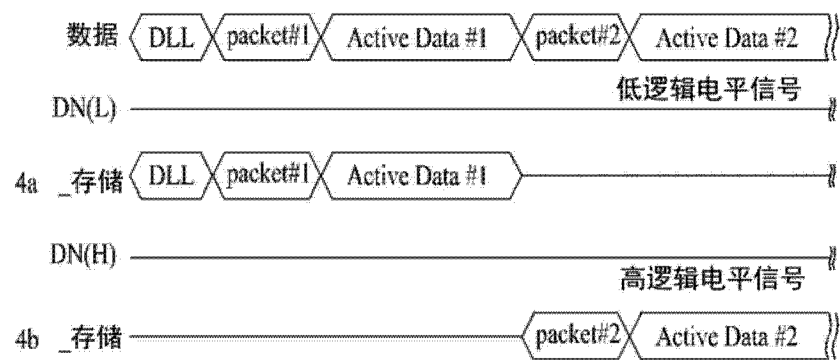


图 7

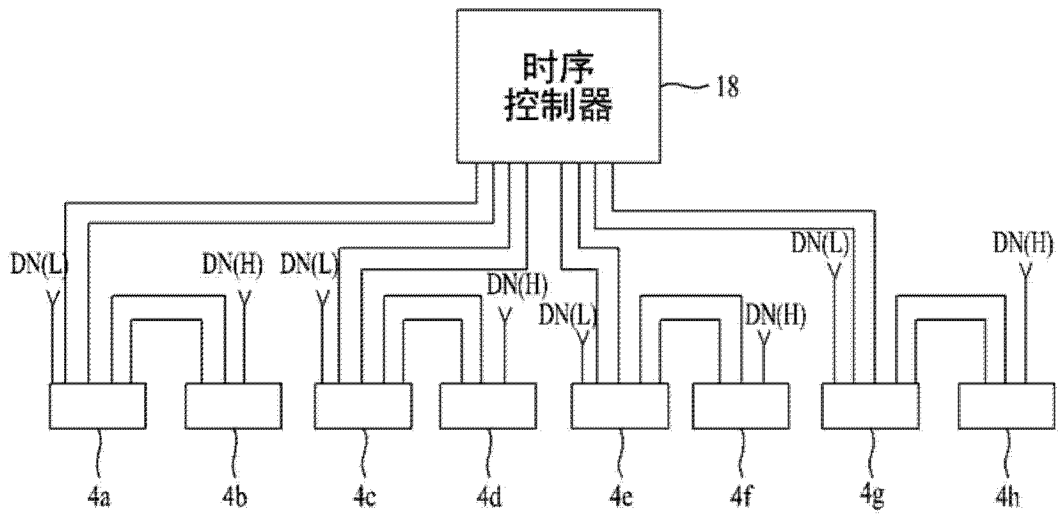


图 8

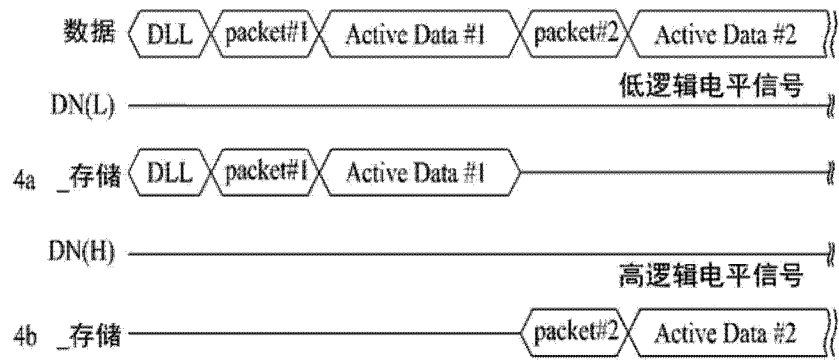


图 9

专利名称(译)	图像显示装置及其驱动方法		
公开(公告)号	CN103903546A	公开(公告)日	2014-07-02
申请号	CN201310714197.0	申请日	2013-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	吴承哲		
发明人	吴承哲		
IPC分类号	G09G3/20 G09G3/36		
CPC分类号	G09G2310/0281 G09G2310/0283 G09G3/3688 G09G3/3611 G09G3/3648 G09G3/3666 G09G5/001		
代理人(译)	徐金国		
优先权	1020120153837 2012-12-26 KR		
其他公开文献	CN103903546B		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种图像显示装置及其驱动方法，其中使用多点面板内接口可减少图像数据的发送/接收线的数量以及提高带宽使用效率。所述图像显示装置包括：图像显示面板，所述图像显示面板被配置成通过包括多个像素区域显示图像；多个第一栅极IC，所述多个第一栅极IC位于所述图像显示面板的第一侧以驱动所述图像显示面板的栅极线；多个数据IC，所述多个数据IC被配置成驱动所述图像显示面板的数据线；和时序控制器，所述时序控制器被配置成根据奇数数据IC和偶数数据IC排列从外部接收的图像数据，并使用多点方案将排列后的奇数和偶数图像数据依次提供给奇数数据IC和偶数数据IC。

