



(12) 发明专利申请

(10) 申请公布号 CN 103680427 A

(43) 申请公布日 2014. 03. 26

(21) 申请号 201210329863. 4

(22) 申请日 2012. 09. 07

(71) 申请人 瀚宇彩晶股份有限公司

地址 中国台湾新北市

(72) 发明人 游家华 林松君 刘轩辰 詹建廷

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

G09G 3/36 (2006. 01)

G11C 19/28 (2006. 01)

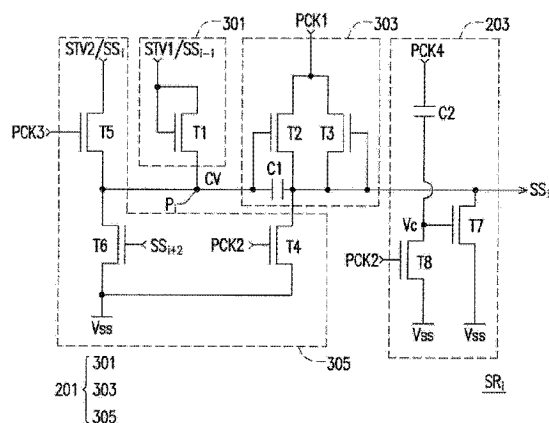
权利要求书3页 说明书9页 附图6页

(54) 发明名称

液晶显示器及其移位寄存装置

(57) 摘要

一种液晶显示器及其移位寄存装置。移位寄存装置包括多级串接在一起的移位寄存器。其中，第 i 级移位寄存器包括本体电路与削角电路。本体电路用以反应于第一至第三预设时钟信号而产生扫描信号。削角电路耦接本体电路，用以反应于第一至第三预设时钟信号的部分以及第四预设时钟信号而对所产生的扫描信号进行削角处理。如此一来，即可降低馈通效应，从而改善画面闪烁的问题。



1. 一种移位寄存装置,包括:
多级串接在一起的移位寄存器,其中第 i 级移位寄存器包括:
一本体电路,用以反应于第一至第三预设时钟信号而产生一扫描信号;以及
一削角电路,耦接该本体电路,用以反应于该第一至该第三预设时钟信号的部分以及一第四预设时钟信号而对该扫描信号进行削角处理,其中 i 为正整数。
2. 根据权利要求 1 所述的移位寄存装置,其中第 i 级移位寄存器的该本体电路包括:
一预充电单元,用以接收一第一起始脉冲信号或第 $(i-1)$ 级移位寄存器的输出,并据以输出一充电信号;
一上拉单元,耦接该预充电单元,用以接收该充电信号与该第一预设时钟信号,并据以输出该扫描信号;以及
一下拉单元,耦接该预充电单元、该上拉单元与该削角电路,用以接收该第二预设时钟信号、该第三预设时钟信号、第 $(i+2)$ 级移位寄存器的输出,以及一第二起始脉冲信号与该扫描信号的其中之一,并据以决定是否将该扫描信号下拉至一参考电位。
3. 根据权利要求 2 所述的移位寄存装置,其中该预充电单元包括:
一第一晶体管,其栅极与漏极耦接在一起以接收该第一起始脉冲信号或第 $(i-1)$ 级移位寄存器的输出,而其源极则用以输出该充电信号。
4. 根据权利要求 3 所述的移位寄存装置,其中该上拉单元包括:
一第二晶体管,其栅极耦接该第一晶体管的源极,其漏极用以接收该第一预设时钟信号,而其源极则用以输出该扫描信号;
一第三晶体管,其栅极与源极耦接该第二晶体管的源极,而其漏极用以接收该第一预设时钟信号;以及
一第一电容,其耦接在该第二晶体管的栅极与源极之间。
5. 根据权利要求 4 所述的移位寄存装置,其中该下拉单元包括:
一第四晶体管,其栅极用以接收该第二预设时钟信号,其漏极耦接该第二晶体管的源极,而其源极则耦接至该参考电位;
一第五晶体管,其栅极用以接收该第三预设时钟信号,其漏极用以接收该第二起始脉冲信号或该扫描信号,而其源极则耦接该第一晶体管的源极;以及
一第六晶体管,其栅极用以接收第 $(i+2)$ 级移位寄存器的输出,其漏极耦接该第一晶体管的源极,而其源极则耦接至该参考电位。
6. 根据权利要求 5 所述的移位寄存装置,其中该削角电路包括:
一第二电容,其第一端用以接收该第四预设时钟信号;
一第七晶体管,其栅极耦接该第二电容的第二端,其漏极耦接该第二晶体管的源极,而其源极则耦接至该参考电位;以及
一第八晶体管,其栅极用以接收该第二预设时钟信号,其漏极耦接该第二电容的第二端,而其源极则耦接至该参考电位。
7. 根据权利要求 6 所述的移位寄存装置,其中该第一至该第八晶体管皆为 N 型晶体管。
8. 根据权利要求 1 所述的移位寄存装置,其中:
该第一起始脉冲信号与该第二起始脉冲信号的致能时间彼此部分重迭;
该第一与该第二预设时钟信号互补;以及

该第二至该第四预设时钟信号的致能时间彼此部分重迭。

9. 一种液晶显示器,包括:

一液晶显示面板,至少包括一基板与一移位寄存装置,该移位寄存装置直接配置在该基板上,且具有多级串接在一起的移位寄存器,其中第 i 级移位寄存器包括:

一本体电路,用以反应于第一至第三预设时钟信号而产生一扫描信号;以及

一削角电路,耦接该本体电路,用以反应于该第一至该第三预设时钟信号的部分以及一第四预设时钟信号而对该扫描信号进行削角处理,其中 i 为正整数;以及

一背光模块,提供该液晶显示面板所需要的光源。

10. 根据权利要求 9 所述的液晶显示器,其中第 i 级移位寄存器的该本体电路包括:

一预充电单元,用以接收一第一起始脉冲信号或第 $(i-1)$ 级移位寄存器的输出,并据以输出一充电信号;

一上拉单元,耦接该预充电单元,用以接收该充电信号与该第一预设时钟信号,并据以输出该扫描信号;以及

一下拉单元,耦接该预充电单元、该上拉单元与该削角电路,用以接收该第二预设时钟信号、该第三预设时钟信号、第 $(i+2)$ 级移位寄存器的输出,以及一第二起始脉冲信号与该扫描信号的其中之一,并据以决定是否将该扫描信号下拉至一参考电位。

11. 根据权利要求 10 所述的液晶显示器,其中该预充电单元包括:

一第一晶体管,其栅极与漏极耦接在一起以接收该第一起始脉冲信号或第 $(i-1)$ 级移位寄存器的输出,而其源极则用以输出该充电信号。

12. 根据权利要求 11 所述的液晶显示器,其中该上拉单元包括:

一第二晶体管,其栅极耦接该第一晶体管的源极,其漏极用以接收该第一预设时钟信号,而其源极则用以输出该扫描信号;

一第三晶体管,其栅极与源极耦接该第二晶体管的源极,而其漏极用以接收该第一预设时钟信号;以及

一第一电容,其耦接在该第二晶体管的栅极与源极之间。

13. 根据权利要求 12 所述的液晶显示器,其中该下拉单元包括:

一第四晶体管,其栅极用以接收该第二预设时钟信号,其漏极耦接该第二晶体管的源极,而其源极则耦接至该参考电位;

一第五晶体管,其栅极用以接收该第三预设时钟信号,其漏极用以接收该第二起始脉冲信号或该扫描信号,而其源极则耦接该第一晶体管的源极;以及

一第六晶体管,其栅极用以接收第 $(i+2)$ 级移位寄存器的输出,其漏极耦接该第一晶体管的源极,而其源极则耦接至该参考电位。

14. 根据权利要求 13 所述的液晶显示器,其中该削角电路包括:

一第二电容,其第一端用以接收该第四预设时钟信号;

一第七晶体管,其栅极耦接该第二电容的第二端,其漏极耦接该第二晶体管的源极,而其源极则耦接至该参考电位;以及

一第八晶体管,其栅极用以接收该第二预设时钟信号,其漏极耦接该第二电容的第二端,而其源极则耦接至该参考电位。

15. 根据权利要求 14 所述的液晶显示器,其中该第一至该第八晶体管皆为 N 型晶体管。

16. 根据权利要求 9 所述的液晶显示器, 其中:
- 该第一起始脉冲信号与该第二起始脉冲信号的致能时间彼此部分重迭;
 - 该第一与该第二预设时钟信号互补; 以及
 - 该第二至该第四预设时钟信号的致能时间彼此部分重迭。

液晶显示器及其移位寄存装置

技术领域

[0001] 本发明是有关于一种平面显示技术,且特别是有关于一种液晶显示器及其移位寄存装置。

背景技术

[0002] 近年来,随着半导体科技蓬勃发展,携带型电子产品及平面显示器产品也随之兴起。而在众多平面显示器的类型当中,液晶显示器(Liquid Crystal Display, LCD) 基于其低电压操作、无辐射线散射、重量轻以及体积小等优点,随即已成为各显示器产品的主流。

[0003] 以有源式矩阵液晶显示器(active matrix LCD, AMLCD) 而言,各像素的有源元件(即,薄膜晶体管)反应于相应的扫描信号而从开启状态进入至关闭状态时,其所对应的像素电极上的电压会受有源元件各电极间的寄生电容的影响而被拉低一个电压差(ΔV) (一般称为馈通电压(feed-through voltage),且次此现象可称为馈通过效应(feed through effect),从而导致液晶显示面板产生画面闪烁(flicker) 的问题。

发明内容

[0004] 有鉴于此,为了解决先前技术所述及的问题,本发明的一示范性实施例提供一种移位寄存装置,其包括多级串接在一起的移位寄存器。其中,第*i*级移位寄存器包括本体电路与削角电路,且*i*为正整数。本体电路用以反应于一第一至一第三预设时钟信号而产生一扫描信号。削角电路耦接本体电路,用以反应于所述第一至第三预设时钟信号的部分以及一第四预设时钟信号而对所述扫描信号进行削角处理。

[0005] 于本发明的一示范性实施例中,第*i*级移位寄存器的本体电路包括预充电单元、上拉单元,以及下拉单元。其中,预充电单元用以接收一第一起始脉冲信号或第(*i*-1)级移位寄存器的输出,并据以输出一充电信号。上拉单元耦接预充电单元,用以接收所述充电信号与所述第一预设时钟信号,并据以输出所述扫描信号。下拉单元耦接预充电单元、上拉单元与削角电路,用以接收所述第二预设时钟信号、所述第三预设时钟信号、第(*i*+2)级移位寄存器的输出,以及一第二起始脉冲信号与所述扫描信号的其中之一,并据以决定是否将所述扫描信号下拉至一参考电位。

[0006] 于本发明的一示范性实施例中,第*i*级移位寄存器的预充电单元包括第一晶体管。其中,第一晶体管的栅极与漏极耦接在一起以接收所述第一起始脉冲信号或第(*i*-1)级移位寄存器的输出,而第一晶体管的源极则用以输出所述充电信号。

[0007] 于本发明的一示范性实施例中,第*i*级移位寄存器的上拉单元包括第二晶体管、第三晶体管,以及第一电容。其中,第二晶体管的栅极耦接第一晶体管的源极,第二晶体管的漏极用以接收所述第一预设时钟信号,而第二晶体管的源极则用以输出所述扫描信号。第三晶体管的栅极与源极耦接第二晶体管的源极,而第三晶体管的漏极用以接收所述第一预设时钟信号。第一电容耦接在第二晶体管的栅极与源极之间。

[0008] 于本发明的一示范性实施例中,第*i*级移位寄存器的下拉单元包括第四晶体管、

第五晶体管,以及第六晶体管。其中,第四晶体管的栅极用以接收所述第二预设时钟信号,第四晶体管的漏极耦接第二晶体管的源极,而第四晶体管的源极则耦接至所述参考电位。第五晶体管的栅极用以接收所述第三预设时钟信号,第五晶体管的漏极用以接收所述第二起始脉冲信号或所述扫描信号,而第五晶体管的源极则耦接第一晶体管的源极。第六晶体管的栅极用以接收第 $(i+2)$ 级移位寄存器的输出,第六晶体管的漏极耦接第一晶体管的源极,而第六晶体管的源极则耦接至所述参考电位。

[0009] 于本发明的一示范性实施例中,第 i 级移位寄存器的削角电路包括第二电容、第七晶体管,以及第八晶体管。其中,第二电容的第一端用以接收所述第四预设时钟信号。第七晶体管的栅极耦接第二电容的第二端,第七晶体管的漏极耦接第二晶体管的源极,而第七晶体管的源极则耦接至所述参考电位。第八晶体管的栅极用以接收所述第二预设时钟信号,第八晶体管的漏极耦接第二电容的第二端,而第八晶体管的源极则耦接至所述参考电位。

[0010] 于本发明的一示范性实施例中,第一至第八晶体管皆可以为 N 型晶体管。

[0011] 于本发明的一示范性实施例中,所述第一起始脉冲信号与所述第二起始脉冲信号的致能时间彼此部分重迭,所述第一与第二预设时钟信号互补,而所述第二至第四预设时钟信号的致能时间彼此部分重迭。

[0012] 本发明还提供一种液晶显示器,其包括液晶显示面板与用以提供液晶显示面板所需要的光源的背光模块。其中,液晶显示面板包括基板与上述所提的移位寄存装置,且所提的移位寄存装置为直接配置在液晶显示面板的基板上。

[0013] 为让本发明的上述特征和优点能更明显易懂,下文特举具体的示范性实施例,并配合所附图式,作详细说明如下。

[0014] 然而,应了解的是,上述一般描述及以下具体实施方式仅为例示性及阐释性的,其并不能限制本发明所欲主张的范围。

附图说明

[0015] 下面的所附图式是本发明的说明书的一部分,绘示了本发明的示例实施例,所附图式与说明书的描述一起说明本发明的原理。

[0016] 图 1 绘示为本发明一示范性实施例的液晶显示器 100 的系统方块图。

[0017] 图 2 绘示为本发明一示范性实施例的移位寄存装置 SRD 的方块图。

[0018] 图 3A 绘示为图 2 的第 i 级移位寄存器 SR_i 的实施方块图。

[0019] 图 3B 绘示图 3A 的第 i 级移位寄存器 SR_i 的实施电路图。

[0020] 图 4 绘示为本发明一示范性实施例的第 1 级移位寄存器的运作时序图。

[0021] 图 5 绘示为图 3B 中的削角电路 203 运作时的逻辑等效电路图。

[0022] [主要元件标号说明]

[0023] 100 :液晶显示器 101 :液晶显示面板

[0024] 103 :源极驱动器 105 :时序控制器

[0025] 107 :背光模块 201 :本体电路

[0026] 203 :削角电路 301 :预充电单元

[0027] 303 :上拉单元 305 :下拉单元

[0028]	AA :显示区	C1 :第一电容
[0029]	C2 :第二电容	CV :充电信号
[0030]	C1_0 ~ C4_0、C1_E ~ C4_E :时钟信号	
[0031]	PCK1 ~ PCK4 :第一至第四预设时钟信号	
[0032]	SRD :移位寄存装置	SS ₁ ~ SS _N :扫描信号
[0033]	SR ₁ ~ SR _N :移位寄存器	STV1 :第一起始脉冲信号
[0034]	STV2 :第二起始脉冲信号	T1 :第一晶体管
[0035]	T2 :第二晶体管	T3 :第三晶体管
[0036]	T4 :第四晶体管	T5 :第五晶体管
[0037]	T6 :第六晶体管	T7 :第七晶体管
[0038]	T8 :第八晶体管	t1、t2 :时间点
[0039]	Vc :削角信号	Vss :参考电位
[0040]	VH1、VH2 :高电位	NT :非门
[0041]	AG :与门	P _i :节点

具体实施方式

[0042] 现将详细参考本发明的示范性实施例,在附图中说明所述示范性实施例的实例。另外,凡可能之处,在图式及实施方式中使用相同标号的元件/构件/符号代表相同或类似部分。

[0043] 图1绘示为本发明一示范性实施例的液晶显示器(liquid crystal display, LCD)100的系统方块图。请参照图1,液晶显示器100包括液晶显示面板(LCD panel)101、源极驱动器(source driver)103、时序控制器(timing controller, T-con)105,以及用以提供液晶显示面板101所需要的(背)光源的背光模块(backlight module)107。

[0044] 于本示范性实施例中,液晶显示面板101的显示区(display area)AA内具有多个以矩阵方式排列的像素(pixels)(图中以M*N来表示,M与N皆为正整数)。一般来说,M*N亦可表示为液晶显示器100的显示分辨率(resolution),例如以1024*768,但并不限制于此。

[0045] 另外,液晶显示面板101的基板(未绘示,例如为玻璃基板)上的一侧可以更直接配置有移位寄存装置(shift register device)SRD。移位寄存装置SRD受控于时序控制器105,并且反应于由时序控制器105所提供的第一与第二起始脉冲信号STV1、STV2以及时钟信号(C1_0 ~ C4_0, C1_E ~ C4_E)而序列输出N个扫描信号SS₁ ~ SS_N,藉以从显示区AA内的第一列像素逐一开启至最后一列像素。

[0046] 更清楚来说,图2绘示为图1的移位寄存装置SRD的方块图。请合并参照图1与图2,移位寄存装置SRD包括N级电路架构实质上相同且彼此串接在一起的移位寄存器SR₁ ~ SR_N,且由于移位寄存器SR₁ ~ SR_N的电路架构与运作原理实质上相同,故在此仅针对第i级移位寄存器SR_i(i=1 ~ N)来做说明如下。

[0047] 图3A绘示为图2的第i级移位寄存器SR_i的实施方块图,而图3B绘示为图3A的第i级移位寄存器SR_i的实施电路图。请合并参照图1~图3B,第i级移位寄存器SR_i包括

本体电路 (main circuit) 201 与削角电路 (trimming circuit) 203。其中, 本体电路 201 用以反应于来自时序控制器 105 的第一至第三预设时钟信号 (predetermined clock signal) PCK1 ~ PCK3 而产生扫描信号 SS_i 。削角电路 203 耦接本体电路 201, 用以反应于来自时序控制器 105 的第一至第三预设时钟信号 PCK1 ~ PCK3 的部分 (即, 第二预设时钟信号 PCK2) 以及第四预设时钟信号 PCK4 而对扫描信号 SS_i 进行削角处理 (trimming operation)。

[0048] 于本示范性实施例中, 本体电路 201 包括预充电单元 (pre-charge unit) 301、上拉单元 (pull-up unit) 303, 以及下拉单元 (pull-down unit) 305。其中, 预充电单元 301 用以接收来自时钟控制器 105 的第一起始脉冲信号 STV1 (在 $i=1$ 的条件下) 或第 $(i-1)$ 级移位寄存器的输出 SS_{i-1} (在 $i=2 \sim N$ 的条件下), 并据以输出充电信号 CV。

[0049] 举例来说, 第 1 级移位寄存器 SR_1 中的预充电单元 301 为接收来自时钟控制器 105 的第一起始脉冲信号 STV1; 第 2 级移位寄存器 SR_2 中的预充电单元 301 为接收第 1 级移位寄存器 SR_1 所输出的扫描信号 SS_1 ; 第 3 级移位寄存器 SR_3 中的预充电单元 301 为接收第 2 级移位寄存器 SR_2 所输出的扫描信号 SS_2 ; 依此类推至第 N 级移位寄存器 SR_N 中的预充电单元 301 为接收第 $(N-1)$ 级移位寄存器 SR_{N-1} 所输出的扫描信号 SS_{N-1} 。

[0050] 另外, 上拉单元 303 耦接预充电单元 301, 用以接收预充电单元 301 的充电信号 CV 与来自时钟控制器 105 的第一预设时钟信号 PCK1, 并据以输出扫描信号 SS_i 。再者, 下拉单元 305 耦接预充电单元 301、上拉单元 303 与削角电路 203, 用以接收来自时序控制器 105 的第二与第三预设时钟信号 (PCK2, PCK3)、第 $(i+2)$ 级移位寄存器 SR_{i+2} 的输出 SS_{i+2} , 以及第 i 级移位寄存器 SR_i 的扫描信号 SS_i 与第二起始脉冲信号 STV2 (在 $i=1$ 的条件下) 的其中之一, 并据以决定是否将第 i 级移位寄存器 SR_i 的扫描信号 SS_i 下拉至参考电位 V_{ss} (例如为一个负电压, 但并不限制于此)。

[0051] 更清楚来说, 如图 3B 所示, 预充电单元 301 包括第一晶体管 T1。其中, 第一晶体管 T1 可以 N 型晶体管 (N-type transistor) 来实施, 但并不限制于此。第一晶体管 T1 的栅极 (gate) 与漏极 (drain) 耦接在一起以接收第一起始脉冲信号 STV1 (在 $i=1$ 的条件下) 或第 $(i-1)$ 级移位寄存器的 SR_{i-1} 的输出 (即, 扫描信号 SS_{i-1}) (在 $i=2 \sim N$ 的条件下), 而第一晶体管 T1 的源极 (source) 则用以输出充电信号 CV。

[0052] 另外, 上拉单元 303 包括第二晶体管 T2、第三晶体管 T3, 以及第一电容 C1。其中, 第二与第三晶体管 T2、T3 也可以 N 型晶体管来实施, 但并不限制于此。第二晶体管 T2 的栅极耦接第一晶体管 T1 的源极, 第二晶体管 T2 的漏极用以接收来自时序控制器 105 的第一预设时钟信号 PCK1, 而第二晶体管 T2 的源极则用以输出扫描信号 SS_i 。第三晶体管 T3 的栅极与源极耦接第二晶体管 T2 的源极, 而第三晶体管 T3 的漏极则用以接收来自时序控制器 105 的第一预设时钟信号 PCK1。第一电容 C1 耦接在第二晶体管 T2 的栅极与源极之间。

[0053] 再者, 下拉单元 305 包括第四晶体管 T4、第五晶体管 T5, 以及第六晶体管 T6。其中, 第四至第六晶体管 T4 ~ T6 也可以 N 型晶体管来实施, 但并不限制于此。第四晶体管 T4 的栅极用以接收来自时序控制器 105 的第二预设时钟信号 PCK2, 第四晶体管 T4 的漏极耦接第二晶体管 T2 的源极, 而第四晶体管 T4 的源极则耦接至参考电位 V_{ss} 。第五晶体管 T5 的栅极用以接收来自时序控制器 105 的第三预设时钟信号 PCK3, 第五晶体管 T5 的漏极用以接收第二起始脉冲信号 STV2 (在 $i=1$ 的条件下) 或第 i 级移位寄存器 SR_i 的扫描信号 SS_i , 而第五晶体管 T5 的源极则耦接第一晶体管 T1 的源极。第六晶体管 T6 的栅极用以接收第

(i+2) 级移位寄存器 SR_{i+2} 所输出的扫描信号 SS_{i+2} , 第六晶体管 T6 的漏极耦接第一晶体管 T1 的源极, 而第六晶体管 T6 的源极则耦接至参考电位 V_{ss} 。

[0054] 除此之外, 于本示范性实施例中, 削角电路 203 包括第二电容 C2、第七晶体管 T7, 以及第八晶体管 T8。其中, 第七与第八晶体管 T7、T8 也可以 N 型晶体管来实施, 但并不限制于此。第二电容 C2 的第一端用以接收来自时序控制器 105 的第四预设时钟信号 PCK4。第七晶体管 T7 的栅极耦接第二电容 C2 的第二端, 第七晶体管 T7 的漏极耦接第二晶体管 T2 的源极, 而第七晶体管 T7 的源极则耦接至参考电位 V_{ss} 。第八晶体管 T8 的栅极用以接收来自时序控制器 105 的第二预设时钟信号 PCK2, 第八晶体管 T8 的漏极耦接第二电容 C2 的第二端, 而第八晶体管 T8 的源极则耦接至参考电位 V_{ss} 。

[0055] 基于上述, 以第 1 级移位寄存器 SR_i ($i=1$) 为例, 上拉单元 303 中第二与第三晶体管 T2、T3 的漏极所接收的第一预设时钟信号 PCK1 为时钟信号 C3_0; 下拉单元 305 中第四与第五晶体管 T4、T5 的栅极所分别接收的第二与第三预设时钟信号 (PCK2, PCK3) 分别为时钟信号 C1_0 与 C2_0; 以及削角电路 203 中第八晶体管 T8 的栅极与第二电容 C2 的第一端所分别接收的第二与第四预设时钟信号 (PCK2, PCK4) 分别为时钟信号 C1_0 与 C4_E。

[0056] 以第 2 级移位寄存器 SR_i ($i=2$) 为例, 上拉单元 303 中第二与第三晶体管 T2、T3 的漏极所接收的第一预设时钟信号 PCK1 为时钟信号 C4_0; 下拉单元 305 中第四与第五晶体管 T4、T5 的栅极所分别接收的第二与第三预设时钟信号 (PCK2, PCK3) 分别为时钟信号 C2_0 与 C3_0; 以及削角电路 203 中第八晶体管 T8 的栅极与第二电容 C2 的第一端所分别接收的第二与第四预设时钟信号 (PCK2, PCK4) 分别为时钟信号 C2_0 与 C1_E。

[0057] 以第 3 级移位寄存器 SR_i ($i=3$) 为例, 上拉单元 303 中第二与第三晶体管 T2、T3 的漏极所接收的第一预设时钟信号 PCK1 为时钟信号 C1_0; 下拉单元 305 中第四与第五晶体管 T4、T5 的栅极所分别接收的第二与第三预设时钟信号 (PCK2, PCK3) 分别为时钟信号 C3_0 与 C4_0; 以及削角电路 203 中第八晶体管 T8 的栅极与第二电容 C2 的第一端所分别接收的第二与第四预设时钟信号 (PCK2, PCK4) 分别为时钟信号 C3_0 与 C2_E。

[0058] 以第 4 级移位寄存器 SR_i ($i=4$) 为例, 上拉单元 303 中第二与第三晶体管 T2、T3 的漏极所接收的第一预设时钟信号 PCK1 为时钟信号 C2_0; 下拉单元 305 中第四与第五晶体管 T4、T5 的栅极所分别接收的第二与第三预设时钟信号 (PCK2, PCK3) 分别为时钟信号 C4_0 与 C1_0; 以及削角电路 203 中第八晶体管 T8 的栅极与第二电容 C2 的第一端所分别接收的第二与第四预设时钟信号 (PCK2, PCK4) 分别为时钟信号 C4_0 与 C3_E。

[0059] 以第 5 级移位寄存器 SR_i ($i=5$) 为例, 上拉单元 303 中第二与第三晶体管 T2、T3 的漏极所接收的第一预设时钟信号 PCK1 为时钟信号 C3_0; 下拉单元 305 中第四与第五晶体管 T4、T5 的栅极所分别接收的第二与第三预设时钟信号 (PCK2, PCK3) 分别为时钟信号 C1_0 与 C2_0; 以及削角电路 203 中第八晶体管 T8 的栅极与第二电容 C2 的第一端所分别接收的第二与第四预设时钟信号 (PCK2, PCK4) 分别为时钟信号 C1_0 与 C4_E。

[0060] 以第 6 级移位寄存器 SR_i ($i=6$) 为例, 上拉单元 303 中第二与第三晶体管 T2、T3 的漏极所接收的第一预设时钟信号 PCK1 为时钟信号 C4_0; 下拉单元 305 中第四与第五晶体管 T4、T5 的栅极所分别接收的第二与第三预设时钟信号 (PCK2, PCK3) 分别为时钟信号 C2_0 与 C3_0; 以及削角电路 203 中第八晶体管 T8 的栅极与第二电容 C2 的第一端所分别接收的第二与第四预设时钟信号 (PCK2, PCK4) 分别为时钟信号 C2_0 与 C1_E。

[0061] 以第 7 级移位寄存器 $SR_i (i=7)$ 为例, 上拉单元 303 中第二与第三晶体管 T2、T3 的漏极所接收的第一预设时钟信号 PCK1 为时钟信号 C1_0; 下拉单元 305 中第四与第五晶体管 T4、T5 的栅极所各自接收的第二与第三预设时钟信号 (PCK2, PCK3) 分别为时钟信号 C3_0 与 C4_0; 以及削角电路 203 中第八晶体管 T8 的栅极与第二电容 C2 的第一端所各自接收的第二与第四预设时钟信号 (PCK2, PCK4) 分别为时钟信号 C3_0 与 C2_E。

[0062] 以第 8 级移位寄存器 $SR_i (i=8)$ 为例, 上拉单元 303 中第二与第三晶体管 T2、T3 的漏极所接收的第一预设时钟信号 PCK1 为时钟信号 C2_0; 下拉单元 305 中第四与第五晶体管 T4、T5 的栅极所分别接收的第二与第三预设时钟信号 (PCK2, PCK3) 分别为时钟信号 C4_0 与 C1_0; 以及削角电路 203 中第八晶体管 T8 的栅极与第二电容 C2 的第一端所分别接收的第二与第四预设时钟信号 (PCK2, PCK4) 分别为时钟信号 C4_0 与 C3_E。

[0063] 由此可知, 移位寄存装置 SRD 中由上至下的每 4 个移位寄存器可视为同一群组 (例如: $SR_{1\sim 4}$ 、 $SR_{5\sim 8}$ 、 $\cdots$ 、 $SR_{N-3\sim N}$)。同一群组的 4 个移位寄存器 ($SR_{1\sim 4}$ 、 $SR_{5\sim 8}$ 、 $\cdots$ 、 $SR_{N-3\sim N}$) 的晶体管 (T2, T3) 的漏极所分别接收的第一预设时钟信号 PCK1 依序为时钟信号 C3_0 $\rightarrow$ C4_0 $\rightarrow$ C1_0 $\rightarrow$ C2_0; 同一群组的 4 个移位寄存器 ($SR_{1\sim 4}$ 、 $SR_{5\sim 8}$ 、 $\cdots$ 、 $SR_{N-3\sim N}$) 的晶体管 (T4, T8) 的栅极所分别接收的第二预设时钟信号 PCK2 依序为时钟信号 C1_0 $\rightarrow$ C2_0 $\rightarrow$ C3_0 $\rightarrow$ C4_0; 同一群组的 4 个移位寄存器 ($SR_{1\sim 4}$ 、 $SR_{5\sim 8}$ 、 $\cdots$ 、 $SR_{N-3\sim N}$) 的晶体管 (T5) 的栅极所分别接收的第三预设时钟信号 PCK3 依序为时钟信号 C2_0 $\rightarrow$ C3_0 $\rightarrow$ C4_0 $\rightarrow$ C1_0; 以及同一群组的 4 个移位寄存器 ($SR_{1\sim 4}$ 、 $SR_{5\sim 8}$ 、 $\cdots$ 、 $SR_{N-3\sim N}$) 的电容 (C2) 的第一端所分别接收的第四预设时钟信号 PCK4 依序为时钟信号 C4_E $\rightarrow$ C1_E $\rightarrow$ C2_E $\rightarrow$ C3_E。

[0064] 于此, 为了要清楚说明各级移位寄存器 $SR_{1\sim N}$ 的运作原理, 图 4 绘示为图 3B 的第 i 级移位寄存器 SR_i 的运作时序图。请参照图 4, 从图 4 可以清楚地看出, 时序控制器 105 会序列且周期性地产生时钟信号 C3_0、C4_0、C1_0、C2_0 给移位寄存装置 SRD, 且所序列产生的时钟信号 C3_0、C4_0、C1_0、C2_0 的致能时间彼此部分重迭, 例如: 50% 的重迭 (即, 相位差 (phase difference) 为 90 度), 但并不限制于此。其中, 时钟信号 (C3_0, C1_0) 与 (C4_0, C2_0) 为互补 (即, 相位差为 180 度)。

[0065] 换言之, 时钟信号 C3_0 与 C4_0 的致能时间有 50% 的重迭; 时钟信号 C4_0 与 C1_0 的致能时间有 50% 的重迭; 时钟信号 C1_0 与 C2_0 的致能时间有 50% 的重迭; 时钟信号 C2_0 与 C3_0 的致能时间有 50% 的重迭; 时钟信号 C3_0 与 C1_0 的致能时间未重迭; 以及时钟信号 C4_0 与 C2_0 的致能时间未重迭。

[0066] 另外, 时序控制器 105 会产生第一与第二起始脉冲信号 STV1、STV2 (在 $i=1$ 的条件下) 给移位寄存装置 SRD, 且所产生的第一与第二起始脉冲信号 STV1、STV2 的致能时间彼此部分重迭, 例如: 50% 的重迭 (即, 相位差为 90 度), 但并不限制于此。再者, 时序控制器 105 所产生的第二起始脉冲信号 STV2 的致能时间与时钟信号 C3_0 的初始致能时间有 50% 的重迭 (即, 相位差为 90 度)。

[0067] 此外, 时序控制器 105 亦会序列且周期性地产生时钟信号 C3_E、C4_E、C1_E、C2_E 给移位寄存装置 SRD, 且所序列产生的时钟信号 C3_E、C4_E、C1_E、C2_E 的致能时间彼此部分重迭, 例如: 50% 的重迭 (即, 相位差为 90 度), 但并不限制于此。其中, 时钟信号 (C3_E, C1_E) 与 (C4_E, C2_E) 为互补 (即, 相位差为 180 度)。

[0068] 换言之, 时钟信号 C3_E 与 C4_E 的致能时间有 50% 的重迭; 时钟信号 C4_E 与 C1_E

的致能时间有 50% 的重迭 ; 时钟信号 C1_E 与 C2_E 的致能时间有 50% 的重迭 ; 时钟信号 C2_E 与 C3_E 的致能时间有 50% 的重迭 ; 时钟信号 C3_E 与 C1_E 的致能时间未重迭 ; 以及时钟信号 C4_E 与 C2_E 的致能时间未重迭。

[0069] 于此, 值得一提的是, 时钟信号 C3_0 与 C3_E 的相位差为 45 度 (即, 时钟信号 C3_0 与 C3_E 的致能时间有 75% 的重迭) ; 时钟信号 C4_0 与 C4_E 的相位差为 45 度 (即, 时钟信号 C4_0 与 C4_E 的致能时间有 75% 的重迭) ; 时钟信号 C1_0 与 C1_E 的相位差为 45 度 (即, 时钟信号 C1_0 与 C1_E 的致能时间有 75% 的重迭) ; 以及时钟信号 C2_0 与 C2_E 的相位差为 45 度 (即, 时钟信号 C2_0 与 C2_E 的致能时间有 75% 的重迭)。

[0070] 在此条件下, 以第 1 级移位寄存器 $SR_i (i=1)$ 为例, 在第 1 级移位寄存器 SR_i , 由于第一预设时钟信号 PCK1 为时钟信号 C3_0, 第二预设时钟信号 PCK2 为时钟信号 C1_0, 第三预设时钟信号 PCK3 为时钟信号 C2_0, 以及第四预设时钟信号 PCK4 为时钟信号 C4_E。因此, 第 1 级移位寄存器 SR_i 的运作方式即如以下说明。

[0071] 首先, 当时序控制器 105 提供第一起始脉冲信号 STV1 给第 1 级移位寄存器 SR_i 的预充电单元 301 时, 预充电单元 301 会反应于第一起始脉冲信号 STV1 而对节点 $P_i (i=1)$ 进行预充电, 藉以于节点 $P_i (i=1)$ 上产生充电信号 CV。如此一来, 当时序控制器 105 所提供的时钟信号 C3_0 致能时, 节点 $P_i (i=1)$ 上的电压会受时钟信号 C3_0 的耦合效应 (coupling effect) 的影响而被拉升, 藉以开启上拉单元 303 中的第二晶体管 T2, 从而使得第三晶体管 T3 一并开启以输出第 1 级移位寄存器 $SR_i (i=1)$ 的扫描信号 $SS_i (i=1)$ 。

[0072] 在第 1 级移位寄存器 $SR_i (i=1)$ 输出扫描信号 $SS_i (i=1)$ 的某段期间 (例如 : 时间 $t1 \sim t2$), 由于削角电路 203 会反应于来自时序控制器 105 的时钟信号 C1_0 与 C4_E 而启动, 藉以对第 1 级移位寄存器 $SR_i (i=1)$ 的扫描信号 $SS_i (i=1)$ 进行削角处理, 从而降低馈通效应 (feed through effect) 的影响。

[0073] 更清楚来说, 以图 3B 所示的削角电路 203 的电路结构, 其在运作上可以等效为如同图 5 所示的逻辑电路, 亦即 : 非门 (NOT gate) NT 与与门 (AND gate) AG 的组合。其中, 非门 NT 的输入端用以接收来自时序控制器 105 的时钟信号 C1_0, 而非门 NT 的输出端则耦接至与门 AG 的第一输入端。与门 AG 的第二输入端用以接收来自时序控制器 105 的时钟信号 C4_E, 而与门 AG 的输出端则用以产生削角信号 (trimming signal) V_c 。

[0074] 基此, 由于削角电路 203 只会在时钟信号 C1_0 为低电平且时钟信号 C4_E 为高电平的情况下产生高电平的削角信号 V_c 。因此, 在第 1 级移位寄存器 $SR_i (i=1)$ 输出扫描信号 $SS_i (i=1)$ 的某段期间 (即, 时间 $t1 \sim t2$), 削角电路 203 中的第七晶体管 T7 将会在时间 $t1 \sim t2$ 反应于高电平的削角信号 V_c 而开启, 藉以将第 1 级移位寄存器 $SR_i (i=1)$ 的扫描信号 $SS_i (i=1)$ 原先的高电位 V_{H1} 拉低至介于高电位 V_{H1} 与参考电位 V_{ss} 之间的某一预设高电位 V_{H2} (即, $V_{ss} < V_{H2} < V_{H1}$), 从而实现了对第 1 级移位寄存器 $SR_i (i=1)$ 的扫描信号 $SS_i (i=1)$ 进行削角处理。

[0075] 于本示范性实施例中, 可通过调整第七晶体管 T7 的元件大小以改变显示区 AA 内各像素受有源元件各电极间的寄生电容的影响而被拉低一个电压差 (ΔV) (即, 馈通电压) 的量 / 大小。再者, 亦可通过调整第二电容 C2 的容值与第八晶体管 T8 的元件大小以改变削角信号 V_c 的电压值。

[0076] 另一方面, 在预充电单元 301 与上拉单元 303 协同地将扫描信号 $SS_i (i=1)$ 输出且

削角电路 203 负责对扫描信号 SS_1 ($i=1$) 进行削角之后, 下拉单元 305 将反应于时钟信号 $C1_0$ 、时钟信号 $C2_0$ 、下两级移位寄存器 SS_{i+2} (即, SS_3) 的输出 (即扫描信号 SS_3), 以及第二起始脉冲信号 $STV2$ 或本级扫描信号 SS_1 (在 $i=1$ 的条件下), 而负责将本级扫描信号 SS_1 ($i=1$) 下拉至参考电位 V_{ss} 。

[0077] 更清楚来说, 下拉电路 305 中的第四晶体管 T4 将会反应于来自时序控制器 105 的时钟信号 $C1_0$ 的致能而开启, 藉以将经削角处理后的扫描信号 SS_1 ($i=1$) 的高电位 $VH2$ 下拉至参考电位 V_{ss} 。此外, 下拉电路 305 中的第五晶体管 T5 与第六晶体管 T6 会分别反应于时钟信号 $C2_0$ 与第 3 级移位寄存器 SR_3 的扫描信号 SS_3 的致能而开启, 藉以避免上拉单元 303 内的第二晶体管 T2 受时钟信号 $C3_0$ 的耦合效应的影响而误开启。

[0078] 甚至, 在时间 $t2$ 之后, 下拉单元 305 的第四晶体管 T4 会反应于来自时序控制器 105 的时钟信号 $C1_0$ 而周期性开启, 而且削角电路 203 也会在时钟信号 $C1_0$ 为低电平且时钟信号 $C4_E$ 为高电平的情况下周期性地产生高电平的削角信号 Vc 。如此一来, 削角电路 203 中的第七晶体管 T7 将可协同于下拉单元 305 的第四晶体管 T4 以将经下拉过后的扫描信号 SS_1 ($i=1$) 的低电位持续保持在参考电位 V_{ss} 。

[0079] 于此, 虽然上述示范性实施例仅以第 1 级移位寄存器 SR_1 的运作原理为例来做说明, 但其余移位寄存器 $SR_2 \sim N$ 的运作原理皆与第 1 级移位寄存器 SR_1 类似, 故而在不再加以赘述之。

[0080] 据此, 当时序控制器 105 提供第一与第二起始脉冲信号 $STV1$ 、 $STV2$ 给第 1 级移位寄存器 SR_1 , 且分别提供时钟信号 ($C1_0 \sim C4_0$) 与 ($C1_E \sim C4_E$) 中相应的四者给移位寄存器 $SR_1 \sim SR_N$ 时, 移位寄存装置 SRD 内的移位寄存器 $SR_1 \sim SR_N$ 会序列地输出经削角处理后的扫描信号 $SS_1 \sim SS_N$, 以从显示区 AA 内的第一列像素逐一开启至最后一列像素, 而源极驱动器 103 会提供对应的显示数据给被移位寄存装置 SRD 所开启的列像素。如此一来, 再加上背光模块 107 所提供的 (背) 光源, 则液晶显示面板 101 即会显示图像画面。其中, 背光模块 107 可以为冷阴极管 (CCFL) 背光模块或发光二极管 (LED) 背光模块, 但并不限制于此。

[0081] 综上所述, 于本发明中, 所提的移位寄存装置可以序列地输出经削角处理后的多个扫描信号以逐一开启液晶显示面板内的多列像素。如此一来, 即可均匀化整体液晶显示面板的共享电极的电压 (即, V_{com}), 藉以有效地解决液晶显示面板产生画面闪烁 (flicker) 的问题, 从而提升液晶显示器的显示质量。除此之外, 所提的移位寄存装置可直接配置在液晶显示面板的玻璃基板上, 且其内的每级移位寄存器都含有对相应的扫描信号进行削角处理的削角电路, 故而无需重新开发特殊的栅极驱动芯片, 从而得以缩短产品开发时间与降低制作成本。

[0082] 另一方面, 在制程因素允许的条件下, 上述示范性实施例的每一级移位寄存器还可以由 P 型晶体管所组成。换言之, 就是图 3B 的电路结构的互补态样, 而该等变形的示范性实施例亦属本发明所欲保护的范畴。

[0083] 甚至, 虽然上述示范性实施例的削角电路是应用在上述特定说明的预充电单元、上拉单元与下拉单元的电路实施态样下, 但是本发明并不限制于此。也就是说, 只要可以被区分有预充电单元、上拉单元以及下拉单元的其它电路类型的移位寄存器, 本发明所提的削角电路就可适用于其中, 而该等变形的示范性实施例亦属本发明所欲保护的范畴。

[0084] 再者,虽然本发明已以上述示范性实施例揭露如上,虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视所附的权利要求范围所界定者为准。

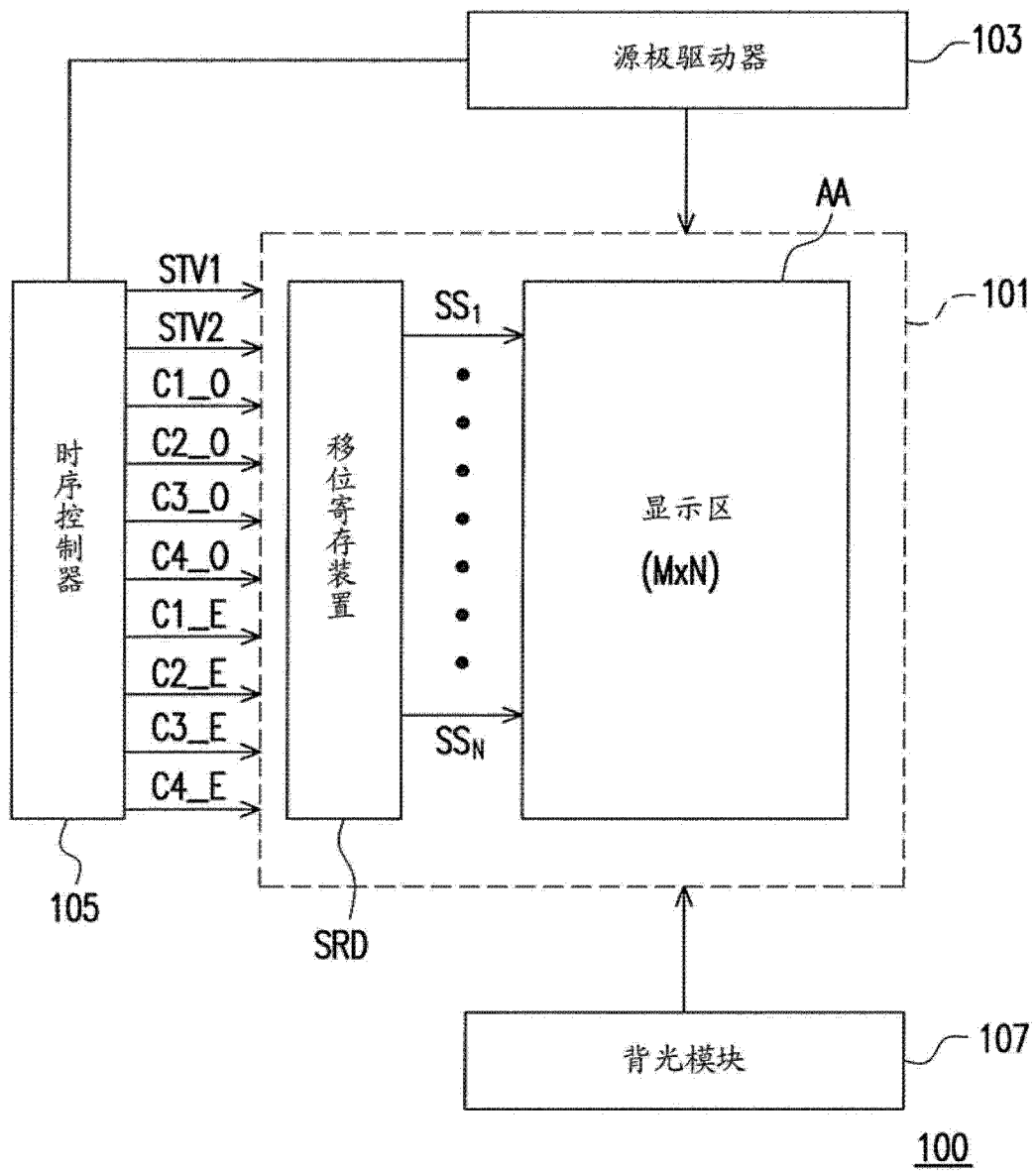


图 1

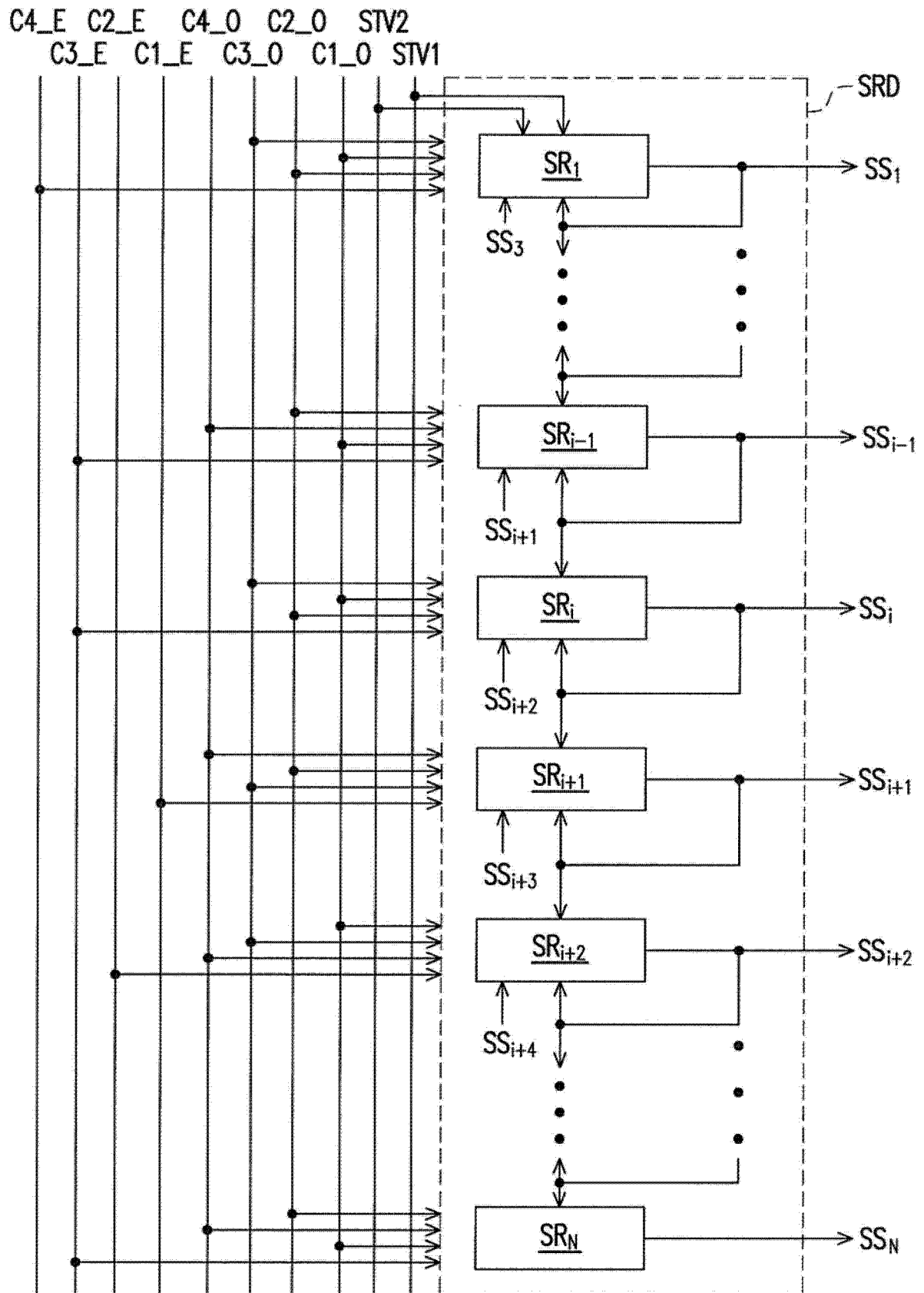


图 2

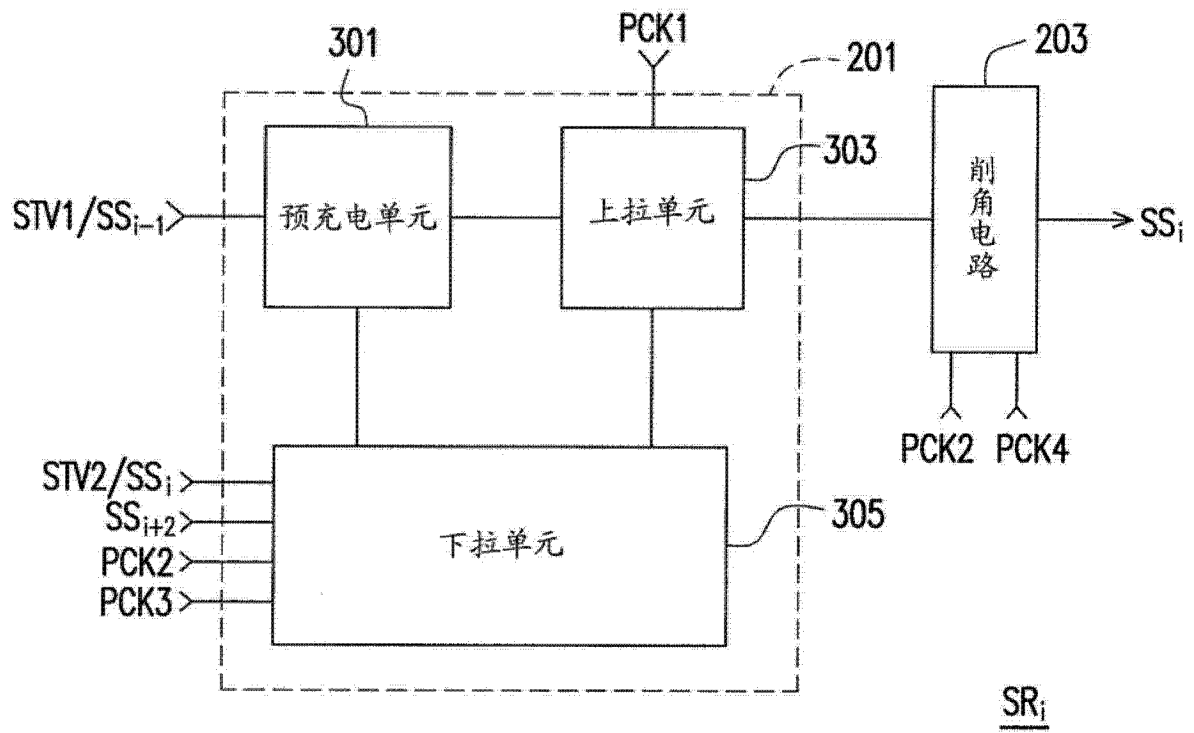


图 3A

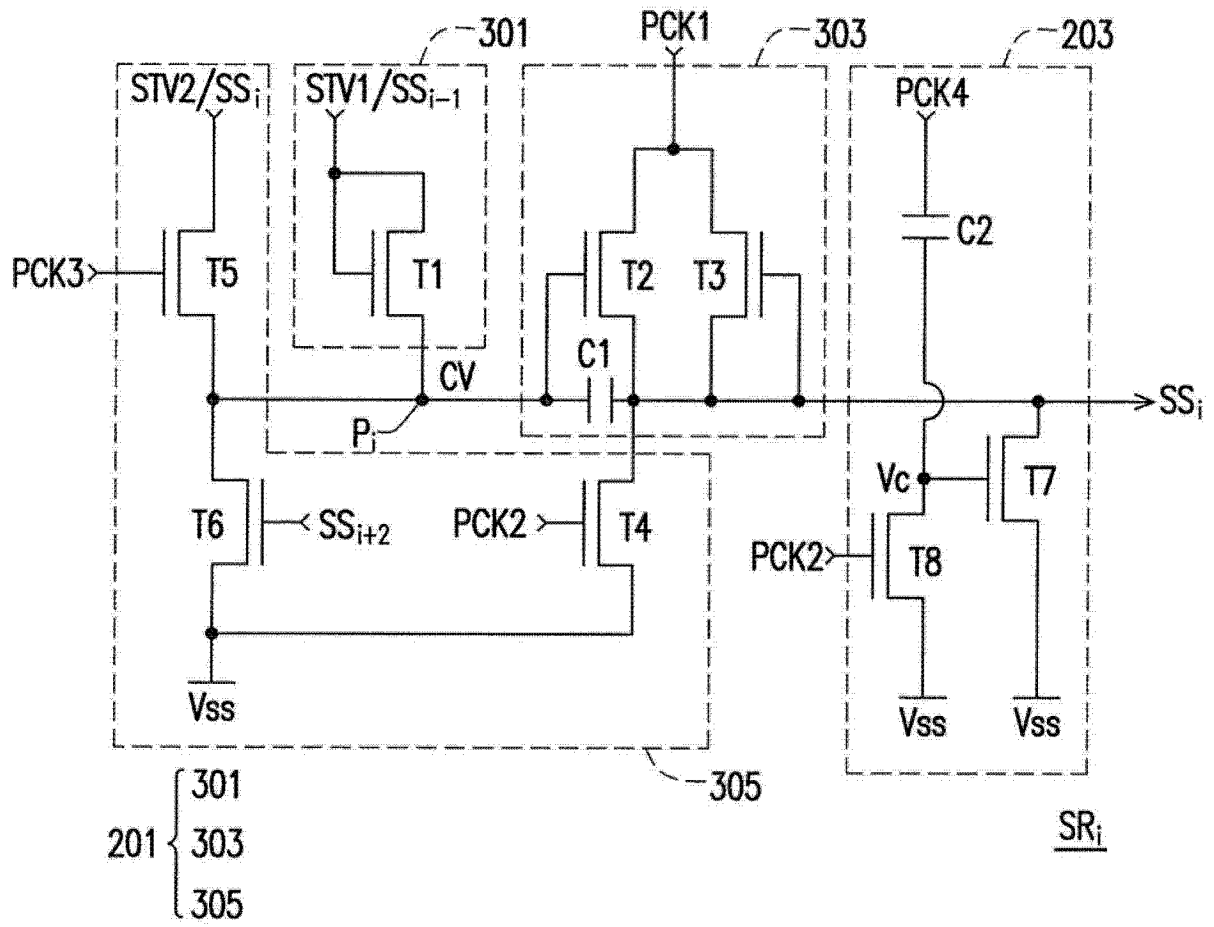


图 3B

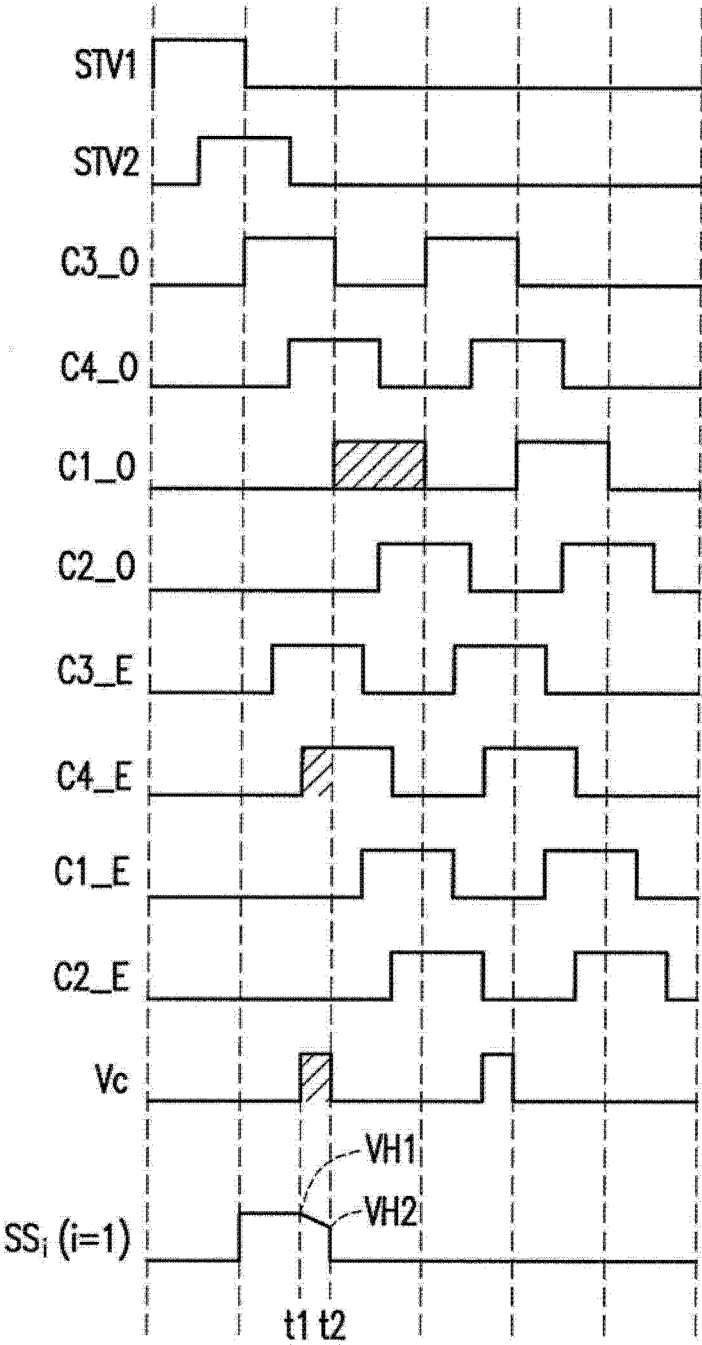


图 4

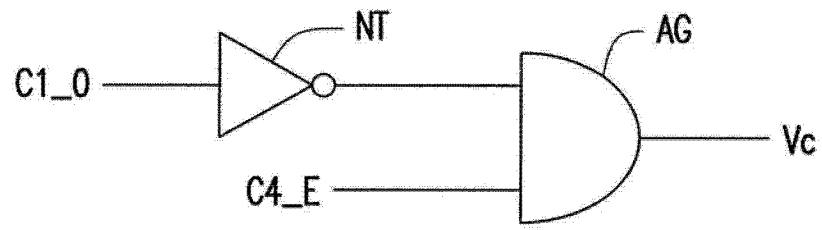


图 5

专利名称(译)	液晶显示器及其移位寄存装置		
公开(公告)号	CN103680427A	公开(公告)日	2014-03-26
申请号	CN201210329863.4	申请日	2012-09-07
[标]申请(专利权)人(译)	瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股份有限公司		
当前申请(专利权)人(译)	瀚宇彩晶股份有限公司.		
[标]发明人	游家华 林松君 刘轩辰 詹建廷		
发明人	游家华 林松君 刘轩辰 詹建廷		
IPC分类号	G09G3/36 G11C19/28		
CPC分类号	G09G3/3648 G09G3/3677 G09G2310/0286 G09G2320/0247 G11C19/184 G11C19/28		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示器及其移位寄存装置。移位寄存装置包括多级串接在一起的移位寄存器。其中，第*i*级移位寄存器包括本体电路与削角电路。本体电路用以反应于第一至第三预设时钟信号而产生扫描信号。削角电路耦接本体电路，用以反应于第一至第三预设时钟信号的部分以及第四预设时钟信号而对所产生的扫描信号进行削角处理。如此一来，即可降低馈通效应，从而改善画面闪烁的问题。

