



(12) 发明专利

(10) 授权公告号 CN 103377630 B

(45) 授权公告日 2016. 07. 06

(21) 申请号 201210599206. 1

(22) 申请日 2012. 12. 27

(30) 优先权数据

10-2012-0043420 2012. 04. 25 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 李周映

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 吕俊刚 杨薇

(51) Int. Cl.

G09G 3/36(2006. 01)

(56) 对比文件

CN 1870117 A, 2006. 11. 29, 参见说明书第 14 页第 10~ 第 21 页第 20 行和附图 12、19~21.

CN 101625838 A, 2010. 01. 13, 参见说明书第 6 页第 4 段~ 第 8 页第 4 段和附图 1~7.

CN 1784711 A, 2006. 06. 07, 全文.

CN 102237062 A, 2011. 11. 09, 全文.

US 20100238143 A1, 2010. 09. 23, 全文.

审查员 杨亚普

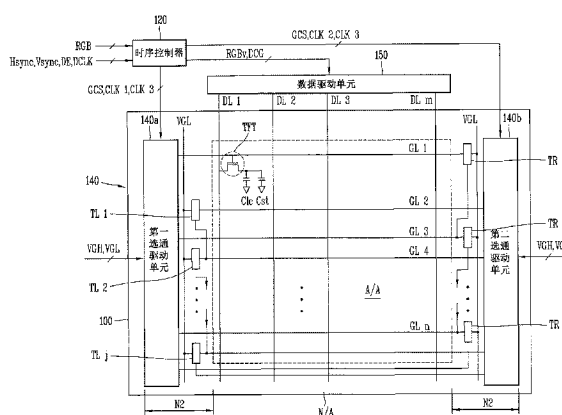
权利要求书2页 说明书12页 附图7页

(54) 发明名称

液晶显示设备

(57) 摘要

本发明涉及液晶显示设备,更具体地,涉及板内选通 GIP 型双选通结构液晶显示设备,用于最小化其中提供选通驱动信号的选通驱动单元形成在液晶面板上的 GIP 结构液晶显示设备中的选通驱动单元占据的区域以实现窄边框,并改善由于信号延迟导致的图像质量劣化。根据本发明,在双 GIP 型液晶显示设备中,通过从两个选通驱动单元交替输出选通驱动电压的结构而不是同时输出选通驱动电压的结构,可减少级数,从而最小化选通驱动单元占据的区域。



1. 一种液晶显示设备,所述液晶显示设备包括:

形成有 n 条选通线的液晶面板, n 是自然数;

时序控制器,所述时序控制器配置为从外部系统接收时序信号,并且生成第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号,其中第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号分别具有两个水平周期 $2H$ 的高间隔,并且前、后信号之间重叠一个水平周期 $1H$;

第一选通驱动单元,所述第一选通驱动单元配置为与第一时钟信号和第三时钟信号相对应地向第 $2n-1$ 选通线的一侧施加选通高电压;

第二选通驱动单元,所述第二选通驱动单元配置为与第二时钟信号和第四时钟信号相对应地向第 $2n$ 选通线的一侧施加选通高电压;

R放电电路,所述R放电电路配置为与第 $2n+1$ 选通线的电压电平相对应地向第 $2n-1$ 选通线的另一侧施加选通低电压;

L放电电路,所述L放电电路配置为与第 $2n+2$ 选通线的电压电平相对应地向第 $2n$ 选通线的另一侧施加选通低电压,

其中所述第一选通驱动单元包括彼此连接的多个L级,并通过接收第一时钟信号和第三时钟信号中的任一个而工作,所述L放电电路连接到第 $2n$ 选通线并且布置在所述多个L级之间,

其中所述第二选通驱动单元包括彼此连接的多个R级,并通过接收第二时钟信号和第四时钟信号中的任一个而工作,所述R放电电路连接到第 $2n-1$ 选通线并且布置在所述多个R级之间,

其中所述L放电电路是多个晶体管,所述晶体管包括:

连接到第 $2n$ 选通线的第一电极;

施加有选通低电压的第二电极;

连接到第 $2n+2$ 选通线或者虚设线的栅极,

其中所述R放电电路是多个晶体管,所述晶体管包括:

连接到第 $2n-1$ 选通线的第一电极;

施加有选通低电压的第二电极;

连接到第 $2n+1$ 选通线或者虚设线的栅极。

2. 如权利要求1所述的液晶显示设备,其中所述第一选通驱动单元还包括连接到所述R放电电路的至少一个虚设L级。

3. 如权利要求1所述的液晶显示设备,其中所述第二选通驱动单元还包括连接到所述L放电电路的至少一个虚设R级。

4. 如权利要求1所述的液晶显示设备,其中所述第一选通驱动单元和所述第二选通驱动单元嵌入在所述液晶面板的非有源区中。

5. 一种液晶显示设备,所述液晶显示设备包括:

形成有 n 条选通线的液晶面板, n 是自然数;

时序控制器,所述时序控制器配置为从外部系统接收时序信号,并且生成第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号、第五时钟信号、第六时钟信号,其中第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号、第五时钟信号、第六时钟信号分别

具有三个水平周期 $3H$ 的高间隔,并且前、后信号之间重叠两个水平周期 $2H$;

第一选通驱动单元,所述第一选通驱动单元配置为与第一时钟信号、第三时钟信号、第五时钟信号相对应地向第 $2n-1$ 选通线的一侧施加选通高电压;

第二选通驱动单元,所述第二选通驱动单元配置为与第二时钟信号、第四时钟信号、第六时钟信号相对应地向第 $2n$ 选通线的一侧施加选通高电压;

R放电电路,所述R放电电路配置为与第 $2n+2$ 选通线的电压电平相对应地向第 $2n-1$ 选通线的另一侧施加选通低电压;

L放电电路,所述L放电电路配置为与第 $2n+3$ 选通线的电压电平相对应地向第 $2n$ 选通线的另一侧施加选通低电压,

其中所述第一选通驱动单元包括彼此连接的多个L级,并通过接收第一时钟信号、第三时钟信号、第五时钟信号中的任一个而工作,所述L放电电路连接到第 $2n$ 选通线并且布置在所述多个L级之间,

其中所述第二选通驱动单元包括彼此连接的多个R级,并通过接收第二时钟信号、第四时钟信号、第六时钟信号中的任一个而工作,所述R放电电路连接到第 $2n-1$ 选通线并且布置在所述多个R级之间,

其中所述L放电电路是多个晶体管,所述晶体管包括:

连接到第 $2n$ 选通线的第一电极;

施加有选通低电压的第二电极;

连接到第 $2n+3$ 选通线或者虚设线的栅极,

其中所述R放电电路是多个晶体管,所述晶体管包括:

连接到第 $2n-1$ 选通线的第一电极;

施加有选通低电压的第二电极;

连接到第 $2n+2$ 选通线或者虚设线的栅极。

6.如权利要求5所述的液晶显示设备,其中所述第一选通驱动单元还包括连接到所述R放电电路的至少一个虚设L级。

7.如权利要求5所述的液晶显示设备,其中所述第二选通驱动单元还包括连接到所述L放电电路的至少一个虚设R级。

8.如权利要求5所述的液晶显示设备,其中所述第一选通驱动单元和所述第二选通驱动单元嵌入在所述液晶面板的非有源区中。

液晶显示设备

技术领域

[0001] 本发明涉及液晶显示设备,更具体地,涉及板内选通(GIP)型双选通结构液晶显示设备,用于最小化其中提供选通驱动信号的选通驱动单元形成在液晶面板上的GIP结构液晶显示设备中的选通驱动单元占据的区域以实现窄边框,并改善由于信号延迟导致的图像质量劣化。

背景技术

[0002] 近年来,在电子信息显示设备领域,现有技术的阴极射线管等已经被平板显示设备代替,这些平板显示设备可包括液晶显示器(LCD)、等离子显示面板(PDP)、场发射显示器(FED)、有机发光二极管(OLED)等。在这些平板显示设备中,液晶显示设备由于诸如批量生产技术、驱动方式简易、高质量画面实现以及大尺寸面积屏幕实施的原因,现在得到最广泛的应用。

[0003] 特别地,其中使用薄膜晶体管用于开关元件的有源矩阵型液晶显示设备适合显示动态图像。典型的液晶显示设备设置有生成和提供扫描信号的选通驱动单元,还设置有提供用于显示图像灰度的数据信号的数据驱动单元。

[0004] 特别地,其中使用薄膜晶体管用于开关元件的有源矩阵型液晶显示设备适合显示动态图像。

[0005] 图1是例示现有技术中的液晶显示设备的基本构造的框图。

[0006] 如图所示,现有技术中的液晶显示设备可包括显示图像的液晶面板1,以及驱动单元4、5。

[0007] 对于液晶面板1,多条选通线(GL)和多条数据线(DL)在使用玻璃的基板上以矩阵形式相互交叉,以在交叉的位置限定出多个像素,并基于施加到像素的数据信号显示图像。液晶面板1可分为形成有像素来实现图像的有源区(A/A)和围绕有源区(A/A)的非有源区(N/A)。

[0008] 驱动单元4、5可包括选通驱动单元4和数据驱动单元5。选通驱动单元4响应于从时序控制器(未示出)提供的选通控制信号(GCS)控制液晶面板1上设置的像素中的开关元件的接通/断开。选通驱动单元4通过选通线(GL)向液晶面板1输出选通驱动电压(VG),以对于每条线逐步接通像素的开关元件,从而在每个水平周期向像素提供由数据驱动单元5供应的数据信号。

[0009] 数据驱动单元5响应于从时序控制器提供的数据控制信号(DCS)将数字波形图像数据调制成模拟波形数据信号。接下来,在每个水平周期,对应于一个水平周期的数据信号通过全部数据线(DL)同时提供给液晶面板1,从而允许每个像素显示图像灰度。

[0010] 在具有上述结构的液晶显示设备中,与数据驱动单元5的结构相比,选通驱动单元4的结构相对简单,并且已经提出了在液晶面板基板的制造过程中以薄膜晶体管的形式在非有源区(N/A)上制造选通驱动单元的板内选通(GIP)方案,而不使用将选通驱动单元实施为单独的集成电路(IC)并结合到液晶面板的方案,以减小液晶显示设备的体积、重量以及

制造成本。

[0011] 此外,由于液晶响应速度的限制,液晶显示设备具有图像质量劣化的运动模糊特性。为了克服该问题,已经提出了将高于120Hz而不是60Hz的驱动频率施加到液晶显示设备的方案。然而,当液晶显示设备高于120Hz驱动时,一个水平周期(1H)降低到造成对每个像素难以保证接通开关元件的时间的程度。

[0012] 因此,如图1所示,其中GIP型选通驱动单元4嵌入在液晶面板10的左侧和右侧、并且提供每个前、后选通驱动电压之间的重叠间隔以通过预充电来接通开关元件的结构已经应用到近来的液晶显示设备。

[0013] 然而,如上所述,在GIP方案的情况下,选通驱动单元4a、4b通过薄膜晶体管安装到液晶面板1上,因此液晶面板左、右两侧的非有源区(N/A)的宽度增加。在液晶面板1两侧由选通驱动单元4a、4b占据的区域($2 \times N1$)大约为9.5mm,该区域的大部分基于薄膜晶体管的大小而使用。

[0014] 图2是用于说明现有技术中GIP型选通驱动单元中的一个在液晶面板上占据的区域的视图。如图所示,第一4相GIP选通驱动单元4a可包括时钟信号(CLK1~CLK4)和起始信号(V_{st})路由区域41、选通高电压(VGH)和选通低电压(VGL)路由区域42、移位寄存器区域43、电平位移区域44和输出路由区域45。

[0015] 根据上述结构,第一选通驱动单元4a中输出选通驱动电压(VG)的一级在垂直(液晶面板的短侧)方向上具有宽度L1,在水平(液晶面板的长侧)方向上具有宽度N1。因此,在双选通结构的情况下,在水平方向上占据具有宽度 $2 \times N1$ 的区域。

[0016] 近年来,用于最小化液晶显示设备的非有源区(N/A)的宽度的窄边框结构得到优先使用,从而造成上述双GIP方案不适用具有小于5.5mm的窄边框型液晶显示设备的问题。

发明内容

[0017] 设计本发明以解决上述问题,本发明的一个目的是最小化GIP型双选通结构液晶显示设备中的选通驱动单元在液晶面板上占据的区域,从而实现窄边框型液晶显示设备。

[0018] 此外,本发明另一个目的是解决120Hz液晶显示设备中由于选通线的信号延迟引起的放电时段延迟而导致的图像质量劣化。

[0019] 为了实现上述目的,根据本发明第一实施方式的液晶显示设备可包括:形成有n条选通线的液晶面板,n是自然数;时序控制器,所述时序控制器配置为从外部系统接收时序信号,并且生成第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号;第一选通驱动单元,所述第一选通驱动单元配置为与第一时钟信号和第三时钟信号相对应地向第(2n-1)选通线的一侧施加选通高电压;第二选通驱动单元,所述第二选通驱动单元配置为与第二时钟信号和第四时钟信号相对应地向第(2n)选通线的一侧施加选通高电压;L放电电路,所述L放电电路配置为与第(2n+1)选通线的电压电平相对应地向第(2n-1)选通线的另一侧施加选通低电压;R放电电路,所述R放电电路配置为与第(2n+2)选通线的电压电平相对应地向第(2n)选通线的另一侧施加选通低电压。

[0020] 第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号可分别具有两个水平周期(2H)的高间隔,并且前、后信号之间可重叠一个水平周期(1H)。

[0021] 所述第一选通驱动单元可包括彼此连接的多个L级,并通过接收第一时钟信号和

第三时钟信号中的任一个而工作,所述L放电电路可形成在所述多个L级之间。

[0022] 所述第一选通驱动单元还可包括连接到所述R放电电路的至少一个虚设L级。

[0023] 所述L放电电路可以是多个晶体管,所述晶体管包括:连接到第(2n)选通线的第一电极;施加有选通低电压的第二电极;连接到第(2n+2)选通线或者虚设线的栅极。

[0024] 所述第二选通驱动单元可包括彼此连接的多个R级,并通过接收第二时钟信号和第四时钟信号中的任一个而工作,所述R放电电路形成在所述多个R级之间。

[0025] 所述第二选通驱动单元还可包括连接到所述L放电电路的至少一个虚设R级。

[0026] 所述R放电电路可以是多个晶体管,所述晶体管包括:连接到第(2n-1)选通线的第一电极;施加有选通低电压的第二电极;连接到第(2n+1)选通线或者虚设线的栅极。

[0027] 所述第一选通驱动单元和所述第二选通驱动单元可嵌入在所述液晶面板的非有源区中。

[0028] 此外,为了实现上述目的,根据本发明的第二实施方式的液晶显示设备可包括:形成有n条选通线的液晶面板,n是自然数;时序控制器,所述时序控制器配置为从外部系统接收时序信号,并且生成第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号、第五时钟信号、第六时钟信号;第一选通驱动单元,所述第一选通驱动单元配置为与第一时钟信号、第三时钟信号、第五时钟信号相对应地向第(2n-1)选通线的一侧施加选通高电压;第二选通驱动单元,所述第二选通驱动单元配置为与第二时钟信号、第四时钟信号、第六时钟信号相对应地向第(2n)选通线的一侧施加选通高电压;R放电电路,所述R放电电路配置为与第(2n+2)选通线的电压电平相对应地向第(2n-1)选通线的另一侧施加选通低电压;L放电电路,所述L放电电路配置为与第(2n+3)选通线的电压电平相对应地向第(2n)选通线的另一侧施加选通低电压。

[0029] 第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号、第五时钟信号、第六时钟信号可分别具有三个水平周期(3H)的高间隔,并且前、后信号之间可重叠两个水平周期(2H)。

[0030] 所述第一选通驱动单元可包括彼此连接的多个L级,并通过接收第一时钟信号、第三时钟信号、第五时钟信号中的任一个而工作,所述L放电电路可形成在所述多个L级之间。

[0031] 所述第一选通驱动单元还可包括连接到所述R放电电路的至少一个虚设L级。

[0032] 所述L放电电路可以是多个晶体管,所述晶体管包括:连接到第(2n)选通线的第一电极;施加有选通低电压的第二电极;连接到第(2n+3)选通线或者虚设线的栅极。

[0033] 所述第二选通驱动单元可包括彼此连接的多个R级,并通过接收第二时钟信号、第四时钟信号、第六时钟信号中的任一个而工作,所述R放电电路可形成在所述多个R级之间。

[0034] 所述第二选通驱动单元还可包括连接到所述L放电电路的至少一个虚设R级。

[0035] 所述R放电电路可以是多个晶体管,所述晶体管包括:连接到第(2n-1)选通线的第一电极;施加有选通低电压的第二电极;连接到第(2n+2)选通线或者虚设线的栅极。

[0036] 所述第一选通驱动单元和所述第二选通驱动单元可嵌入在所述液晶面板的非有源区中。

[0037] 根据本发明的优选实施方式,在双GIP型液晶显示器中,通过从两个选通驱动单元交替输出选通驱动电压的结构而不是同时输出选通驱动电压的结构,级数可减少,从而具有能够最小化选通驱动单元占据的区域的效果。

[0038] 此外,根据本发明,可以对于选通驱动单元的各级设置单独的放电装置,以对于每个水平周期(1H)与随后级的输出同步地对选通线放电,从而具有能够解决液晶显示设备由于放电时段延迟导致的图像劣化的另一种效果。

附图说明

[0039] 附图被包括以提供对本发明进一步的理解,并入此说明书中且构成此说明书的一部分,附图例示本发明的实施方式并与说明书一起用于解释本发明的原理。

[0040] 附图中:

[0041] 图1是例示现有技术中的液晶显示设备的基本构造的框图;

[0042] 图2是用于说明现有技术中GIP型选通驱动单元中的一个在液晶面板上占据的区域的视图;

[0043] 图3是例示根据本发明第一实施方式的液晶显示设备及其驱动单元的视图;

[0044] 图4是例示根据本发明第一实施方式的在液晶面板上形成的选通驱动单元和放电电路的结构的视图;

[0045] 图5A是例示不具有放电电路的GIP型双选通结构液晶显示设备的选通线的电压变化的视图,图5B是例示根据本发明第一实施方式的液晶显示设备的选通线的电压变化的视图;

[0046] 图6是例示根据本发明第二实施方式的在液晶面板上形成的选通驱动单元和放电电路的结构的视图;

[0047] 图7是例示根据本发明第二实施方式的在液晶面板上形成的选通驱动单元和放电电路的结构的视图;

[0048] 图8是例示根据本发明第二实施方式的液晶显示设备的选通线的电压变化的视图;

[0049] 图9是用于说明根据本发明第二实施方式的液晶显示器的选通驱动单元中的一个占据的区域的视图。

具体实施方式

[0050] 下文中将参照附图描述根据本发明优选实施方式的液晶显示设备及其驱动单元。

[0051] 图3是例示根据本发明第一实施方式的液晶显示设备及其驱动单元的视图。

[0052] 如图所示,根据本发明的液晶显示器可包括配置为显示图像的液晶面板100、配置为从外部系统接收时序信号并生成各种控制信号的时序控制器120、以及配置为与控制信号相对应地控制液晶面板100的选通驱动单元140和数据驱动单元150。

[0053] 对于液晶面板100,多条选通线(GL)和多条数据线(DL)在使用玻璃的基板上以矩阵形式相互交叉,以在交叉的位置限定出多个像素。每个像素设置有薄膜晶体管、液晶电容器(C_{lc})和存储电容器(C_{st}),全部像素构成一个有源区(A/A)。没有限定像素的区域归类为非有源区(N/A)。

[0054] 时序控制器120从外部系统接收时序信号,例如图像信号(RGB)、时钟信号(DCLK)、水平同步信号(Hsync)、垂直同步信号(Vsync)、数据使能信号(DE)等,生成用于选通驱动单元140和数据驱动单元150的控制信号。

[0055] 在此,水平同步信号(Hsync)是指示在屏幕上显示一条水平线所需时间的信号,垂直同步信号(Vsync)是指示在屏幕上显示一帧所需时间的信号。此外,数据使能信号(DE)是指示向液晶面板100的限定的像素提供数据电压的时段的信号。

[0056] 此外,时序控制器120与接收到的时序信号同步地生成选通驱动单元140的控制信号(GCS)和数据驱动单元150的控制信号(DCS)。

[0057] 另外,时序控制器120生成用于确定选通驱动单元140中的各级的驱动时间的多个时钟信号(CLK1~CLK4),并将这些时钟信号提供给选通驱动单元140。在此,第一时钟信号至第四时钟信号(CLK1~CLK4)是用于保持两个水平周期(2H)的高间隔的信号,并彼此重叠一个水平周期(1H)。

[0058] 此外,时序控制器120可通过以能够被数据驱动单元150处理的形式对准和调制接收到的图像数据(RGB DATA)来输出接收到的图像数据(RGB DATA)。在此,对准的图像数据(RGBv)可以采用应用了增强图像质量的色坐标校正算法的形式。

[0059] 两个选通驱动单元140设置在液晶面板100两端的非有源区(N/A)中。每个选通驱动单元140a、140b由包含移位寄存器的多级构成。在制造液晶面板100的基板期间,在板内选通(GIP)方案中,选通驱动单元140在非显示区(N/A)上以薄膜图案的形式嵌入其中。

[0060] 响应于从时序控制器120接收到的选通控制信号(GCS),第一选通驱动单元140a和第二选通驱动单元140b通过在液晶面板100中形成的多条选通线(GL1~GLn)在每两个水平周期(2H)交替输出选通高电压(VGH)。这里,输出的选通高电压(VGH)保持两个水平周期(2H),且前、后选通高电压(VGH)彼此重叠一个水平周期(1H)。如此设置以对选通线(GL1~GLn)预充电,从而与施加数据电压时相比,执行了稳定的像素充电操作。

[0061] 为此,分别具有两个水平周期(2H)的第一时钟信号和第三时钟信号(CLK1,CLK3)施加到第一选通驱动单元140a,与第一时钟信号和第三时钟信号(CLK1,CLK3)重叠一个水平周期(1H)并具有两个水平周期(2H)的第二时钟信号和第四时钟信号(CLK2,CLK4)施加到第二选通驱动单元140b。

[0062] 例如,如果第一选通驱动单元140a向第n选通线(GL n)输出选通高电压(VGH),那么一个水平周期(1H)之后,第二选通驱动单元140b向第(n+1)选通线(GL n+1)输出选通高电压(VGH)。

[0063] 接下来,如果在一个水平周期(1H)之后,第一选通驱动单元140a向第(n+2)选通线(GLn+2)再次输出选通高电压(VGH),那么同时第一选通驱动单元140a向第n选通线(GLn)输出选通低电压(VGL)以使薄膜晶体管(TFT)截止,从而液晶电容器(CIc)中充入的数据电压保持一帧。

[0064] 特别地,本发明还可包括放电电路(TL1~TLj,TR1~TRj),在选通线(GLn)的电压从选通高电压(VGH)切换到选通低电压(VGL)的时间点最小化选通线(GL1~GLn)的放电延迟。

[0065] 上述放电电路连接到每条选通线(GL1~GLn)的一端,与每条选通线(GL1~GLn)对应,连接到奇数选通线(GL2n-1)的R放电电路(TR1~TRj,j是自然数)设置成与第二选通驱动单元140b相邻,连接到偶数选通线(GL2n)的L放电电路(TL1~TLj)设置成与第一选通驱动单元140a相邻。

[0066] 在此,每个放电电路(TL1~TLj,TR1~TRj)连接到以一条选通线(GLn)为基础的第

二条选通线之后的选通线(GL_{n+2}),以向相关的选通线(GL_n)施加选通低电压(VGL)。

[0067] 在构成选通驱动单元140的各级之间,利用薄膜晶体管形成放电电路($TL_1 \sim TL_j$, $TR_1 \sim TR_j$)。因此,液晶面板100的非有源区(N/A)中由每个选通驱动单元140a、140b占据的区域($2 \times N_2$)可减少,从而实现了窄边框。

[0068] 下面将更详细地描述选通驱动单元140的级和放电电路的结构。

[0069] 数据驱动单元150基于参考电压(V_{ref}),选择性地将与从时序控制器120接收的数据控制信号(DCS)相对应地接收的数字形式的调制图像数据(RGB_v)转换成模拟形式的数据电压(VDATA)。数据电压(VDATA)对于每条水平线进行锁存,同时在一个水平周期(1H)通过全部数据线($DL_1 \sim DL_m$)输入到液晶面板100。

[0070] 根据上述结构,在根据本发明实施方式的包括集成驱动电路的液晶显示设备中,通过从两个选通驱动单元交替输出选通驱动电压的结构而不是同时输出选通驱动电压的结构,可减少级数,并且可在各级之间设置单独的放电装置来帮助选通线的放电,从而最小化了放电时段延迟。

[0071] 在下文中,将参照附图更详细地描述根据本发明第一实施方式的选通驱动单元和放电电路的结构。

[0072] 图4是例示根据本发明第一实施方式的在液晶面板上形成的选通驱动单元和放电电路的结构的视图。

[0073] 如图所示,根据本发明的选通驱动单元可包括在液晶面板的一端形成的第一选通驱动单元140a以及在其另一端形成的第二选通驱动单元140b。此外,放电电路可包括在第一选通驱动单元140a的各级之间形成的多个L放电晶体管($TL_1 \sim TL_j$)和在第二选通驱动单元140b的各级之间形成的多个R放电晶体管($TR_1 \sim TR_j$)。

[0074] 四相方案中的第一时钟信号至第四时钟信号($CLK_1 \sim CLK_4$)、选通高电压(VGH)和选通低电压(VGL)施加到各级,尽管没有在附图中示出,但电源电压(VDD)和地电压(GND)也可施加到各级。特别地,第一时钟信号至第四时钟信号($CLK_1 \sim CLK_4$)的高间隔保持两个水平周期(2H),第一时钟信号至第四时钟信号($CLK_1 \sim CLK_4$)彼此重叠一个水平周期(1H)。此外,选通高电压(VGH)是用于使有源区(A/A)中的薄膜晶体管导通的电压,选通低电压(VGL)是用于使薄膜晶体管截止的电压。

[0075] 第一选通驱动单元140a接收第一时钟信号和第三时钟信号(CLK_1, CLK_3)、选通高电压(VGH)、选通低电压(VGL),并基于与选通起始脉冲(GSP)对应的第一起始电压(V_{st1})向多条奇数选通线(GL_{2n-1})输出选通驱动电压。在每两个水平周期(2H)输出选通驱动电压中用于使薄膜晶体管导通的选通高电压(VGH)。此外,前、后选通高电压(VGH)在每一个水平周期(1H)彼此重叠。

[0076] 第一选通驱动单元140a可包括多个输出端连接到第一起始电压(V_{st1})的一端的第1L级至第k(k是自然数)L级($STL_1 \sim STL_k$)、以及虚设(dummy)L级(DTL)。

[0077] 第二选通驱动单元140b接收第二时钟信号和第四时钟信号(CLK_2, CLK_4)、选通高电压(VGH)、选通低电压(VGL),并基于与选通起始脉冲(GSP)对应的第二起始电压(V_{st2})向多条偶数选通线(GL_{2n})输出选通驱动电压。

[0078] 第二选通驱动单元140b可包括多个输出端连接到第二起始电压(V_{st2})的一端的第1R级至第k(k是自然数)R级($STR_1 \sim STR_k$)、以及虚设R级(DTR)。

[0079] 此外,L放电晶体管(TL1~TLj)设置在每个L级(STL1~STLk)和虚设L级(DTL)之间。

[0080] L放电晶体管(TL1~TLj)的第一电极与连接到R级(STR1~STRk)的输出端的偶数选通线(GL2n)连接。其第二电极连接到选通低电压(VGL)供应线。此外,其栅极与连接到R级(STR1~STRk)或虚设R级(DTR)的输出端的偶数选通线连接,但是其是与连接到第一电极或者虚设选通线(DGL1)的线之后的偶数选通线(GL2n+2)连接。

[0081] 换言之,第一L放电晶体管(TL1)的第一电极连接到第二选通线(GL2),栅极连接到第四选通线(GL4),选通低电压(VGL)施加到第二电极。

[0082] R放电晶体管(TR1~TRj)的第一电极与连接到L级(STL1~STLk)的输出端的奇数选通线(GL2n-1)连接。其第二电极连接到选通低电压(VGL)供应线。此外,其栅极与连接到L级(STL1~STLk)或虚设L级(DTL)的输出端的奇数选通线连接,但是其是与连接到第一电极或者虚设选通线(DGL2)的线之后的奇数选通线(GL2n+1)连接。

[0083] 在此,提供前述L、R级(DTL,DTR)驱动最后的放电晶体管,因为不存在随后的L、R级(STL k、STR k)。

[0084] 换言之,第一R放电晶体管(TR1)的第一电极连接到第一选通线(GL1),栅极连接到第三选通线(GL3),选通低电压(VGL)施加到第二电极。

[0085] 在下文中,将如下描述在四相方案中驱动具有前述结构的选通驱动单元和放电电路的方法。

[0086] 当第一起始电压、第二起始电压(Vst1,Vst2)分别施加到第一选通驱动单元140a和第二选通驱动单元140b时,第一选通驱动单元140a的第一L级(STL1)首先在两个水平周期(2H)与第一时钟信号(CLK1)相对地地向第一选通线(GL1)输出选通高电压(VGH)。

[0087] 接下来,第二选通驱动单元140b的第一R级(STR1)在两个水平周期(2H)与第二时钟信号(CLK2)相对地地向第二选通线(GL2)输出选通高电压(VGH)。

[0088] 在此,第一时钟信号(CLK1)和第二时钟信号(CLK2)彼此重叠一个水平周期(1H),因此施加到第一选通线的选通高电压(VGH)的后部与施加到第二选通线的选通高电压(VGH)的前部彼此重叠一个水平周期(1H)。在重叠时段期间,数据驱动单元通过数据线向每个像素施加数据电压。

[0089] 接下来,第二L级(STL2)与第三时钟信号(CLK3)相对地地在两个水平周期(2H)向第三选通线(GL3)输出选通高电压(VGH)。

[0090] 此外,第三时钟信号(CLK3)和第二时钟信号(CLK2)彼此重叠一个水平周期(1H),因此施加到第三选通线(GL3)的选通高电压(VGH)的前部与施加到第二选通线(GL2)的选通高电压(VGH)的后部彼此重叠一个水平周期(1H)。

[0091] 这时,第一L级(STL1)与第一时钟信号(CLK1)相对地地向第一选通线(GL1)输出选通低电压(VGL),同时,选通高电压(VGH)施加到与第三选通线(GL3)的一端连接的第一R放电晶体管(TR1)的栅极端。因此,第一R放电晶体管(TR1)导通。第一R放电晶体管(TR1)的第二电极连接到选通低电压(VGL)线,在第一选通线(GL1)中充入的选通高电压(VGH)转变成选通低电压(VGL)。

[0092] 换言之,选通低电压(VGL)施加到第一选通线(GL1)的两个侧端以最小化由于其线电阻导致的信号延迟,因此第一选通线(GL1)快速放电。选通线随后的充电和放电操作以相

同的形式执行。

[0093] 图5A是例示不具有放电电路的GIP型双选通结构液晶显示设备的选通线的电压变化的视图,图5B是例示根据本发明第一实施方式的液晶显示设备的选通线的电压变化的视图。

[0094] 如图5A所示,在不具有放电电路的双选通结构GIP型液晶显示设备的情况下,每条选通线(GL1~GLn)在两个水平周期(2H)充电到选通高电压(VGH)电平,然后再次放电到选通低电压(VGL)电平,它们彼此重叠一个水平周期(1H)。在此,在前、后选通线(GL_{n-1}~GL_n)的重叠时段(d)期间,数据电压施加到每个像素。

[0095] 此时,在充电之前或者之后,由于选通线(GL1~GLn)的线电阻产生了信号延迟,结果,看到电压电平具有平滑形状(a)。特别地,放电期间的信号延迟影响施加到像素的数据电压,从而造成图像质量劣化。

[0096] 然而,参考图5B,在根据本发明第一实施方式的具有放电电路的液晶显示设备中,在选通线(GL1~GLn)的放电期间,选通低电压(VGL)通过放电晶体管施加到选通线的两个侧端,因此电压电平以突然倾斜的方式(b)转换。

[0097] 另一方面,除了上述4相驱动方案以外,其中为了稳定工作而进一步划分时钟信号的6相驱动方案可应用到以超过120Hz的频率工作的液晶显示设备。

[0098] 在下文中,将参考附图描述根据本发明第二实施方式的6相驱动双GIP型液晶显示设备及其驱动单元。

[0099] 图6是例示根据本发明第二实施方式的形成在液晶面板上的选通驱动单元和放电电路的结构视图。

[0100] 与上述第一实施方式不同,如图所示,本发明的第二实施方式为了在120Hz工作期间更稳定工作,可使用6相时钟信号(CLK1~CLK6)。

[0101] 根据本发明第二实施方式的液晶显示设备可包括配置为显示图像的液晶面板200、配置为从外部系统接收时序信号并生成各种控制信号的时序控制器220、以及配置为与控制信号相对地控制液晶面板200的选通驱动单元240和数据驱动单元250。

[0102] 具体地,时序控制器220与接收到的时序信号同步地生成选通驱动单元240的控制信号(GCS)和数据驱动单元250的控制信号(DCS)。此外,时序控制器220生成多个时钟信号(CLK1~CLK6),用于确定选通驱动单元240中的各级的驱动时间。在此,第一时钟信号至第六时钟信号(CLK1~CLK6)是用于保持三个水平周期(3H)的高间隔的信号,并彼此重叠两个水平周期(2H)。第一时钟信号、第三时钟信号和第五时钟信号(CLK1,CLK3,CLK5)提供给第一选通驱动单元240a,第二时钟信号、第四时钟信号和第六时钟信号(CLK2,CLK4,CLK6)提供给第二选通驱动单元240b。

[0103] 此外,时序控制器220可通过以数据驱动单元250能够处理的形式对准和调制接收到的图像数据(RGB DATA)来输出这些数据。

[0104] 两个选通驱动单元240设置在液晶显示面板200两端的非有源区(N/A)中。每个选通驱动单元240a、240b由包含移位寄存器的多级构成。在制造液晶面板200的基板期间,在板内选通(GIP)方案中,选通驱动单元240在非有源区上以薄膜图案的形式嵌入其中。

[0105] 第一选通驱动单元240a和第二选通驱动单元240b响应于从时序控制器220接收到的选通控制信号(GCS),通过形成在液晶面板200中的多条选通线(GL1~GLn)在每三个水平

周期(3H)交替输出选通高电压(VGH)。在此,输出的选通高电压(VGH)保持三个水平周期(3H),前、后选通高电压(VGH)彼此重叠两个水平周期(2H)。如此设置以对选通线(GL1~GLn)预充电,从而与当施加数据电压时相比执行稳定的像素充电操作。

[0106] 为此,分别具有三个水平周期(3H)的第一时钟信号、第三时钟信号和第五时钟信号(CLK1,CLK3,CLK5)施加到第一选通驱动单元240a,与第一时钟信号、第三时钟信号和第五时钟信号(CLK1,CLK3,CLK5)重叠两个水平周期(2H)并具有三个水平周期(3H)的第二时钟信号、第四时钟信号和第六时钟信号(CLK2,CLK4,CLK6)施加到第二选通驱动单元240b。

[0107] 例如,如果第一选通驱动单元240a向第n选通线(GL n)输出选通高电压(VGH),那么在一个水平周期(1H)之后,第二选通驱动单元240b向第(n+1)选通线(GL n+1)输出选通高电压(VGH),并在一个水平周期(1H)之后,第一选通驱动单元240a向第(n+2)选通线(GL n+2)输出选通高电压(VGH)。

[0108] 接下来,在一个水平周期(1H)之后,第二选通驱动单元240b再次向第(n+3)选通线(GL n+3)输出选通高电压(VGH),然后第一选通驱动单元240a向第(n+4)选通线(GL n+4)输出选通高电压(VGH),同时第一选通驱动单元240a向第n选通线(GLn)输出选通低电压(VGL)来使薄膜晶体管(TFT)截止,从而使液晶电容器(CIc)中充入的数据电压保持一帧。

[0109] 因此,用于施加选通低电压(VGL)的放电电路(TL1~TLj,TR1~TRj)在选通线(GL n)的电压从选通高电压(VGH)切换到选通低电压(VGL)的时间点被激活以对选通线(GL n)放电,从而最小化放电延迟。

[0110] 上述放电电路连接到每条选通线(GL1~GL n)的一端,以与每条选通线(GL1~GL n)对应,连接到奇数选通线(GL2n-1)的R放电电路(TR1~TR j,j是自然数)设置成与第二选通驱动单元240b相邻,连接到偶数选通线(GL2n)的L放电电路(TL1~TLj)设置成与第一选通驱动单元240a相邻。

[0111] 在此,每个放电电路(TL1~TLj,TR1~TRj)连接到设置在以一条选通线(GL n)为基础的第三条选通线之后的选通线(GL n+3),以向相关的选通线(GLn)施加选通低电压(VGL)。

[0112] 在构成选通驱动单元240的各级之间,利用薄膜晶体管形成放电电路(TL1~TLj,TR1~TRj)。因此,液晶面板200的非有源区(N/A)中由各选通驱动单元240a、240b占据的区域(2×N3)可减少。

[0113] 下面将更详细地描述选通驱动单元240的级和放电电路的结构。

[0114] 数据驱动单元250基于参考电压(Vref),选择性地将与从时序控制器120接收的数据控制信号(DCS)相对应地接收的数字形式的调制图像数据(RGBv)转换成模拟形式的数据电压(VDATA)。数据电压(VDATA)对于每条水平线进行锁存,同时在一个水平周期(1H)通过全部数据线(DL1~DLm)输入到液晶面板100。

[0115] 根据上述结构,在根据本发明实施方式的包括集成驱动电路的液晶显示设备中,通过从两个选通驱动单元交替输出选通驱动电压的结构而不是同时输出选通驱动电压的结构,级数可减少,并且可在各级之间设置单独的放电装置来帮助选通线的放电,从而最小化放电时段延迟。

[0116] 在下文中,将参照附图更详细地描述根据本发明第二实施方式的选通驱动单元和放电电路的结构。

[0117] 图7是例示根据本发明第二实施方式的在液晶面板上形成的选通驱动单元和放电电路的结构的视图。

[0118] 选通驱动单元可包括在液晶面板的一端形成的第一选通驱动单元240a以及在其另一端形成的第二选通驱动单元240b。此外,放电电路可包括在第一选通驱动单元240a的各级之间形成的多个L放电晶体管(TL1~TLj)和在第二选通驱动单元240b的各级之间形成的多个R放电晶体管(TR1~TRj)。

[0119] 在六相方案中的第一时钟信号至第六时钟信号(CLK1~CLK6)、选通高电压(VGH)和选通低电压(VGL)施加到各级,尽管没有在附图中示出,但电源电压(VDD)和地电压(GND)也可施加到各级。特别地,第一时钟信号至第六时钟信号(CLK1~CLK6)的高间隔保持三个水平周期(3H),第一时钟信号至第六时钟信号(CLK1~CLK6)彼此重叠两个水平周期(2H)。此外,选通高电压(VGH)是用于使有源区(A/A)中的薄膜晶体管导通的电压,选通低电压(VGL)是用于使薄膜晶体管截止的电压。

[0120] 第一选通驱动单元240a接收第一时钟信号、第三时钟信号和第五时钟信号(CLK1, CLK3, CLK5)、选通高电压(VGH)、选通低电压(VGL),并基于对应于选通起始脉冲(GSP)的第一起始电压(Vst1)向多条奇数选通线(GL2n-1)输出选通驱动电压。选通驱动电压中用于使薄膜晶体管导通的选通高电压(VGH)在每三个水平周期(3H)输出。此外,前、后选通高电压(VGH)彼此重叠两个水平周期(2H)。

[0121] 第一选通驱动单元240a可包括多个输出端连接到第一起始电压(Vst1)的一端的第1L级至第k(k是自然数)L级(STL1~STLk),以及两个虚设L级(DTL)。

[0122] 第二选通驱动单元240b接收第二时钟信号、第四时钟信号和第六时钟信号(CLK2, CLK4, CLK6)、选通高电压(VGH)、选通低电压(VGL),并基于对应于选通起始脉冲(GSP)的第二起始电压(Vst2)向多条偶数选通线(GL2n)输出选通驱动电压。

[0123] 第二选通驱动单元240b可包括多个输出端连接到第二起始电压(Vst2)的一端的第1R级至第k(k是自然数)R级(STR1~STR k)、以及两个虚设R级(DTR)。

[0124] 此外,L放电晶体管(TL1~TLj)设置在各L级(STL1~STL k)和虚设L级(DTL)之间。

[0125] 在此,设置前述虚设L级、R级(DTL, DTR)以驱动最后的放电晶体管,因为不存在随后的L、R级(STLk、STRk)。

[0126] L放电晶体管(TL1~TLj)的第一电极与连接到R级(STR1~STR k)和虚设R级(DTR)的输出端的偶数选通线(GL2n)连接。其栅极连接到第一电极之后的选通线。此外,L放电晶体管(TL1~TLj)的第二电极连接到选通低电压(VGL)供应线。

[0127] 换言之,第一L放电晶体管(TL1)的第一电极连接到第二选通线(GL2),栅极连接到第四选通线(GL4),选通低电压(VGL)施加到第二电极。

[0128] 此外,R放电晶体管(TR1~TRj)设置在各R级(STR1~STRk)和虚设R级(DTR)之间。

[0129] R放电晶体管(TR1~TRj)的第一电极与连接到L级(STL1~STLk)的输出端的偶数选通线(GL2n)连接。

[0130] 其栅极连接到第一电极之后的选通线。此外,R放电晶体管(TR1~TRj)的第二电极连接到选通低电压(VGL)供应线。

[0131] 换言之,第一R放电晶体管(TR1)的第一电极连接到第一选通线(GL1),栅极连接到第三选通线(GL3),选通低电压(VGL)施加到第二电极。

[0132] 在下文中,将描述在六相方案中驱动具有前述结构的选通驱动单元和放电电路的方法。

[0133] 当第一起始电压、第二起始电压(V_{st1} , V_{st2})分别施加到第一选通驱动单元240a和第二选通驱动单元240b时,第一选通驱动单元240a的第一L级(STL1)首先在两个水平周期(2H)与第一时钟信号(CLK1)相对应地向第一选通线(GL1)输出选通高电压(VGH)。

[0134] 接下来,第二选通驱动单元240b的第一R级(STR1)在两个水平周期(2H)与第二时钟信号(CLK2)相对应地向第二选通线(GL2)输出选通高电压(VGH)。

[0135] 在此,第一时钟信号(CLK1)和第二时钟信号(CLK2)彼此重叠两个水平周期(2H),因此施加到第一选通线(GL1)的选通高电压(VGH)的后部与施加到第二选通线(GL2)的选通高电压(VGH)的前部彼此重叠两个水平周期(2H)。

[0136] 接下来,第二L级(STL2)与第三时钟信号(CLK3)相对应地向第三选通线(GL3)输出选通高电压(VGH),然后第二R级(STR2)与第四时钟信号(CLK4)相对应地向第四选通线(GL4)输出选通高电压(VGH)两个水平周期(2H)。

[0137] 这时,第一L级(STL1)与第一时钟信号(CLK1)相对应地向第一选通线(GL1)输出选通低电压(VGL),同时,选通高电压(VGH)施加到与第四选通线(GL4)的端部连接的第一R放电晶体管(TR1)的栅极端。因此,第一R放电晶体管(TR1)导通。第一R放电晶体管(TR1)的第二电极连接到选通低电压(VGL)线,在第一选通线(GL1)中充入的选通高电压(VGH)转变成选通低电压(VGL)。

[0138] 换言之,选通低电压(VGL)施加到第一选通线(GL1)的两个侧端以最小化由于其线电阻导致的信号延迟,因此第一选通线(GL1)快速放电。选通线随后的充电和放电操作以相同的形式执行。

[0139] 图8是例示根据本发明第二实施方式的液晶显示设备的选通线的电压变化的视图。

[0140] 如图8所示,在根据本发明第一实施方式的具有放电电路的液晶显示设备中,每条选通线($GL1 \sim GL_n$)在三个水平周期(3H)充电到选通高电压(VGH)电平,然后再次放电到选通低电压(VGL)电平。此时,相邻的选通线($GL1 \sim GL_n$)彼此重叠两个水平周期(2H),连接到同一选通驱动单元的线彼此重叠一个水平周期(1H)。在此,在选通线($GL_{n-1} \sim GL_n$)之间的重叠时段的一个水平周期(1H)内,数据电压(d)施加到每个像素。

[0141] 具体地,如图所示,在选通线放电期间,选通低电压(VGL)施加到两个侧端,因此电压电平具有突然倾斜的形状,并被转换成选通低电压(VGL)电平(c)。

[0142] 因此,当与前面的图5A所示的不具有放电电路的双GIP型液晶显示设备中的选通线的电压电平相比时,由于选通线($GL1 \sim GL_n$)的线电阻,现有技术中在充电之前或者之后发生了信号延迟,因此电压电平具有平滑形状(a),但是看到根据本发明第二实施方式的液晶显示设备中的选通线的电压在放电期间突然转变。

[0143] 图9是用于说明根据本发明第二实施方式的液晶显示器的选通驱动单元中的一个占据的区域的视图。

[0144] 如图所示,第一6相GIP选通驱动单元240a可包括时钟信号($CLK1 \sim CLK6$)和起始信号(V_{st})路由区域241、选通高电压(VGH)和选通低电压(VGL)路由区域242、移位寄存器区域243、电平位移区域244和输出路由区域245。

[0145] 此外,向选通线输出选通低电压(VGL)的放电电路区域247进一步与输出路由区域245相邻地形成。

[0146] 根据前述结构,第一选通驱动单元240a中输出选通驱动电压(VG)的一级在垂直方向上(液晶面板的短边)具有宽度L2,在水平方向上(液晶面板的长边)具有宽度N3。因此,在双选通结构的情况下,选通驱动单元在水平方向上占据具有宽度 $2 \times N3$ 的区域。

[0147] 结果,与图2所示的现有技术中的液晶显示器的选通驱动单元相比时,垂直方向上占据的区域增加($L1 < L2$),但是水平方向上占据的区域减小($N1 > N3$),因此可减小液晶面板两侧的非有源区,从而实现窄边框结构。

[0148] 尽管已经在上述描述中明确公开了很多主题,但它们应当解释为优选实施方式的例示,而不是限制本发明的范围。因此,本发明不应该由在此公开的实施方式确定,而是应当由权利要求及其等同物确定。

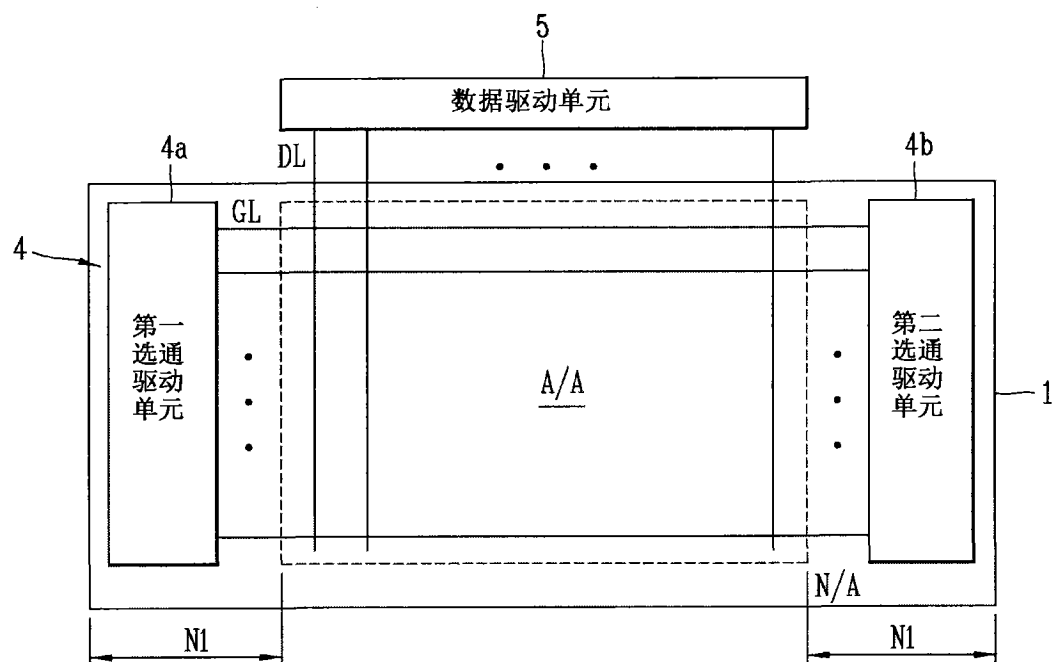


图 1

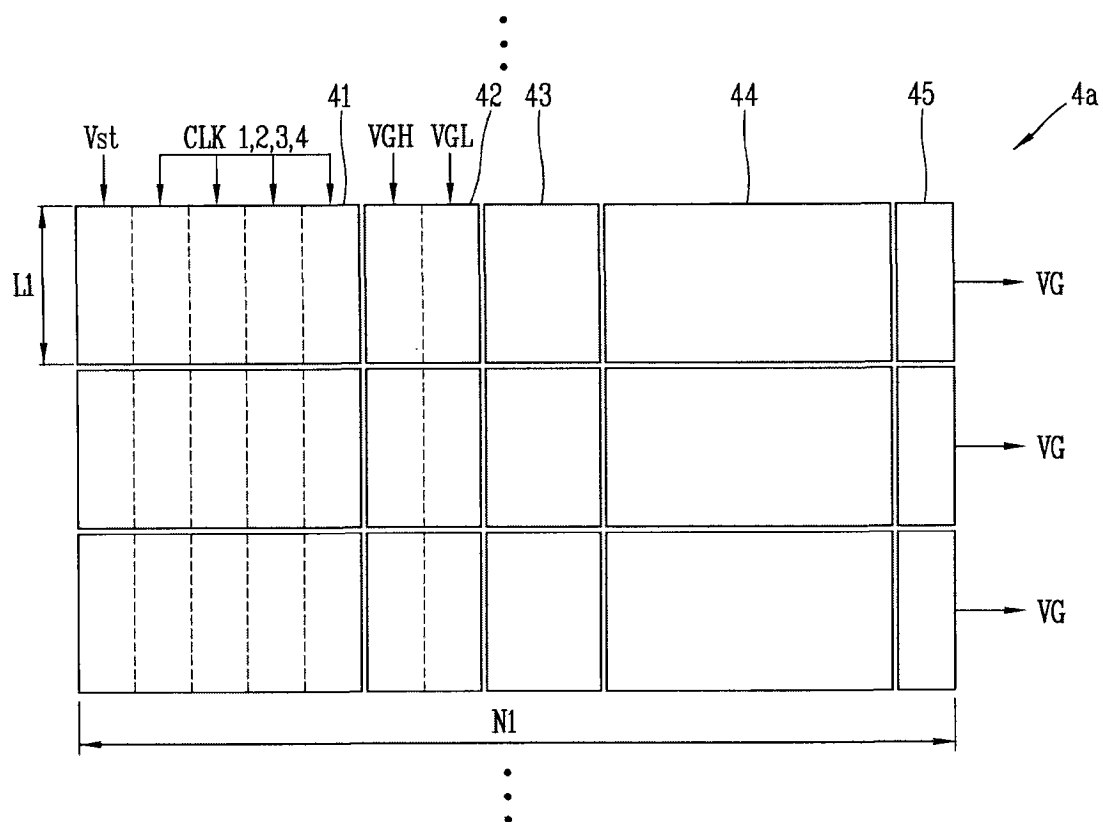


图2

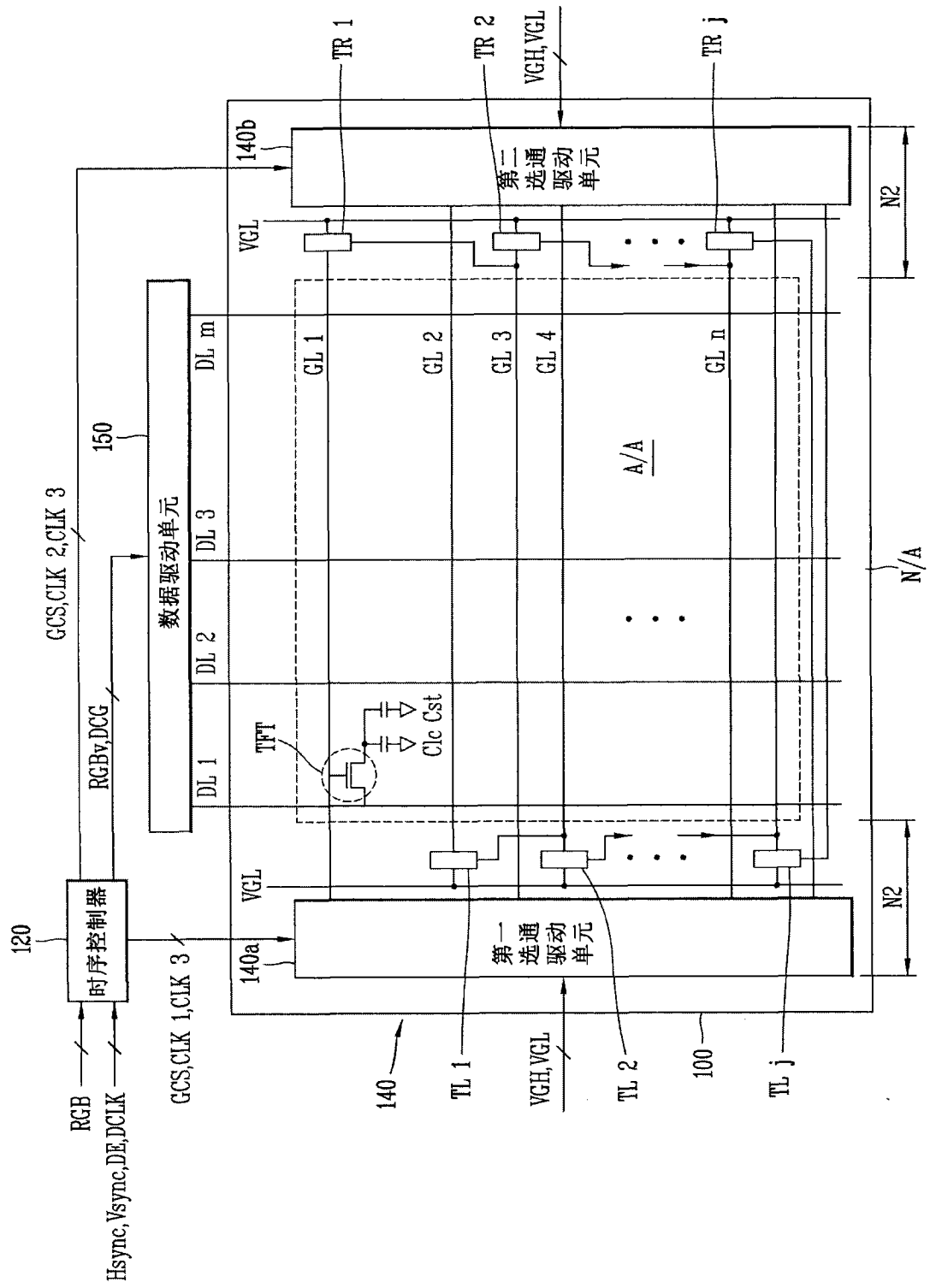


图3

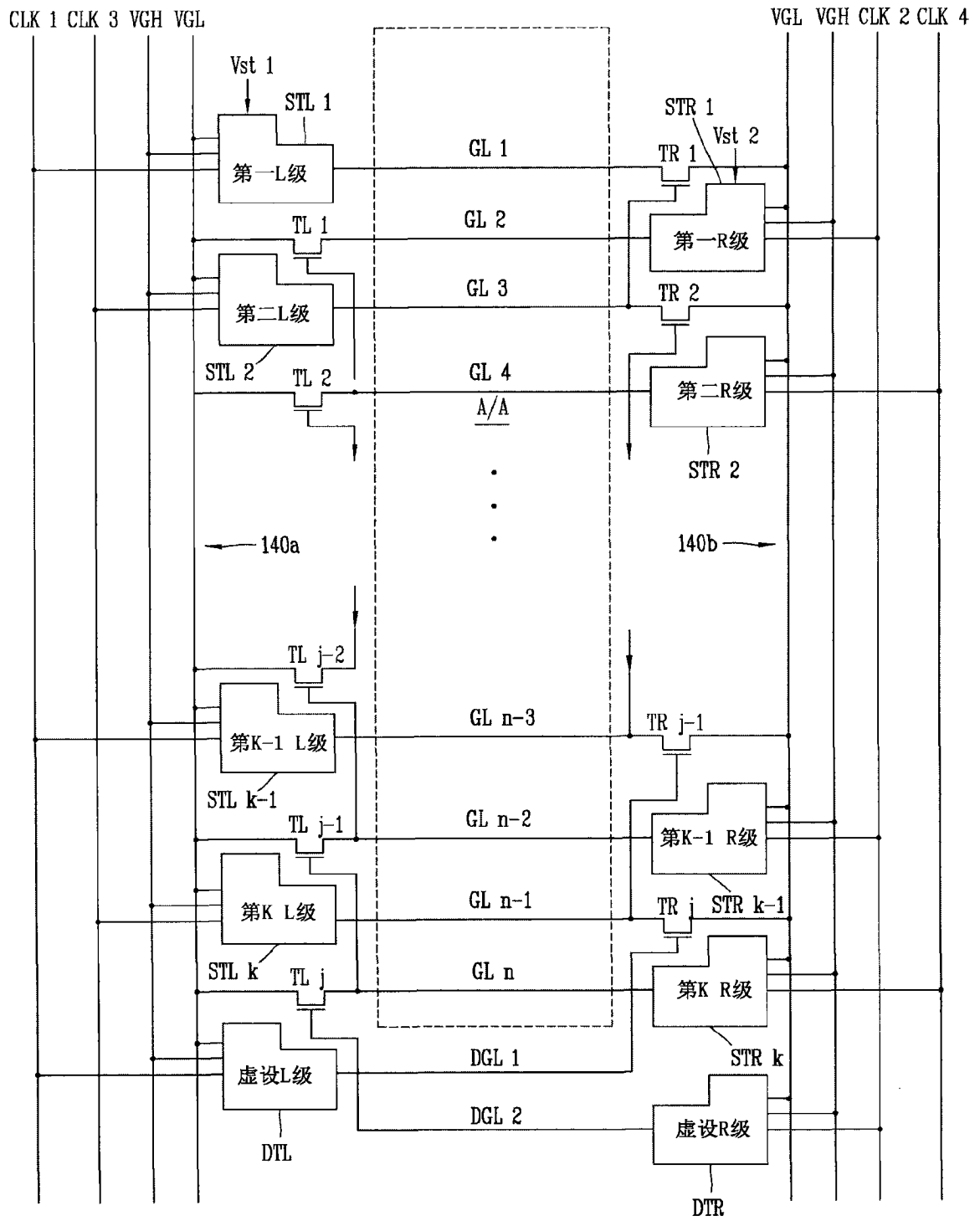


图4

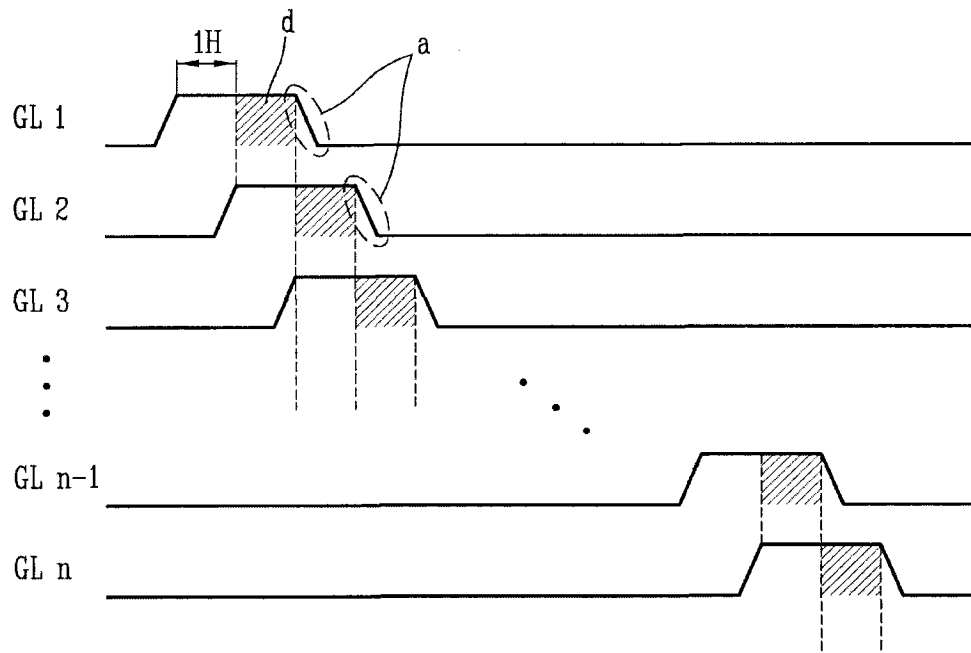


图5A

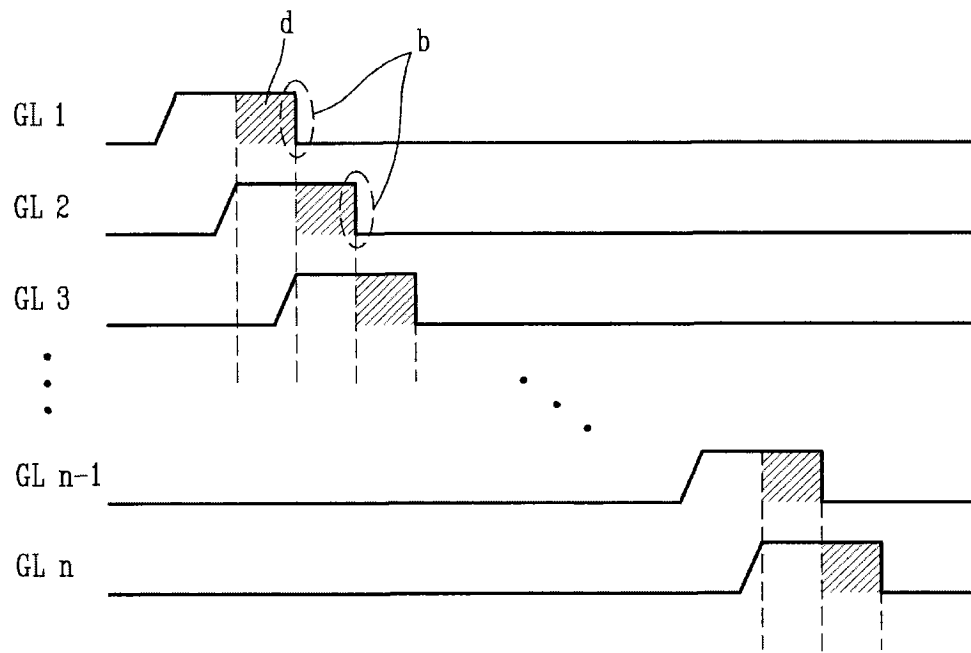


图5B

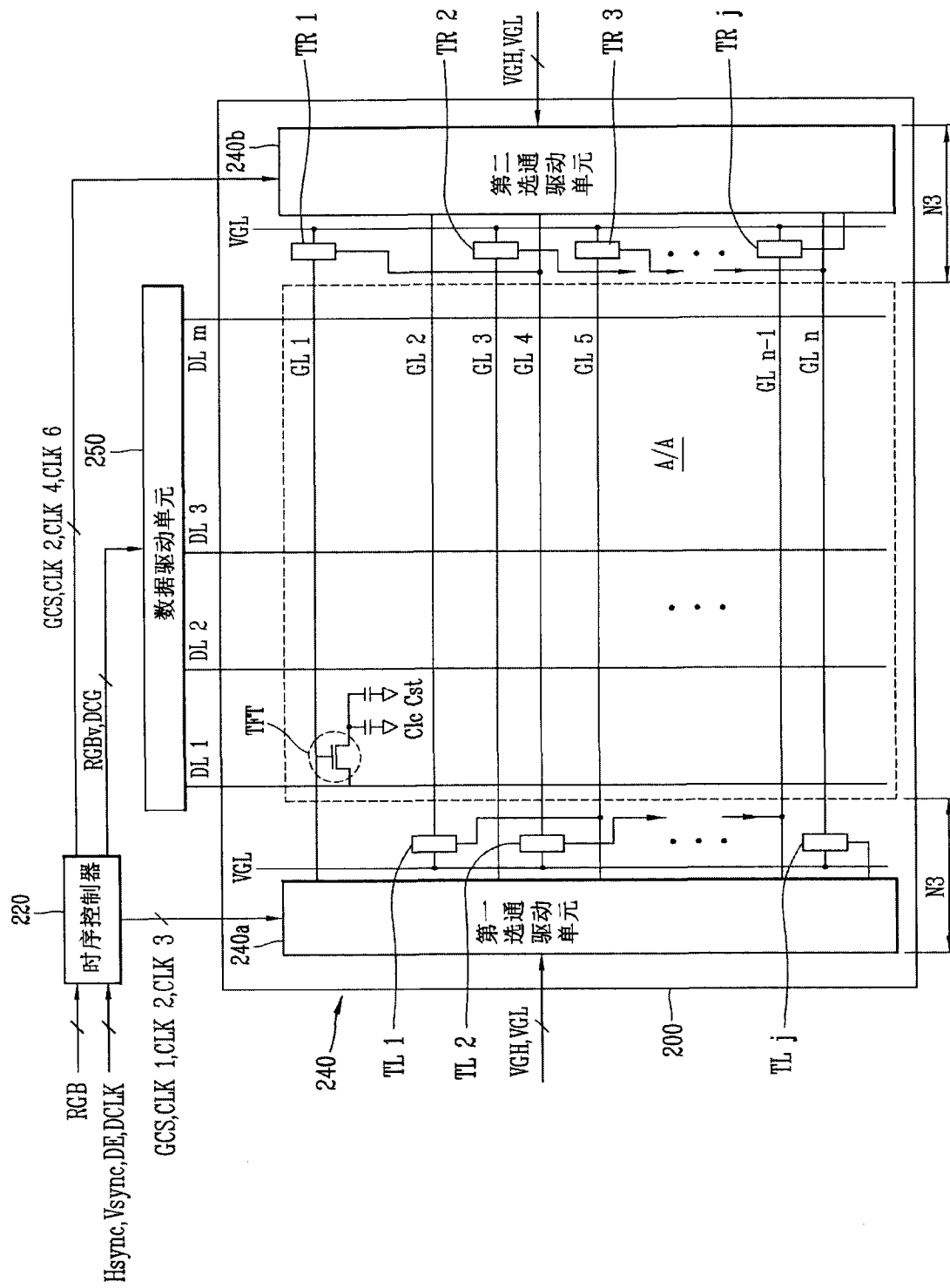


图6

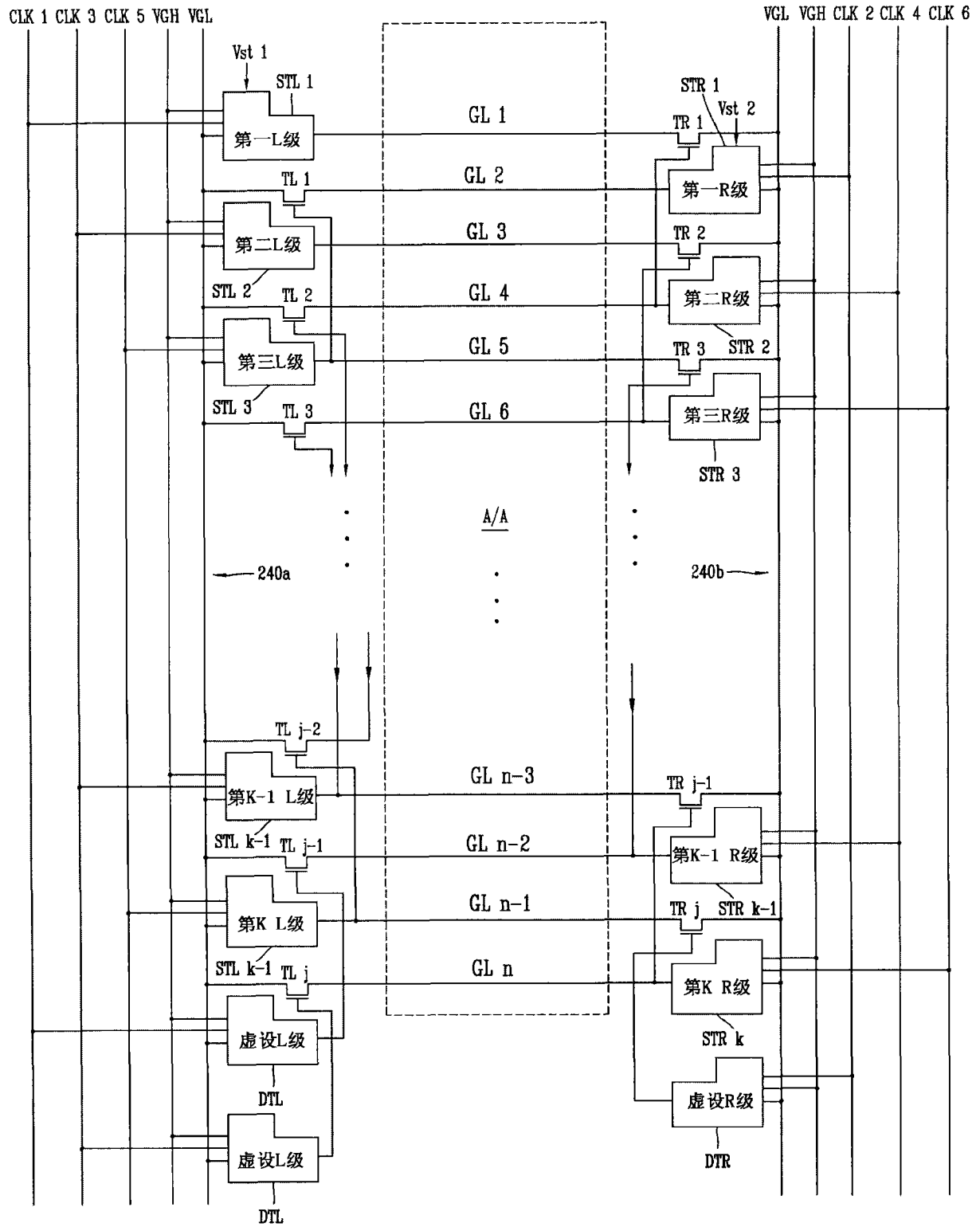


图7

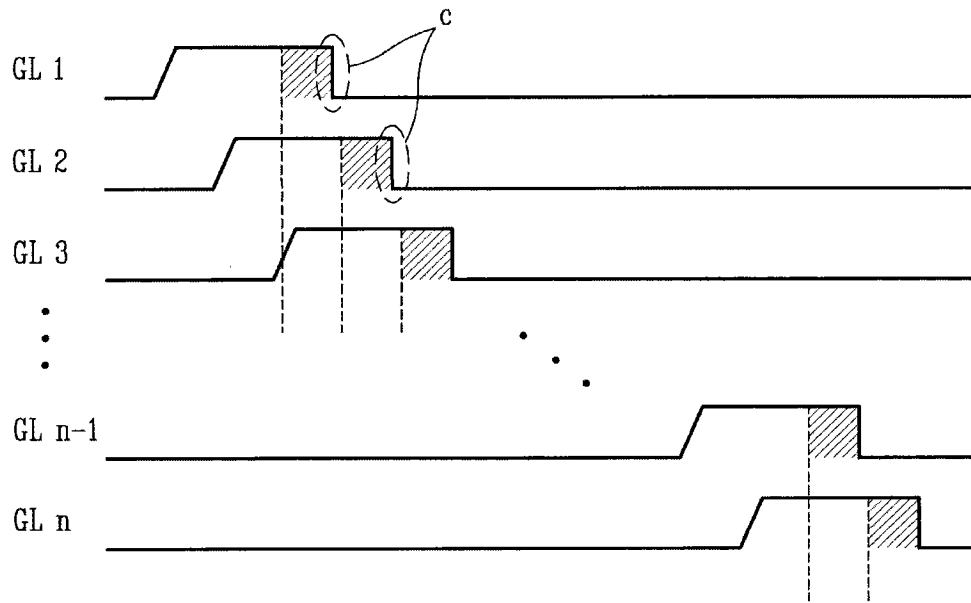


图8

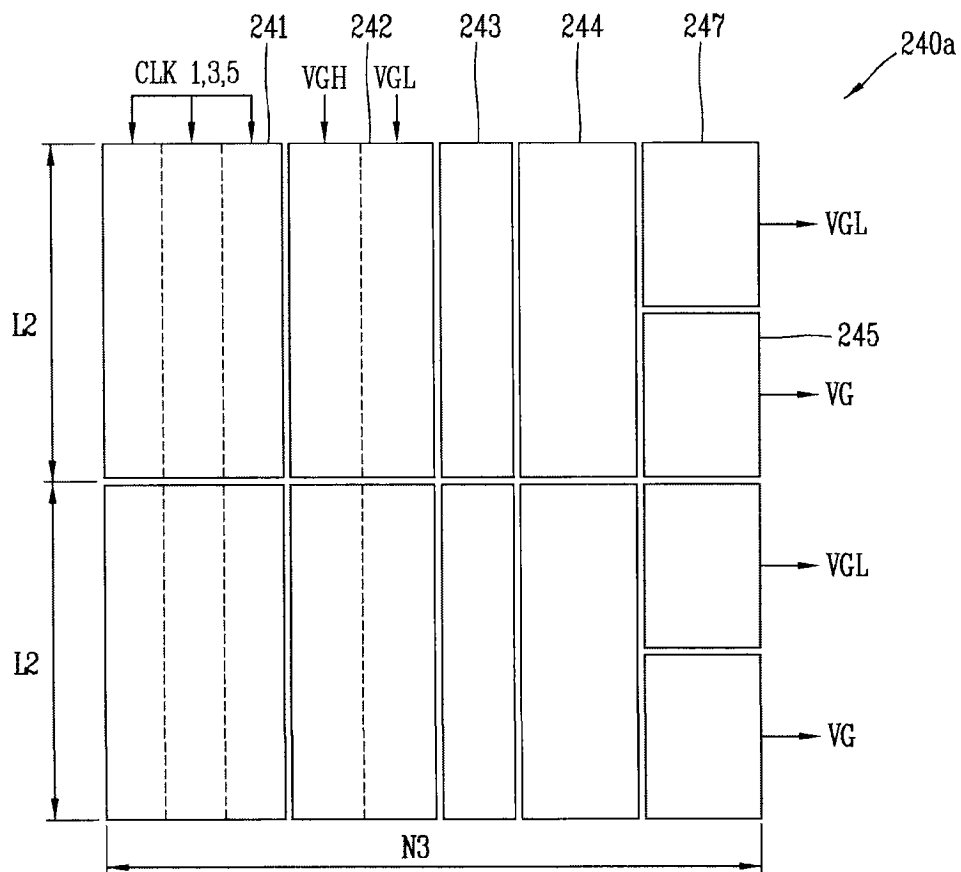


图9

专利名称(译)	液晶显示设备		
公开(公告)号	CN103377630B	公开(公告)日	2016-07-06
申请号	CN201210599206.1	申请日	2012-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	李周映		
发明人	李周映		
IPC分类号	G09G3/36		
CPC分类号	G02F1/13306 G09G3/3677 G09G3/3696 G09G2300/0426 G09G2310/0281 G09G2310/0286 G09G2310/08		
代理人(译)	杨薇		
优先权	1020120043420 2012-04-25 KR		
其他公开文献	CN103377630A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及液晶显示设备，更具体地，涉及板内选通GIP型双选通结构液晶显示设备，用于最小化其中提供选通驱动信号的选通驱动单元形成在液晶面板上的GIP结构液晶显示设备中的选通驱动单元占据的区域以实现窄边框，并改善由于信号延迟导致的图像质量劣化。根据本发明，在双GIP型液晶显示设备中，通过从两个选通驱动单元交替输出选通驱动电压的结构而不是同时输出选通驱动电压的结构，可减少级数，从而最小化选通驱动单元占据的区域。

