



(12) 发明专利申请

(10) 申请公布号 CN 102956186 A

(43) 申请公布日 2013. 03. 06

(21) 申请号 201210434189. 6

(22) 申请日 2012. 11. 02

(71) 申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号  
申请人 合肥京东方光电科技有限公司

(72) 发明人 马睿 邵贤杰 王国磊 胡明

(74) 专利代理机构 北京同达信恒知识产权代理  
有限公司 11291

代理人 黄志华

(51) Int. Cl.

G09G 3/20 (2006. 01)

G09G 3/36 (2006. 01)

G11C 19/28 (2006. 01)

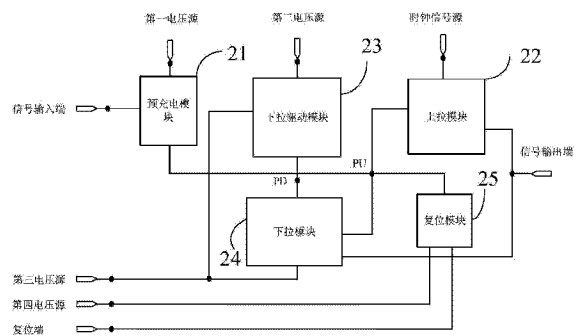
权利要求书 2 页 说明书 8 页 附图 5 页

(54) 发明名称

一种移位寄存器、栅极驱动电路与液晶显示器

(57) 摘要

本发明涉及液晶显示器领域，公开了一种移位寄存器、相应的栅极驱动电路及液晶显示器，其中，该移位寄存器包括预充电模块、上拉模块、下拉驱动模块、下拉模块及复位模块，每个移位寄存器可以双向扫描，即既可以正向扫描，也可以反向扫描，从而降低了包含移位寄存器的液晶显示器的生产成本，并且提高了液晶显示器的产能。



1. 一种移位寄存器,其特征在于,包括:

预充电模块、上拉模块、下拉驱动模块、下拉模块、复位模块;

其中,预充电模块,连接第一电压源和信号输入端,用于在所述信号输入端控制下对所述上拉模块进行预充电;

上拉模块,连接时钟信号源和信号输出端,用于在上拉结点电压控制下接通所述时钟信号源与所述信号输出端,所述上拉结点为上拉模块与所述预充电模块连接点;

下拉驱动模块,连接所述上拉结点、第三电压源和第二电压源,用于在上拉结点电压控制下接通下拉结点与第三电压源,所述下拉结点为下拉驱动模块与下拉模块连接点;

下拉模块,连接所述上拉结点、所述下拉结点、第三电压源和信号输出端,用于在下拉结点电压控制下接通所述上拉结点与第三电压源,所述信号输出端与第三电压源;

复位模块,连接第四电压源、复位端和所述上拉结点,用于在复位端信号控制下接通所述上拉结点与所述第四电压源。

2. 如权利要求 1 所述的移位寄存器,其特征在于,

所述预充电模块包括:

第一晶体管,该第一晶体管的栅极与信号输入端相连,该第一晶体管的源极与第一电压源相连,该第一晶体管的漏极与所述上拉结点相连;

所述上拉模块包括:第三晶体管,该第三晶体管的栅极与所述上拉结点相连,该第三晶体管的源极与时钟信号源相连,该第三晶体管的漏极与信号输出端相连;

电容,连接在所述上拉结点与信号输出端之间;

所述下拉驱动模块包括:

第五晶体管,该第五晶体管的栅极与该第五晶体管的源极相连,该第五晶体管的源极同时与第二电压源相连,该第五晶体管的漏极与所述下拉结点相连;

第六晶体管,该第六晶体管的栅极与所述上拉结点相连,该第六晶体管的漏极与第三电压源相连,该第六晶体管的源极与所述下拉结点相连;

所述下拉模块包括:

第二晶体管,该第二晶体管的源极与所述上拉结点相连,该第二晶体管的漏极与第三电压源相连,该第二晶体管的栅极与下拉结点相连;

第七晶体管,该第七晶体管的栅极与所述下拉结点相连,该第七晶体管的漏极与第三电压源相连,该第七晶体管的源极与信号输出端相连;

所述复位模块包括:

第四晶体管,该第四晶体管的栅极与复位端相连,该第四晶体管的漏极与第四电压源相连,该第四晶体管的源极与所述上拉结点相连。

3. 如权利要求 2 所述的移位寄存器,其特征在于,所述晶体管均为 N 型场效应晶体管。

4. 如权利要求 2 所述的移位寄存器,其特征在于,所述第五晶体管和所述第六晶体管的尺寸之比为预设值。

5. 如权利要求 4 所述的移位寄存器,其特征在于,

在所述移位寄存器正向扫描时,第一电压源输入高电位信号,第四电压源输入低电位信号;

在所述移位寄存器反向扫描时,第一电压源输入低电位信号,第四电压源输入高电位

信号,复位端相当于正向扫描时的信号输入端,信号输入端相当于正向扫描时的复位端。

6. 一种栅极驱动电路,其特征在于,包括:

n 个如权利要求 1 - 5 任一项所述的移位寄存器,其中,

每个移位寄存器的第三电压源输入低电平信号,第二电压源输入高电平信号,其中,当任意一移位寄存器正向扫描时,该移位寄存器的第一电压源输入高电平信号,该移位寄存器的第四电压源输入低电平信号;当任意一移位寄存器反向扫描时,该移位寄存器的第一电压源输入低电平信号,该移位寄存器的第四电压源输入高电平信号;

每个移位寄存器的信号输出端分别连接到对应的信号输出端;

第一个移位寄存器的信号输入端连接到起始信号输入端;

第 m 个移位寄存器的信号输入端连接到第 m-1 个移位寄存器的信号输出端,第 m 个移位寄存器的复位端连接到第 m+1 个移位寄存器的信号输出端,其中, $1 < m < n$ 。

7. 一种液晶显示器,其特征在于,所述液晶显示器包括权利要求 6 所述的栅极驱动电路。

## 一种移位寄存器、栅极驱动电路与液晶显示器

### 技术领域

[0001] 本发明涉及液晶显示器领域,特别涉及一种移位寄存器、栅极驱动电路与液晶显示器。

### 背景技术

[0002] 随着液晶显示技术的不断成熟,以及 TFT-LCD (Thin Film Transistor-LiquidCrystal Display, 薄膜晶体管液晶显示器) 价格的不断下降,采用液晶显示屏作为生活中多种电子设备的显示屏或者装饰用的电子显示装置,已经逐渐成为一种液晶显示屏消费的发展方向。现有技术的液晶显示屏已被广泛用于各种各样的电器中,如液晶电视、手机等。

[0003] 液晶显示器向具有特定分子结构的液晶施加电功率以改变液晶分子排列。液晶分子结构中的变化导致例如双折射、光旋转功率、分色性、光散射的光学属性中的变化。液晶显示器利用如此的光学属性的变化来显示图像。液晶显示器一般包括液晶显示面板、扫描驱动(Gate Driver) 器和数据驱动(SourceDriver) 器。其中,液晶显示面板包括对盒设置的 CF (Color Filter, 彩膜) 基板和 TFT 阵列基板,以及夹在两基板之间的液晶层,扫描驱动电路和数据驱动电路分别与阵列基板上的 TFT 开关元件相连。

[0004] 液晶显示器由矩阵形式排列的多个像素所组成,具体是由水平和垂直两个方向的像素矩阵构成的。液晶显示器的驱动主要包括数据驱动器和栅极驱动器,其中,数据驱动器将输入的显示数据及时钟信号定时顺序锁存,转换成模拟信号后输入到液晶显示面板的数据线,栅极驱动器将输入的时钟信号经过移位寄存器转换,切换成开启 / 关断电压,顺次施加到液晶显示面板的栅级线上。液晶显示器进行显示时,通过栅极驱动电路输出栅极输入信号,逐行扫描各像素。传统液晶显示器的运作原理是利用外部驱动晶片来驱动面板上的像素以显示影像,但为了减少元件数目并降低制造成本,近年来逐渐发展成将驱动电路结构直接制作于显示面板上,例如将栅极驱动电路以 COF(Chip On Film, 覆晶薄膜)或者 COG (Chip On Glass, 覆晶玻璃) 的封装方式设置在液晶显示面板中,也可以用 a-si TFT 构成集成电路单元形成在液晶显示面板中。

[0005] 图 1 为现有技术中液晶显示器的功能结构示意图,包括多条栅极线  $GL_0-CL_{n+1}$ 、一移位寄存器,该移位寄存器包括有多级串接的移位寄存单元  $SR_0-SR_{n+1}$ ,每一级移位寄存单元都有信号输入端、信号输出端、电压输入端、时钟信号输入端及复位端,每一级的输出端分别耦接于对应的栅极线  $GL_0-CL_{n+1}$ 。依据时钟信号  $CHK$ 、 $\overline{CHK}$  和起始时钟信号  $VST$ ,移位寄存器可分别通过移位寄存单元  $SR_0-SR_{n+1}$  依序输出栅极驱动信号至相对应的栅极线  $GL_0-CL_{n+1}$ 。

[0006] 参阅图 1 所示,栅极驱动器具有多个移位寄存器,从移位寄存器连续输出信号并施加到栅线上,即移位寄存器被用来驱动液晶显示器的栅极总线。移位寄存器的每一级具有一个信号输入端、一个信号输出端,两个电压源端和一个时钟信号端。移位寄存器与时钟信号源相连接,从而将时钟信号源产生的时钟信号施加到移位寄存器上,将起始电压输入

到移位寄存器中,并且在第一个移位寄存器之后,将前一个移位寄存器的输出信号输入到下一个移位寄存器中,作为下一个移位寄存器的起始电压。栅极驱动器中的移位寄存器用于产生扫描栅线中的扫描信号。

[0007] 现有技术下,大多数的移位寄存器只能实现单向扫描,生成包含移位寄存器的液晶显示器成本较高,工序复杂,生产效率较低。

## 发明内容

[0008] 本发明实施例提供了一种移位寄存器、相应的栅极驱动电路及液晶显示器,用以解决现有技术下生成包含移位寄存器的液晶显示器成本较高,工序复杂,生产效率较低的问题。

[0009] 本发明实施例提供的具体技术方案如下:

[0010] 一种移位寄存器,包括预充电模块、上拉模块、下拉驱动模块、下拉模块、复位模块;其中,预充电模块,连接第一电压源和信号输入端,用于在所述信号输入端控制下对所述上拉模块进行预充电;

[0011] 上拉模块,连接时钟信号源和信号输出端,用于在上拉结点电压控制下接通所述时钟信号源与所述信号输出端,所述上拉结点为上拉模块与所述预充电模块连接点;

[0012] 下拉驱动模块,连接所述上拉结点、第三电压源和第二电压源,用于在上拉结点电压控制下接通下拉结点与第三电压源,所述下拉结点为下拉驱动模块与下拉模块连接点;

[0013] 下拉模块,连接所述上拉结点、所述下拉结点、第三电压源和信号输出端,用于在下拉结点电压控制下接通所述上拉结点与第三电压源,所述信号输出端与第三电压源;

[0014] 复位模块,连接第四电压源、复位端和所述上拉结点,用于在复位端信号控制下接通所述上拉结点与所述第四电压源。

[0015] 具体地,所述预充电模块包括:

[0016] 第一晶体管,该第一晶体管的栅极与信号输入端相连,该第一晶体管的源极与第一电压源相连,该第一晶体管的漏极与所述上拉结点相连;

[0017] 所述上拉模块包括:第三晶体管,该第三晶体管的栅极与所述上拉结点相连,该第三晶体管的源极与时钟信号源相连,该第三晶体管的漏极与信号输出端相连。

[0018] 电容,连接在所述上拉结点与信号输出端之间。

[0019] 所述下拉驱动模块包括:

[0020] 第五晶体管,该第五晶体管的栅极与该第五晶体管的源极相连,该第五晶体管的源极同时与第二电压源相连,该第五晶体管的漏极与所述下拉结点相连;

[0021] 第六晶体管,该第六晶体管的栅极与所述上拉结点相连,该第六晶体管的漏极与第三电压源相连,该第六晶体管的源极与所述下拉结点相连;

[0022] 所述下拉模块包括:

[0023] 第二晶体管,该第二晶体管的源极与所述上拉结点相连,该第二晶体管的漏极与第三电压源相连,该第二晶体管的栅极与下拉结点相连;

[0024] 第七晶体管,该第七晶体管的栅极与所述下拉结点相连,该第七晶体管的漏极与第三电压源相连,该第七晶体管的源极与信号输出端相连;

[0025] 所述复位模块包括:

[0026] 第四晶体管,该第四晶体管的栅极与复位端相连,该第四晶体管的漏极与第四电压源相连,该第四晶体管的源极与所述上拉结点相连。

[0027] 优选地,所述晶体管均为 N 型场效应晶体管,所述第五晶体管和所述第六晶体管的尺寸之比为预设值。

[0028] 一种栅极驱动电路,包括:

[0029] n 个如权利要求 1—4 任一项所述的移位寄存器,其中,

[0030] 每个移位寄存器的第三电压源输入低电平信号,第二电压源输入高电平信号,其中,当任意一移位寄存器正向扫描时,该移位寄存器的第一电压源输入高电平信号,该移位寄存器的第四电压源输入低电平信号;当任意一移位寄存器反向扫描时,该移位寄存器的第一电压源输入低电平信号,该移位寄存器的第四电压源输入高电平信号;

[0031] 每个移位寄存器的信号输出端分别连接到对应的信号输出端;

[0032] 第一个移位寄存器的信号输入端连接到起始信号输入端;

[0033] 第 m 个移位寄存器的信号输入端连接到第 m-1 个移位寄存器的信号输出端,第 m 个移位寄存器的信号复位端连接到第 m+1 个移位寄存器的信号输出端,其中, $1 < m < n$ 。

[0034] 一种液晶显示器,所述液晶显示器包括上述的栅极驱动电路。

[0035] 本发明实施例提供了一种移位寄存器、相应的栅极驱动电路及液晶显示器,其中,该移位寄存器包括预充电模块、上拉模块、下拉驱动模块、下拉模块和复位模块,每个移位寄存器可以双向扫描,即既可以正向扫描,也可以反向扫描,降低了生成包含移位寄存器的液晶显示器的生产成本,同时,还降低了工序复杂度,提高了生产效率。

## 附图说明

[0036] 图 1 为现有技术中液晶显示器的功能结构示意图;

[0037] 图 2 为本发明实施例的移位寄存器的结构示意图;

[0038] 图 3 为本发明实施例的移位寄存器具体结构示意图;

[0039] 图 4 为本发明实施例提供的移位寄存器的正向扫描工作时序图;

[0040] 图 5 为本发明实施例提供的移位寄存器的反向扫描工作时序图;

[0041] 图 6 为本发明实施例提供的栅极电路的结构示意图。

## 具体实施方式

[0042] 下面结合说明书附图,对本发明实施例提供的一种移位寄存器、栅极驱动电路及液晶显示器的具体实施方式进行说明。

[0043] 本发明实施例提供的移位寄存器,如图 2 所示,该移位寄存器包括:预充电模块 21、上拉模块 22、下拉驱动模块 23、下拉模块 24、复位模块 25;

[0044] 其中,预充电模块 21,连接第一电压源和信号输入端,用于在信号输入端控制下对上拉模块 22 进行预充电;

[0045] 上拉模块 22,连接时钟信号源和信号输出端,用于在上拉结点电压控制下接通时钟信号源与信号输出端,上拉结点 PU 为上拉模块 22 与预充电模块 21 连接点;

[0046] 下拉驱动模块 23,连接上拉结点 PU、第三电压源和第二电压源,用于在上拉结点电压控制下接通下拉结点 PD 与第三电压源,下拉结点 PD 为下拉驱动模块 23 与下拉模块 24

连结点；

[0047] 下拉模块 24, 连接上拉结点 PU、下拉结点 PD、第三电压源和信号输出端, 用于在下拉结点电压控制下接通所述上拉结点 PU 与第三电压源, 信号输出端与第三电压源；

[0048] 复位模块 25, 连接第四电压源、复位端和所述上拉结点 PU, 用于在复位端信号控制下接通所述上拉结点 PU 与所述第四电压源。

[0049] 具体地, 如图 3 所示, 预充电模块 21 包括：

[0050] 第一晶体管 M1, 该第一晶体管 M1 的栅极与信号输入端相连, 该第一晶体管 M1 的源极与第一电压源相连, 该第一晶体管 M1 的漏极与上拉结点 PU 相连；

[0051] 所述上拉模块 22 包括：

[0052] 第三晶体管 M3, 该第三晶体管 M3 的栅极与所述上拉结点 PU 相连, 该第三晶体管 M3 的源极与时钟信号源相连, 该第三晶体管 M3 的漏极与信号输出端相连。

[0053] 电容 C, 连接在所述上拉结点 PU 与信号输出端之间。

[0054] 下拉驱动模块 23 包括：

[0055] 第五晶体管 M5, 该第五晶体管 M5 的栅极与该第五晶体管 M5 的源极相连, 该第五晶体管 M5 的源极同时与第二电压源相连, 该第五晶体管 M5 的漏极与所述下拉结点 PD 相连；

[0056] 第六晶体管 M6, 该第六晶体管 M6 的栅极与所述上拉结点 PU 相连, 该第六晶体管 M6 的漏极与第三电压源相连, 该第六晶体管 M6 的源极与所述下拉结点 PD 相连；

[0057] 下拉模块 24 包括：

[0058] 第二晶体管 M2, 该第二晶体管 M2 的源极与所述上拉结点 PU 相连, 该第二晶体管 M2 的漏极与第三电压源相连, 该第二晶体管 M2 的栅极与下拉结点 PD 相连；

[0059] 第七晶体管 M7, 该第七晶体管 M7 的栅极与所述下拉结点 PD 相连, 该第七晶体管 M7 的漏极与第三电压源相连, 该第七晶体管 M7 的源极与信号输出端相连；

[0060] 复位模块 25 包括：

[0061] 第四晶体管 M4, 该第四晶体管 M4 的栅极与复位端相连, 该第四晶体管 M4 的漏极与第四电压源相连, 该第四晶体管 M4 的源极与所述上拉结点相连。

[0062] 本发明实施例中, 每个晶体管中的漏极和源极的连接方式可以互换, 因此, 本发明实施例中提到的晶体管的源极也可以为晶体管的漏极, 漏极也可以为晶体管的源极。

[0063] 本发明实施例中, 第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、所述第六晶体管 M6 及所述第七晶体管 M7 均为 N 型场效应晶体管, 即第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、第六晶体管 M6 及第七晶体管 M7 中的任意一晶体管在该晶体管的栅极电压与源极电压或漏极电压的差值达到一定的预设阈值的情况下才能导通。

[0064] 本发明图 4 为移位寄存器正向扫描时的工作时序图, 图 4 提供的移位寄存器的正向扫描时序可以分为五个阶段, 在正向扫描过程中, 第一电压源输入高电位信号 VGH, 第四电压源输入低电位信号 VGL。

[0065] 第一阶段, 移位寄存器  $G_n$  的信号输入端 INPUT 输入高电位信号, 由于移位寄存器  $G_n$  的信号输入端 INPUT 的输入信号为上一级移位寄存器  $G_{n-1}$  的信号输出端 OUTPUT 的输出信号, 因此, 也可以说将上一级移位寄存器  $G_{n-1}$  的信号输出端 OUTPUT 的高电位信号输入到移位寄存器  $G_n$  的信号输入端 INPUT, 于是, 第一晶体管 M1 导通, 第一电压源通过第

一晶体管 M1 对电容 C 进行充电,使得 PU 结点的电位被拉至高电位,第六晶体管 M6 和第三晶体管 M3 在 PU 结点高电位的驱动下导通;通过第五晶体管 M5 和第六晶体管 M6 尺寸的设计,具体为使第五晶体管 M5 与第六晶体管 M6 的尺寸之比符合预设值,使得下拉结点 PD 结点的电位为低电位,因此,第二晶体管 M2 与第七晶体管 M7 关断;时钟信号输入端 CLK 输入低电位信号,第三晶体管 M3 导通,因此时钟信号输入端 CLK 输入的低电位信号经过第三晶体管 M3 传输至信号输出端 OUTPUT。

[0066] 第二阶段,移位寄存器 G<sub>n</sub> 的信号输入端 INPUT 输入低电位信号,第一晶体管 M1 关断,但是由于电容 C 已经将第一阶段的第一电压源输入的高电位信号存储下来,因此,PU 结点的电位依然为高电位,此时,时钟信号输入端 CLK 输入高电位信号,PU 结点的电压由于自举效应而被放大,也就是说,电容 C 与 PU 结点相连的一端的电位在第一阶段的基础上继续升高,第三晶体管 M3 保持导通状态,因此,时钟信号输入端 CLK 输入的高电位信号经过第三晶体管 M3 传输至信号输出端 OUTPUT。下拉结点 PD 结点继续保持第一阶段的低电位,因此,第二晶体管 M2 与第七晶体管 M7 继续保持断开状态,避免时钟信号输入端 CLK 输入的高电位信号被下拉至 VGL 的电位。结点结点

[0067] 第三阶段,移位寄存器 G<sub>n</sub> 的复位端 RESETIN 输入高电位信号,时钟信号输入端 CLK 输入低电位信号,其中,复位端 RESETIN 输入的高电位信号为下一级移位寄存器 G<sub>n+1</sub> 的信号输出端 OUTPUT 输出的信号,第四晶体管 M4 导通,因此,与第四晶体管 M4 一端相连的 PU 结点的电位下拉至第三电压源的电位 VGL,进而第六晶体管 M6 关断,此时,PD 结点仅与第五晶体管 M5 相连,第五晶体管 M5 与第二电压源相连,因此,PD 结点的电位变为高电位。由于第二晶体管 M2 与第七晶体管 M7 的栅极都与 PD 结点相连,因此,当 PD 结点的电位变为高电位时,第二晶体管 M2 与第七晶体管 M7 都导通。由于第二晶体管 M2 导通,PU 结点被拉低至低电位 VGL,第三晶体管 M3 的栅极与 PU 结点相连,因此 PU 结点的电位降低至第三电压源的电位后,第三晶体管 M3 关断。由于第七晶体管 M7 导通,信号输出端 OUTPUT 和第三电压源导通,信号输出端 OUTPUT 被复位至低电位。

[0068] 第四阶段,时钟信号输入端 CLK 输入高电位信号。由于 PD 结点为高电位,第三晶体管 M3 的栅极 PU 结点的电位仍为低电位,因此,第三晶体管 M3 仍保持第三阶段的关断状态,时钟信号输入端 CLK 输入的高电位信号就不会传输到信号输出端 OUTPUT,由于第七晶体管 M7 仍为导通状态,信号输出端 OUTPUT 和第三电压源仍导通,因此,信号输出端 OUTPUT 继续保持输出第三阶段的低电位信号 VGL,消除了时钟信号输入端 CLK 的高电位信号在信号输出端 OUTPUT 产生的耦合噪声,保证信号输出端 OUTPUT 输出的信号的稳定性。

[0069] 第五阶段,时钟信号输入端 CLK 输入低电位信号。由于 PD 结点为高电位,第三晶体管 M3 的栅极 PU 结点的电位仍为低电位,因此,第三晶体管 M3 仍保持第三阶段的关断状态,时钟信号输入端 CLK 输入的高电位信号就不会传输到信号输出端 OUTPUT,由于第七晶体管 M7 仍为导通状态,信号输出端 OUTPUT 和第三电压源仍导通,因此,信号输出端 OUTPUT 继续保持输出第三阶段的低电位信号 VGL,消除了时钟信号输入端 CLK 的高电位信号在信号输出端 OUTPUT 产生的耦合噪声,保证信号输出端 OUTPUT 输出的信号的稳定性。之后,依次重复第四阶段和第五阶段,直至本发明实施例提供的移位寄存器接收到信号输入端 INPUT 的高电位信号后再开始重新执行第一阶段。

[0070] 图 5 为移位寄存器反向扫描时工作时序图,图 5 提供的移位寄存器的反向扫描时

序可以分为五个阶段,在反向扫描过程中,第一电压源输入低电位信号 VGL,第四电压源输入高电位信号 VGH,复位端 RESETIN 相当于正向扫描时的信号输入端 INPUT,信号输入端相当于正向扫描时的复位端 RESETIN。

[0071] 第一阶段,移位寄存器  $G_n$  的复位端 RESETIN 输入高电位信号,由于移位寄存器  $G_n$  的复位端 RESETIN 的输入信号为下一级移位寄存器  $G_{n+1}$  的信号输出端 OUTPUT 的输出信号,因此,也可以说将下一级移位寄存器  $G_{n+1}$  的信号输出端 OUTPUT 的高电位信号输入到移位寄存器  $G_n$  的复位端 RESETIN,于是,第四晶体管 M4 导通,第四电压源通过第四晶体管 M4 对电容 C 进行充电,使得 PU 结点的电位被拉至高电位,第六晶体管 M6 在 PU 结点高电位的驱动下导通;通过第五晶体管 M5 和第六晶体管 M6 尺寸的设计,使得下拉结点 PD 结点的电位为低电位,因此,第二晶体管 M2 与第七晶体管 M7 关断;时钟信号输入端 CLK 输入低电位信号,第三晶体管 M3 导通,因此时钟信号输入端 CLK 输入的低电位信号经过第三晶体管 M3 传输至信号输出端 OUTPUT。

[0072] 第二阶段,移位寄存器  $G_n$  的复位端 RESETIN 输入低电位信号,第四晶体管 M4 关断,但是由于电容 C 已经将第一阶段的第四电压源输入的高电位信号存储下来,因此,PU 结点的电位依然为高电位,此时,时钟信号输入端 CLK 输入高电位信号,PU 结点的电压由于自举效应而被放大,也就是说,电容 C 与 PU 结点相连的一端的电位在第一阶段的基础上继续升高,第三晶体管 M3 保持导通状态,因此,时钟信号输入端 CLK 输入的高电位信号经过第三晶体管 M3 传输至信号输出端 OUTPUT。下拉结点 PD 结点继续保持第一阶段的低电位,因此,第二晶体管 M2 与第七晶体管 M7 继续保持断开状态,避免时钟信号输入端 CLK 输入的高电位信号下拉为 VGL 的电位。结点结点

[0073] 第三阶段,移位寄存器  $G_n$  的信号输入端 INPUT 输入高电位信号,时钟信号输入端 CLK 输入低电位信号,其中,信号输入端 INPUT 输入的高电位信号为上一级移位寄存器  $G_{n-1}$  的信号输出端 OUTPUT 输出的信号,第一晶体管 M1 导通,因此,与第一晶体管 M1 一端相连的 PU 结点的电位下拉至第一电压源的低电位 VGL,进而第六晶体管 M6 关断,此时,PD 结点仅与第五晶体管 M5 相连,第五晶体管 M5 与第二电压源相连,因此,PD 结点的电位变为高电位。由于第二晶体管 M2 与第七晶体管 M7 的栅极都与 PD 结点相连,因此,当 PD 结点的电位变为高电位时,第二晶体管 M2 与第七晶体管 M7 都导通。由于第二晶体管 M2 导通,PU 结点被拉低至低电位 VGL,第三晶体管 M3 的栅极与 PU 结点相连,因此 PU 结点的电位降低至第一电压源的低电位后,第三晶体管 M3 关断。由于第七晶体管 M7 导通,信号输出端 OUTPUT 和第三电压源导通,信号输出端 OUTPUT 被复位至低电位。

[0074] 第四阶段,时钟信号输入端 CLK 输入高电位信号。由于 PD 结点为高电位,第三晶体管 M3 的栅极 PU 结点的电位仍为低电位,因此,第三晶体管 M3 仍保持第三阶段的关断状态,时钟信号输入端 CLK 输入的高电位信号就不会传输到信号输出端 OUTPUT,由于第七晶体管 M7 仍为导通状态,信号输出端 OUTPUT 和第一电压源仍导通,因此,信号输出端 OUTPUT 继续保持输出第三阶段的低电位信号 VGL,消除了时钟信号输入端 CLK 的高电位信号在信号输出端 OUTPUT 产生的耦合噪声,保证信号输出端 OUTPUT 输出的信号的稳定性。

[0075] 第五阶段,时钟信号输入端 CLK 输入低电位信号。由于 PD 结点为高电位,第三晶体管 M3 的栅极 PU 结点的电位仍为低电位,因此,第三晶体管 M3 仍保持第三阶段的关断状态,时钟信号输入端 CLK 输入的高电位信号就不会传输到信号输出端 OUTPUT,由于第七晶

晶体管 M7 仍为导通状态,信号输出端 OUTPUT 和第一电压源仍导通,因此,信号输出端 OUTPUT 继续保持输出第三阶段的低电位信号 VGL,消除了时钟信号输入端 CLK 的高电位信号对信号输出端 OUTPUT 的干扰,保证信号输出端 OUTPUT 输出的信号的稳定性。

[0076] 之后,依次重复第四阶段和第五阶段,直至本发明实施例提供的移位寄存器接收到复位端 RESETIN 的高电位信号后再开始重新执行第一阶段。

[0077] 移位寄存器正向扫描与反向扫描时各个晶体管的连接方式相同,只是第一电压源及第四电压源输出电平信号不同,具体为:移位寄存器正向扫描时,第一电压源与输出高电平信号,第四电压源输出低电平信号;移位寄存器反向扫描时,第一电压源输出低电平信号,第四电压源输出高电平信号。

[0078] 本发明实施例中,移位寄存器包括第一电压源、第三电压源、第二电压源、第四电压源,其中,正向扫描与反向扫描时,每个电压源输出电平信号有差别,具体为:

[0079] 第一电压源在移位寄存器正向扫描时,输出高电平信号,在移位寄存器反向扫描时,输出低电平信号;

[0080] 第三电压源在移位寄存器正向扫描与反向扫描时均输出低电平信号 VGL;

[0081] 第二电压源在移位寄存器正向扫描与反向扫描时均输出高电平信号 VGH;

[0082] 第四电压源在移位寄存器正向扫描时,输出低电平信号,在移位寄存器反向扫描时,输出高电平信号。

[0083] 参阅图 6 所示,本发明实施例基于上述移位寄存器设计了一种栅极驱动电路(以各个移位寄存器均正向扫描为例,即第一电压源输出高电平信号,第四电压源输出低电平信号),该栅极驱动电路包括本发明实施例提供的移位寄存器 SR1、移位寄存器 SR2、移位寄存器 SR3、...、移位寄存器 SRn;移位寄存器 SR2、移位寄存器 SR3、...移位寄存器 SRn-1 的信号输出端的信号都会被传输至其上一级移位寄存器的复位端以及其下一级移位寄存器的控制信号输入端。移位寄存器 SR1 的信号输入端接收初始触发 STV 信号,移位寄存器 SRn 的复位端连接移位寄存器 SRn 的信号输出端。

[0084] 在上述任一种实施方式的液晶显示栅极驱动装置中,相邻两级的移位寄存器的时钟信号输入端的信号位相相反,例如移位寄存器 SR2 的时钟信号输入端输入高电位信号,移位寄存器 SR1、移位寄存器 SR3 的时钟信号输入端输入低电位信号;除冗余寄存器外,每级移位寄存器将输入的时钟信号转换为开启或关闭信号从它的控制信号输出端输出到与其对应的栅极线上,例如,移位寄存器 SR1 将其时钟信号输入端接收到的信号转换为开启或关闭信号从它的信号输出端输出到与其对应的栅极线上 GL1 上,移位寄存器 SRn 将其时钟信号输入端接收到的信号转换为开启或关闭信号从它的信号输出端输出到与其对应的栅极线上 GLn 上。

[0085] 本发明实施例还提供一种液晶显示器,包括本发明实施例提供的栅极驱动电路。

[0086] 综上所述,本发明实施例中,设计了一种移位寄存器、相应的栅极驱动电路及液晶显示器,其中,该移位寄存器包括预充电模块、上拉模块、下拉驱动模块、下拉模块及复位模块,每个移位寄存器可以双向扫描,即既可以正向扫描,也可以反向扫描,降低了生成包含移位寄存器的液晶显示器的生产成本,同时,还降低了工序复杂度,提高了生产效率。

[0087] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围

---

之内,则本发明也意图包含这些改动和变型在内。

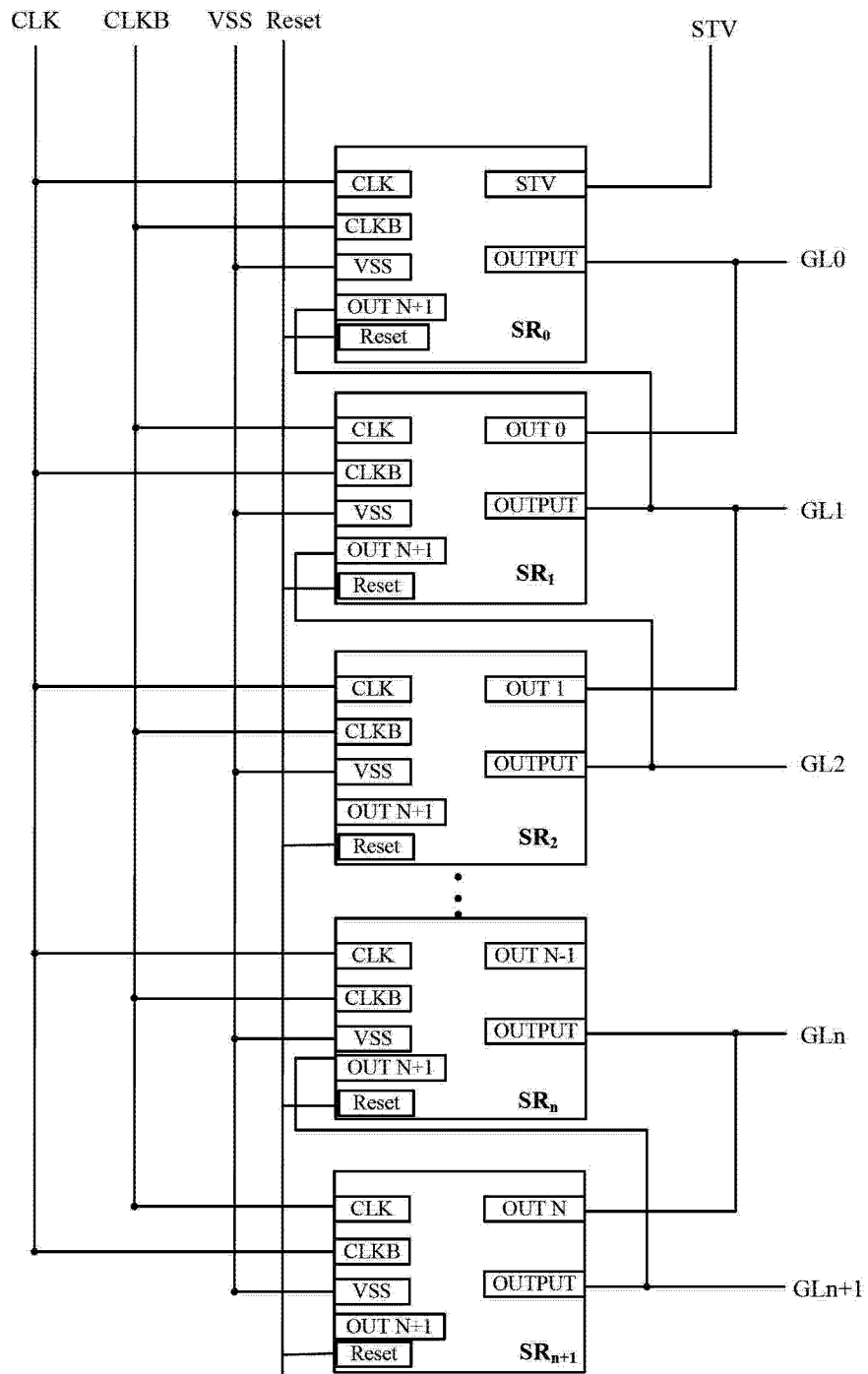


图 1

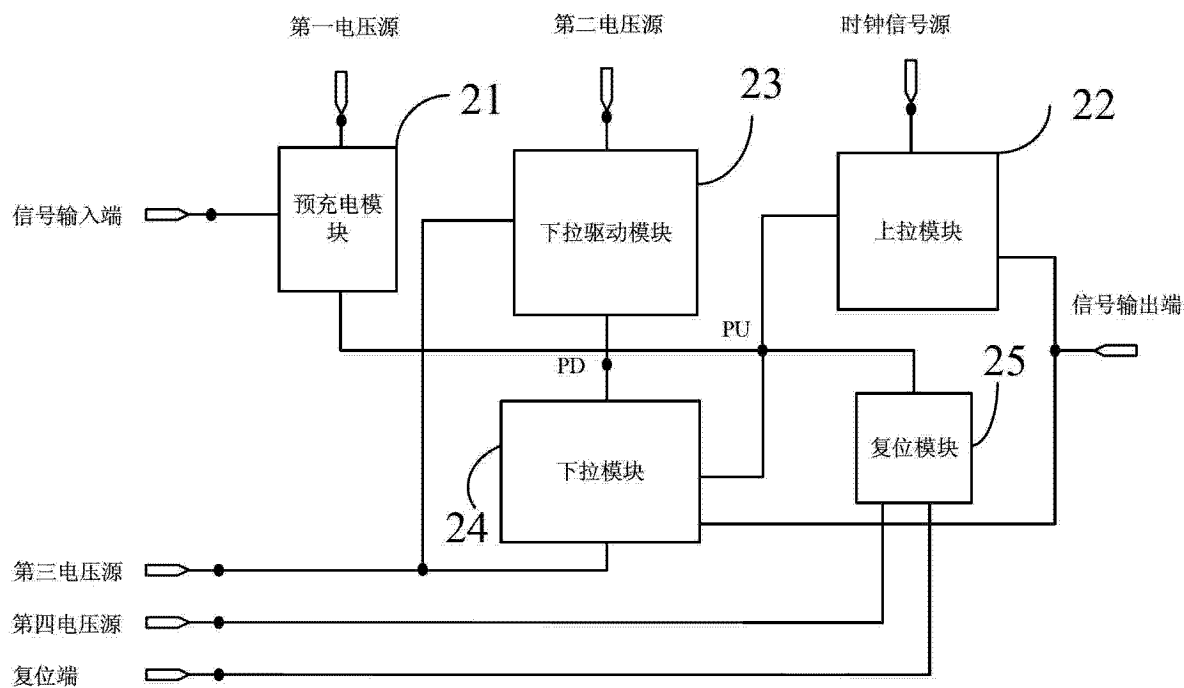


图 2

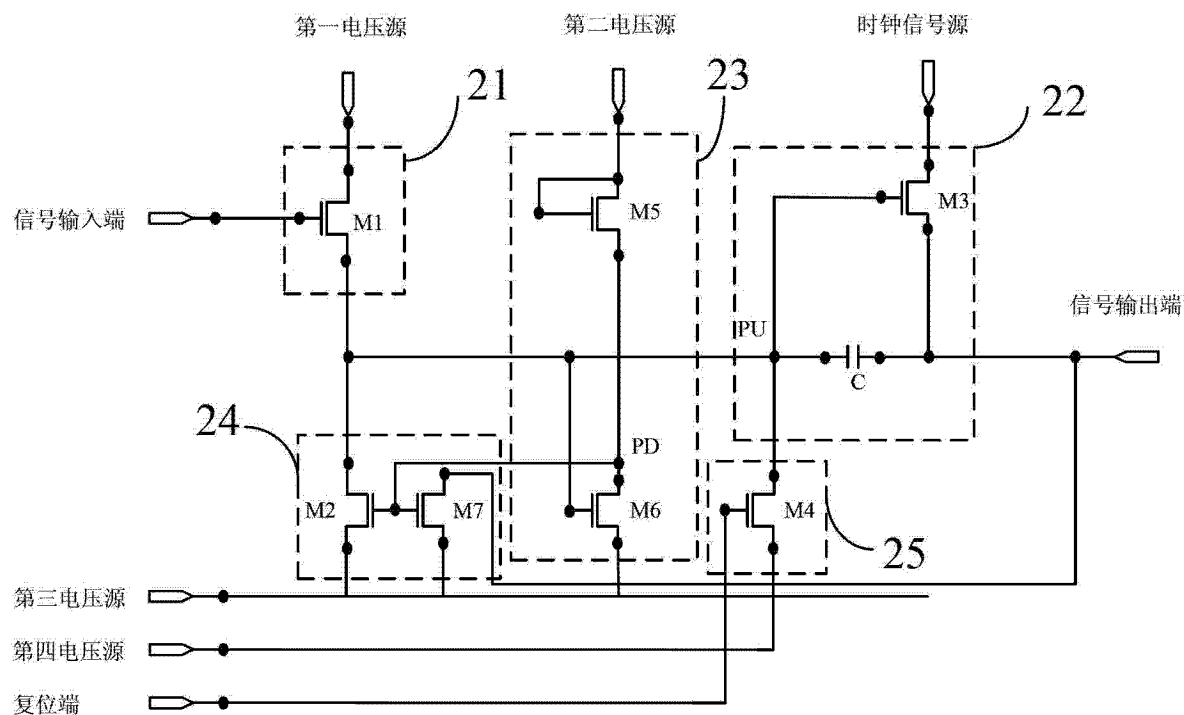


图 3

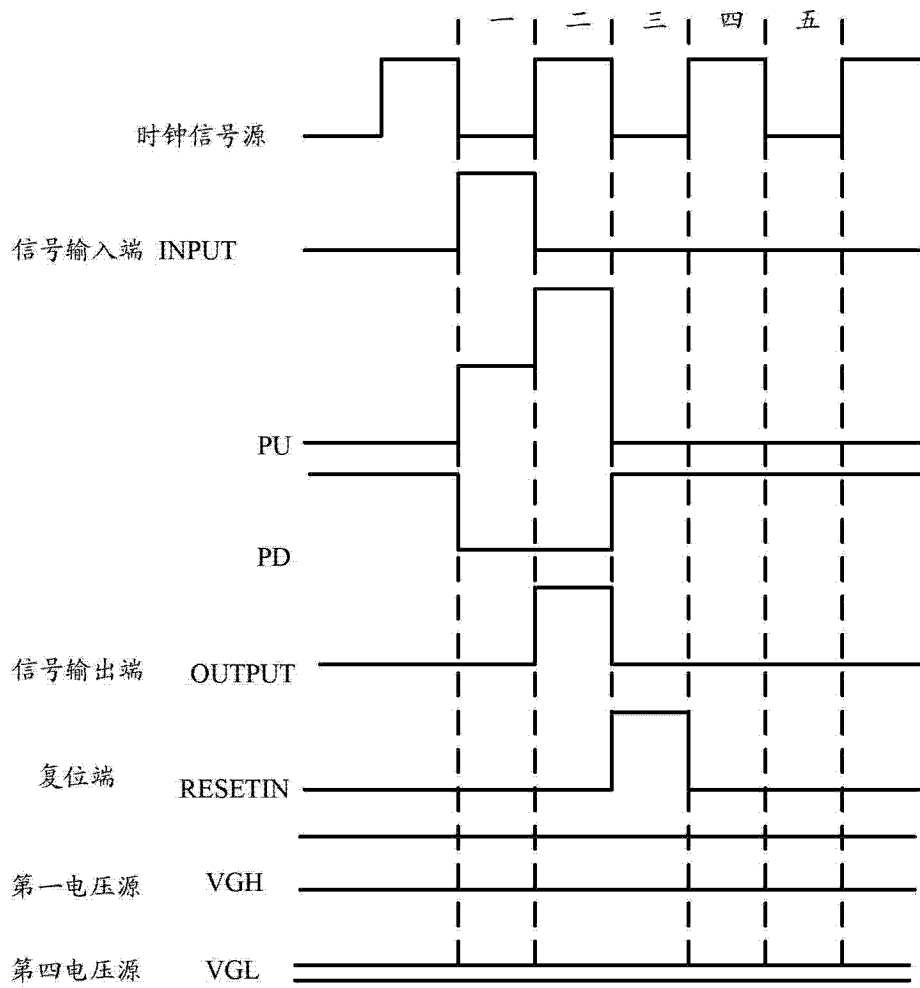


图 4

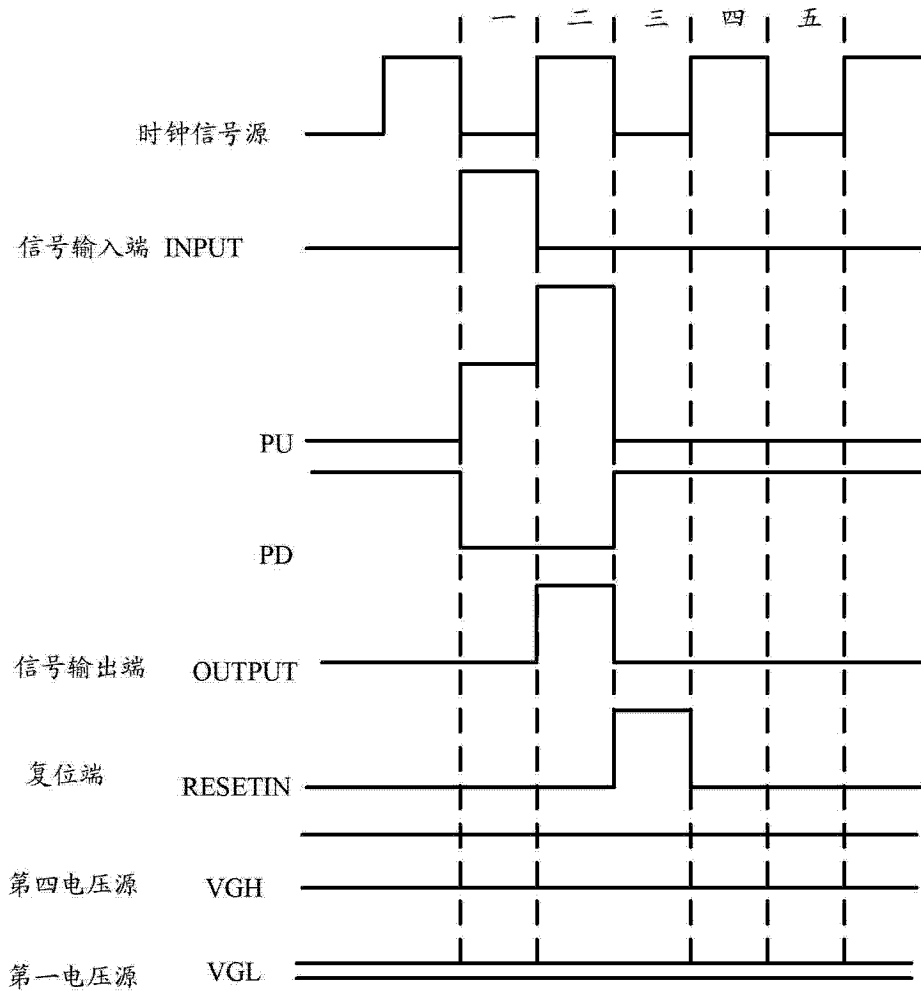


图 5

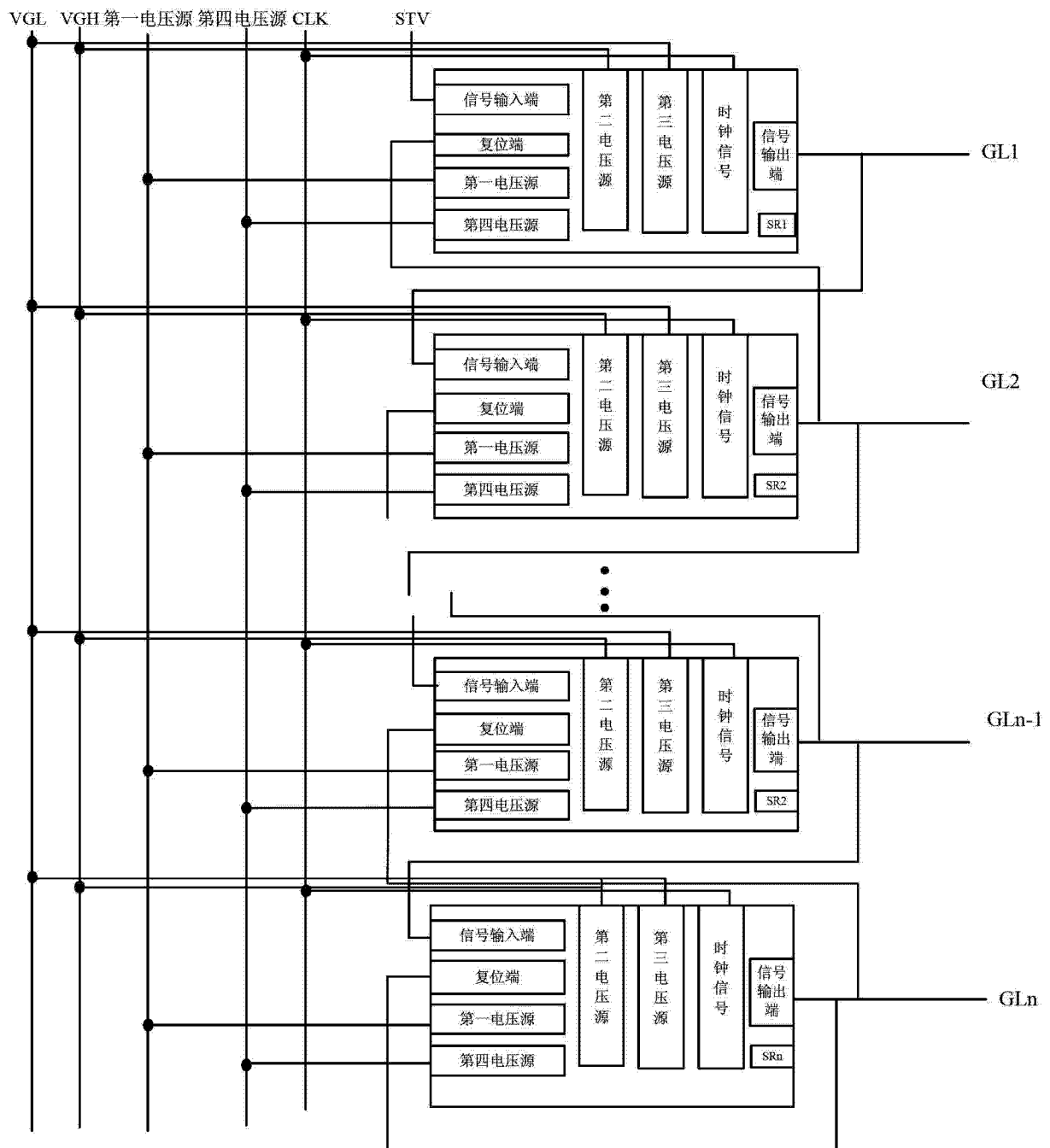


图 6

专利名称(译)	一种移位寄存器、栅极驱动电路与液晶显示器		
公开(公告)号	<a href="#">CN102956186A</a>	公开(公告)日	2013-03-06
申请号	CN201210434189.6	申请日	2012-11-02
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
[标]发明人	马睿 邵贤杰 王国磊 胡明		
发明人	马睿 邵贤杰 王国磊 胡明		
IPC分类号	G09G3/20 G09G3/36 G11C19/28		
CPC分类号	G11C19/287 G11C19/28		
代理人(译)	黄志华		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明涉及液晶显示器领域，公开了一种移位寄存器、相应的栅极驱动电路及液晶显示器，其中，该移位寄存器包括预充电模块、上拉模块、下拉驱动模块、下拉模块及复位模块，每个移位寄存器可以双向扫描，即既可以正向扫描，也可以反向扫描，从而降低了包含移位寄存器的液晶显示器的生产成本，并且提高了液晶显示器的产能。

