



(12) 发明专利

(10) 授权公告号 CN 102779494 B

(45) 授权公告日 2015. 08. 05

(21) 申请号 201210089393. 9

审查员 孟伟

(22) 申请日 2012. 03. 29

(73) 专利权人 北京京东方光电科技有限公司

地址 100176 北京市大兴区经济技术开发区
西环中路 8 号

(72) 发明人 陈希 崔文海

(74) 专利代理机构 北京派特恩知识产权代理有
限公司 11270

代理人 孟桂超 张颖玲

(51) Int. Cl.

G09G 3/36(2006. 01)

(56) 对比文件

CN 102012591 A, 2011. 04. 13,

KR 10-0495798 B1, 2005. 09. 20,

JP H05216443 A, 1993. 08. 27,

CN 102013244 A, 2011. 04. 13,

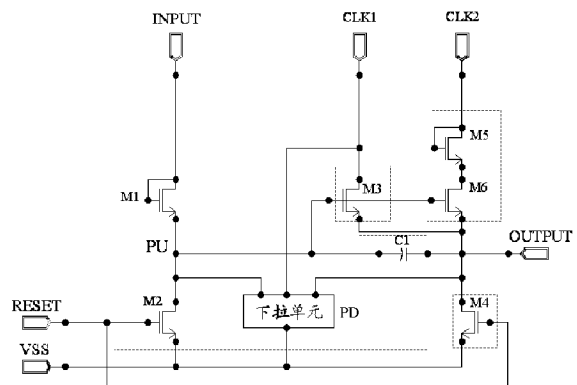
权利要求书2页 说明书5页 附图4页

(54) 发明名称

一种栅极驱动电路、方法及液晶显示器

(57) 摘要

本发明提供了一种栅极驱动电路、方法及液晶显示器,所述栅极驱动电路包括多级移位寄存器,每一级移位寄存器包括上拉驱动单元、上拉单元、复位单元、下拉单元,还包括补充单元;所述上拉单元,用于导通时将第一时钟端的时钟信号作为本级移位寄存器的输出;所述补充单元,与所述上拉单元相连接,用于导通时将第二时钟端的时钟信号作为本级移位寄存器的输出。本发明通过栅极驱动电路中每级移位寄存器的补充单元,在 TFT 关断的瞬间,补充单元导通工作,对移位寄存器的输出进行控制,能够降低跳变电压,实现 MLG 功能,提升液晶显示器的画面品质。



1. 一种栅极驱动电路,包括多级移位寄存器,其中每一级移位寄存器包括上拉驱动单元、上拉单元、复位单元、下拉单元,其特征在于,所述移位寄存器还包括:补充单元;其中,所述上拉单元,用于导通时将第一时钟端的时钟信号作为本级移位寄存器的输出;所述补充单元,与所述上拉单元相连接,用于导通时将第二时钟端的时钟信号作为本级移位寄存器的输出;

所述补充单元,包括 TFT 开关器件五和 TFT 开关器件六;其中,

TFT 开关器件五的源极和栅极与第二时钟端连接,TFT 开关器件六的源极与 TFT 开关器件五的漏极连接,TFT 开关器件六的栅极与所述上拉驱动单元相连,TFT 开关器件六的漏极与所述上拉单元的输出端相连接,同时为本级移位寄存器的输出。

2. 根据权利要求 1 所述的电路,其特征在于,所述上拉驱动单元,连接上拉单元的输入节点,用于控制上拉单元的接通和关断。

3. 根据权利要求 1 或 2 所述的电路,其特征在于,所述上拉驱动单元包括 TFT 开关器件一、TFT 开关器件二;其中,

TFT 开关器件一的源极和栅极与上级移位寄存器的输出端相连;

所述 TFT 开关器件二的源极与所述 TFT 开关器件一的漏极相连,所述 TFT 开关器件二的栅极与下级移位寄存器的输出端相连,所述 TFT 开关器件二的漏极与低电平连接。

4. 根据权利要求 3 所述的电路,其特征在于,所述上拉单元包括 TFT 开关器件三和升压器件;其中,

所述 TFT 开关器件三的源极与第一时钟端相连,所述 TFT 开关器件三的栅极与 TFT 开关器件一的漏极相连,所述 TFT 开关器件三的漏极为本级移位寄存器的输出端;

所述升压器件,一端分别与所述 TFT 开关器件一的漏极和所述 TFT 开关器件三的栅极相连,另一端与所述 TFT 开关器件三的漏极相连。

5. 根据权利要求 4 所述的电路,其特征在于,所述复位单元包括 TFT 开关器件四;所述 TFT 开关器件四的源极与 TFT 开关器件三的漏极相连,所述 TFT 开关器件四的栅极与下级移位寄存器的输出端相连,所述 TFT 开关器件四的漏极与低电平连接。

6. 根据权利要求 1 所述的电路,其特征在于,所述 TFT 开关器件五和 TFT 开关器件六为金属-氧化物-半导体场效应晶体管。

7. 根据权利要求 1 所述的电路,其特征在于,所述第二时钟端的时钟信号在第一时钟端时钟信号变为低电平的瞬间跳变为高电平。

8. 一种液晶显示器,其特征在于,所述液晶显示器包括权利要求 1 至 7 任一项所述的栅极驱动电路。

9. 一种利用权利要求 1 所述的栅极驱动电路实现的栅极驱动方法,其特征在于,所述方法包括:

上级移位寄存器的输出端输出的信号为高电平时,上拉驱动单元导通,本级移位寄存器开始充电;

当第一时钟端的时钟信号为高电平,第二时钟端的时钟信号为低电平,上拉单元导通,将所述第一时钟端的时钟信号作为本级移位寄存器的输出;

所述第一时钟端的时钟信号跳变为低电平,所述第二时钟端的时钟信号跳变为高电平,补充单元导通,将所述第二时钟端的时钟信号作为本级移位寄存器的输出。

10. 根据权利要求 9 所述的方法,其特征在于,所述第二时钟端的时钟信号的高电平小于所述第一时钟端的时钟信号的高电平。

一种栅极驱动电路、方法及液晶显示器

技术领域

[0001] 本发明涉及栅极驱动技术,尤其涉及一种栅极驱动电路、方法及液晶显示器。

背景技术

[0002] 液晶显示器是目前常用的平板显示器,其中薄膜场效应晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, TFT-LCD) 是目前液晶显示器中的主流产品。随着 TFT-LCD 产品的竞争日益激烈,各厂家纷纷通过采用新技术来降低产品的成本,提高产品的市场竞争力。其中,GOA (Gate on Array) 技术是指将 TFT-LCD 的栅极驱动器 (Gate Driver) 集成在阵列基板上,形成对面板的扫描驱动。相比传统覆晶薄膜 (Chip On Flex/Film, COF) 和直接绑定在玻璃上 (Chip On Glass, COG) 的工艺,其不仅可以节省成本,而且面板可以做到两边对称美观设计,省去了栅集成电路 (Gate IC) 的绑定 (Bonding) 区域以及扇出 (Fan-out) 布线空间,实现了窄边框的设计;同时由于可以省去 Gate 方向 Bonding 的工艺,对产能和良品率提升也比较有利。

[0003] 但是,相比于 COF 和 COG 技术,GOA 技术也存在一定的问题,现有的栅极驱动电路包括多级移位寄存器,图 1 为现有的栅极驱动电路中每级移位寄存器的结构图,如图 1 所示,所述每级移位寄存器具体包括 TFT 开关器件一 M1、TFT 开关器件二 M2、TFT 开关器件三 M3、TFT 开关器件四 M4,下拉单元 PD 以及升压器件 C1;其中,M1 的源极和栅极连接上级移位寄存器的输出信号 (INPUT);M2 的源极连接 M1 的漏极,M2 的栅极连接下级移位寄存器的输出信号 (RESET),M2 的漏极连接低压信号 VSS;M3 的源极与时钟信号端相连,M3 的栅极与 M1 的漏极相连,M3 的漏极作为本级移位寄存器的信号输出端 (OUTPUT);M4 的源极与 M3 的漏极相连,M4 的栅极与 RESET 信号相连,M4 的漏极与 VSS 信号相连;C1 的一端分别与 M1 的漏极和 M3 的栅极相连,另一端连接 M3 的漏极;下拉单元 PD 不仅与 C1 并联,同时一端与 VSS 信号相连,另一端与 M3 的源极相连。

[0004] 上述栅极驱动电路的工作原理为:当 INPUT 信号为高电平时,M1 开启,对 PU 节点进行充电,当时钟信号为高时,M3 导通,OUTPUT 输出时钟信号的脉冲,同时 C1 的自举 (Bootstrapping) 作用将 PU 节点进一步拉高;之后 RESET 信号将 M2 和 M4 打开,对 PU 和 OUTPUT 放电;接下来,通过时钟信号控制下拉单元 PD 的电路器件对 PU 节点和 OUTPUT 进一步放电,保证了该行在非工作时间内不会有噪声发生,具体各信号的时序如图 2 所示,通常情况下,应用如图 1 所示的移位寄存器时,在 TFT 关断瞬间,OUTPUT 由高电平跳变为低电平,像素跳变电压较大,影响液晶显示器的画面品质。

[0005] 通常情况下,会考虑将多级栅极 (Multi-Level Gate, MLG) 的功能附加在栅极驱动电路上,以减少跳变电压,提高画面品质,MLG 的产生原理为在输出端引出一个反馈信号到 DC/DC IC,随之产生一个电压并输出。

[0006] 但是,现有的栅极驱动电路通常采用 α -Si 的工艺,由于考虑到低温条件下 α -Si 相比高温 TFT 的迁移率大约会有一半左右的下降,因此,为了避免当栅极驱动电路处于一个较低的温度状况时出现失效的情况,通常采用在栅极驱动电路外部增加温度补偿电路的

解决方案,具体可以为在产生栅极高电平 V_{gh} 的反馈电路上并联热敏器件,使 V_{gh} 随温度下降而上升;

[0007] 然而,一旦采用了温度补偿方式来保证栅极驱动电路的有效性时, V_{gh} 的电压可能会上升到 30V 以上,DC/DC IC 无法承受如此高的电压,此时,MLG 的功能则会失效。而 MLG 功能一旦失效,则在 TFT 关断瞬间,会存在一个较大的跳变电压,影响 TFT 面板的画面品质。

发明内容

[0008] 有鉴于此,本发明的主要目的在于提供一种栅极驱动电路、方法及显示器,能够实现具有 MLG 功能的栅极驱动电路。

[0009] 为达到上述目的,本发明的技术方案是这样实现的:

[0010] 一种栅极驱动电路,包括多级移位寄存器,其中每一级移位寄存器包括上拉驱动单元、上拉单元、复位单元、下拉单元,所述移位寄存器还包括:补充单元;其中,

[0011] 所述上拉单元,用于导通时将第一时钟端的时钟信号作为本级移位寄存器的输出;

[0012] 所述补充单元,与所述上拉单元相连接,用于导通时将第二时钟端的时钟信号作为本级移位寄存器的输出。

[0013] 其中,所述上拉驱动单元,连接上拉单元的输入节点,用于控制上拉单元的接通和关断。

[0014] 其中,所述上拉驱动单元包括 TFT 开关器件一、TFT 开关器件二;其中,

[0015] TFT 开关器件一的源极和栅极与上级移位寄存器的输出端相连;

[0016] 所述 TFT 开关器件二的源极与所述 TFT 开关器件一的漏极相连,所述 TFT 开关器件二的栅极与下级移位寄存器的输出端相连,所述 TFT 开关器件二的漏极与低电平连接。

[0017] 其中,所述上拉单元包括 TFT 开关器件三和升压器件;其中,

[0018] 所述 TFT 开关器件三的源极与第一时钟端相连,所述 TFT 开关器件三的栅极与 TFT 开关器件一的漏极相连,所述 TFT 开关器件三的漏极为本级移位寄存器的输出端;

[0019] 所述升压器件,一端分别与所述 TFT 开关器件一的漏极和所述 TFT 开关器件三的栅极相连,另一端与所述 TFT 开关器件三的漏极相连。

[0020] 其中,所述复位单元包括 TFT 开关器件四;所述 TFT 开关器件四的源极与 TFT 开关器件三的漏极相连,所述 TFT 开关器件四的栅极与下级移位寄存器的输出端相连,所述 TFT 开关器件四的漏极与低电平连接。

[0021] 其中,所述补充单元,包括 TFT 开关器件五和 TFT 开关器件六;其中,

[0022] TFT 开关器件五的源极和栅极与第二时钟端连接,TFT 开关器件六的源极与 TFT 开关器件五的漏极连接,TFT 开关器件六的栅极与所述上拉驱动单元相连,TFT 开关器件六的漏极与所述上拉单元的输出端相连接,同时为本级移位寄存器的输出。

[0023] 其中,所述 TFT 开关器件五和 TFT 开关器件六为金属-氧化物-半导体场效应晶体管。

[0024] 其中,所述第二时钟端的时钟信号在第一时钟端时钟信号变为低电平的瞬间跳变为高电平。

[0025] 一种液晶显示器,所述液晶显示器包括如上所述的栅极驱动电路。

[0026] 一种栅极驱动方法,所述方法包括:

[0027] 上级移位寄存器的输出端输出的信号为高电平时,上拉驱动单元导通,本级移位寄存器开始充电;

[0028] 当第一时钟端的时钟信号为高电平,第二时钟端的时钟信号为低电平,上拉单元导通,将所述第一时钟端的时钟信号作为本级移位寄存器的输出;

[0029] 所述第一时钟端的时钟信号跳变为低电平,所述第二时钟端的时钟信号跳变为高电平,补充单元导通,将所述第二时钟端的时钟信号作为本级移位寄存器的输出。

[0030] 其中,所述第二时钟端的时钟信号的高电平小于所述第一时钟端的时钟信号的高电平。

[0031] 本发明通过栅极驱动电路中每级移位寄存器的补充单元,在 TFT 关断的瞬间,补充单元导通工作,对移位寄存器的输出进行控制,能够降低像素的跳变电压,实现 MLG 功能,提升液晶显示器的画面品质。

附图说明

[0032] 图 1 为现有栅极驱动电路中每级移位寄存器的结构示意图;

[0033] 图 2 为图 1 所示现有栅极驱动电路的移位寄存器的输入输出信号的时序图;

[0034] 图 3 为本发明栅极驱动电路中每级移位寄存器的功能结构示意图;

[0035] 图 4 为本发明栅极驱动电路的移位寄存器的具体实现结构图;

[0036] 图 5 为本发明栅极驱动电路的移位寄存器的输入输出信号的时序图;

[0037] 图 6 为本发明栅极驱动电路实现的 MLG 功能的原理示意图;

[0038] 图 7 为本发明栅极驱动方法的实现流程示意图。

[0039] 附图标记说明:M1-TFT 开关器件一;M2-TFT 开关器件二;M3-TFT 开关器件三;M4-TFT 开关器件四;M5-TFT 开关器件五;M6-TFT 开关器件六;PD-下拉单元;C1-升压器件;31-GOA 电路单元;32-补充单元。

具体实施方式

[0040] 本发明的基本思想为:所述栅极驱动电路包括多级移位寄存器,其中每一级移位寄存器包括上拉驱动单元、上拉单元、复位单元、下拉单元,还包括:补充单元;其中,所述上拉单元,用于导通时将第一时钟端的时钟信号作为本级移位寄存器的输出;所述补充单元,与所述上拉单元相连接,用于导通时将第二时钟端的时钟信号作为本级移位寄存器的输出。

[0041] 为使本发明的目的、技术方案和优点更加清楚明白,以下举实施例并参照附图,对本发明进一步详细说明。

[0042] 图 3 示出了本发明栅极驱动电路中每级移位寄存器的功能结构,如图 3 所示,所述移位寄存器包括 GOA 电路单元 31 和补充单元 32;其中,所述 GOA 电路单元 31 连接上级移位寄存器的输出端 (INPUT)、第一时钟端 (CLK1)、下级移位寄存器的输出端 (RESET),同时连接低电平 VSS,通常情况下,所述 VSS 的大小与 CLK1 的时钟信号的低电平相同;补充单元 32 分别与第二时钟端 (CLK2) 和 GOA 电路单元 31 的输出端相连,控制所述 GOA 电路单元 31 的输出 (OUTPUT)。

[0043] 上述移位寄存器的工作过程具体为：当 CLK1 的时钟信号为高电平时，CLK2 的时钟信号为低电平，OUTPUT 输出的信号即为 CLK1 的脉冲信号，此时的电压值记为 V_{gh1} ，当 CLK1 的时钟信号变为低电平时，补充单元 32 的 CLK2 的时钟信号变为高电平，此时，补充单元 32 导通，OUTPUT 输出的信号即为 CLK2 的脉冲信号，此时电压值记为 V_{gh2} ，整体来看，OUTPUT 输出的电压值从 V_{gh1} 跳变到 V_{gh2} ，相对于现有栅极驱动电路的移位寄存器直接从 V_{gh1} 跳变到 0，实现像素跳变电压的大大减小，进而实现了 MLG 的作用，提升了画面品质。

[0044] 图 4 示出了本发明栅极驱动电路的移位寄存器的具体实现结构，如图 4 所示，上述 GOA 电路单元 31 包括上拉驱动单元和上拉单元、复位单元、下拉单元、补充单元，其中，所述上拉单元，用于导通时将第一时钟端的时钟信号作为本级移位寄存器的输出；所述补充单元，与所述上拉单元相连接，用于导通时将第二时钟端的时钟信号作为本级移位寄存器的输出。

[0045] 其中，所述上拉驱动单元，连接上拉单元的输入节点，用于控制上拉单元的接通和关断。

[0046] 进一步地，所述上拉驱动单元包括 TFT 开关器件一 M1、TFT 开关器件二 M2；

[0047] 所述上拉单元包括 TFT 开关器件三 M3 和升压器件 C1；

[0048] 所述 M1 的源极和栅极与 INPUT 相连；所述 M2 的源极与所述 M1 的漏极相连，所述 M2 的栅极与 RESET 相连，所述 M2 的漏极连接 VSS；所述 M3 的源极与 CLK1 相连，所述 M3 的栅极与 M1 的漏极相连，所述 M3 的漏极为所述 GOA 电路单元 31 的输出端，同时也为本级移位寄存器的输出端；所述 C1，一端分别与所述 M1 的漏极和 M3 的栅极相连，另一端与 M3 的漏极相连。

[0049] 进一步地，所述复位单元具体包括 TFT 开关器件四 M4；所述 M4 的源极与 M3 的漏极相连，所述 M4 的栅极与 RESET 相连，所述 M4 的漏极连接 VSS。

[0050] 进一步地，所述 GOA 电路单元 31 还包括：下拉单元 PD，与所述 C1 并联，且一端连接 VSS，另一端与所述 M3 的源极相连。

[0051] 其中，上述补充单元 32 具体包括 TFT 开关器件五 M5 和 TFT 开关器件六 M6；其中，所述 M5 的源极和栅极与 CLK2 相连，M6 的源极与 M5 的漏极相连，M6 的栅极与 GOA 电路单元 31 的上拉驱动单元的 C1 相连，M6 的漏极与所述上拉单元的输出端，即 M3 的漏极相连，同时为本级移位寄存器的输出。

[0052] 其中，上述 M1、M2、M3、M4、M5、M6 具体可以为金属-氧化物-半导体场效应晶体管 (Metal-Oxide-Semiconductor, MOS) 管。

[0053] 上述栅极驱动电路的具体工作过程为：当 INPUT 的信号为高电平时，M1 导通，对 PU 节点充电；当 CLK1 的时钟信号为高电平，CLK2 的时钟信号为低电平时，M3 导通，此时 OUTPUT 输出的信号即为 CLK1 的脉冲信号，此时电压值记为 V_{gh1} ，同时 C1 的第一次 Bootstrapping 作用将 PU 节点第一次拉高；接下来当 CLK1 的时钟信号变为低电平时，补充单元 32 的 CLK2 的时钟信号变为高电平、且持续一个较短的时间，此时，M5、M6 导通，OUTPUT 输出的信号即为 CLK2 的脉冲信号，此时电压值记为 V_{gh2} ，同时 C1 的第二次 Bootstrapping 作用将 PU 节点再一次拉高，整体来看，OUTPUT 输出的电压值从 V_{gh1} 跳变到 V_{gh2} ，相对于现有栅极驱动电路中移位寄存器直接从 V_{gh1} 跳变到 0，实现了像素跳变电压的大大减小，进而实现了 MLG 的作用，提升了画面品质。然后，通过 CLK1 控制下拉单元 PD 对 PU 节点和

OUTPUT 进行放电,保证该栅极驱动电路的移位寄存器在非工作时间不会产生噪声。

[0054] 具体地,上述过程中,各输入输出信号的时序图参考图 5,由图 5 可知,CLK2 的电压值 V_{gh2} 要小于 CLK1 的电压值 V_{gh1} 。应当理解,图 5 中的 INPUT 信号是以现有栅极驱动电路的上级移位寄存器的输出进行的举例,当具体利用本发明提供的栅极驱动电路时,此时 INPUT 信号的时序图则为本发明的栅极驱动电路的上级移位寄存器的输出。

[0055] 图 6 示出了本发明栅极驱动电路实现的 MLG 功能的原理,如图 6 所示,在 CLK1 变为低电平的瞬间,OUTPUT 也将为低电平即 TFT 关断的瞬间,由于 CLK2 的输入,此时 OUTPUT 的输出电压值为 V_{gh2} ,此时 TFT 会发生再次充电 (Recharging),达到减小像素跳变电压 ΔV_p 的效果,进而可以提升画面质量;其中,图 6 中 V_p 为像素 (Pixel) 的电压波形, V_{com} 为公共电极的电压, V_d 为数据线 (Data) 的电压波形, V_{g1} 为栅极低电平。

[0056] 本发明还提供了一种液晶显示器,其中,所述液晶显示器包括有如上所述的栅极驱动电路。

[0057] 本发明还提供了一种利用上述栅极驱动电路实现的栅极驱动方法,所述方法的实现流程参见图 7,包括:

[0058] 步骤 701,上级移位寄存器的输出端输出的信号为高电平时,上拉驱动单元导通,本级移位寄存器开始充电;

[0059] 步骤 702,当第一时钟端的时钟信号为高电平,第二时钟端的时钟信号为低电平,上拉单元导通,将所述第一时钟端的时钟信号作为本级移位寄存器的输出;

[0060] 步骤 703,所述第一时钟端的时钟信号跳变为低电平,所述第二时钟端的时钟信号跳变为高电平,补充单元导通,将所述第二时钟端的时钟信号作为本级移位寄存器的输出。

[0061] 其中,所述第二时钟端的时钟信号的高电平小于所述第一时钟端的时钟信号的高电平。其中,所述第二时钟端的时钟信号和第一时钟端的时钟信号的差值根据实际应用时的具体情况进行确定。

[0062] 以上所述,仅为本发明的较佳实施例而已,并非用于限定本发明的保护范围。

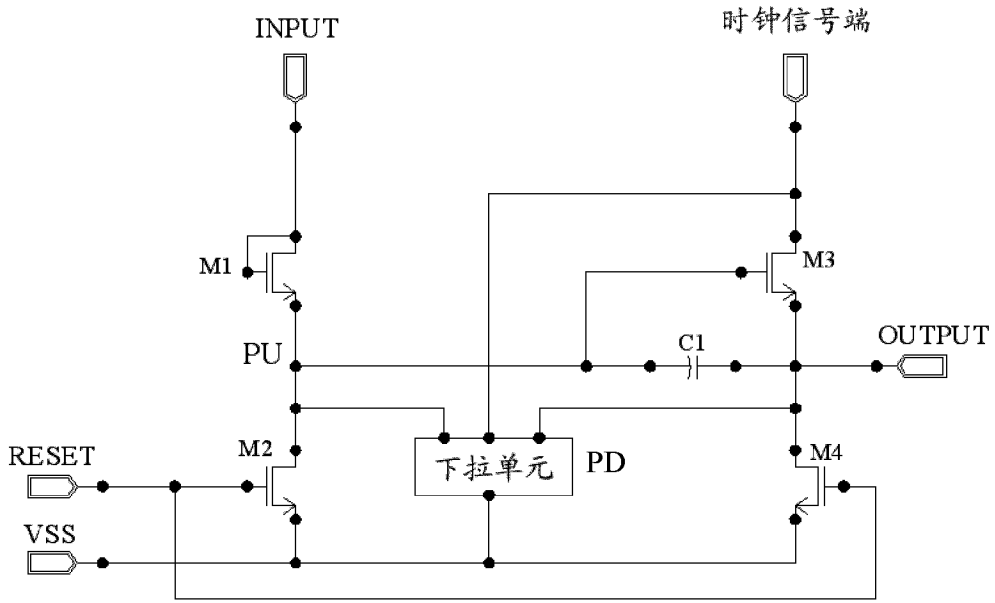


图 1

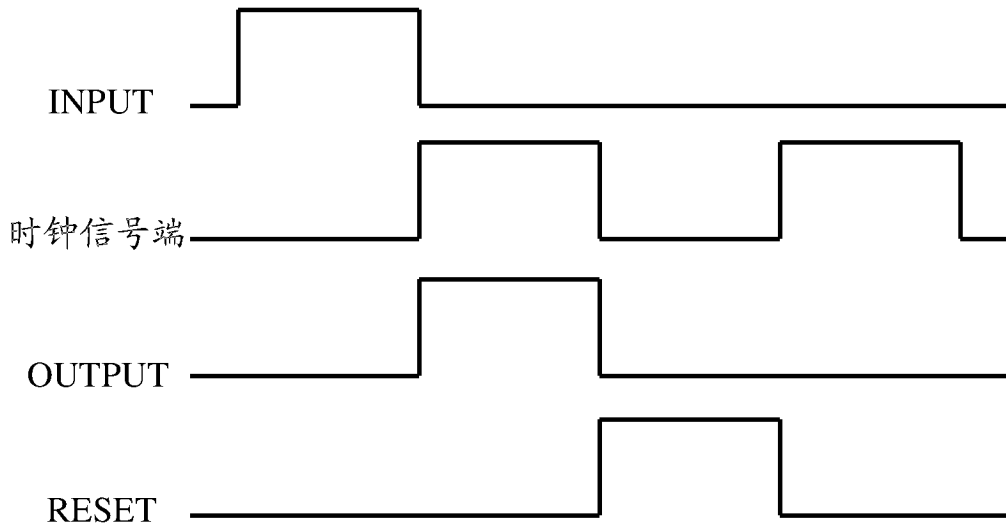


图 2

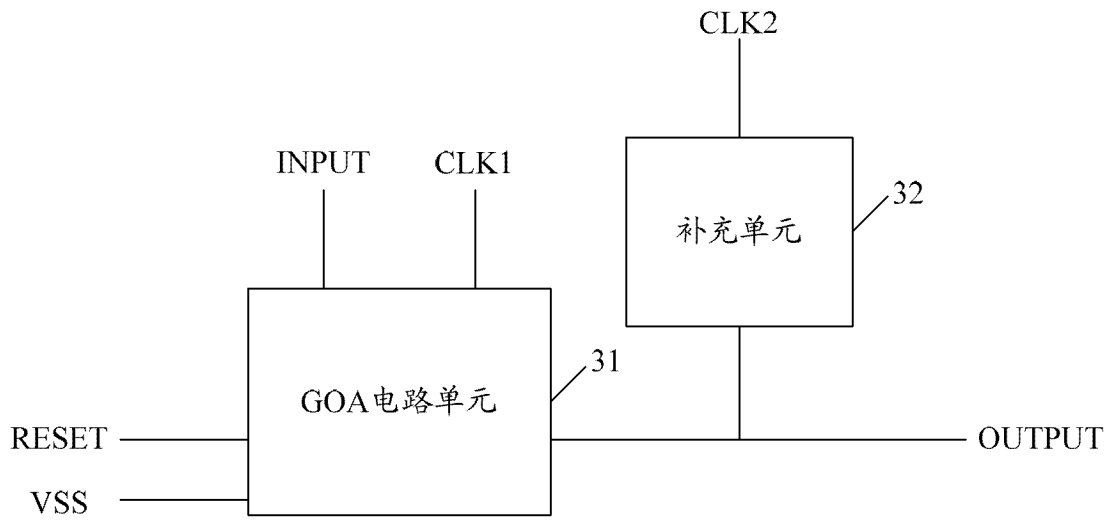


图 3

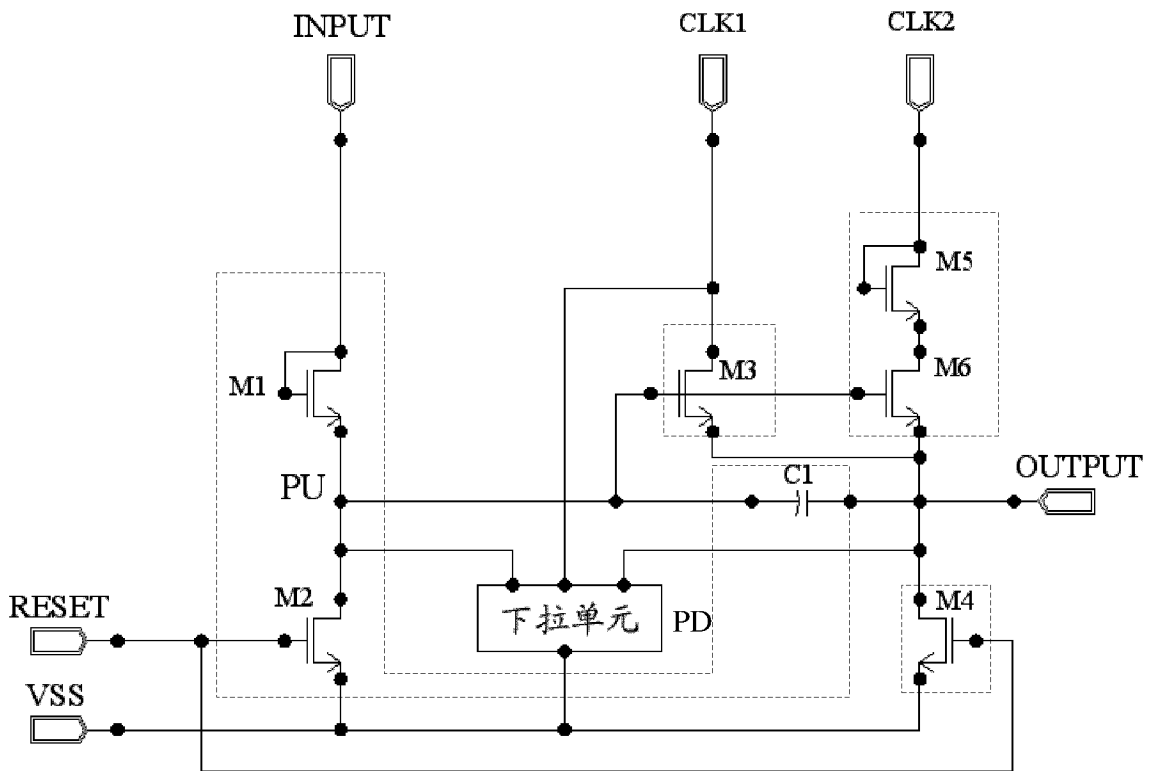


图 4

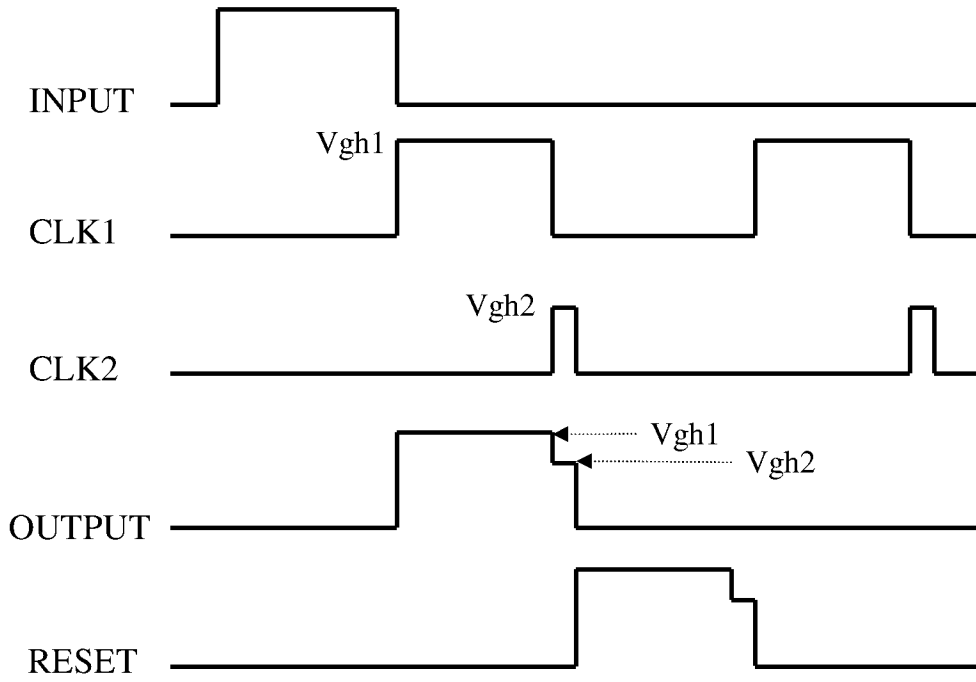


图 5

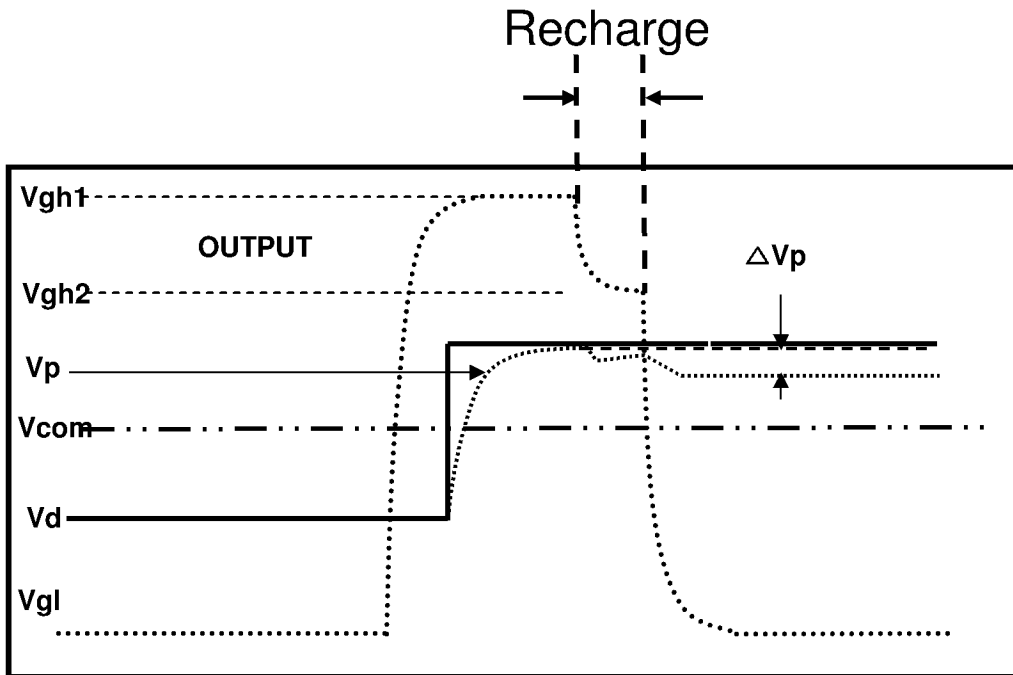


图 6

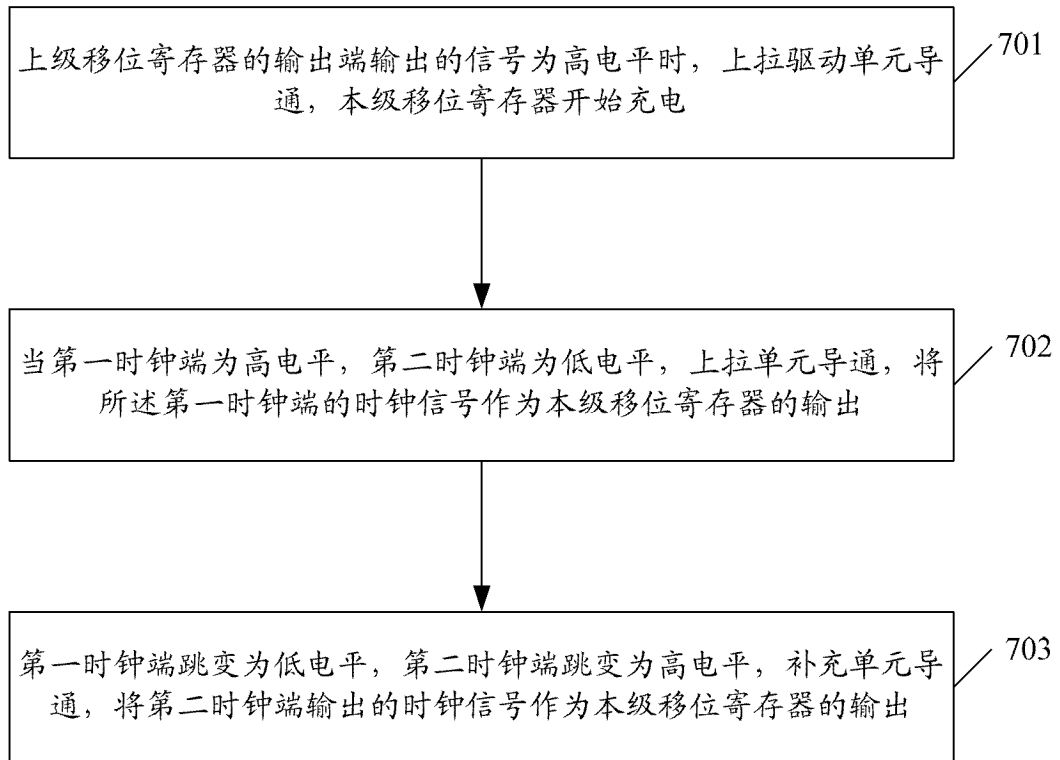


图 7

专利名称(译)	一种栅极驱动电路、方法及液晶显示器		
公开(公告)号	CN102779494B	公开(公告)日	2015-08-05
申请号	CN201210089393.9	申请日	2012-03-29
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	陈希 崔文海		
发明人	陈希 崔文海		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2320/041 G09G2320/0223 G11C19/28 G09G2310/0286 G09G3/3611		
审查员(译)	孟伟		
其他公开文献	CN102779494A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种栅极驱动电路、方法及液晶显示器，所述栅极驱动电路包括多级移位寄存器，每一级移位寄存器包括上拉驱动单元、上拉单元、复位单元、下拉单元，还包括补充单元；所述上拉单元，用于导通时将第一时钟端的时钟信号作为本级移位寄存器的输出；所述补充单元，与所述上拉单元相连接，用于导通时将第二时钟端的时钟信号作为本级移位寄存器的输出。本发明通过栅极驱动电路中每级移位寄存器的补充单元，在TFT关断的瞬间，补充单元导通工作，对移位寄存器的输出进行控制，能够降低跳变电压，实现MLG功能，提升液晶显示器的画面品质。

