



(43) 申请公布日 2015.10.14

G09G 3/36(2006.01)

[illegible]

1. 一种像素电路,其特征在于,其包括:

一液晶电容,其具有一第一端以及一第二端,该液晶电容的该第二端与一共模电压电性耦接;

一第一储存电容,其具有一第一端以及一第二端,该第一储存电容的该第二端与一第一低电压电位电性耦接;

一驱动单元,与该液晶电容的该第一端电性耦接,该驱动单元是用以根据一驱动单元控制信号控制该液晶电容储存的一显示电位;

一补偿单元,与该驱动单元电性耦接,用以根据一第一控制信号补偿该驱动单元控制信号;以及

一重置单元,电性耦接该驱动单元、该补偿单元以及该第一储存电容,用以根据一第二控制信号重置该驱动单元控制信号以及该液晶电容的该第一端的电压电位。

2. 如权利要求 1 所述的像素电路,其特征在于,该驱动单元更包括:

一第一晶体管,其具有一第一端、一第二端以及一控制端,该第一晶体管的该第一端是用以接收一电位信号,该第一晶体管的该控制端与该第一储存电容的该第一端电性耦接,用以接收该驱动单元控制信号,该第一晶体管的该第二端与该液晶电容的该第一端电性耦接。

3. 如权利要求 2 所述的像素电路,其特征在于,该补偿单元更包括:

一第二晶体管,其具有一第一端、一第二端以及一控制端,该第二晶体管的该第二端及该控制端电性耦接该第一储存电容的该第一端;以及

一第三晶体管,其具有一第一端、一第二端以及一控制端,该第三晶体管的该第一端接收一显示数据信号,该第三晶体管的该控制端接收该第一控制信号,该第三晶体管的该第二端与该第二晶体管的该第一端电性耦接,该第一控制信号为一第 n 级栅极控制信号。

4. 如权利要求 3 所述的像素电路,其特征在于,该重置单元更包括:

一第四晶体管,其具有一第一端、一第二端以及一控制端,该第四晶体管的该第一端是用以接收一第一高电压电位,该第四晶体管的该控制端是用以接收该第二控制信号,该第四晶体管的该第二端与该第一储存电容的该第一端电性耦接,该第二控制信号为一第 n-1 级栅极控制信号。

5. 如权利要求 4 所述的像素电路,其特征在于,该第三晶体管 (t34) 用以于一第一时段关闭,该第四晶体管用以于该第一时段开启,以重置该驱动单元控制信号为该第一高电压电位,该第一晶体管用以于该第一时段开启,以透过一第二低电压电位的该电位信号,重置该液晶电容的该第一端为该第二低电压电位;该第四晶体管用以于一第二时段关闭,该第三晶体管及该第二晶体管用以于该第二时段开启,以使该第一储存电容的该第一端的电压由该第一高电压电位根据该显示数据信号的电位充/放电;该电位信号用以于一第三时段提供一第二高电压电位,该第一晶体管用以于该第三时段根据该第一储存电容的电位控制该液晶电容的该第一端的电位。

6. 如权利要求 1 所述的像素电路,其特征在于,该像素电路更包括:

一显示数据信号输入单元,与该重置单元电性耦接,用以根据一第 n 级栅极控制信号决定是否输出一显示数据信号。

7. 如权利要求 6 所述的像素电路,其特征在于,该驱动单元包括:

一第一晶体管,其具有一第一端、一第二端以及一控制端,该第一晶体管的该第一端与该重置单元以及该补偿单元电性耦接,该第一晶体管的该控制端是用以接收该驱动单元控制信号并与该补偿单元电性耦接,该第一晶体管的该第二端与该液晶电容的该第一端电性耦接。

8. 如权利要求 7 所述的像素电路,其特征在于,该重置单元更包括:

一第二晶体管,其具有一第一端、一第二端以及一控制端,该第二晶体管的该第一端与一第一高电压电位电性耦接,该第二晶体管的该控制端用以接收该第二控制信号,该第二晶体管的该第二端与该第一晶体管的该第一端以及该补偿单元电性耦接;

一第三晶体管,其具有一第一端、一第二端以及一控制端,该第三晶体管的该第一端与该显示数据信号输入单元以及该第一储存电容的该第一端电性耦接,该第三晶体管的该控制端用以接收该第一控制信号,该第三晶体管的该第二端与该第一低电压电位电性耦接;以及

一第四晶体管,其具有一第一端、一第二端以及一控制端,该第四晶体管的该第一端与该液晶电容的该第一端电性耦接,该第四晶体管的该控制端用以接收该第一控制信号,该第四晶体管的该第二端与该第一低电压电位电性耦接。

9. 如权利要求 8 所述的像素电路,其特征在于,该补偿单元更包括:

一第五晶体管,其具有一第一端、一第二端以及一控制端,该第五晶体管的该第一端与该第一晶体管的该第一端以及该第二晶体管的该第二端电性耦接,该第五晶体管的该第二端与该第一晶体管的该控制端以及该显示数据信号输入单元电性耦接,该第五晶体管的该控制端用以接收该第一控制信号。

10. 如权利要求 9 所述的像素电路,其特征在于,该显示数据信号输入单元包括:

一第六晶体管,其具有一第一端、一第二端以及一控制端,该第六晶体管的该第一端用以接收该显示数据信号,该第六晶体管的该第二端与第三晶体管的该第一端以及该第一储存电容的该第一端电性耦接,该第六晶体管的该控制端用以接收该第 n 级栅极控制信号;以及

一第二储存电容,其具有一第一端以及一第二端,该第二储存电容的该第一端与该第六晶体管的该第二端电性耦接,该第二储存电容的该第二端与该第五晶体管的该第二端电性耦接。

11. 如权利要求 10 所述的像素电路,其特征在于,该第六晶体管用以于一第一时段关闭,该第三晶体管以及该第四晶体管用以于该第一时段开启,以重置该液晶电容的该第一端以及该第一储存电容的一储存电位为该第一低电压电位,该第二晶体管与该第五晶体管于该第一时段开启,以重置该驱动单元控制信号为一第二高电压电位;该第二晶体管以及该第六晶体管用以于一第二时段关闭,该第三晶体管、该第四晶体管以及该第五晶体管用以于该第二时段开启,以使该驱动单元控制信号由该第二高电压电位放电至一补偿电压电位;该第六晶体管用以于一第三时段开启,该第二晶体管、该第三晶体管、该第四晶体管、以及该第五晶体管用以于该第三时段关闭,以使该第二储存电容的该第一端的电压由该第一低电压电位根据该显示数据信号的电位充/放电,该驱动单元控制信号的电位由该补偿电压电位根据该显示数据信号的电位充/放电;该第三晶体管、该第四晶体管、该第五晶体管以及该第六晶体管用以于一第四时段关闭,该第二晶体管用以于该第四时段开启,以使该

第一晶体管用于该第四时段根据该驱动单元控制信号的电位使该液晶电容储存该显示电压电位。

像素电路

【技术领域】

[0001] 本发明是有关于一种像素电路,尤其是有关于一种应用于液晶显示装置的像素电路。

【背景技术】

[0002] 目前的显示装置为了有更佳的显示效果,纷纷提高显示装置的解析度以及画面更新率,然而为了具有较高的画面更新率,显示装置中的像素单元开启充电的时间缩短、充电频率变高,而由于像素单元的液晶电容在充电时所感受到的电场频率高过特定频率时,液晶电容的电容值会因为介电系数变小而减少,当液晶电容关闭回到稳态时,液晶电容所感受到的电场频率降低,因此液晶电容的电容值会增加,而此时液晶电容会因为电荷守恒定理而导致液晶电容的电压下降,进而造成显示亮度损失。在已知的显示装置中常以储存电容来补偿液晶电容的亮度损失,然在操作频率极高的蓝相液晶 (Blue Phase LC) 显示装置、铁电液晶 (Ferroelectric LC) 显示装置等显示装置中,为了有效补偿液晶电容,其储存电容需具有较大的储存电荷量,进而需要占据显示装置较大的硬件面积以及成本。

【发明内容】

[0003] 为了解决上述的缺憾,本发明提出一种像素电路实施例,其包括液晶电容、第一储存电容、驱动单元、补偿单元以及重置单元。液晶电容具有一第一端以及一第二端,液晶电容的第二端与一共模电压电性耦接;第一储存电容具有一第一端以及一第二端,第一储存电容的第二端与一第一低电压电位电性耦接;驱动单元与液晶电容的第一端电性耦接,驱动单元是用以根据一驱动单元控制信号决定是否使液晶电容储存一显示电位;补偿单元与驱动单元电性耦接,是用以根据一第一控制信号决定是否补偿驱动单元控制信号;重置单元与驱动单元、补偿单元以及第一储存电容电性耦接,是用以根据一第二控制信号决定是否重置驱动单元控制信号以及液晶电容的第一端的电压电位。

[0004] 在本发明的其他实施例中,驱动单元更包括第一晶体管,第一晶体管具有一第一端、一第二端以及一控制端,第一晶体管的第一端是用以接收一电位信号,第一晶体的控制端与第一储存电容的第一端电性耦接,用以接收驱动单元控制信号,第一晶体管的第二端与液晶电容的第一端电性耦接。

[0005] 在本发明的其他实施例中,该补偿单元更包括第二晶体管以及第三晶体管。第二晶体管具有一第一端、一第二端以及一控制端,第二晶体管的第二端及控制端电性耦接第一储存电容的第一端,第三晶体管具有一第一端、一第二端以及一控制端,第三晶体管的第一端接收一显示数据信号,第三晶体的控制端接收第一控制信号,第三晶体管的第二端与第二晶体管的第一端电性耦接,第一控制信号为一第 n 级栅极控制信号。

[0006] 在本发明的其他实施例中,重置单元更包括第四晶体管,其具有一第一端、一第二端以及一控制端,第四晶体管的第一端是用以接收一第一高电压电位,第四晶体的控制端是用以接收第二控制信号,第四晶体管的第二端与第一储存电容的第一端电性耦接,第

二控制信号为一第 $n-1$ 级栅极控制信号。

[0007] 在本发明上述的实施例中,第三晶体管用以于一第一时段关闭,第四晶体管用以于一第一时段开启,以重置驱动单元控制信号为第一高电压电位,第一晶体管用以于一第一时段开启,以透过一第二低电压电位的电位信号,重置液晶电容的第一端为第二低电压电位;第四晶体管用以于一第二时段关闭,第三晶体管及第二晶体管用以于一第二时段开启,以使第一储存电容的第一端的电压由第一高电压电位根据显示数据信号的电位充/放电;电位信号用以于一第三时段提供一第二高电压电位,第一晶体管用以于第三时段根据第一储存电容的电位控制液晶电容的第一端的电位。

[0008] 在本发明的另一实施例中,像素电路更包括一显示数据信号输入单元,与重置单元电性耦接,是用以根据一第 n 级栅极控制信号决定是否输出一显示数据信号。

[0009] 在本发明的另一实施例中,该驱动单元包括第一晶体管,其具有一第一端、一第二端以及一控制端,第一晶体管的第一端与重置单元以及补偿单元电性耦接,第一晶体的控制端是用以接收驱动单元控制信号并与补偿单元电性耦接,第一晶体的第二端与液晶电容的第一端电性耦接。

[0010] 在本发明的另一实施例中,该重置单元更包括第二晶体管、第三晶体管以及第四晶体管,第二晶体管具有一第一端、一第二端以及一控制端,第二晶体管的第一端与一第一高电压电位电性耦接,第二晶体的控制端用以接收第二控制信号,第二晶体的第二端与第一晶体管的第一端以及补偿单元电性耦接,第三晶体管具有一第一端、一第二端以及一控制端,第三晶体管的第一端与显示数据信号输入单元以及第一储存电容的第一端电性耦接,第三晶体的控制端用以接收第一控制信号,第三晶体的第二端与第一低电压电位电性耦接,第四晶体管具有一第一端、一第二端以及一控制端,第四晶体管的第一端与液晶电容的第一端电性耦接,第四晶体的控制端用以接收第一控制信号,第四晶体的第二端与第一低电压电位电性耦接。

[0011] 在本发明的另一实施例中,补偿单元更包括第五晶体管,其具有一第一端、一第二端以及一控制端,第五晶体管的第一端与第一晶体管的第一端以及第二晶体的第二端电性耦接,第五晶体的第二端与第一晶体的控制端以及显示数据信号输入单元电性耦接,第五晶体的控制端用以接收第一控制信号。

[0012] 在本发明的另一实施例中,显示数据信号输入单元包括第六晶体管以及第二储存电容,第六晶体管,其具有一第一端、一第二端以及一控制端,第六晶体管的第一端用以接收显示数据信号,第六晶体的第二端与第三晶体管的第一端以及第一储存电容的第一端电性耦接,第六晶体的控制端用以接收第 n 级栅极控制信号,第二储存电容具有一第一端以及一第二端,第二储存电容的第一端与第六晶体的第二端电性耦接,第二储存电容的第二端与第五晶体的第二端电性耦接。

[0013] 在本发明的上述的另一实施例中,第六晶体管用以于一第一时段关闭,第三晶体管以及第四晶体管用以于一第一时段开启,以重置液晶电容的第一端以及第一储存电容的一储存电位为第一低电压电位,第二晶体管与第五晶体管于第一时段开启,以重置驱动单元控制信号为一第二高电压电位;第二晶体管以及第六晶体管用以于一第二时段关闭,第三晶体管、第四晶体管以及第五晶体管用以于一第二时段开启,以使驱动单元控制信号由第二高电压电位放电至一补偿电压电位;第六晶体管用以于一第三时段开启,第二晶体管、第

三晶体管、第四晶体管、以及第五晶体管用以于第三时段关闭,以使第二储存电容的第一端的电压由第一低电压电位根据显示数据信号的电位充/放电,驱动单元控制信号的电位由补偿电压电位根据显示数据信号的电位充/放电;第三晶体管、第四晶体管、第五晶体管以及第六晶体管用以于一第四时段关闭,第二晶体管用以于第四时段开启,以使第一晶体管用以于第四时段根据驱动单元控制信号的电位使液晶电容储存显示电压电位。

[0014] 综以上所述,由于本发明的液晶电容并非直接根据当级的栅极控制信号充电,因此不会因为高画面更新率而导致液晶电容需操作于高频率下,显示装置进而不需高容量的储存电容来辅助液晶电容维持稳定的电压值,有效减少硬件面积以及制造成本的消耗。

[0015] 为让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举较佳实施例并配合所附图式做详细说明如下。

【附图说明】

[0016] 图1为显示装置的实施例示意图。

图2A为本发明的像素电路实施例一示意图。

图2B为本发明的像素电路实施例一时序示意图。

图3A为本发明的像素电路实施例二示意图。

图3B为本发明的像素电路实施例二时序示意图。

图4A为本发明的像素电路实施例三示意图。

图4B为本发明的像素电路实施例三时序示意图。

图5为本发明的像素电路操作方法步骤示意图。

【符号说明】

[0017] 10 显示装置

11 时序控制器

12 数据驱动器

13 栅极驱动器

14 像素

121 数据线

131 栅极线

21 驱动单元

22 显示数据信号输入单元

31 驱动单元

32 重置单元

33 补偿单元

41 驱动单元

42 重置单元

43 补偿单元

44 显示数据信号输入单元

T21、T22、T31、T32、T33、T34、T41、T42、T43、T44、T45、T46 晶体管

T1、T11、T2、T3、T4 时段

$S1$ 、 $S2$ 控制信号
 $G[n]$ 第 n 级栅极控制信号
 $G[n-1]$ 第 $n-1$ 级栅极控制信号
 $DATA$ 显示数据信号
 C_{LC} 液晶电容
 C_{ST} 储存电容
 C_{ST1} 第一储存电容
 C_{ST2} 第二储存电容
 V_{DD} 第一高电压电位
 V_G 驱动单元控制信号
 $V_s[n]$ 第 n 级电位信号
 GND 第一低电压电位
 V_{COM} 共模电压
 V_{DATA} 显示电压电位

【具体实施方式】

【0018】 请参阅图 1, 图 1 为显示装置 10 的实施例, 显示装置 10 包括时序控制器 11、数据驱动器 12 以及与栅极驱动器 13, 数据驱动器 12 透过多个数据线 121 与多个像素 14 电性耦接, 栅极驱动器 13 透过多个栅极线 131 与多个像素 14 电性耦接, 其中, 显示装置 10 是用以透过时序控制器 11 将多个显示数据信号 $DATA$ 传送给数据驱动器 12, 时序控制器 11 并控制栅极驱动器 13 在正确的时间输出栅极控制信号, 以驱动电性耦接的多个像素 14, 被驱动的多个像素 14 可借由多个数据线 121 接收多个显示数据信号 $DATA$ 。

【0019】 请参阅图 2A, 图 2A 为本发明的像素电路实施例一示意图, 像素 14 包括驱动单元 21、显示数据信号输入单元 22、第一储存电容 C_{ST1} 、液晶电容 C_{LC} 以及储存电容 C_{ST} 。显示数据信号输入单元 22 包括晶体管 $T21$, 其具有第一端、第二端以及控制端, 晶体管 $T21$ 的第一端是用以与数据线 121 电性耦接以接收显示数据信号 $DATA$, 晶体管 $T21$ 的控制端与栅极线 131 电性耦接, 是用以接收第 n 级栅极控制信号 $G[n]$, 晶体管 $T21$ 是用以根据第 n 级栅极控制信号 $G[n]$ 决定是否将显示数据信号 $DATA$ 传送至晶体管 $T21$ 的第二端。第一储存电容 C_{ST1} 具有第一端以及第二端, 第一储存电容 C_{ST1} 的第一端与晶体管 $T21$ 的第二端电性耦接, 第一储存电容 C_{ST1} 的第二端与第一低电压电位 GND 电性耦接, 当显示数据信号 $DATA$ 传送至晶体管 $T21$ 的第二端时, 第一储存电容 C_{ST1} 用以储存显示数据信号 $DATA$ 的电压值。驱动单元 21 包括晶体管 $T22$, 晶体管 $T22$ 为源极随耦器 (Source Follower) 的架构, 晶体管 $T22$ 具有第一端、第二端以及控制端, 晶体管 $T22$ 的第一端是用以接收第 n 级电位信号 $V_s[n]$, 晶体管 $T22$ 的控制端与第一储存电容 C_{ST1} 的第一端电性耦接, 是用以接收一驱动单元控制信号 V_G , 其中, 驱动单元控制信号 V_G 为第一储存电容 C_{ST1} 第一端的电压值。液晶电容 C_{LC} 具有第一端以及第二端, 液晶电容 C_{LC} 的第一端与晶体管 $T22$ 的第二端电性耦接, 液晶电容 C_{LC} 的第二端则与共模电压 V_{COM} 电性耦接。储存电容 C_{ST} 具有第一端以及第二端, 储存电容 C_{ST} 的第一端与晶体管 $T22$ 的第二端电性耦接, 储存电容 C_{ST} 的第二端与共模电压 V_{COM} 电性耦接, 储存电容 C_{ST} 是用以在液晶电容 C_{LC} 不再借由晶体管 $T22$ 进行充电的稳态时补偿液晶电容 C_{LC}

流失的电压。

[0020] 请参阅图 2B, 图 2B 包括了第 n 级栅极控制信号 $G[n]$ 、第 n 级电位信号 $V_s[n]$ 以及显示数据信号 DATA 的时序图, 以下将配合图 2A 以及图 2B 来说明像素电路实施例一的运作方法。

[0021] 在图 2B 中的时段 T1 中的时段 T11, 第 n 级栅极控制信号 $G[n]$ 为工作电压电位, 此工作电压电位可以为逻辑高电压电位, 因此晶体管 T21 为开启, 又同时间显示数据信号 DATA 为具有用以显示的显示电压电位 V_{DATA} , 因此在时段 T11 第一储存电容 C_{ST1} 会因为晶体管 T21 开启而储存显示数据信号 DATA 的显示电压电位 V_{DATA} 。此外, 第 n 级电位信号 $V_s[n]$ 为一低电压电位, 例如为低于第一低电压电位 GND 的低电压电位, 透过晶体管 T22 可将液晶电容 C_{LC} 第一端的电压重置为第 n 级电位信号 $V_s[n]$ 的低电压电位。接着在时段 T2, 第 n 级栅极控制信号 $G[n]$ 为低电压电位, 例如逻辑低电压电位, 第 n 级电位信号 $V_s[n]$ 则为大于驱动单元控制信号 V_g 电压值的高电压电位, 晶体管 T21 此时因为第 n 级栅极控制信号 $G[n]$ 而关闭, 而由于第 n 级电位信号 $V_s[n]$ 为高电压电位, 晶体管 T22 操作于饱和区, 因此晶体管 T22 控制端的电压值也就是驱动单元控制信号 V_g 将液晶电容 C_{LC} 以及储存电容 C_{ST} 第一端的电压充至显示电压电位 V_{DATA} 减去晶体管 T22 临界电压 V_{thT22} 的电压值, 也就是 $V_{DATA} - V_{thT22}$ 的电压值, 像素 14 即可根据 $V_{DATA} - V_{thT22}$ 的电压值来显示显示数据信号 DATA。

[0022] 在本实施例中, 由于借由第一储存电容 C_{ST1} 来储存显示数据信号 DATA, 因此第 n 级栅极控制信号 $G[n]$ 禁能后, 仍能透过晶体管 T22 持续对液晶电容 C_{LC} 充 / 放电, 液晶电容 C_{LC} 不会直接受到第 n 级栅极控制信号 $G[n]$ 的影响, 可有效减少液晶电容 C_{LC} 因为电场频率过高而发生电容值减少的情况。

[0023] 接着请参阅图 3A, 图 3A 为本发明的像素电路实施例二, 在本实施例中, 像素 14 包括了液晶电容 C_{LC} 、第一储存电容 C_{ST1} 、储存电容 C_{ST} 、驱动单元 31、重置单元 32 以及补偿单元 33, 其中, 液晶电容 C_{LC} 具有第一端以及第二端, 液晶电容 C_{LC} 的第二端与共模电压 V_{COM} 电性耦接, 第一储存电容 C_{ST1} 具有第一端以及第二端, 第一储存电容 C_{ST1} 的第二端与第一低电压电位 GND 电性耦接, 储存电容 C_{ST} 具有第一端以及第二端, 储存电容 C_{ST} 的第一端与液晶电容 C_{LC} 的第一端电性耦接, 储存电容 C_{ST} 的第二端与共模电压 V_{COM} 电性耦接, 储存电容 C_{ST} 是用以在液晶电容 C_{LC} 不再借由晶体管 T31 进行充电的稳态时补偿液晶电容 C_{LC} 流失的电压。

[0024] 驱动单元 31 包括晶体管 T31, 晶体管 T31 为源极跟随器 (Source Follower) 的架构, 晶体管 T31 具有第一端、第二端以及控制端, 晶体管 T31 的第一端是用以接收第 n 级电位信号 $V_s[n]$, 晶体管 T31 的控制端与第一储存电容 C_{ST1} 的第一端电性耦接, 晶体管 T31 的控制端是用以接收驱动单元控制信号 V_g , 其中, 驱动单元控制信号 V_g 为第一储存电容 C_{ST1} 第一端的电压值, 而晶体管 T31 的第二端与液晶电容 C_{LC} 的第一端电性耦接, 驱动单元 31 是用以根据驱动单元控制信号 V_g 决定是否对液晶电容 C_{LC} 充电。重置单元 32 包括晶体管 T32, 晶体管 T32 具有第一端、第二端以及控制端, 晶体管 T32 的第一端是用以接收第一高电压电位 V_{DD} , 晶体管 T32 的控制端是用与图 1 的栅极线 131 电性耦接以接收第 $n-1$ 级栅极控制信号 $G[n-1]$, 晶体管 T32 的第二端与第一储存电容 C_{ST1} 的第一端电性耦接。补偿单元 33 包括晶体管 T33 以及晶体管 T34, 晶体管 T33 具有第一端、第二端以及控制端, 晶体管 T33 的第二端以及控制端与晶体管 T32 的第二端以及第一储存电容 C_{ST1} 的第一端电性耦接, 晶体管 T34 具有第一端、第二端以及控制端, 晶体管 T34 的第一端与图 1 的数据线 121 电性耦接以接收

显示数据信号 DATA, 晶体管 T34 的控制端与图 1 的栅极线 131 电性耦接以接收第 n 级栅极控制信号 G[n], 晶体管 T34 的第二端与晶体管 T33 的第一端电性耦接。

[0025] 请参阅图 3B, 图 3B 包括了第 n-1 级栅极控制信号 G[n-1]、第 n 级栅极控制信号 G[n]、第 n 级电位信号 $V_s[n]$ 以及显示数据信号 DATA 的时序图, 以下并配合图 3A 以及图 3B 来说明像素电路实施例二的运作方法。

[0026] 首先在图 3B 中的时段 T1, 第 n-1 级栅极控制信号 G[n-1] 为工作电压电位, 此工作电压电位可以为逻辑高电压电位, 第 n 级栅极控制信号 G[n] 为低电压电位, 可以为逻辑低电压电位, 第 n 级电位信号 $V_s[n]$ 为一低电压电位, 例如为低于第一低电压电位 GND 的低电压电位, 因此此时晶体管 T32 为开启, 晶体管 T34 为关闭, 而由于晶体管 T32 为开启, 因此第一储存电容 C_{ST1} 的第一端的电压值被充至第一高电压 V_{DD} 的电压值, 也就是驱动单元控制信号 V_G 在时段 T1 被晶体管 T32 提升至第一高电压 V_{DD} 的电压值, 液晶电容 C_{LC} 以及储存电容 C_{ST} 的第一端则被第 n 级电位信号 $V_s[n]$ 重置为第 n 级电位信号 $V_s[n]$ 的低电压电位。接着在时段 T2 时, 第 n-1 级栅极控制信号 G[n-1] 为低电压电位, 第 n 级栅极控制信号 G[n] 为高电压电位, 第 n 级电位信号 $V_s[n]$ 为低电压电位, 显示数据信号 DATA 为具有用以显示的显示电压电位 V_{DATA} , 因此晶体管 T32 为关闭, 晶体管 T34 为开启, 而由于第一高电压 V_{DD} 的电压值大于显示电压电位 V_{DATA} , 因此电流由晶体管 T32 的第二端往晶体管 T34 的方向流动, 驱动单元控制信号 V_G 的电压值因此而由第一高电压 V_{DD} 的电压值被下拉至显示电压电位 V_{DATA} 加上晶体管 T33 临界电压 V_{thT33} 的电压值, 也就是 $V_G = V_{DATA} + V_{thT33}$ 。在时段 T3, 第 n-1 级栅极控制信号 G[n-1] 为低电压电位, 第 n 级栅极控制信号 G[n] 为低电压电位, 第 n 级电位信号 $V_s[n]$ 为高电压电位, 此时由于驱动单元控制信号 V_G 的电压值为 $V_{DATA} + V_{thT33}$, 又第 n 级电位信号 $V_s[n]$ 为大于驱动单元控制信号 V_G 电压值的高电压电位, 因此晶体管 T31 此时操作于饱和区且其临界电压为 V_{thT31} , 因此液晶电容 C_{LC} 的第一端被充至 $V_{DATA} + V_{thT33} - V_{thT31}$ 的电压值。

[0027] 在本实施例中, 由于借由第一储存电容 C_{ST1} 来储存显示数据信号 DATA, 因此液晶电容 C_{LC} 不会直接受到第 n 级栅极控制信号 G[n] 的影响, 可有效减少液晶电容 C_{LC} 因为电场频率过高而发生电容值减少的情况。此外, 在本实施例中, 当晶体管 T31 的临界电压 V_{thT31} 与晶体管 T33 的临界电压 V_{thT33} 相同或相近时, 也就是晶体管 T31 与晶体管 T33 具有相同的元件特性时, 液晶电容 C_{LC} 储存的电压值为显示电压电位 V_{DATA} , 像素 14 更可直接以液晶电容 C_{LC} 所储存的显示电压电位 V_{DATA} 正确显示欲显示的数据, 可降低因为像素 14 中的元件特性不同而导致显示数据信号 DATA 亮度衰退等情况发生。

[0028] 接着请参阅图 4A, 图 4A 为本发明的像素电路实施例三, 在本实施例中, 像素 14 包括了液晶电容 C_{LC} 、第一储存电容 C_{ST1} 、储存电容 C_{ST} 、驱动单元 41、重置单元 42、补偿单元 43 以及显示数据信号输入单元 44, 其中, 液晶电容 C_{LC} 具有第一端以及第二端, 液晶电容 C_{LC} 的第二端与共模电压 V_{COM} 电性耦接, 第一储存电容 C_{ST1} 具有第一端以及第二端, 第一储存电容 C_{ST1} 的第二端与第一低电压电位 GND 电性耦接, 储存电容 C_{ST} 具有第一端以及一第二端, 储存电容 C_{ST} 的第一端与液晶电容 C_{LC} 的第一端电性耦接, 储存电容 C_{ST} 的第二端与共模电压 V_{COM} 电性耦接, 储存电容 C_{ST} 是用以在液晶电容 C_{LC} 不再借由晶体管 T41 进行充电的稳态时补偿液晶电容 C_{LC} 流失的电压。

[0029] 驱动单元 41 包括了晶体管 T41, 晶体管 T41 为源极随耦器 (Source Follower) 的架构, 晶体管 T41 具有第一端、第二端以及控制端, 晶体管 T41 的第一端与重置单元 42 以及

补偿单元 43 电性耦接,晶体管 T41 的控制端是用以接收驱动单元控制信号 V_c 并与补偿单元 43 电性耦接,晶体管 T41 的第二端与液晶电容 C_{LC} 的第一端电性耦接。

[0030] 重置单元 42 包括晶体管 T42、晶体管 T43 以及晶体管 T44,晶体管 T42 具有第一端、第二端以及控制端,晶体管 T42 的第一端与第一高电压电位 V_{DD} 电性耦接,晶体管 T42 的控制端接收控制信号 S1,晶体管 T42 的第二端与晶体管 T41 的第一端以及补偿单元 43 电性耦接,晶体管 T43 具有第一端、第二端以及控制端,晶体管 T43 的第一端与显示数据信号输入单元 44 以及第一储存电容 C_{ST1} 的第一端电性耦接,晶体管 T43 的控制端接收控制信号 S2,晶体管 T43 的第二端与第一储存电容 C_{ST1} 的第二端以及第一低电压电位 GND 电性耦接,晶体管 T44 具有第一端、第二端以及控制端,晶体管 T44 的第一端与液晶电容 C_{LC} 的第一端电性耦接,晶体管 T44 的控制端接收控制信号 S2,晶体管 T44 的第二端与第一储存电容 C_{ST1} 的第二端以及第一低电压电位 GND 电性耦接。

[0031] 补偿单元 43 包括晶体管 T45,其具有第一端、第二端以及控制端,晶体管 T45 的第一端与晶体管 T41 的第一端以及晶体管 T42 的第二端电性耦接,晶体管 T45 的第二端与晶体管 T41 的控制端以及显示数据信号输入单元 44 电性耦接,晶体管 T45 的控制端是用以接收控制信号 S2。

[0032] 显示数据信号输入单元 44 包括晶体管 T46 以及第二储存电容 C_{ST2} ,晶体管 T46 具有第一端、第二端以及控制端,晶体管 T46 的第一端与图 1 的数据线 121 电性耦接以接收显示数据信号 DATA,晶体管 T46 的第二端与晶体管 T43 的第一端以及第一储存电容 C_{ST1} 的第一端电性耦接,晶体管 T46 的控制端是用以与图 1 的栅极线 131 电性耦接以接收第 n 级栅极控制信号 $G[n]$,第二储存电容 C_{ST2} 具有第一端以及第二端,第二储存电容 C_{ST2} 电性耦接于第一储存电容 C_{ST1} 与晶体管 T45 之间,第二储存电容 C_{ST2} 的第一端与晶体管 T46 的第二端电性耦接,第二储存电容 C_{ST2} 的第二端与晶体管 T45 的第二端电性耦接,第二储存电容 C_{ST2} 的第二端的电压值并为前述的驱动单元控制信号 V_c 的电压值。

[0033] 请参阅图 4B,图 4B 包括了第 n 级栅极控制信号 $G[n]$ 、控制信号 S1、控制信号 S2 以及显示数据信号 DATA 的时序图,以下并配合图 4A 以及图 4B 来说明像素电路实施例三的运用方法。

[0034] 首先在图 4B 时段 T1 中,控制信号 S1 以及控制信号 S2 为高电压电位,此高电压电位可以为逻辑高电压电位,第 n 级栅极控制信号 $G[n]$ 为低电压电位,此低电压电位可以为逻辑低电压电位,因此晶体管 T42、晶体管 T43、晶体管 T44 以及晶体管 T45 为开启,晶体管 T46 为关闭,晶体管 T42 的第二端因为晶体管 T42 为开启而为第一高电压电位 V_{DD} 的电压值,晶体管 T45 为开启而将驱动单元控制信号 V_c 重置为略低于第一高电压电位 V_{DD} 的第二高电压电位 V_{GH} ,此外,因为晶体管 T43 以及晶体管 T44 为开启,因此第一储存电容 C_{ST1} 的第一端、第二储存电容 C_{ST2} 的第一端、储存电容 C_{ST} 的第一端以及液晶电容 C_{LC} 的第一端被重置为第一低电压电位 GND。接着在时段 T2,控制信号 S1 为低电压电位,此低电压电位可以为逻辑低电压电位,控制信号 S2 为高电压电位,第 n 级栅极控制信号 $G[n]$ 为低电压电位,晶体管 T42 以及晶体管 T46 为关闭,晶体管 T43、晶体管 T44 以及晶体管 T45 为开启,驱动单元控制信号 V_c 的电压值经由晶体管 T45、晶体管 T41 以及晶体管 T44 而由第二高电压电位 V_{GH} 放电为一补偿电压电位,即晶体管 T41 的临界电压 V_{thT41} 的电压值,此外,晶体管 T43 以及晶体管 T44 仍为开启,因此第一储存电容 C_{ST1} 的第一端、第二储存电容 C_{ST2} 的第一端、储存电容 C_{ST} 的第

一端以及液晶电容 C_{LC} 的第一端依旧被重置为第一低电压电位 GND。在时段 T3 时,第一控制信号 S1 为低电压电位,第二控制信号 S2 为低电压电位,第 n 级栅极控制信号 G[n] 为高电压电位,此高电压电位可以为逻辑高电压电位,显示数据信号 DATA 为具有用以显示的显示电压电位 V_{DATA} ,晶体管 T46 为开启,晶体管 T42、晶体管 T43、晶体管 T44、晶体管 T45 为关闭,此时第一储存电容 C_{ST1} 的第一端的电压值因为晶体管 T46 开启而为显示电压电位 V_{DATA} ,而第二储存电容 C_{ST2} 的第二端的电压电位因为第二储存电容 C_{ST2} 耦合而由临界电压 V_{thT41} 提升为 $V_{thT41}+V_{DATA}$ 的电压值,也就是驱动单元控制信号 V_g 的电压值提升为 $V_{thT41}+V_{DATA}$ 。接着在时间 T4 时,第一控制信号 S1 为高电压电位,第二控制信号 S2 为低电压电位,第 n 级栅极控制信号 G[n] 为低电压电位,晶体管 T42 开启,晶体管 T43、晶体管 T44、晶体管 T45 以及晶体管 T46 为关闭,因此晶体管 T41 第一端的电压值为大于驱动单元控制信号 V_g 的第一高电压电位 V_{DD} ,因此晶体管 T41 操作于饱和区,使驱动单元控制信号 V_g 对液晶电容 C_{LC} 充电,而由于驱动单元控制信号 V_g 在时段 T3 已补偿为 $V_{thT41}+V_{DATA}$ 的电压值,因此驱动单元控制信号 V_g 经由晶体管 T41 对液晶电容 C_{LC} 充电时,晶体管 T41 本身临界电压 V_{thT41} 的压降使液晶电容 C_{LC} 的第一端充为 $V_{thT41}+V_{DATA}-V_{thT41}$ 的电压值,即显示电压电位 V_{DATA} 的电压值。

[0035] 在本实施例中,由于借由第一储存电容 C_{ST1} 来储存显示数据信号 DATA,因此液晶电容 C_{LC} 不会直接受到第 n 级栅极控制信号 G[n] 的影响,可有效减少液晶电容 C_{LC} 因为电场频率过高而发生电容值减少的情况,此外,在本实施例中,更可考虑其他元件的特性而直接补偿晶体管 T41 的临界电压 V_{thT41} ,使像素 14 可直接以液晶电容 C_{LC} 所储存的显示电压电位 V_{DATA} 正确显示欲显示的数据,降低因为像素 14 中的元件特性不同而导致显示数据信号 DATA 亮度衰退或不一致等情况发生。

[0036] 根据上述之内容,本发明更可汇整出像素电路操作方法,请参考图 5,其步骤包括:利用重置单元使液晶电容 C_{LC} 重置为低电压电位(步骤 501);接着利用补偿单元补偿驱动单元控制信号 V_g (步骤 502);使第一储存电容储存一储存电位,储存电位并与上述的显示数据信号相关联(步骤 503);利用驱动单元控制信号 V_g 使液晶电容 C_{LC} 储存显示电位,该显示电位与该显示数据信号相关联(步骤 504)。

[0037] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何熟习此技术者,在不脱离本发明的精神和范围内,当可做些许的更动与润饰,因此本发明的保护范围当视后付的专利申请范围所界定者为准。

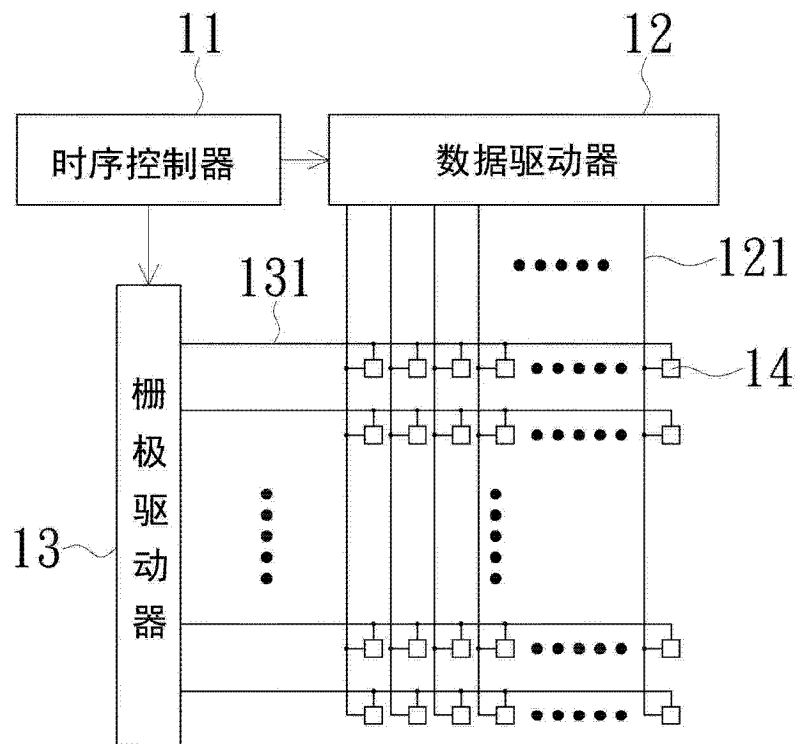
10

图 1

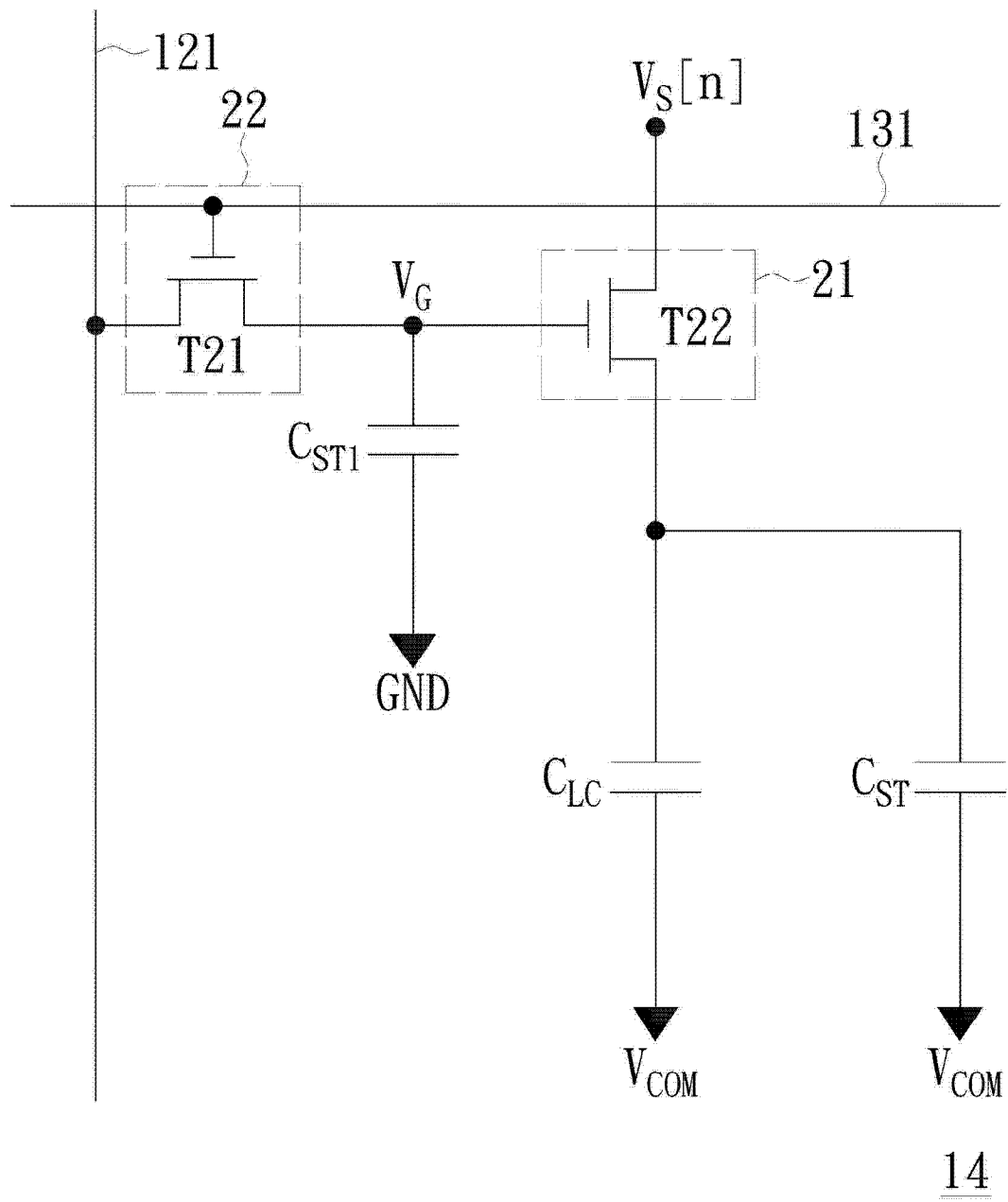


图 2A

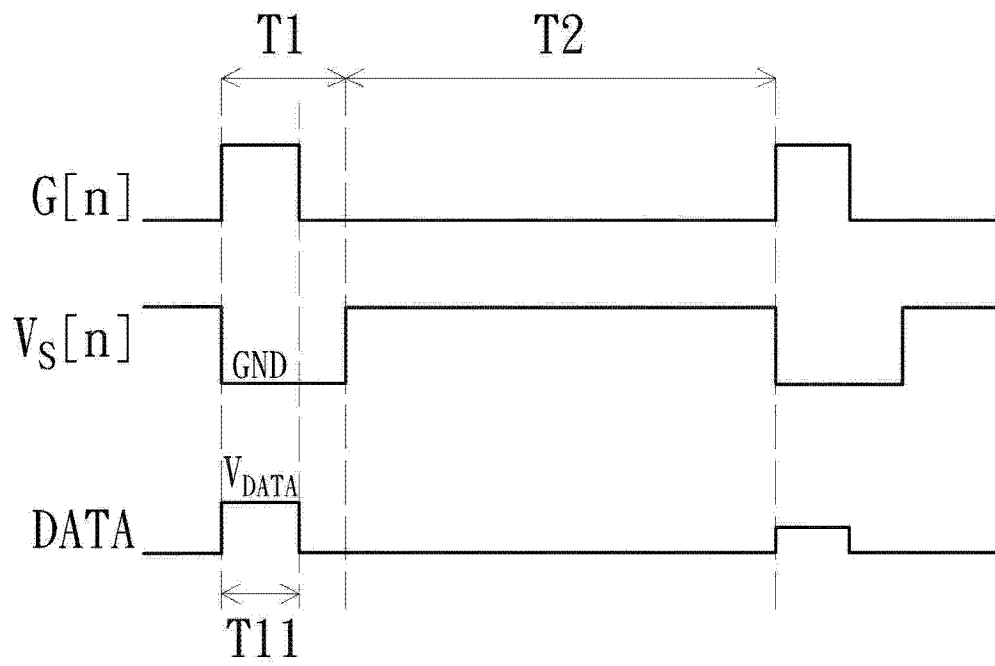


图 2B

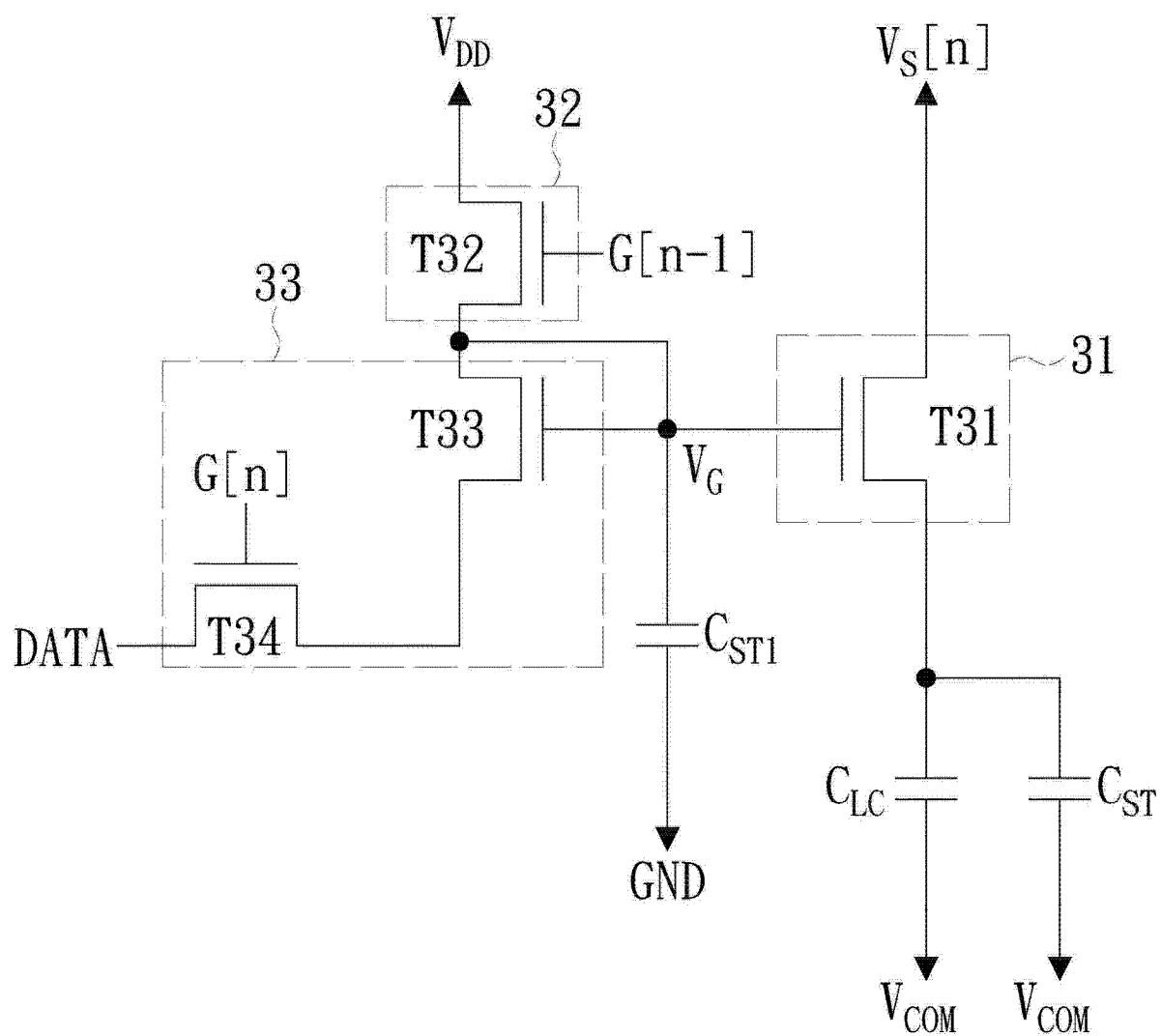
14

图 3A

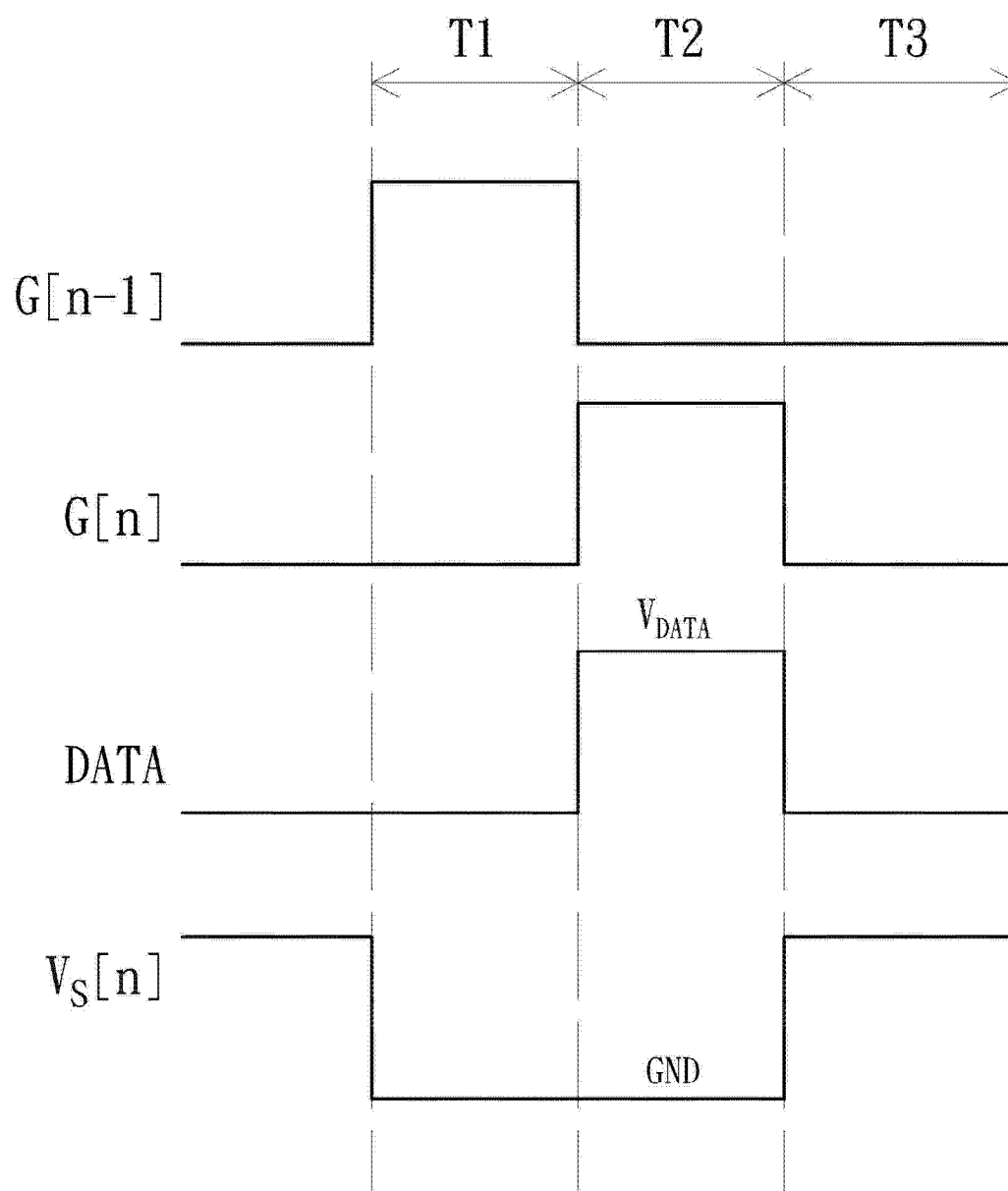
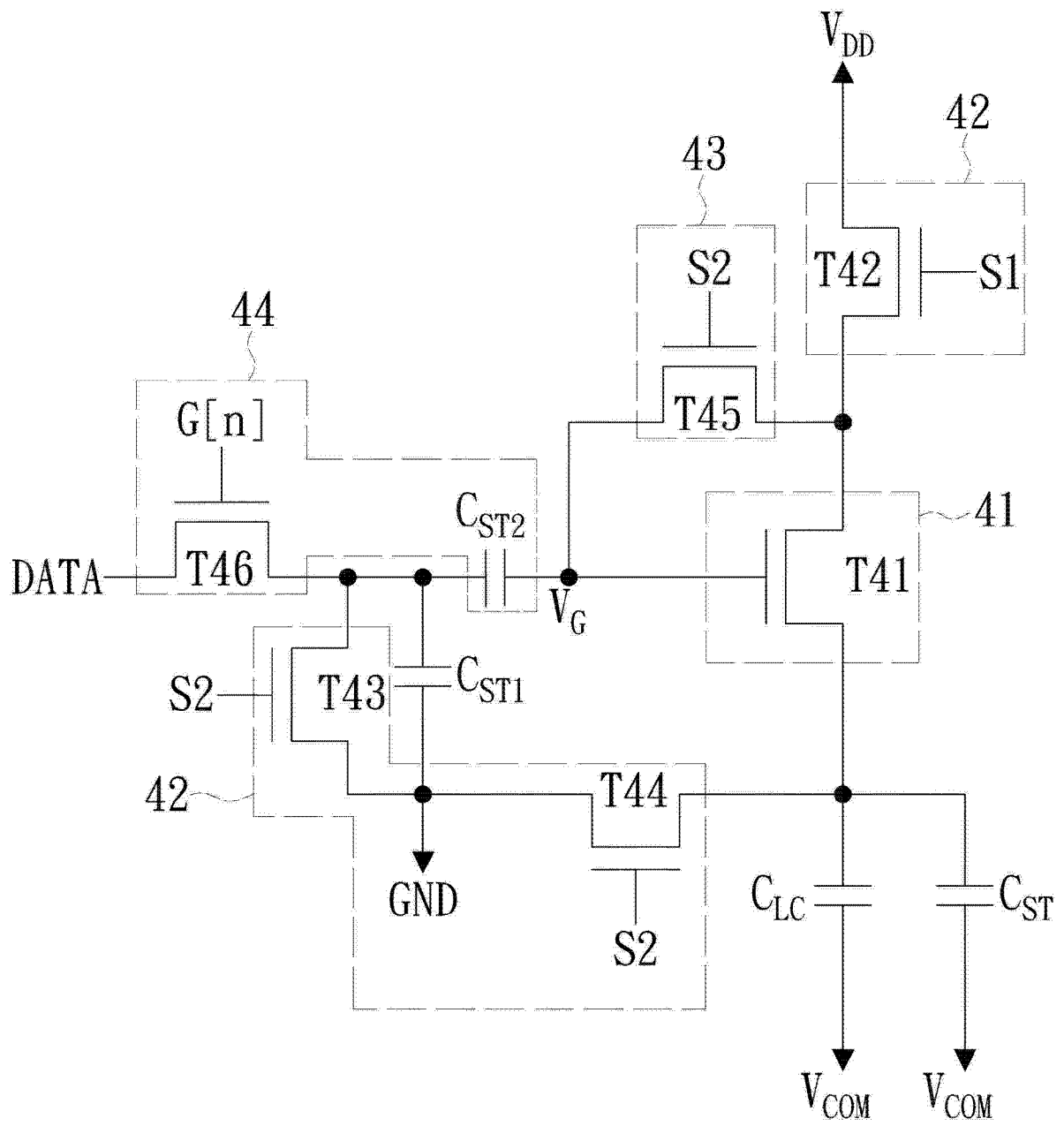


图 3B



14

图 4A

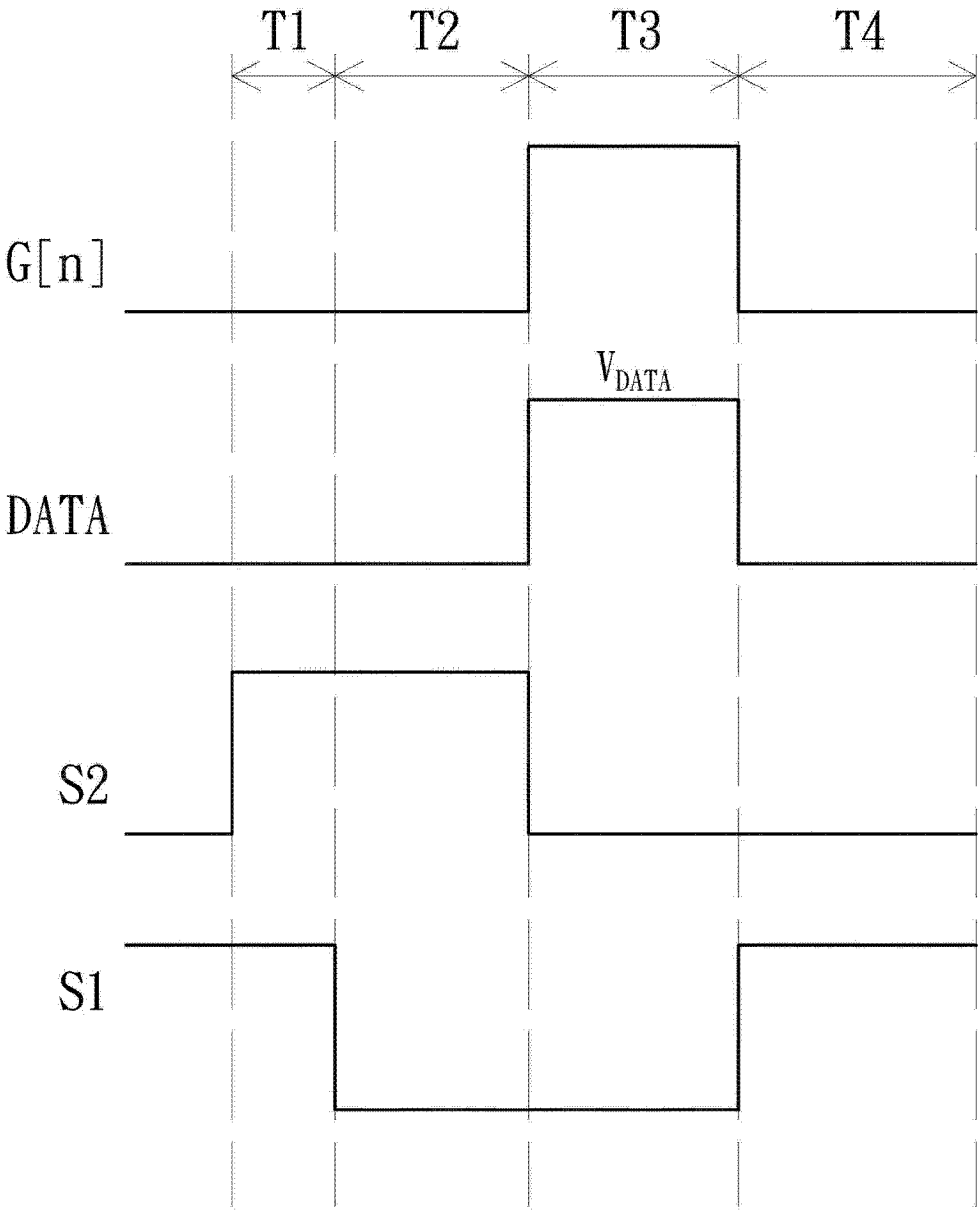


图 4B

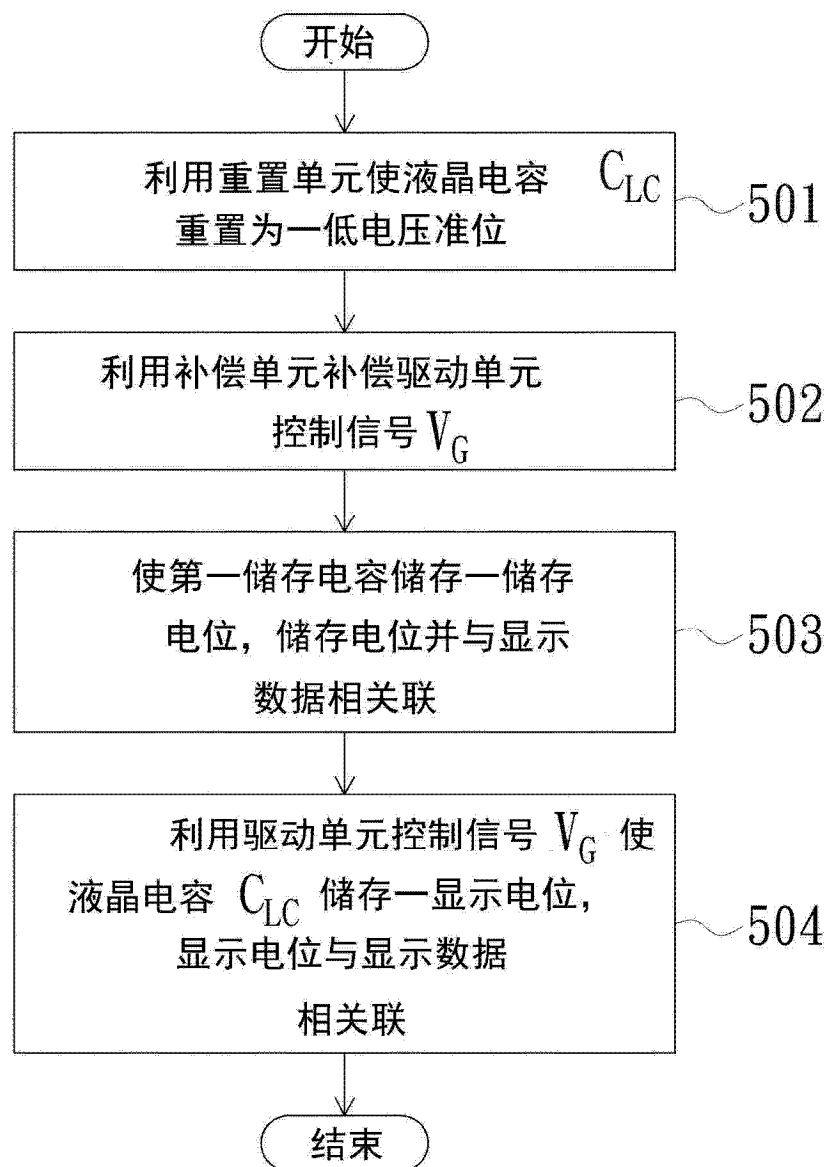


图 5

像素电路包括液晶电容、第一储存电容、驱动单元、补偿单元以及重置单元。驱动单元与液晶电容电性耦接，驱动单元是用以根据一驱动单元控制信号决定是否使液晶电容储存一显示电位，补偿单元与驱动单元电性耦接，是用以根据第一控制信号决定是否补偿驱动单元控制信号，重置单元与驱动单元、补偿单元以及第一储存电容电性耦接，是用以根据第二控制信号决定是否重置驱动单元控制信号以及液晶电容储存电位。

