



(12) 发明专利申请

(10) 申请公布号 CN 104332144 A

(43) 申请公布日 2015. 02. 04

(21) 申请号 201410619300. 8

(22) 申请日 2014. 11. 05

(71) 申请人 深圳市华星光电技术有限公司

地址 518000 广东省深圳市光明新区公明办

事处塘家社区观光路汇业科技园综合

楼 1 第一层 B 区

(72) 发明人 肖军城

(74) 专利代理机构 深圳市威世博知识产权代理

事务所 (普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

G09G 3/36 (2006. 01)

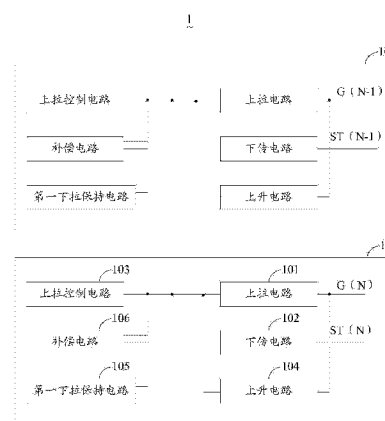
权利要求书3页 说明书9页 附图8页

(54) 发明名称

液晶显示面板及其栅极驱动电路

(57) 摘要

本发明公开了一种液晶显示面板及其栅极驱动电路。该栅极驱动电路包括多个移位寄存电路，多个移位寄存电路以串联方式进行级联，每一移位寄存电路包括：第一下拉保持电路，耦接于第一节点、第一时钟信号、第一参考电压以及第二参考电压，用于保持第一节点的低电平；补偿电路，耦接于第一节点或者第一下拉保持电路，用于补偿第一节点或者第一下拉保持电路的电位。以此提高栅极驱动电路长期操作的稳定性，进而提高显示面板的质量。



1. 一种栅极驱动电路,其特征在于,所述栅极驱动电路包括多个移位寄存电路,所述多个移位寄存电路以串联方式进行级联,每一所述移位寄存电路包括:

上拉电路,其包括第一晶体管,所述第一晶体管的栅极耦接于第一节点,源极耦接于第一时钟信号,漏极耦接于所述移位寄存电路的栅极信号输出端;

下传电路,其包括第二晶体管,所述第二晶体管的栅极耦接于所述第一节点,源极耦接于所述第一时钟信号,漏极耦接于所述移位寄存电路的驱动信号输出端;

上拉控制电路,其包括第三晶体管,所述第三晶体管的栅极耦接于其所在的所述移位寄存电路的前两级的移位寄存电路的驱动信号输出端,源极耦接于所述前两级的移位寄存电路的栅极信号输出端,漏极耦接于所述第一节点;

上升电路,耦接于所述第一节点和所述移位寄存电路的栅极信号输出端之间,用于抬升所述第一节点的电位;

第一下拉保持电路,耦接于所述第一节点、所述第一时钟信号、第一参考电压以及第二参考电压,用于保持所述第一节点的低电平;

补偿电路,耦接于所述第一节点或者所述第一下拉保持电路,用于补偿所述第一节点或者所述第一下拉保持电路的电位。

2. 根据权利要求1所述的驱动电路,其特征在于,所述补偿电路包括第四晶体管,所述第四晶体管的源极和栅极均耦接于其所在的所述移位寄存电路的下一级的移位寄存电路的驱动信号输出端,所述第四晶体管的漏极与所述第一节点连接,用于根据所述下一级的移位寄存电路的驱动信号输出端输出的驱动信号抬升所述第一节点的电位。

3. 根据权利要求2所述的驱动电路,其特征在于,所述补偿电路还包括第五晶体管、第六晶体管以及第一电容,所述第一电容的一端与所述第三晶体管的漏极连接,所述第一电容的另一端与所述第五晶体管的漏极和所述第六晶体管的源极连接,所述第五晶体管的栅极与其所在的所述移位寄存电路的前四级的移位寄存电路的驱动信号输出端连接,所述第五晶体管的源极与所述前四级的移位寄存电路的栅极信号输出端连接,所述第六晶体管的栅极与所述前两级的移位寄存电路的驱动信号输出端连接,所述第六晶体管的漏极与所述第一节点连接。

4. 根据权利要求1所述的驱动电路,其特征在于,所述补偿电路包括第四晶体管、第五晶体管以及第一电容,所述第一电容的一端与所述第三晶体管的漏极连接,所述第一电容的另一端与所述第四晶体管的漏极和所述第五晶体管的源极连接,所述第四晶体管的栅极与其所在的所述移位寄存电路的前四级的移位寄存电路的驱动信号输出端连接,所述第四晶体管的源极与所述前四级的移位寄存电路的栅极信号输出端连接,所述第五晶体管的栅极与所述前两级的移位寄存电路的驱动信号输出端连接,所述第五晶体管的漏极与所述第一节点连接。

5. 根据权利要求1所述的驱动电路,其特征在于,所述第一下拉保持电路包括:

第四晶体管,所述第四晶体管的栅极和源极与所述第一时钟信号连接,漏极与第二节点连接;

第五晶体管,所述第五晶体管的栅极与所述驱动信号端连接,源极与所述第二节点连接,漏极与所述第二参考电压连接;

第六晶体管,所述第六晶体管的栅极与所述前两级的移位寄存电路的驱动信号输出端

连接,源极与所述第二节点连接,漏极与所述第二参考电压连接;

第七晶体管,所述第七晶体管的栅极与第二时钟信号连接,源极与所述第一时钟信号连接,漏极与所述第二节点连接;

第八晶体管,所述第八晶体管的栅极与所述补偿电路连接,源极与所述移位寄存电路的栅极信号输出端连接,漏极与所述第一参考电压连接;

第九晶体管,所述第九晶体管的栅极与所述补偿电路连接,源极与所述第一节点连接,漏极与所述第一参考电压连接;

第十晶体管,所述第十晶体管的栅极与所述补偿电路连接,源极与所述移位寄存电路的驱动信号输出端连接,漏极与所述第二参考电压连接。

6. 根据权利要求 5 所述的驱动电路,其特征在于,所述补偿电路包括:

第一电容,所述第一电容的一端与所述第二节点连接,另一端与所述第八晶体管的栅极、所述第九晶体管的栅极以及所述第十晶体管的栅极连接;

第十一晶体管,所述第十一晶体管的栅极与所述移位寄存电路的前两级的移位寄存电路的驱动信号输出端连接,源极与所述第一节点连接,漏极与所述第一电容的另一端连接。

7. 根据权利要求 5 所述的驱动电路,其特征在于,所述补偿电路包括:

第一电容,所述第一电容的一端与所述第二节点连接,另一端与所述第八晶体管的栅极、所述第九晶体管的栅极以及所述第十晶体管的栅极连接;

第十一晶体管,所述第十一晶体管的栅极与所述移位寄存电路的后两级的移位寄存电路的第一节点连接,源极与第三参考电压连接,漏极与所述第一电容的另一端连接;

第十二晶体管,所述第十二晶体管的栅极与所述第一电容的另一端连接,源极与所述后两级的移位寄存电路的第一节点连接;

第十三晶体管,所述第十三晶体管的栅极与所述移位寄存电路的后两级的移位寄存电路的驱动信号输出端连接,源极与所述第一电容的一端连接,漏极与所述第十二晶体管的漏极连接。

8. 根据权利要求 1 所述的驱动电路,其特征在于,每一所述移位寄存电路还包括第二下拉保持电路,所述第二下拉保持电路包括:

第四晶体管,所述第四晶体管的栅极与所述移位寄存电路的后四级的移位寄存电路的驱动信号输出端连接,源极与所述第一节点连接,漏极与所述第一参考电压连接;

第五晶体管,所述第五晶体管的栅极与所述后四级的移位寄存电路的驱动信号输出端连接,源极与所述移位寄存电路的信号输出端连接,漏极与所述第一参考电压连接。

9. 根据权利要求 8 所述的驱动电路,其特征在于,每一所述移位寄存电路还包括下拉电路,所述下拉电路包括:

第六晶体管,所述第六晶体管的栅极与所述移位寄存电路的后两级的移位寄存电路的驱动信号输出端连接,源极与所述移位寄存电路的驱动信号输出端连接,漏极与所述第二参考电压连接;

第七晶体管,所述第七晶体管的栅极与所述后两级的移位寄存电路的驱动信号输出端连接,源极与所述第一节点连接,漏极与所述第一参考电压连接;

第八晶体管,所述第八晶体管的栅极与所述后两级的移位寄存电路的驱动信号输出端连接,源极与所述移位寄存电路的信号输出端连接,漏极与所述第一参考电压连接。

10. 一种液晶显示面板,其特征在于,所述液晶显示面板包括如权利要求 1-9 任意一项所述的栅极驱动电路以及多条栅极线,其中所述栅极线分别与所述栅极驱动电路中的对应移位寄存电路的栅极信号输出端连接。

液晶显示面板及其栅极驱动电路

技术领域

[0001] 本发明涉及液晶显示技术领域,特别是涉及一种液晶显示面板及其栅极驱动电路。

背景技术

[0002] GOA(Gate Driver On Array) 电路是利用现有的薄膜晶体管液晶显示器 Array 制程将栅极扫描驱动电路制作在 Array 基板上,以实现逐行扫描的驱动方式。

[0003] 其中,GOA 电路包括上拉电路 (Pull-up circuit)、上拉控制电路 (Pull-up control circuit)、下传电路 (Transfer circuit)、下拉电路 (Pull-down Holding circuit) 以及负责电位抬升的上升电路 (Boost circuit)。

[0004] 具体地,上拉电路主要负责将输入的时钟讯号 (Clock) 输出至薄膜晶体管的栅极,作为液晶显示器的驱动信号。上拉控制电路负责控制上拉电路的打开,一般是由上级 GOA 电路传递来的信号作用。下拉电路负责在输出扫描信号后,快速将扫描信号拉低为低电位,即薄膜晶体管的栅极的电位拉低为低电位;下拉保持电路则负责将扫描信号和上拉电路的信号(通常称为 Q 点)保持在关闭状态(即设定的负电位),通常有两个下拉保持电路交替作用。上升电路则负责 Q 点电位的二次抬升,这样确保上拉电路的 G(N) 正常输出。

[0005] 现有的 GOA 电路经过长时间的操作,GOA 电路的稳定性差,可能会导致 GOA 电路失效。

发明内容

[0006] 本发明实施例提供了一种液晶显示面板及其栅极驱动电路,以提高栅极驱动电路长期操作的稳定性。

[0007] 本发明提供一种栅极驱动电路,其包括多个移位寄存电路,多个移位寄存电路以串联方式进行级联,每一移位寄存电路包括:上拉电路,其包括第一晶体管,第一晶体管的栅极耦接于第一节点,源极耦接于第一时钟信号,漏极耦接于移位寄存电路的栅极信号输出端;下传电路,其包括第二晶体管,第二晶体管的栅极耦接于第一节点,源极耦接于第一时钟信号,漏极耦接于移位寄存电路的驱动信号输出端;上拉控制电路,其包括第三晶体管,第三晶体管的栅极耦接于其所在的移位寄存电路的前两级的移位寄存电路的驱动信号输出端,源极耦接于前两级的移位寄存电路的栅极信号输出端,漏极耦接于第一节点;上升电路,耦接于第一节点和移位寄存电路的栅极信号输出端之间,用于抬升第一节点的电位;第一下拉保持电路,耦接于第一节点、第一时钟信号、第一参考电压以及第二参考电压,用于保持第一节点的低电平;补偿电路,耦接于第一节点或者第一下拉保持电路,用于补偿第一节点或者第一下拉保持电路的电位。

[0008] 其中,补偿电路包括第四晶体管,第四晶体管的源极和栅极均耦接于其所在的移位寄存电路的下一级的移位寄存电路的驱动信号输出端,第四晶体管的漏极与第一节点连接,用于根据下一级的移位寄存电路的驱动信号输出端输出的驱动信号抬升第一节点的电

位。

[0009] 其中,补偿电路还包括第五晶体管、第六晶体管以及第一电容,第一电容的一端与第三晶体管的漏极连接,第一电容的另一端与第五晶体管的漏极和第六晶体管的源极连接,第五晶体管的栅极与其所在的移位寄存电路的前四级的移位寄存电路的驱动信号输出端连接,第五晶体管的源极与前四级的移位寄存电路的栅极信号输出端连接,第六晶体管的栅极与前两级的移位寄存电路的驱动信号输出端连接,第六晶体管的漏极与第一节点连接。

[0010] 其中,补偿电路包括第四晶体管、第五晶体管以及第一电容,第一电容的一端与第三晶体管的漏极连接,第一电容的另一端与第四晶体管的漏极和第五晶体管的源极连接,第四晶体管的栅极与其所在的移位寄存电路的前四级的移位寄存电路的驱动信号输出端连接,第四晶体管的源极与前四级的移位寄存电路的栅极信号输出端连接,第五晶体管的栅极与前两级的移位寄存电路的驱动信号输出端连接,第五晶体管的漏极与第一节点连接。

[0011] 其中,第一下拉保持电路包括:第四晶体管,第四晶体管的栅极和源极与第一时钟信号连接,漏极与第二节点连接;第五晶体管,第五晶体管的栅极与驱动信号端连接,源极与第二节点连接,漏极与第二参考电压连接;第六晶体管,第六晶体管的栅极与前两级的移位寄存电路的驱动信号输出端连接,源极与第二节点连接,漏极与第二参考电压连接;第七晶体管,第七晶体管的栅极与第二时钟信号连接,源极与第一时钟信号连接,漏极与第二节点连接;第八晶体管,第八晶体管的栅极与补偿电路连接,源极与移位寄存电路的栅极信号输出端连接,漏极与第一参考电压连接;第九晶体管,第九晶体管的栅极与补偿电路连接,源极与第一节点连接,漏极与第一参考电压连接;第十晶体管,第十晶体管的栅极与补偿电路连接,源极与移位寄存电路的驱动信号输出端连接,漏极与第二参考电压连接。

[0012] 其中,补偿电路包括:第一电容,第一电容的一端与第二节点连接,另一端与第八晶体管的栅极、第九晶体管的栅极以及第十晶体管的栅极连接;第十一晶体管,第十一晶体管的栅极与移位寄存电路的前两级的移位寄存电路的驱动信号输出端连接,源极与第一节点连接,漏极与第一电容的另一端连接。

[0013] 其中,补偿电路包括:第一电容,第一电容的一端与第二节点连接,另一端与第八晶体管的栅极、第九晶体管的栅极以及第十晶体管的栅极连接;第十一晶体管,第十一晶体管的栅极与移位寄存电路的后两级的移位寄存电路的第一节点连接,源极与第三参考电压连接,漏极与第一电容的另一端连接;第十二晶体管,第十二晶体管的栅极与第一电容的另一端连接,源极与后两级的移位寄存电路的第一节点连接;第十三晶体管,第十三晶体管的栅极与移位寄存电路的后两级的移位寄存电路的驱动信号输出端连接,源极与第一电容的一端连接,漏极与第十二晶体管的漏极连接。

[0014] 其中,每一移位寄存电路还包括第二下拉保持电路,第二下拉保持电路包括:第四晶体管,第四晶体管的栅极与移位寄存电路的后四级的移位寄存电路的驱动信号输出端连接,源极与第一节点连接,漏极与第一参考电压连接;第五晶体管,第五晶体管的栅极与后四级的移位寄存电路的驱动信号输出端连接,源极与移位寄存电路的信号输出端连接,漏极与第一参考电压连接。

[0015] 其中,每一移位寄存电路还包括下拉电路,下拉电路包括:第六晶体管,第六晶体

管的栅极与移位寄存电路的后两级的移位寄存电路的驱动信号输出端连接,源极与移位寄存电路的驱动信号输出端连接,漏极与第二参考电压连接;第七晶体管,第七晶体管的栅极与后两级的移位寄存电路的驱动信号输出端连接,源极与第一节点连接,漏极与第一参考电压连接;第八晶体管,第八晶体管的栅极与后两级的移位寄存电路的驱动信号输出端连接,源极与移位寄存电路的信号输出端连接,漏极与第一参考电压连接。

[0016] 本发明还提供一种液晶显示面板,其包括上述任意一项的栅极驱动电路以及多条栅极线,其中栅极线分别与栅极驱动电路中的对应移位寄存电路的栅极信号输出端连接。

[0017] 通过上述方案,本发明的有益效果是:本发明通过补偿电路耦接于第一节点或者第一下拉保持电路,用于补偿第一节点或者第一下拉保持电路的电位,能够提高栅极驱动电路长期操作的稳定性,进而提高显示面板的质量。

附图说明

[0018] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。其中:

[0019] 图1是本发明第一实施例的栅极驱动电路的结构示意图;

[0020] 图2是图1中栅极驱动电路的电路图;

[0021] 图3是本发明第二实施例的栅极驱动电路的电路图;

[0022] 图4是图3中栅极驱动电路的各种输入信号、输出信号和节点电压的时序图;

[0023] 图5是本发明第三实施例的栅极驱动电路的电路图;

[0024] 图6是本发明第四实施例的栅极驱动电路的电路图;

[0025] 图7是图6中栅极驱动电路的各种输入信号、输出信号和节点电压的时序图;

[0026] 图8是本发明第五实施例的栅极驱动电路的电路图;

[0027] 图9是本发明第六实施例的栅极驱动电路的电路图;

[0028] 图10是本发明第一实施例的液晶显示面板的结构示意图。

具体实施方式

[0029] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性的劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0030] 请参见图1所示,图1是本发明第一实施例的栅极驱动电路的结构示意图。如图1所示,本实施例所揭示的栅极驱动电路1包括多个移位寄存电路10,多个移位寄存电路10以串联方式进行级联。

[0031] 其中,多个移位寄存电路10包括上拉电路101、下传电路102、上拉控制电路103、上升电路104、第一下拉保持电路105以及补偿电路106。如图2所示,上拉电路101包括晶体管T1,晶体管T1的栅极耦接于移位寄存电路10的第一节点Q(N),即移位寄存电路10的Q(N)点;晶体管T1的源极耦接于第一时钟信号CK;晶体管T1的漏极耦接于移位寄存电

路 10 的栅极信号输出端 $G(N)$ 。下传电路 102 包括晶体管 T2, 晶体管 T2 的栅极耦接于第一节点 $Q(N)$, 晶体管 T2 的源极耦接于第一时钟信号 CK, 晶体管 T2 的漏极耦接于移位寄存电路 10 的驱动信号输出端 $ST(N)$ 。上拉控制电路 103 包括晶体管 T3, 晶体管 T3 的栅极耦接于晶体管 T3 所在的移位寄存电路 10 的前两级的移位寄存电路的驱动信号输出端 $ST(N-2)$, 晶体管 T3 的源极耦接于前两级的移位寄存电路的栅极信号输出端 $G(N-2)$, 晶体管 T3 的漏极耦接于第一节点 Q 。上升电路 104 耦接于第一节点 $Q(N)$ 和移位寄存电路 10 的栅极信号输出端 $G(N)$ 之间, 用于抬升第一节点 $Q(N)$ 的电位。第一下拉保持电路 105 耦接于第一节点 $Q(N)$ 、第一时钟信号 CK、第一参考电压 $V1$ 以及第二参考电压 $V2$, 用于保持第一节点 $Q(N)$ 的低电平。补偿电路 106 耦接于第一节点 $Q(N)$ 或者第一下拉保持电路 105, 用于补偿第一节点 $Q(N)$ 或者第一下拉保持电路 105 的电位。

[0032] 优选地, 第一参考电压 $V1$ 和第二参考电压 $V2$ 均为负电位, 并且第二参考电压 $V2$ 小于第一参考电压 $V1$ 。

[0033] 本实施例通过补偿电路 106 耦接于第一节点 $Q(N)$ 或者第一下拉保持电路 105, 用于补偿第一节点 $Q(N)$ 或者第一下拉保持电路 105 的电位, 能够提高栅极驱动电路 1 长期操作的稳定性, 进而提高产品的质量。

[0034] 本发明还提供第二实施例的栅极驱动电路, 其在第一实施例所揭示的栅极驱动电路 1 的基础上进行详细描述。如图 3 所示, 补偿电路 106 包括晶体管 T4, 晶体管 T4 的栅极和源极均耦接于晶体管 T4 所在的移位寄存电路 10 的下一级的移位寄存电路的驱动信号输出端 $ST(N+1)$, 晶体管 T4 的漏极与第一节点 $Q(N)$ 连接。补偿电路 106 用于根据下一级的移位寄存电路的驱动信号输出端 $ST(N+1)$ 输出的驱动信号抬升第一节点 $Q(N)$ 的电位。

[0035] 其中, 上升电路 104 包括电容 $C1$, 电容 $C1$ 的一端与第一节点 $Q(N)$ 连接, 电容 $C1$ 的另一端与移位寄存电路 10 的栅极信号输出端 $G(N)$ 连接。第一下拉保持电路 105 包括晶体管 T5、晶体管 T6、晶体管 T7、晶体管 T8、晶体管 T9、晶体管 T10 以及晶体管 T11, 晶体管 T5 的栅极和源极均与第一时钟信号 CK 连接, 晶体管 T5 的漏极与移位寄存电路 10 的第二节点 $P(N)$; 晶体管 T6 的栅极与第二时钟信号 XCK 连接, 晶体管 T6 的源极与第一时钟信号 CK 连接, 晶体管 T6 的漏极与第二节点 $P(N)$ 连接; 晶体管 T7 的栅极与移位寄存电路 10 的驱动信号输出端 $ST(N)$ 连接, 晶体管 T7 的源极与第二节点 $P(N)$ 连接, 晶体管 T7 的漏极与第二参考电压 $V2$ 连接; 晶体管 T8 的栅极与晶体管 T3 的栅极连接, 晶体管 T8 的源极与第二节点 $P(N)$ 连接, 晶体管 T8 的漏极与第二参考电压 $V2$ 连接; 晶体管 T9 的栅极与第二节点 $P(N)$ 连接, 晶体管 T9 的源极与移位寄存电路 10 的栅极信号输出端 $G(N)$ 连接, 晶体管 T9 的漏极与第一参考电压 $V1$ 连接; 晶体管 T10 的栅极与第二节点 $P(N)$ 连接, 晶体管 T10 的源极与第一节点 $Q(N)$ 链接, 晶体管 T10 的漏极与第一参考电压 $V1$ 连接; 晶体管 T11 的栅极与第二节点 $Q(N)$ 连接, 晶体管 T11 的源极与驱动信号输出端 $ST(N)$ 连接, 晶体管 T11 的漏极与第二参考电压 $V2$ 连接。

[0036] 栅极驱动电路还包括第二下拉保持电路 107 和下拉电路 108, 第二下拉保持电路 107 包括晶体管 T12 和晶体管 T13, 晶体管 T12 的栅极和晶体管 T13 的栅极均与移位寄存电路 10 的下四级的移位寄存电路的驱动信号输出端 $ST(N+4)$ 连接, 晶体管 T12 的源极与第一节点 $Q(N)$ 连接, 晶体管 T12 的漏极与第一参考电压 $V1$ 连接, 晶体管 T13 的源极与栅极信号输出端 $G(N)$ 连接, 晶体管 T13 的漏极与第一参考电压 $V1$ 连接。下拉电路 108 包括晶体管

T14、晶体管 T15 以及晶体管 T16, 晶体管 T14 的栅极、晶体管 T15 的栅极以及晶体管 T16 的栅极均与下两级的移位寄存电路的驱动信号输出端 ST(N+2) 连接, 晶体管 T14 的源极与驱动信号输出端 ST(N) 连接, 晶体管 T14 的漏极与第二参考电压 V2 连接, 晶体管 T15 的源极与第一节点 Q(N) 连接, 晶体管 T15 的漏极与第一参考电压 V1 连接, 晶体管 T16 的源极与栅极信号输出端 G(N) 连接, 晶体管 T16 的漏极与第一参考电压 V1 连接。

[0037] 请再参见图 4, 图 4 是图 3 中栅极驱动电路的各种输入信号、输出信号和节点电压的时序图。如图 4 所示, 第一时钟信号 CK 和第二时钟信号 XCK 为相位上互补的两组信号, 如图中第一时钟信号 CK1 与第二时钟信号 XCK1 相位互补, 第一时钟信号 CK2 与第二时钟信号 XCK2 相位互补。其中, 栅极信号输出端 G(N) 的电位被第一参考电压 V1 拉低到低电位; 在第一节点 Q(N) 和栅极信号输出端 G(N) 均为高电平时, 第二节点 P(N) 被第二参考电压 V2 拉到低电平。

[0038] 本实施例所揭示的栅极驱动电路通过晶体管 T4 的栅极和源极均耦接于晶体管 T4 所在的移位寄存电路 10 的下一级的移位寄存电路的驱动信号输出端 ST(N+1), 晶体管 T4 的漏极与第一节点 Q(N) 连接, 补偿电路 106 用于根据下一级的移位寄存电路的驱动信号输出端 ST(N+1) 输出的驱动信号抬升第一节点 Q(N) 的电位, 进而能够提高栅极驱动电路长期操作的稳定性。

[0039] 本发明还提供第三实施例的栅极驱动电路, 其在第一实施例所揭示的栅极驱动电路 1 的基础上进行详细描述。如图 5 所示, 补偿电路 106 包括晶体管 T4、晶体管 T5、晶体管 T6 以及电容 C1。其中, 晶体管 T4 的栅极和源极均耦接于晶体管 T4 所在的移位寄存电路 10 的下一级的移位寄存电路的驱动信号输出端 ST(N+1), 晶体管 T4 的漏极与第一节点 Q(N) 连接。电容 C1 的一端与晶体管 T3 的漏极连接, 电容 C1 的另一端与晶体管 T5 的漏极和晶体管 T6 的源极连接, 晶体管 T5 的栅极与其所在的移位寄存电路的前四级的移位寄存电路的驱动信号输出端 ST(N-4) 连接, 晶体管 T5 的源极与前四级的移位寄存电路的栅极信号输出端 G(N-4) 连接, 晶体管 T6 的栅极与前两级的移位寄存电路的驱动信号输出端 ST(N-2) 连接, 晶体管 T6 的漏极与第一节点 Q(N) 连接。

[0040] 其中, 上升电路 104 包括电容 C2, 电容 C2 的一端与第一节点 Q(N) 连接, 电容 C2 的另一端与移位寄存电路 10 的栅极信号输出端 G(N) 连接。第一下拉保持电路 105 包括晶体管 T7、晶体管 T8、晶体管 T9、晶体管 T10、晶体管 T11、晶体管 T12 以及晶体管 T13, 晶体管 T7 的栅极和源极均与第一时钟信号 CK 连接, 晶体管 T7 的漏极与移位寄存电路 10 的第二节点 P(N); 晶体管 T8 的栅极与第二时钟信号 XCK 连接, 晶体管 T8 的源极与第一时钟信号 CK 连接, 晶体管 T8 的漏极与第二节点 P(N) 连接; 晶体管 T9 的栅极与移位寄存电路 10 的驱动信号输出端 ST(N) 连接, 晶体管 T9 的源极与第二节点 P(N) 连接, 晶体管 T9 的漏极与第二参考电压 V2 连接; 晶体管 T10 的栅极与晶体管 T3 的栅极连接, 晶体管 T10 的源极与第二节点 P(N) 连接, 晶体管 T10 的漏极与第二参考电压 V2 连接; 晶体管 T11 的栅极与第二节点 P(N) 连接, 晶体管 T11 的源极与移位寄存电路 10 的栅极信号输出端 G(N) 连接, 晶体管 T11 的漏极与第一参考电压 V1 连接; 晶体管 T12 的栅极与第二节点 P(N) 连接, 晶体管 T12 的源极与第一节点 Q(N) 连接, 晶体管 T12 的漏极与第一参考电压 V1 连接; 晶体管 T13 的栅极与第二节点 Q(N) 连接, 晶体管 T13 的源极与驱动信号输出端 ST(N) 连接, 晶体管 T13 的漏极与第二参考电压 V2 连接。

[0041] 栅极驱动电路还包括第二下拉保持电路 107 和下拉电路 108, 第二下拉保持电路 107 包括晶体管 T14 和晶体管 T15, 晶体管 T14 的栅极和晶体管 T15 的栅极均与移位寄存电路 10 的下四级的移位寄存电路的驱动信号输出端 ST(N+4) 连接, 晶体管 T14 的源极与第一节点 Q(N) 连接, 晶体管 T14 的漏极与第一参考电压 V1 连接, 晶体管 T15 的源极与栅极信号输出端 G(N) 连接, 晶体管 T15 的漏极与第一参考电压 V1 连接。下拉电路 108 包括晶体管 T16、晶体管 T17 以及晶体管 T18, 晶体管 T16 的栅极、晶体管 T17 的栅极以及晶体管 T18 的栅极均与下两级的移位寄存电路的驱动信号输出端 ST(N+2) 连接, 晶体管 T16 的源极与驱动信号输出端 ST(N) 连接, 晶体管 T16 的漏极与第二参考电压 V2 连接, 晶体管 T17 的源极与第一节点 Q(N) 连接, 晶体管 T17 的漏极与第一参考电压 V1 连接, 晶体管 T18 的源极与栅极信号输出端 G(N) 连接, 晶体管 T18 的漏极与第一参考电压 V1 连接。

[0042] 其中, 前四级的移位寄存电路的驱动信号输出端 ST(N-4) 和前四级的移位寄存电路的栅极信号输出端 G(N-4) 对电容 C1 进行第一阶段充电, 前两级的移位寄存电路的驱动信号输出端 ST(N-2) 和前两级的移位寄存电路的栅极信号输出端 G(N-2) 对电容 C2 进行两次提升, 在第一节点 Q(N) 充电之前, 第一节点 Q(N) 在第一阶段具有更好的电位, 即相当于没有经过处理的两倍, 第一节点 Q(N) 在作用期间的电位抬升将会更高, 提高栅极驱动电路长期操作的稳定性。

[0043] 本发明还提供第四实施例的栅极驱动电路, 其在第一实施例所揭示的栅极驱动电路 1 的基础上进行详细描述。如图 6 所示, 补偿电路 106 包括晶体管 T4、晶体管 T5 以及电容 C1。电容 C1 的一端与晶体管 T3 的漏极连接, 电容 C1 的另一端与晶体管 T4 的漏极和晶体管 T5 的源极连接, 晶体管 T4 的栅极与其所在的移位寄存电路的前四级的移位寄存电路的驱动信号输出端 ST(N-4) 连接, 晶体管 T4 的源极与前四级的移位寄存电路的栅极信号输出端 G(N-4) 连接, 晶体管 T5 的栅极与前两级的移位寄存电路的驱动信号输出端 ST(N-2) 连接, 晶体管 T5 的漏极与第一节点 Q(N) 连接。

[0044] 上升电路 104 包括电容 C2, 电容 C2 的一端与第一节点 Q(N) 连接, 电容 C2 的另一端与移位寄存电路 10 的栅极信号输出端 G(N) 连接。第一下拉保持电路 105 包括晶体管 T6、晶体管 T7、晶体管 T8、晶体管 T9、晶体管 T10、晶体管 T11 以及晶体管 T12, 晶体管 T6 的栅极和源极均与第一时钟信号 CK 连接, 晶体管 T6 的漏极与移位寄存电路 10 的第二节点 P(N); 晶体管 T7 的栅极与第二时钟信号 XCK 连接, 晶体管 T7 的源极与第一时钟信号 CK 连接, 晶体管 T7 的漏极与第二节点 P(N) 连接; 晶体管 T8 的栅极与移位寄存电路 10 的驱动信号输出端 ST(N) 连接, 晶体管 T8 的源极与第二节点 P(N) 连接, 晶体管 T8 的漏极与第二参考电压 V2 连接; 晶体管 T9 的栅极与晶体管 T3 的栅极连接, 晶体管 T9 的源极与第二节点 P(N) 连接, 晶体管 T9 的漏极与第二参考电压 V2 连接; 晶体管 T10 的栅极与第二节点 P(N) 连接, 晶体管 T10 的源极与移位寄存电路 10 的栅极信号输出端 G(N) 连接, 晶体管 T10 的漏极与第一参考电压 V1 连接; 晶体管 T11 的栅极与第二节点 P(N) 连接, 晶体管 T11 的源极与第一节点 Q(N) 连接, 晶体管 T11 的漏极与第一参考电压 V1 连接; 晶体管 T12 的栅极与第二节点 Q(N) 连接, 晶体管 T12 的源极与驱动信号输出端 ST(N) 连接, 晶体管 T12 的漏极与第二参考电压 V2 连接。

[0045] 栅极驱动电路还包括第二下拉保持电路 107 和下拉电路 108, 第二下拉保持电路 107 包括晶体管 T13 和晶体管 T14, 晶体管 T13 的栅极和晶体管 T14 的栅极均与移位寄存电

路 10 的下四级的移位寄存电路的驱动信号输出端 ST(N+4) 连接,晶体管 T13 的源极与第一节点 Q(N) 连接,晶体管 T13 的漏极与第一参考电压 V1 连接,晶体管 T14 的源极与栅极信号输出端 G(N) 连接,晶体管 T14 的漏极与第一参考电压 V1 连接。下拉电路 108 包括晶体管 T15、晶体管 T16 以及晶体管 T17,晶体管 T15 的栅极、晶体管 T16 的栅极以及晶体管 T17 的栅极均与下两级的移位寄存电路的驱动信号输出端 ST(N+2) 连接,晶体管 T15 的源极与驱动信号输出端 ST(N) 连接,晶体管 T15 的漏极与第二参考电压 V2 连接,晶体管 T16 的源极与第一节点 Q(N) 连接,晶体管 T16 的漏极与第一参考电压 V1 连接,晶体管 T17 的源极与栅极信号输出端 G(N) 连接,晶体管 T17 的漏极与第一参考电压 V1 连接。

[0046] 请再参见图 7,图 7 是图 6 中栅极驱动电路的各种输入信号、输出信号和节点电压的时序图。如图 7 所示,第一时钟信号 CK 和第二时钟信号 XCK 为相位上互补的两组信号,如图中第一时钟信号 CK1 与第二时钟信号 XCK1 相位互补,第一时钟信号 CK2 与第二时钟信号 XCK2 相位互补。

[0047] 其中,前四级的移位寄存电路的驱动信号输出端 ST(N-4) 和前四级的移位寄存电路的栅极信号输出端 G(N-4) 对电容 C1 进行第一阶段充电,前两级的移位寄存电路的驱动信号输出端 ST(N-2) 和前两级的移位寄存电路的栅极信号输出端 G(N-2) 对电容 C2 进行两次提升,在第一节点 Q(N) 充电之前,第一节点 Q(N) 在第一阶段具有更好的电位,即相当于没有经过处理的两倍,第一节点 Q(N) 在作用期间的电位抬升将会更高,提高栅极驱动电路长期操作的稳定性。

[0048] 本发明还提供第五实施例的栅极驱动电路,其在第一实施例所揭示的栅极驱动电路 1 的基础上进行详细描述。如图 8 所示,第一下拉保持电路 105 包括晶体管 T4、晶体管 T5、晶体管 T6、晶体管 T7、晶体管 T8、晶体管 T9 以及晶体管 T10。其中,晶体管 T4 的栅极和源极与第一时钟信号 CK 连接,晶体管 T4 的漏极与第二节点 P(N) 连接。晶体管 T5 的栅极与驱动信号端 ST(N) 连接,晶体管 T5 的源极与第二节点 P(N) 连接,晶体管 T5 的漏极与第二参考电压 V2 连接。晶体管 T6 的栅极与前两级的移位寄存电路的驱动信号输出端 ST(N-2) 连接,晶体管 T6 的源极与第二节点 P(N) 连接,晶体管 T6 的漏极与第二参考电压 V2 连接。晶体管 T7 的栅极与第二时钟信号 XCK 连接,晶体管 T7 的源极与第一时钟信号 CK 连接,晶体管 T7 的漏极与第二节点 P(N) 连接。晶体管 T8 的栅极与补偿电路 106 连接,晶体管 T8 的源极与移位寄存电路的栅极信号输出端 G(N) 连接,晶体管 T8 的漏极与第一参考电压 V1 连接。晶体管 T9 的栅极与补偿电路 106 连接,晶体管 T9 的源极与第一节点 Q(N) 连接,晶体管 T9 的漏极与第一参考电压 V1 连接。晶体管 T10 的栅极与补偿电路 106 连接,晶体管 T10 的源极与移位寄存电路的驱动信号输出端 ST(N) 连接,晶体管 T10 的漏极与第二参考电压 V2 连接。

[0049] 其中,补偿电路 106 包括电容 C1 以及晶体管 T11,电容 C1 的一端与第二节点 P(N) 连接,电容 C1 的另一端与晶体管 T8 的栅极、晶体管 T9 的栅极以及晶体管 T10 的栅极连接;晶体管 T11 的栅极与移位寄存电路 10 的前两级的移位寄存电路的驱动信号输出端 ST(N-2),晶体管 T11 的源极与第一节点 Q(N) 连接,晶体管 T11 的漏极与电容 C1 的另一端连接。

[0050] 其中,上升电路 104 包括电容 C2,电容 C2 的一端与第一节点 Q(N) 连接,电容 C2 的另一端与移位寄存电路 10 的栅极信号输出端 G(N) 连接。

[0051] 栅极驱动电路还包括第二下拉保持电路 107 和下拉电路 108, 第二下拉保持电路 107 包括晶体管 T12 和晶体管 T13, 晶体管 T12 的栅极和晶体管 T13 的栅极均与移位寄存电路 10 的下四级的移位寄存电路的驱动信号输出端 ST(N+4) 连接, 晶体管 T12 的源极与第一节点 Q(N) 连接, 晶体管 T12 的漏极与第一参考电压 V1 连接, 晶体管 T13 的源极与栅极信号输出端 G(N) 连接, 晶体管 T13 的漏极与第一参考电压 V1 连接。下拉电路 108 包括晶体管 T14、晶体管 T15 以及晶体管 T16, 晶体管 T14 的栅极、晶体管 T15 的栅极以及晶体管 T16 的栅极均与下两级的移位寄存电路的驱动信号输出端 ST(N+2) 连接, 晶体管 T14 的源极与驱动信号输出端 ST(N) 连接, 晶体管 T14 的漏极与第二参考电压 V2 连接, 晶体管 T15 的源极与第一节点 Q(N) 连接, 晶体管 T15 的漏极与第一参考电压 V1 连接, 晶体管 T16 的源极与栅极信号输出端 G(N) 连接, 晶体管 T16 的漏极与第一参考电压 V1 连接。

[0052] 其中, 补偿电路 106 通过电容 C1 和晶体管 T11 增强第二节点 P(N) 的电位, 在晶体管 T8、晶体管 T9 以及晶体管 T10 在 stress 较严重的情况下, 也能打开。

[0053] 本发明还提供第六实施例的栅极驱动电路, 其在第一实施例所揭示的栅极驱动电路 1 的基础上进行详细描述。如图 9 所示, 第一下拉保持电路 105 包括晶体管 T4、晶体管 T5、晶体管 T6、晶体管 T7、晶体管 T8、晶体管 T9 以及晶体管 T10。其中, 晶体管 T4 的栅极和源极与第一时钟信号 CK 连接, 晶体管 T4 的漏极与第二节点 P(N) 连接。晶体管 T5 的栅极与驱动信号端 ST(N) 连接, 晶体管 T5 的源极与第二节点 P(N) 连接, 晶体管 T5 的漏极与第二参考电压 V2 连接。晶体管 T6 的栅极与前两级的移位寄存电路的驱动信号输出端 ST(N-2) 连接, 晶体管 T6 的源极与第二节点 P(N) 连接, 晶体管 T6 的漏极与第二参考电压 V2 连接。晶体管 T7 的栅极与第二时钟信号 XCK 连接, 晶体管 T7 的源极与第一时钟信号 CK 连接, 晶体管 T7 的漏极与第二节点 P(N) 连接。晶体管 T8 的栅极与补偿电路 106 连接, 晶体管 T8 的源极与移位寄存电路的栅极信号输出端 G(N) 连接, 晶体管 T8 的漏极与第一参考电压 V1 连接。晶体管 T9 的栅极与补偿电路 106 连接, 晶体管 T9 的源极与第一节点 Q(N) 连接, 晶体管 T9 的漏极与第一参考电压 V1 连接。晶体管 T10 的栅极与补偿电路 106 连接, 晶体管 T10 的源极与移位寄存电路的驱动信号输出端 ST(N) 连接, 晶体管 T10 的漏极与第二参考电压 V2 连接。

[0054] 其中, 补偿电路 106 包括电容 C1、晶体管 T11、晶体管 T12 以及晶体管 T13, 电容 C1 的一端与第二节点 P(N) 连接, 电容 C1 的另一端与晶体管 T8 的栅极、晶体管 T9 的栅极以及晶体管 T10 的栅极连接。晶体管 T11 的栅极与移位寄存电路 10 的后两级的移位寄存电路的第一节点 Q(N+2) 连接, 晶体管 T11 的源极与第三参考电压 V3 连接, 晶体管 T11 的漏极与电容 C1 的另一端连接。晶体管 T12 的栅极与电容 C1 的另一端连接, 晶体管 T12 的源极与后两级的移位寄存电路的第一节点 Q(N+2) 连接。晶体管 T13 的栅极与移位寄存电路 10 的后两级的移位寄存电路的驱动信号输出端 ST(N+2) 连接, 晶体管 T13 的源极与电容 C1 的一端连接, 晶体管 T13 的漏极与晶体管 T12 的漏极连接。

[0055] 其中, 上升电路 104 包括电容 C2, 电容 C2 的一端与第一节点 Q(N) 连接, 电容 C2 的另一端与移位寄存电路 10 的栅极信号输出端 G(N) 连接。

[0056] 栅极驱动电路还包括第二下拉保持电路 107 和下拉电路 108, 第二下拉保持电路 107 包括晶体管 T14 和晶体管 T15, 晶体管 T14 的栅极和晶体管 T15 的栅极均与移位寄存电路 10 的下四级的移位寄存电路的驱动信号输出端 ST(N+4) 连接, 晶体管 T14 的源极与第一

节点 Q(N) 连接,晶体管 T14 的漏极与第一参考电压 V1 连接,晶体管 T15 的源极与栅极信号输出端 G(N) 连接,晶体管 T15 的漏极与第一参考电压 V1 连接。下拉电路 108 包括晶体管 T16、晶体管 T17 以及晶体管 T18,晶体管 T16 的栅极、晶体管 T17 的栅极以及晶体管 T18 的栅极均与下两级的移位寄存电路的驱动信号输出端 ST(N+2) 连接,晶体管 T16 的源极与驱动信号输出端 ST(N) 连接,晶体管 T16 的漏极与第二参考电压 V2 连接,晶体管 T17 的源极与第一节点 Q(N) 连接,晶体管 T17 的漏极与第一参考电压 V1 连接,晶体管 T18 的源极与栅极信号输出端 G(N) 连接,晶体管 T18 的漏极与第一参考电压 V1 连接。

[0057] 其中,补偿电路 106 通过电容 C1、晶体管 T11、晶体管 T12 以及晶体管 T13 增强第二节点 P(N) 的电位,补偿晶体管 T8、晶体管 T9 以及晶体管 T10 的电压漂移,在晶体管 T8、晶体管 T9 以及晶体管 T10 在 stress 较严重的情况下,也能打开。

[0058] 通过上述实施例,本发明通过对第一节点 Q(N) 的电位进行增强,对第一节点 Q(N) 实行三阶充电原理,能够保证栅极驱动电路 1 的正常输出;此外本发明还提供了对第二节点 P(N) 的补偿电路 106,避免第二节点 P(N) 的电位异常将导致第一节点 Q(N) 和第二节点 G(N) 的下拉能力不足,直接导致电路失效,通过补偿电路 106,能够防止由于晶体管的阈值电压漂移导致电路的下拉保持部分启动不佳的问题。

[0059] 本发明还提供一种液晶显示面板,如图 10 所述,液晶显示面板 2 包括上述的栅极驱动电路 1 以及多条栅极线 20,其中栅极线 20 分别与栅极驱动电路 1 中的对应移位寄存电路 10 的栅极信号输出端 G(N) 连接。

[0060] 综上所述,本发明通过补偿电路耦接于第一节点或者第一下拉保持电路,用于补偿第一节点或者第一下拉保持电路的电位,能够提高栅极驱动电路长期操作的稳定性,进而提高显示面板的质量。

[0061] 以上所述仅为本发明的实施例,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

1
~

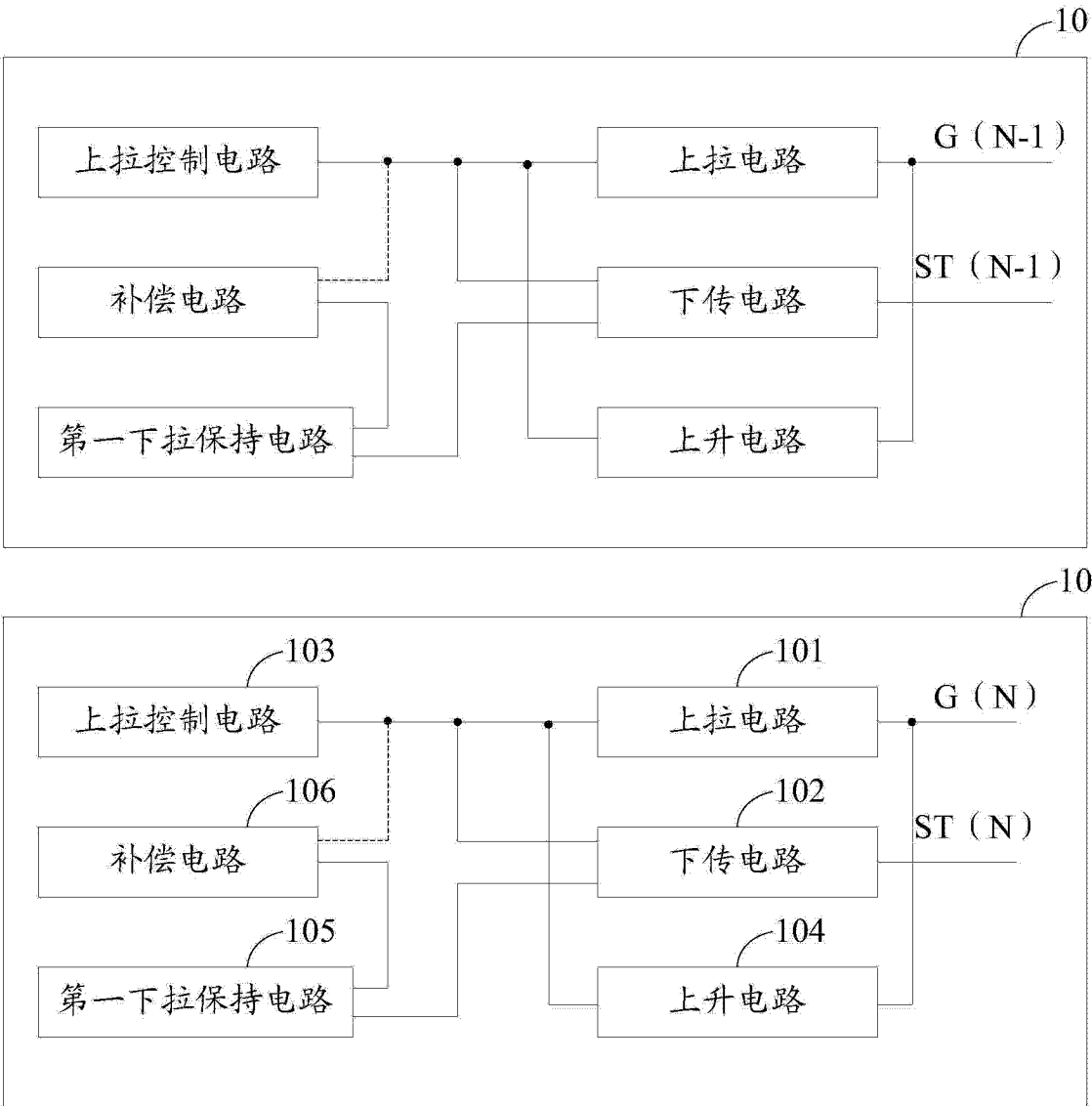


图 1

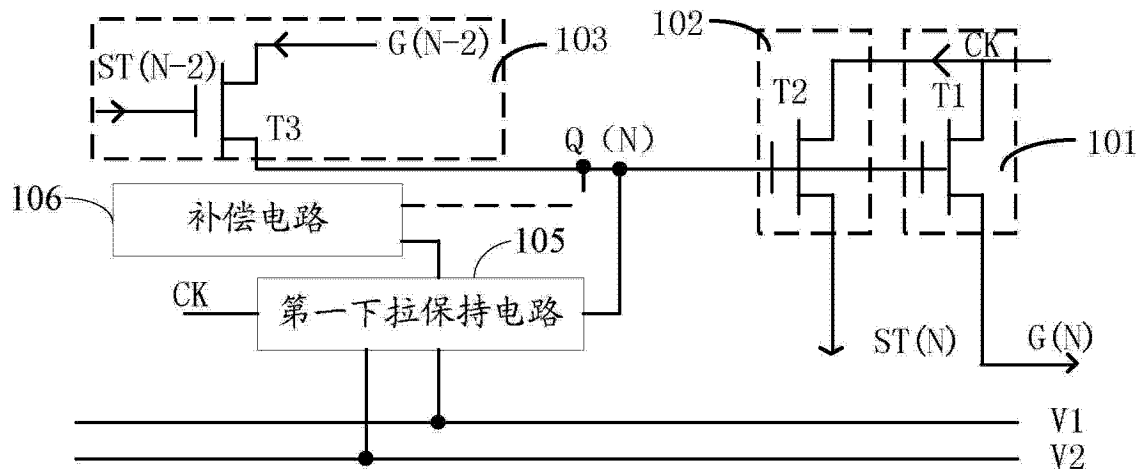


图 2

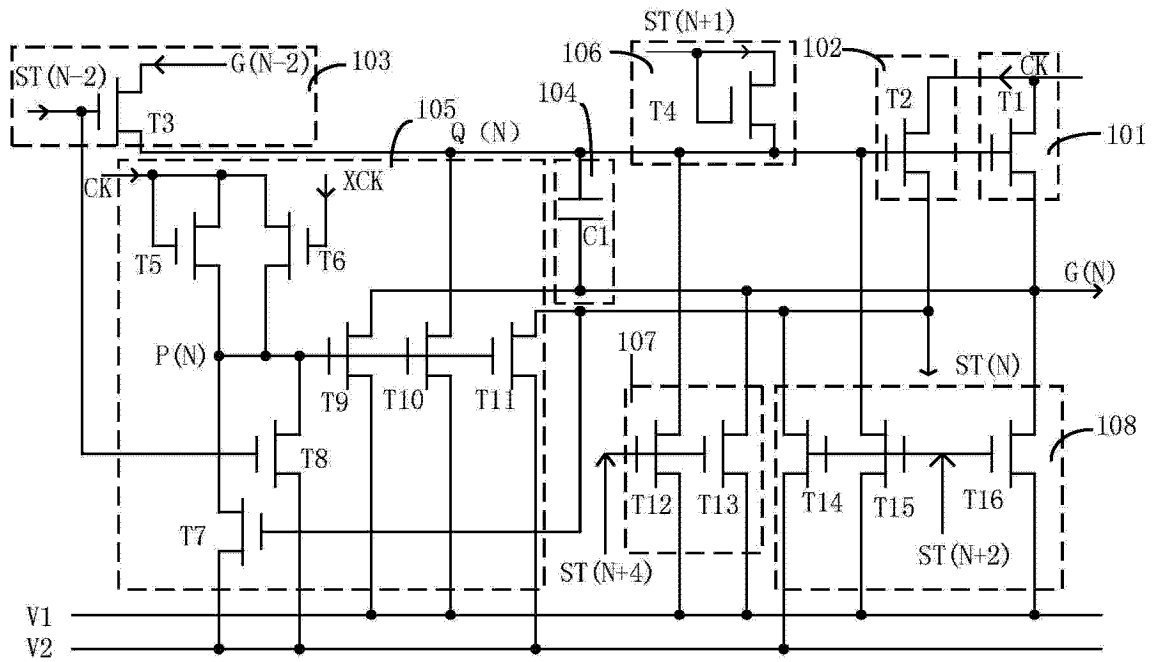


图 3

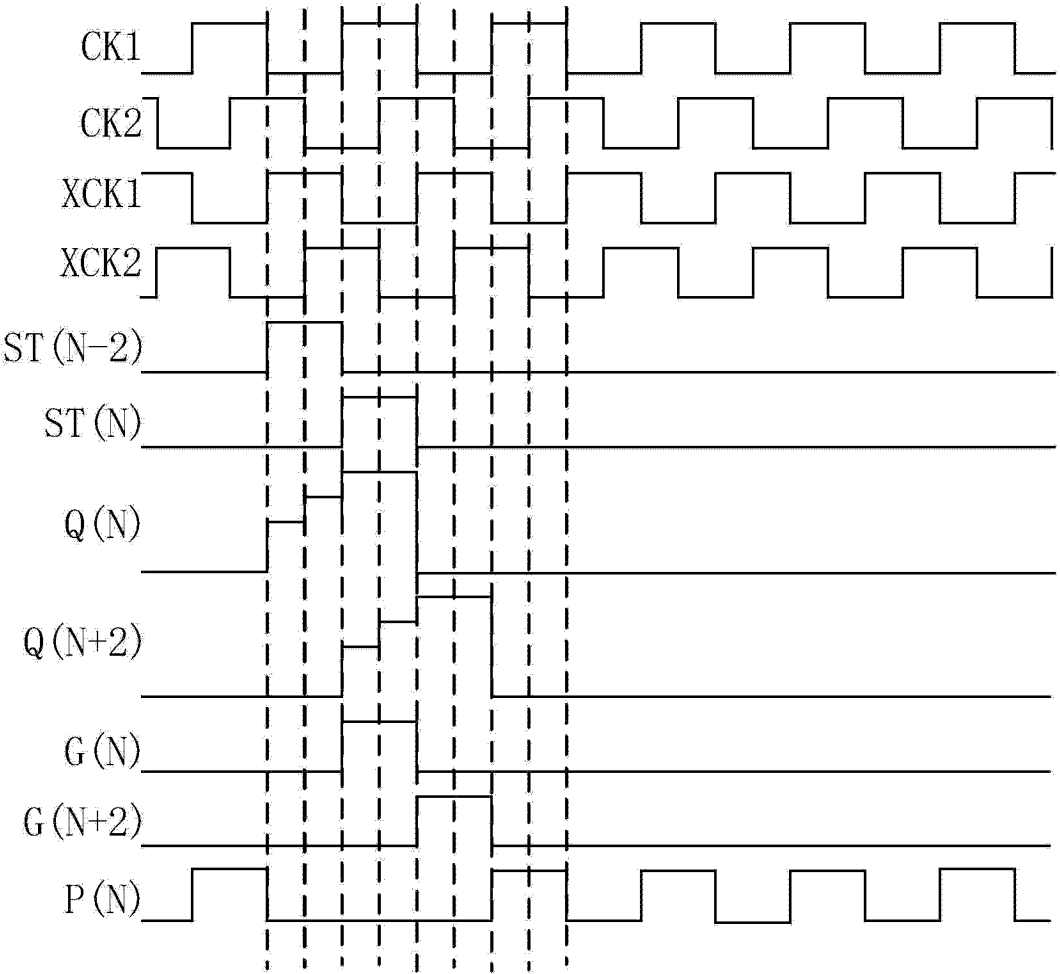


图 4

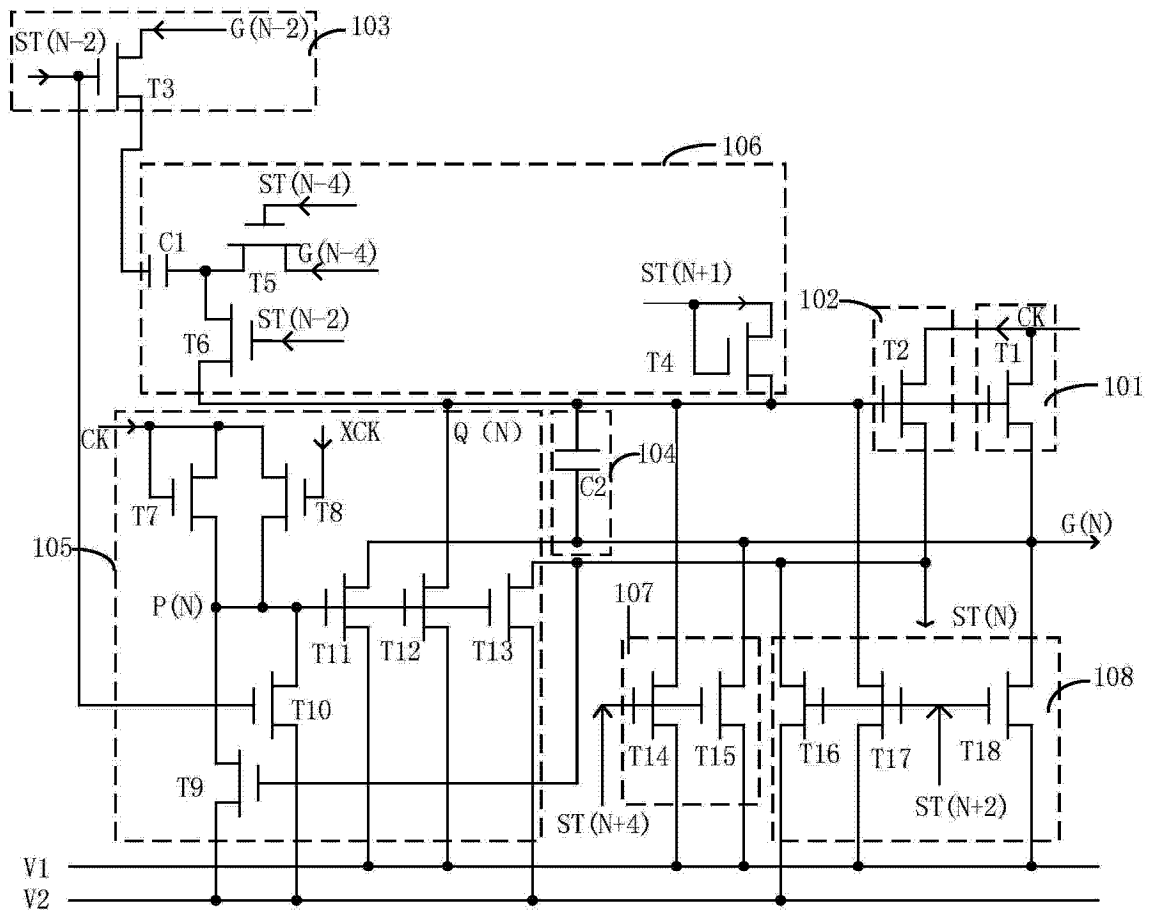


图 5

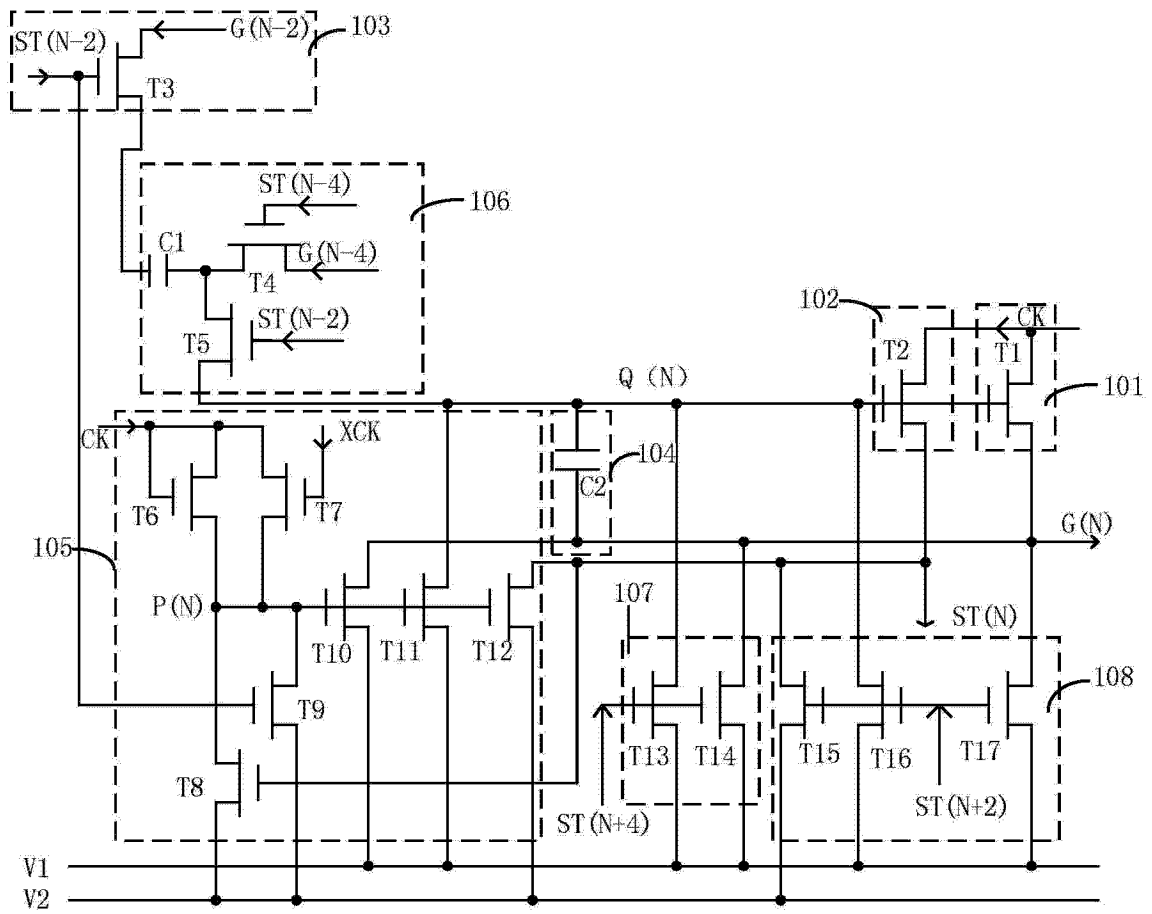


图 6

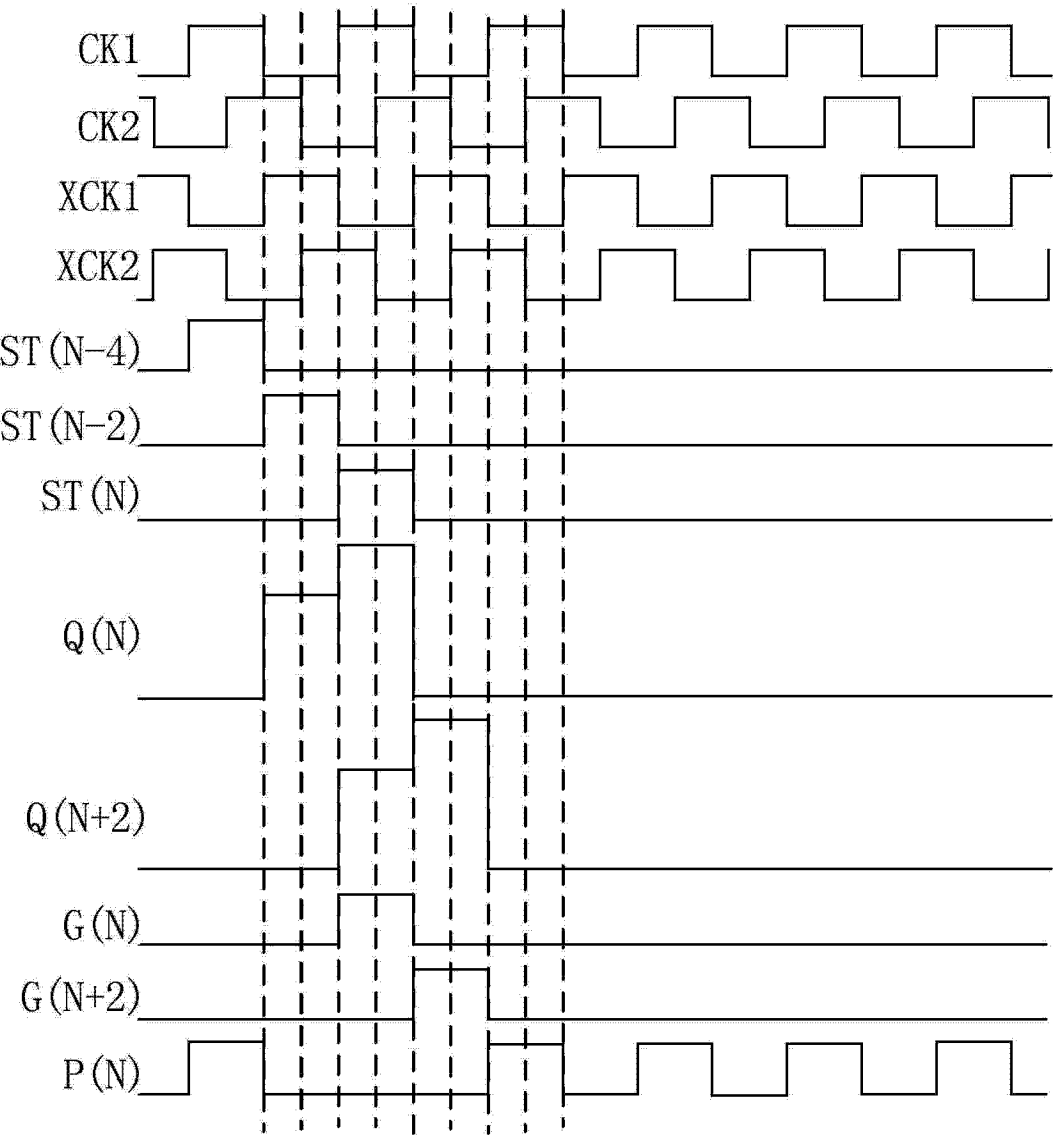


图 7

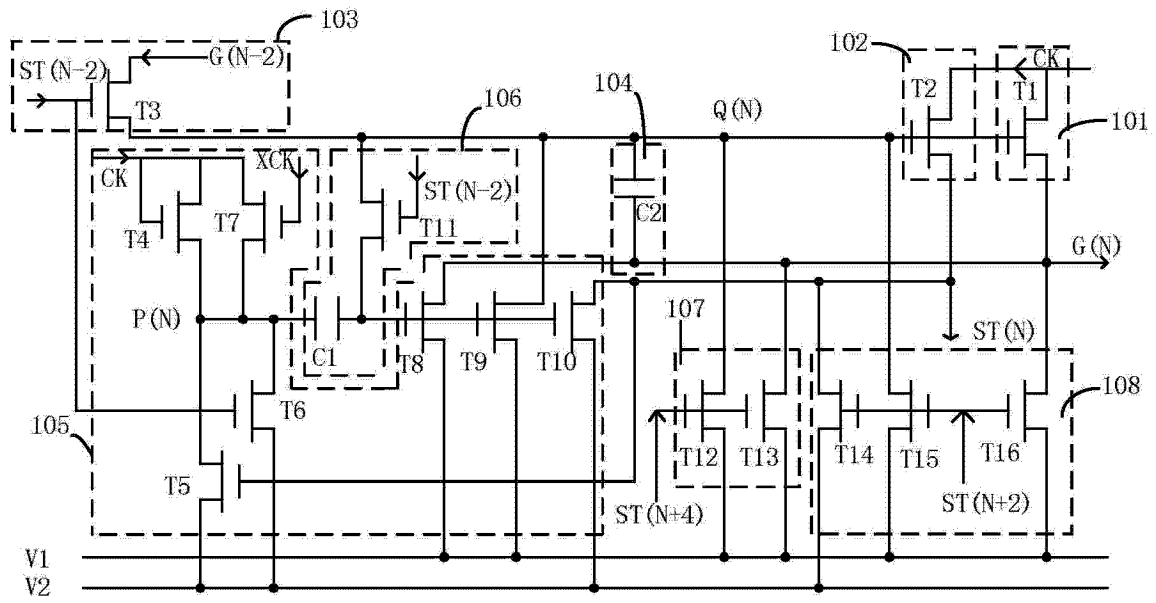


图 8

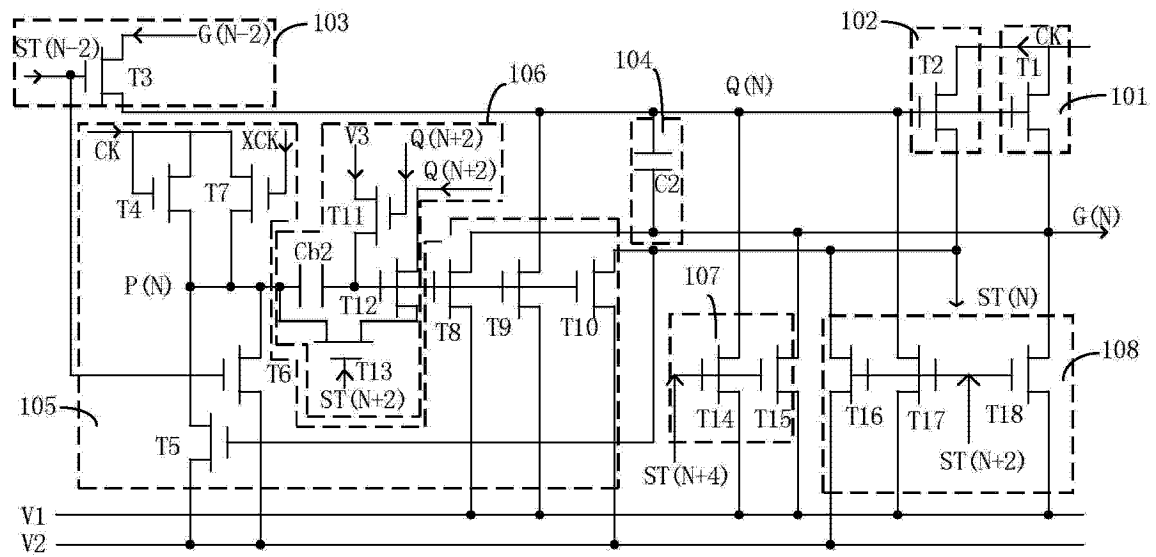


图 9

2
~

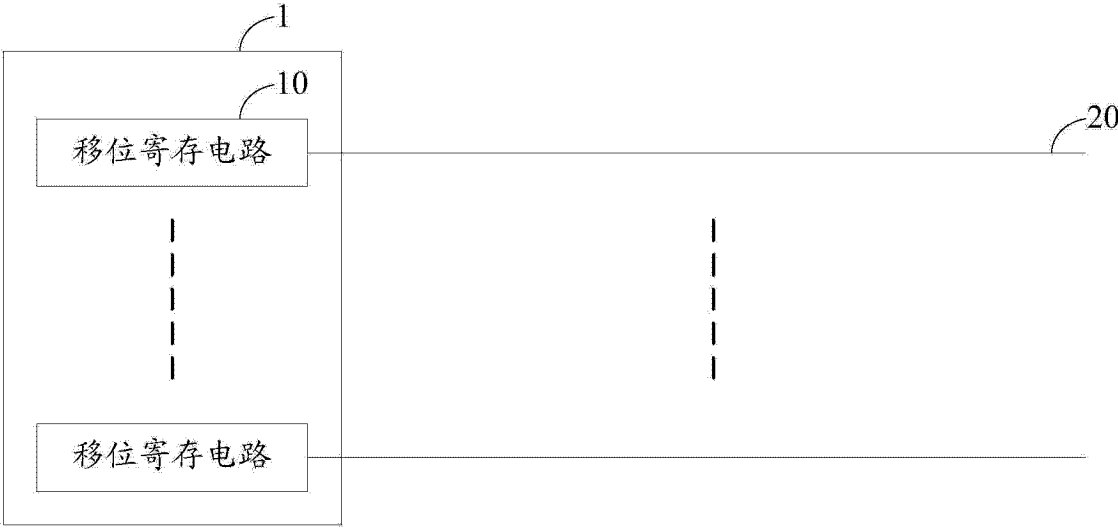


图 10

专利名称(译)	液晶显示面板及其栅极驱动电路		
公开(公告)号	CN104332144A	公开(公告)日	2015-02-04
申请号	CN201410619300.8	申请日	2014-11-05
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	肖军城		
发明人	肖军城		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G09G3/3677 G09G2310/0243 G09G2310/0267 G09G2310/0286 G11C19/287		
其他公开文献	CN104332144B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示面板及其栅极驱动电路。该栅极驱动电路包括多个移位寄存电路，多个移位寄存电路以串联方式进行级联，每一移位寄存电路包括：第一下拉保持电路，耦接于第一节点、第一时钟信号、第一参考电压以及第二参考电压，用于保持第一节点的低电平；补偿电路，耦接于第一节点或者第一下拉保持电路，用于补偿第一节点或者第一下拉保持电路的电位。以此提高栅极驱动电路长期操作的稳定性，进而提高显示面板的质量。

