



(12) 发明专利申请

(10) 申请公布号 CN 104050935 A

(43) 申请公布日 2014. 09. 17

(21) 申请号 201310076420. 3

(22) 申请日 2013. 03. 11

(71) 申请人 瀚宇彩晶股份有限公司

地址 中国台湾新北市

(72) 发明人 游家华 林松君 刘轩辰 詹建廷

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

G09G 3/36 (2006. 01)

G11C 19/28 (2006. 01)

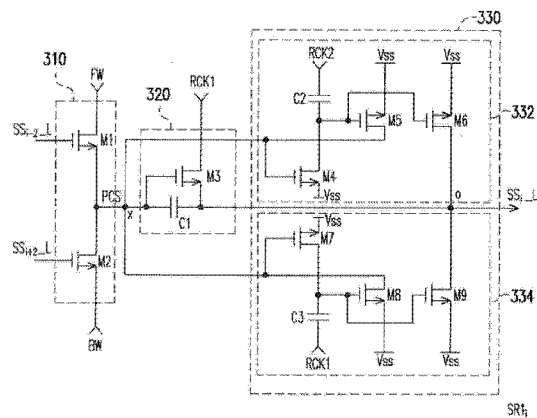
权利要求书2页 说明书9页 附图11页

(54) 发明名称

移位寄存器、双向移位暂存装置及应用其的液晶显示面板

(57) 摘要

一种移位寄存器、双向移位暂存装置及应用其的液晶显示面板。移位寄存器包括预充电单元、上拉单元以及下拉单元。预充电单元接收对应所述移位寄存器的前二级与后二级移位寄存器的输出,并据以输出预充电信号。上拉单元接收预充电信号与第一输入时钟信号,并据以输出扫描信号。下拉单元耦接预充电单元与上拉单元并且接收预充电信号、第一输入时钟信号以及第二输入时钟信号以控制扫描信号的电平,其中第一输入时钟信号与第二输入时钟信号互为反相。



1. 一种移位寄存器,其特征在于,包括:

一预充电单元,接收对应该移位寄存器的前二级与后二级移位寄存器的输出,并据以输出一预充电信号;

一上拉单元,耦接该预充电单元,接收该预充电信号与一第一输入时钟信号,并据以输出一扫描信号;以及

一下拉单元,耦接该预充电单元与该上拉单元,接收该预充电信号、该第一输入时钟信号以及一第二输入时钟信号以控制该扫描信号的电平,其中该第一输入时钟信号与该第二输入时钟信号互为反相。

2. 根据权利要求1所述的移位寄存器,其中该预充电单元还接收一顺向输入信号与一逆向输入信号,该双向移位暂存装置依据该顺向输入信号与该逆向输入信号,输出该些扫描信号。

3. 根据权利要求2所述的移位寄存器,其中该预充电单元包括:

一第一晶体管,其栅极接收对应该移位寄存器的前二级移位寄存器所输出的该扫描信号,其第一源漏极接收该顺向输入信号,且其第二源漏极输出该预充电信号;以及

一第二晶体管,其栅极接收对应该移位寄存器的后二级移位寄存器所输出的该扫描信号,其第一源漏极耦接该第一晶体管的第二源漏极,且其第二源漏极接收该逆向输入信号。

4. 根据权利要求1所述的移位寄存器,其中该上拉单元包括:

一第三晶体管,其栅极接收该预充电信号,其第一源漏极接收该第一输入时钟信号,且其第二源漏极输出该扫描信号;以及

一第一电容,其第一端耦接该第三晶体管的栅极,且其第二端耦接该第三晶体管的第二源漏极。

5. 根据权利要求1所述的移位寄存器,其中该下拉单元包括:

一第一放电单元,接收该预充电信号与该第二输入时钟信号,并据以决定是否将该扫描信号下拉至一参考电位;以及

一第二放电单元,接收该预充电信号与该第一输入时钟信号,并据以决定是否将该扫描信号维持于该参考电位。

6. 根据权利要求5所述的移位寄存器,其中该第一放电单元包括:

一第二电容,其第一端接收该第二输入时钟信号;

一第四晶体管,其栅极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极以接收该预充电信号,其第一源漏极耦接该第二电容的第二端,且其第二源漏极耦接该参考电位;

一第五晶体管,其栅极耦接该第二电容的第二端与该第四晶体管的第一源漏极,其第一源漏极耦接该第四晶体管的栅极,且其第二源漏极耦接该参考电位;以及

一第六晶体管,其栅极耦接该第二电容的第二端与该第四晶体管的第一源漏极,其第一源漏极耦接该第三晶体管的第二源漏极,且其第二源漏极耦接该参考电位。

7. 根据权利要求5所述的移位寄存器,其中该第二放电单元包括:

一第三电容,其第一端接收该第一输入时钟信号;

一第七晶体管,其栅极耦接该第一晶体管的第二源漏极与该第二晶体管的第一源漏极以接收该预充电信号,其第一源漏极耦接该第三电容的第二端,且其第二源漏极耦接该参

考电位；

一第八晶体管，其栅极耦接该第三电容的第二端与该第七晶体管的第二源漏极，其第一源漏极耦接该第七晶体管的栅极，且其第二源漏极耦接该参考电位；以及

一第九晶体管，其栅极耦接该第三电容的第二端与该第七晶体管的第二源漏极，其第一源漏极耦接该第三晶体管的第二源漏极，且其第二源漏极耦接该参考电位。

8. 一种双向移位暂存装置，适用于一液晶显示面板，其特征在于，该双向移位暂存装置包括：

N级如权利要求1所述的移位寄存器，这些移位寄存器彼此串接在一起，且配置于该液晶显示面板的一显示区的左侧。

9. 一种双向移位暂存装置，适用于一液晶显示面板，其特征在于，该双向移位暂存装置包括：

M级如权利要求1所述的移位寄存器，这些移位寄存器彼此串接在一起，且配置于该液晶显示面板的一显示区的右侧。

10. 一种液晶显示面板，其特征在于，包括：

一显示区；以及

一如权利要求8所述的双向移位暂存装置与一如权利要求9所述的双向移位暂存装置。

移位寄存器、双向移位暂存装置及应用其的液晶显示面板

技术领域

[0001] 本发明是有关于一种平面显示技术,且特别是有关于一种移位寄存器、双向移位暂存装置及应用其的液晶显示面板。

背景技术

[0002] 近年来,随着半导体科技蓬勃发展,携带型电子产品及平面显示器产品也随之兴起。而在众多平面显示器的类型当中,液晶显示器(Liquid Crystal Display, LCD)基于其低电压操作、无辐射线散射、重量轻以及体积小等优点,随即已成为各显示器产品的主流。也亦因如此,无不驱使着各家厂商针对液晶显示器的开发技术要朝向更微型化及低制作成本发展。

[0003] 为了要降低液晶显示器的制作成本,已有部分厂商研发出在液晶显示面板采用非晶硅(amorphous silicon, a-Si)制程的条件下,可将原先配置于液晶显示面板的扫描侧所使用的扫描驱动 IC 内部的移位寄存器(shift register)转移直接配置在液晶显示面板的玻璃基板(glass substrate)上。因此,原先配置于液晶显示面板的扫描侧所使用的扫描驱动 IC 即可省略,藉以达到降低液晶显示器的制作成本的目的。

发明内容

[0004] 本发明提供一种移位寄存器、双向移位暂存装置及应用其的液晶显示面板,其可利用较少的控制信号来实现双向扫描的驱动机制,并且具有较高的可靠度。

[0005] 本发明的移位寄存器包括预充电单元、上拉单元以及下拉单元。预充电单元接收对应所述移位寄存器的前二级与后二级移位寄存器的输出,并据以输出预充电信号。上拉单元耦接预充电单元,接收预充电信号与第一输入时钟信号,并据以输出扫描信号。下拉单元耦接预充电单元与上拉单元并且接收预充电信号、第一输入时钟信号以及第二输入时钟信号以控制扫描信号的电平,其中第一输入时钟信号与第二输入时钟信号互为反相。

[0006] 本发明的双向移位暂存装置适用于一液晶显示面板,且包括 N 级如上所述的移位寄存器,其中各级移位寄存器彼此串接在一起,且配置于液晶显示面板的显示区的左侧。

[0007] 本发明的右侧双向移位暂存装置适用于一液晶显示面板,且包括 M 级如上所述的移位寄存器,其中各级移位寄存器彼此串接在一起,且配置于液晶显示面板的显示区的右侧。

[0008] 本发明的液晶显示面板包括显示区以及如上所述的两双向移位暂存装置,其中两双向移位暂存装置分别配置于显示区的左侧与右侧。

[0009] 基于上述,本发明实施例提出一种移位寄存器、双向移位暂存装置及应用其的液晶显示面板,其中所述移位寄存器可利用动态反相器的电路架构来进行节点放电,并藉以所输出的扫描信号的电平,进而有效地提高整体双向移位暂存装置的可靠度。此外,基于本发明实施例的双向移位暂存装置的电路架构下,所述双向移位暂存装置可利用较少的控制信号来实现顺向扫描与逆向扫描的驱动机制,进而减少应用其的液晶显示面板的电路布局

面积。

[0010] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

附图说明

- [0011] 图 1 为本发明一实施例的液晶显示器的示意图。
 [0012] 图 2A 与 2B 为依照图 1 实施例的双向移位暂存装置的示意图。
 [0013] 图 3A 为依照图 2A 实施例的移位寄存器的示意图。
 [0014] 图 3B ~ 3E 为依照图 3A 实施例的第 1 级至第 4 级移位寄存器的电路操作示意图。
 [0015] 图 4 为依照图 3A 实施例的移位寄存器的电路示意图。
 [0016] 图 5A 与 5B 为本发明一实施例的双向移位暂存装置的信号时序示意图。
 [0017] 图 6A 与 6B 为本发明另一实施例的双向移位暂存装置的信号时序示意图。

[0018] [标号说明]

- | | | |
|--------|---|---------------------------|
| [0019] | 100 :液晶显示器 | 110 :液晶显示面板 |
| [0020] | 112_L、112_R :双向移位暂存装置 | 120 :驱动电路 |
| [0021] | 122 :时序控制器 | 124 :移位寄存器 |
| [0022] | 130 :背光模块 | 310、310_1 ~ 310_4 :预充电单元 |
| [0023] | 320、320_1 ~ 320_4 :上拉单元 | 330、330_1 ~ 330_4 :下拉单元 |
| [0024] | 332、332_1 ~ 332_4 :第一放电单元 | 334、334_1 ~ 334_4 :第二放电单元 |
| [0025] | AA :显示区 | BW :逆向输入信号 |
| [0026] | C1 ~ C3 :电容 | |
| [0027] | CLK1_L ~ CLK4_L、CLK1_R ~ CLK4_R :时钟信号 | |
| [0028] | FW :顺向输入信号 | M1 ~ M9 :晶体管 |
| [0029] | PCS :预充电信号 | RCK1 :第一输入时钟信号 |
| [0030] | RCK2 :第二输入时钟信号 | |
| [0031] | SS _i _L ~ SS _N _L、SS _i _R ~ SS _M _R、SS _i _L、SS _j _R :扫描信号 | |
| [0032] | STV1_L、STV2_L、STV1_R、STV2_R :起始信号 | |
| [0033] | SR1 _i ~ SR1 _N 、SR2 _i ~ SR2 _M 、SR1 _i 、SR2 _j :移位寄存器 | |
| [0034] | V _{ss} :参考电位 | o、x :节点 |
| [0035] | t1 ~ t9 :时间 | |

具体实施方式

[0036] 本发明实施例提出一种移位寄存器、双向移位暂存装置及应用其的液晶显示面板,其中所述移位寄存器可利用动态反相器的电路架构来进行节点放电,并藉以控制所输出的扫描信号的电平,进而有效地提高整体双向移位暂存装置的可靠度。此外,基于本发明实施例的双向移位暂存装置的电路架构下,所述双向移位暂存装置可利用较少的控制信号来实现顺向扫描与逆向扫描的驱动机制,进而减少应用其的液晶显示面板的电路布局面积。为了使本发明的内容更容易明了,以下特举实施例作为本发明确实能够据以实施的范例。另外,凡可能之处,在图式及实施方式中使用相同标号的元件 / 构件 / 步骤代表相同或

类似部分。

[0037] 图 1 为本发明一实施例的液晶显示器的示意图。请参照图 1, 液晶显示器 100 包括液晶显示面板 110、驱动电路 120 以及用以提供液晶显示面板 110 所需的(背)光源的背光模块 130。

[0038] 液晶显示面板 110 包括基板(未绘示, 例如为玻璃基板)、多个像素(未绘示)以及双向移位暂存装置 112_L 与 112_R。在液晶显示面板 110 中, 所述像素配置于基板上且以阵列排列于显示区(display area)AA 内。双向移位暂存装置 112_L 与 112_R 分别直接配置于显示区 AA 的两侧, 并且经由对应的扫描线分别耦接至奇数行像素与偶数行像素。

[0039] 驱动电路 120 包括时序控制器 122 以及源极驱动器 124。在驱动电路 120 中, 时序控制器 122 可提供多个预设时钟信号(如 STV1_L、STV2_L、STV1_R、STV2_R、CLK1_L ~ CLK4_L、CLK1_R ~ CLK4_R)来控制源极驱动器 124 以及双向移位暂存装置 112_L 与 112_R 的操作。源极驱动器 124 受控于时序控制器 122 而输出多个像素电压来驱动液晶显示面板 110 显示画面。

[0040] 详细而言, 左侧双向移位暂存装置 112_L 会反应于时序控制器 122 所提供的起始信号 STV1_L 与 STV2_L 以及时钟信号 CLK1_L ~ CLK4_L 而输出多个扫描信号 SS_{1_L} ~ SS_{N_L}, 其中扫描信号 SS_{1_L}、SS_{2_L}、SS_{N-1_L} 及 SS_{N_L} 为冗余(dummy)扫描信号(不提供至液晶显示面板 110, 仅作为产生其它扫描信号的依据), 扫描信号 SS_{3_L} ~ SS_{N-2_L} 则会经由对应的扫描线提供至液晶显示面板 110 的奇数行像素, 藉以序列地开启奇数行像素。在此, N 为对应奇数行像素的行数的一预设正整数(在本实施例中 N 值等于奇数行像素的行数加 4)。

[0041] 相似地, 右侧双向移位暂存装置 112_R 会反应于时序控制器 122 所提供的起始信号 STV1_R 与 STV2_R 以及时钟信号 CLK1_R ~ CLK4_R 而输出多个扫描信号 SS_{1_R} ~ SS_{M_R}, 其中扫描信号 SS_{1_R}、SS_{2_R}、SS_{M-1_R} 及 SS_{M_R} 为冗余扫描信号, 扫描信号 SS_{3_R} ~ SS_{M-2_R} 则会经由对应的扫描线提供至液晶显示面板 110 的偶数行像素, 藉以序列地开启偶数行像素。在此, M 为对应偶数行像素的行数的一预设正整数(在本实施例中 M 值等于偶数行像素的行数加 4)。

[0042] 根据上述的驱动方式, 液晶显示面板 110 的每一行像素会依据对应的扫描信号 SS_{3_L} ~ SS_{N-2_L} 与 SS_{3_R} ~ SS_{M-2_R} 而依序被开启, 使得液晶显示面板 110 可据以显示画面。在本实施例中, 时序控制器 122 可通过提供不同的预设时钟信号来控制双向移位暂存装置 112_L 与 112_R 的扫描顺序, 使得双向移位暂存装置 112_L 与 112_R 以顺向(即由第一行至最后一行)或逆向(即由最后一行至第一行)的扫描顺序来依序开启每一行像素。

[0043] 更清楚来说, 图 2A 与 2B 分别为双向移位暂存装置 112_L 与 112_R 的示意图。请先参照图 2A, 左侧双向移位暂存装置 112_L 包括 N 级实质上相同且彼此串接在一起的移位寄存器 SR1₁ ~ SR1_N, 其中第 1 级、第 2 级、第 N-1 级与第 N 级移位寄存器 SR1₁、SR1₂、SR1_{N-1}、SR1_N 皆为输出冗余扫描信号的冗余移位寄存器, 且第 3 级移位寄存器 SR1₃ 至第 N-2 级移位寄存器 SR1_{N-2} 分别经由对应的扫描线耦接至奇数行像素。相似地, 请参照图 2B, 右侧双向移位暂存装置 112_R 包括 M 级实质上相同且彼此串接再依起的移位寄存器 SR2₁ ~ SR2_M, 其中第 1 级、第 2 级、第 M-1 级与第 M 级移位寄存器 SR2₁、SR2₂、SR2_{M-1}、SR2_M 皆为输出冗余扫描信号的冗余移位寄存器, 且第 3 级移位寄存器 SR2₃ 至第 M-2 级移位寄存器 SR2_{M-2} 分别经由对应的扫描线耦接至偶数行像素。

[0044] 在本实施例中,双向移位暂存装置 112_L 与 112_R 可依据顺向输入信号 FW 与逆向输入信号 BW 而以顺向或逆向的扫描顺序分别序列地输出扫描信号 $SS_{1_L} \sim SS_{N_L}$ 与 $SS_{1_R} \sim SS_{M_R}$,其中顺向输入信号 FW 与逆向输入信号 BW 可为时序控制器 122 所提供的预设时钟信号的其中之一,或者可由额外的信号产生单元所提供,本发明不以此为限。

[0045] 在以下的实施例说明中,由于各级移位寄存器 $SR1_1 \sim SR1_N$ 与 $SR2_1 \sim SR2_M$ 的运作原理与电路架构大致相同,故主要以左侧双向移位暂存装置 112_L 的第 i 级移位寄存器 $SR1_i$ 为例来进行说明。于本领域技术人员应可从下述说明中直接而无歧异地推知右侧双向移位暂存装置 112_R 及其各级移位寄存器 $SR2_1 \sim SR2_M$ 的运作原理与电路架构,故后述实施例中仅会针对右侧双向移位暂存装置 112_R 与左侧双向移位暂存装置 112_L 的不同之处加以说明,重复之处将不再赘述。

[0046] 图 3A 为依照图 2A 实施例的移位寄存器的示意图。请同时参照图 2A 与图 3A,第 i 级移位寄存器 $SR1_i$ 包括预充电单元 310、上拉单元 320 以及下拉单元 330。预充电单元 310 接收第 $(i-2)$ 级与第 $(i+2)$ 级移位寄存器 $SR1_{i-2}$ 与 $SR1_{i+2}$ 的输出,并据以输出预充电信号 PCS,其中 $3 \leq i \leq N-2$ 。换言之,除了冗余移位寄存器之外的各个移位寄存器 $SR1_i$ 的预充电单元 310 会分别接收前二级与后二级移位寄存器 $SR1_{i-2}$ 与 $SR1_{i+2}$ 所输出的扫描信号 SS_{i-2_L} 与 SS_{i+2_L} 而据以产生对应的预充电信号 PCS。

[0047] 冗余移位寄存器则是分别利用时序控制器 122 所提供的起始信号 $STV1_L$ 与 $STV2_L$ 以产生对应的预充电信号 PCS。举例来说,第 1 级移位寄存器 $SR1_1$ 的预充电单元接收起始信号 $STV1_L$ 与第 3 级移位寄存器 $SR1_3$ 所输出的扫描信号 SS_{3_L} ,第 2 级移位寄存器 $SR1_2$ 的预充电单元接收起始信号 $STV2_L$ 与第 4 级移位寄存器 $SR1_4$ 所输出的扫描信号 SS_{4_L} ,第 $N-1$ 级移位寄存器 $SR1_{N-1}$ 的预充电单元接收第 $N-3$ 级移位寄存器 $SR1_{N-3}$ 所输出的扫描信号 SS_{N-3_L} 与起始信号 $STV1_L$,且第 N 级移位寄存器 $SR1_N$ 的预充电单元接收第 $N-2$ 级移位寄存器 $SR1_{N-2}$ 所输出的扫描信号 SS_{N-2_L} 与起始信号 $STV2_L$ 。

[0048] 此外,每一级移位寄存器 $SR1_i \sim SR1_N$ 的预充电单元还接收顺向输入信号 FW 与逆向输入信号 BW,以使左侧双向移位暂存装置 112_L 依据顺向输入信号 FW 与逆向输入信号 BW 而利用顺向扫描或逆向扫描的扫描顺序来驱动显示区 AA 中的奇数行像素。举例来说,左侧双向移位暂存装置 112_L 可依据致能的顺向输入信号 FW 与禁能的逆向输入信号 BW 而依照第一行至最后一行的顺序来驱动奇数行像素(顺向扫描),并且依据禁能的顺向输入信号 FW 与致能的逆向输入信号 BW 而依照最后一行至第一行的顺序来驱动奇数行像素(逆向扫描)。

[0049] 上拉单元 320 耦接预充电单元 310,接收预充电信号 PCS 与第一输入时钟信号 RCK1,并据以输出扫描信号 SS_i_L 。下拉单元 330 耦接预充电单元 310 与上拉单元 320,且包括第一放电单元 332 以及第二放电单元 334。其中,第一放电单元 332 接收预充电信号 PCS 与第二输入时钟信号 RCK2,并据以决定是否将扫描信号 SS_i_L 下拉至参考电位 V_{ss} (例如为一个负电压,但并不限制于此)。第二放电单元 334 接收预充电信号 PCS 与第一输入时钟信号 RCK1,并据以决定是否将扫描信号 SS_i_L 维持于参考电位 V_{ss} 。

[0050] 详细而言,时序控制器 122 会将不同的时钟信号 $CLK1_L \sim CLK4_L$ 依序提供至每一级移位寄存器 $SR1_1 \sim SR1_N$ 以作为对应的第一输入时钟信号 RCK1 与第二输入时钟信号 RCK2,以使每一级移位寄存器 $SR1_1 \sim SR1_N$ 可利用顺向扫描或逆向扫描的扫描顺序来驱动显

示区 AA 中的奇数行像素。其中,时序控制器 122 所提供的起始信号 STV1_L 与 STV2_L 以及时钟信号 CLK1_L ~ CLK4_L 的信号波形会基于顺向扫描或逆向扫描的驱动方式而有所不同(此部分可在后述实施例的信号时序示意图中明显看出)。

[0051] 在顺向扫描的驱动状态下,以第 1 级至第 4 级移位寄存器 SR1₁ ~ SR1₄ 为例,如图 3B ~ 3E 所示。请参阅图 3B,移位寄存器 SR1₁ 的预充电单元 310_1 会接收起始信号 STV1_L 与扫描信号 SS₃_L,移位寄存器 SR1₁ 的上拉单元 320_1 与第二放电单元 334_1 会接收时钟信号 CLK3_L 以作为第一输入时钟信号 RCK1,且移位寄存器 SR1₁ 的第一放电单元 332_1 则会接收时钟信号 CLK1_L 以作为第二时钟信号 RCK2。

[0052] 请参阅图 3C,移位寄存器 SR1₂ 的预充电单元 310_2 会接收起始信号 STV2_L 与扫描信号 SS₄_L,移位寄存器 SR1₂ 的上拉单元 320_2 与第二放电单元 334_2 会接收时钟信号 CLK4_L 以作为第一输入时钟信号 RCK1,且移位寄存器 SR1₂ 的第一放电单元 332_2 则会接收时钟信号 CLK2_L 以作为第二时钟信号 RCK2。

[0053] 请参阅图 3D,移位寄存器 SR1₃ 的预充电单元 310_3 会接收扫描信号 SS₁_L 与 SS₅_L,移位寄存器 SR1₃ 的上拉单元 320_3 与第二放电单元 334_3 会接收时钟信号 CLK1_L 以作为第一输入时钟信号 RCK1,且移位寄存器 SR1₃ 的第一放电单元 332_3 则会接收时钟信号 CLK3_L 以作为第二时钟信号 RCK2。

[0054] 请参阅图 3E,移位寄存器 SR1₄ 的预充电单元 310_4 会接收扫描信号 SS₂_L 与 SS₆_L,移位寄存器 SR1₄ 的上拉单元 320_4 与第二放电单元 334_4 会接收时钟信号 CLK2_L 以作为第一输入时钟信号 RCK1,且移位寄存器 SR1₄ 的第一放电单元 332_4 则会接收时钟信号 CLK4_L 以作为第二时钟信号 RCK2。

[0055] 第 5 级移位寄存器 SR1₅ 则会类似于第 1 级移位寄存器 SR1₁,分别利用时钟信号 CLK3_L 与 CLK1_L 作为第一输入时钟信号 RCK1 与第二输入时钟信号 RCK2,并且后续的移位寄存器 SR1₆ ~ SR1_N 皆会依据上述规律而利用对应的时钟信号 CLK1_L ~ CLK4_L 来作为第一输入时钟信号 RCK1 与第二输入时钟信号 RCK2。

[0056] 换言之,第 4k-3 级移位寄存器 SR1_i (i=4k-3, k 为正整数) 会分别以 CLK3_L 与 CLK1_L 作为第一输入时钟信号 RCK1 与第二输入时钟信号 RCK2。第 4k-2 级移位寄存器 SR1_i (i=4k-2) 会分别以 CLK4_L 与 CLK2_L 作为第一输入时钟信号 RCK1 与第二输入时钟信号 RCK2。第 4k-1 级移位寄存器 SR1_i (i=4k-1) 会分别以 CLK1_L 与 CLK3_L 作为第一输入时钟信号 RCK1 与第二输入时钟信号 RCK2。第 4k 级移位寄存器 SR1_i (i=4k) 会分别以 CLK2_L 与 CLK4_L 作为第一输入时钟信号 RCK1 与第二输入时钟信号 RCK2。亦即,各级移位寄存器 SR1₁ ~ SR1_N 会依序以时钟信号 CLK3_L、CLK4_L、CLK1_L 及 CLK2_L 作为第一输入时钟信号 RCK1,并且依序以时钟信号 CLK1_L、CLK2_L、CLK3_L 及 CLK4_L 作为第二输入时钟信号 RCK2。

[0057] 为了更清楚地说明本发明实施例,图 4 为依照图 3A 实施例的移位寄存器的电路示意图。请参照图 4,预充电单元 310 包括晶体管 M1 与 M2,上拉单元 320 包括晶体管 M3 与电容 C1,下拉单元 330 的第一放电单元 332 包括晶体管 M4 ~ M6 以及电容 C2,且下拉单元 330 的第二放电单元 334 包括晶体管 M7 ~ M9 以及电容 C3。其中,在本实施例中所述的各个晶体管 M1 ~ M9 是以 N 型晶体管为例,但本发明并不以此为限。

[0058] 在第 i 级移位寄存器 SR1_i 的预充电单元 310 中,晶体管 M1 的栅极接收第 i-2 级

移位寄存器 $SR1_{i-2}$ 所输出的扫描信号 SS_{i-2_L} , 且晶体管 M1 的漏极接收顺向输入信号 FW。晶体管 M2 的栅极接收第 $i+2$ 级移位寄存器 $SR1_{i+2}$ 所输出的扫描信号 SS_{i+2_L} , 晶体管 M2 的漏极耦接晶体管 M1 的源极并且共同耦接至节点 x 以输出预充电信号 PCS, 且晶体管 M2 的源极接收逆向输入信号 BW。

[0059] 在第 i 级移位寄存器 $SR1_i$ 的上拉单元 310 中, 晶体管 M3 的栅极经由节点 x 接收预充电信号 PCS, 晶体管 M3 的漏极接收第一输入时钟信号 RCK1, 且晶体管 M3 的源极输出扫描信号 SS_i_L 。电容 C1 的第一端耦接晶体管 M3 的栅极与节点 x, 且电容 C1 的第二端耦接晶体管 M3 的源极。

[0060] 在第 i 级移位寄存器 $SR1_i$ 的第一放电单元 332 中, 电容 C2 的第一端接收第二输入时钟信号 RCK2。晶体管 M4 的栅极耦接至节点 x 并且接收预充电信号 PCS, 晶体管 M4 的漏极耦接电容 C2 的第二端, 且晶体管 M4 的源极耦接参考电位 V_{ss} 。晶体管 M5 的栅极耦接电容 C2 的第二端与晶体管 M4 的漏极, 晶体管 M5 的漏极耦接晶体管 M4 的栅极与节点 x, 且晶体管 M5 的源极耦接参考电位 V_{ss} 。晶体管 M6 的栅极耦接电容 C2 的第二端、晶体管 M4 的漏极以及晶体管 M5 的栅极, 晶体管 M6 的漏极耦接晶体管 M3 的源极与电容 C1 的第二端, 且晶体管 M6 的源极耦接参考电位 V_{ss} 。

[0061] 在第 i 级移位寄存器 $SR1_i$ 的第二放电单元 334 中, 电容 C3 的第一端接收第一输入时钟信号 RCK1。晶体管 M7 的栅极耦接至节点 x 并且接收预充电信号 PCS, 晶体管 M7 的漏极耦接电容 C3 的第二端, 且晶体管 M7 的源极耦接参考电位 V_{ss} 。晶体管 M8 的栅极耦接电容 C3 的第二端与晶体管 M7 的源极, 晶体管 M8 的漏极耦接晶体管 M7 的栅极与节点 x, 且晶体管 M8 的源极耦接参考电位 V_{ss} 。晶体管 M9 的栅极耦接电容 C3 的第二端、晶体管 M7 的源极以及晶体管 M8 的栅极, 晶体管 M9 的漏极耦接晶体管 M3 与 M6 的源极以及电容 C1 的第二端, 且晶体管 M9 的源极耦接参考电位 V_{ss} 。

[0062] 于此, 为了要清楚说明图 4 的移位寄存器 $SR1_i$ 的运作原理, 图 5A 绘示左侧双向移位暂存装置 112_L 对显示区 AA 中的奇数行像素进行顺向扫描的信号时序示意图。

[0063] 请先参照图 5A, 从图 5A 中可清楚地看出, 在顺向扫描的驱动状态下, 时序控制器 122 会提供具有特定责任周期 (duty cycle) 且具有不同相位差的时钟信号 $CLK3_L$ 、 $CLK4_L$ 、 $CLK1_L$ 以及 $CLK2_L$ 。在本实施例中, 各个时钟信号 $CLK1_L \sim CLK4_L$ 的责任周期是以 50% 为例, 且时序控制器 122 是依照 $CLK3_L \rightarrow CLK4_L \rightarrow CLK1_L \rightarrow CLK2_L$ 的顺序而产生相位依序落后前一信号 90 度的时钟信号 $CLK1_L \sim CLK4_L$, 亦即每个时钟信号 $CLK3_L$ 、 $CLK4_L$ 、 $CLK1_L$ 以及 $CLK2_L$ 的致能时间 (信号提升至高电位的时间, 亦为每一脉冲的脉冲宽度) 依序与前一时钟信号有 50% 的重迭, 但本发明并不以此为限。举例来说, 时钟信号 $CLK4_L$ 的相位会落后于时钟信号 $CLK3_L$ 并且具有 90 度的相位差, 时钟信号 $CLK1_L$ 的相位会落后于时钟信号 $CLK4_L$ 并且具有 90 度的相位差, 时钟信号 $CLK2_L$ 的相位会落后于时钟信号 $CLK1_L$ 并且具有 90 度的相位差。

[0064] 另外, 在本实施例中, 时钟信号 $CLK3_L$ 在一个帧期间 (frame period) 内的第一个脉冲 (pulse) 的致能时间会晚于起始信号 $STV2_L$ 的致能时间, 并且与起始信号 $STV2_L$ 的致能时间有 50% 的重迭。此外, 起始信号 $STV2_L$ 的相位落后于起始信号 $STV1_L$, 并且起始信号 $STV2_L$ 的致能时间会与起始信号 $STV1_L$ 的致能时间有 50% 的重迭。

[0065] 请合并参照图 2A、图 4 以及图 5A, 以第 1 级移位寄存器 $SR1_1$ 为例, 在时间 $t1 \sim t3$

的期间,预充电单元 310 的晶体管 M1 反应于致能的起始信号 STV1_L 而导通,并且晶体管 M2 反应于禁能的扫描信号 SS₃ 而截止,使得预充电单元 310 输出对应的预充电信号 PCS 来对节点 x 进行预充电。在此期间内,由于上拉单元 320 是接收禁能的时钟信号 CLK3_L,故无论晶体管 M3 是否会被预充电信号 PCS 所导通,扫描信号 SS_{1_L} 皆会位于参考电位 V_{ss}。

[0066] 在时间 t₃ ~ t₅ 的期间,预充电单元 310 的晶体管 M1 与 M2 分别反应于 禁能的起始信号 STV1 与禁能的扫描信号 SS₃ 而截止。上拉单元 320 与第二放电单元 334 接收到致能的时钟信号 CLK3_L,且第一放电单元 332 接收到禁能的时钟信号 CLK1_L。在此期间内,节点 x 会通过晶体管 M3 的漏极与栅极间的耦合效应 (coupling effect) 而被拉升至高电位,使得晶体管 M3 被导通而输出高电位的扫描信号 SS_{1_L}。另一方面,第一放电单元 332 的晶体管 M5 与 M6 会反应于禁能的时钟信号 CLK1_L 而截止,且第二放电单元 334 的晶体管 M7 会被节点 x 的高电位导通而使晶体管 M8 与 M9 被截止,故扫描信号 SS_{1_L} 会在时间 t₃ 时从参考电位 V_{ss} 拉升至高电位,并且在时间 t₃ ~ t₅ 的期间内维持在高电位。

[0067] 此外,在时钟信号 CLK1_L 与 CLK3 之间具有相位偏移而使时钟信号 CLK1 与 CLK3 的致能期间有重迭的情况下,第一放电单元 334 的晶体管 M4 会反应于节点 x 的高电位及致能的时钟信号 CLK1 而被导通,以使晶体管 M5 与 M6 维持于被截止的状态,因此扫描信号 SS_{1_L} 较不会受到时钟信号 CLK1 与 CLK3 之间的相位偏移的影响。

[0068] 在时间 t₅ ~ t₇ 的期间,预充电单元 310 的晶体管 M1 反应于禁能的起始信号 STV1_L 而截止,并且晶体管 M2 反应于致能的扫描信号 SS₃ 而导通。上拉单元 320 与第二放电单元 334 接收到禁能的时钟信号 CLK3_L,且第一放电单元 332 接收到致能的时钟信号 CLK1_L。在此期间内,预充电单元 310 会经由导通的晶体管 M2 对节点 x 进行放电。此外,第一放电单元 332 的晶体管 M5 与 M6 会反应于致能的时钟信号 CLK1_L 而导通,以分别对节点 x 与节点 o 进行放电。因此,扫描信号 SS_{1_L} 可在时间 t₅ 迅速地被下拉至参考电位 V_{ss},并且在时间 t₅ ~ t₇ 的期间内维持在参考电位 V_{ss}。在此,节点 x 可在时间 t₅ ~ t₇ 的期间内经由多条放电路径 (晶体管 M2、M4、M5) 进行放电,因此上拉单元 320 的晶体管 M3 较不会有误操作发生。

[0069] 在时间 t₇ ~ t₉ 的期间,预充电单元 310 的晶体管 M1 与 M2 分别反应于禁能的起始信号 STV1 与禁能的扫描信号 SS₃ 而截止。上拉单元 320 与第二放电单元 334 接收到致能的时钟信号 CLK3_L,且第一放电单元 332 接收到禁能的时钟信号 CLK1_L。由于节点 x 已经在前一期间被放电至参考电位 V_{ss},因此晶体管 M7 在此期间内并不会被导通,使得晶体管 M8 与 M9 分别反应于致能的时钟信号 CLK3_L 而导通,进而使节点 o 在时间 t₅ ~ t₇ 的期间内持续地被维持在参考电位 V_{ss}。

[0070] 基此,在同一帧期间内的移位寄存器 SR1₁ 的后续操作皆可参照上述时间 t₅ ~ t₇ 与 t₇ ~ t₉ 的操作说明,于此不再赘述。此外,其它移位寄存器 SR1₂ ~ SR1_N 的操作亦可根据上述说明推知,故亦不再赘述。

[0071] 具体而言,在上述实施例中,第一放电单元 332 中的晶体管 M4 ~ M6 与第二放电单元 334 中的晶体管 M7 ~ M9 分别类似于动态反相器 (dynamic inverter) 的功能,其可分别依据对应的输入时钟信号 RCK1 与 RCK2 而在不同期间内交替地对节点 x 及节点 o 放电,藉以使上拉单元 330 不会有误动作的发生。

[0072] 此外,基于图 4 的架构下,第一放电单元 332 与第二放电单元 334 分别仅需利用

两个信号（预充电信号 PCS 及第一 / 第二输入时钟信号 RCK1/RCK2）即可实现移位寄存器 $SR_{1_1} \sim SR_{1_N}$ 的控制，相较于传统的移位寄存器大大地降低了控制的复杂度。

[0073] 另一方面，在逆向扫描的驱动状态下，时序控制器 122 所提供的起始信号 STV_{1_L} 与 STV_{2_L} 以及时钟信号 $CLK_{1_L} \sim CLK_{4_L}$ 的信号波形可如图 6A 所示。图 6A 与图 5A 实施例的差异在于时序控制器 122 是依照 $CLK_{2_L} \rightarrow CLK_{1_L} \rightarrow CLK_{4_L} \rightarrow CLK_{3_L}$ 的顺序而产生相位依序落后前一信号 90 度的时钟信号 $CLK_{1_L} \sim CLK_{4_L}$ （顺向扫描的驱动状态下是依照 $CLK_{3_L} \rightarrow CLK_{4_L} \rightarrow CLK_{1_L} \rightarrow CLK_{2_L}$ 的顺序）。另外，在本实施例中，时钟信号 CLK_{2_L} 在一个帧期间内的第一个脉冲的致能时间会早于起始信号 STV_{1_L} 的致能时间，并且与起始信号 STV_{1_L} 的致能时间有 50% 的重迭。

[0074] 更进一步地说，对于在逆向扫描的驱动状态下的移位寄存器 $SR_{1_1} \sim SR_{1_N}$ 而言，以移位寄存器 $SR_N \sim SR_{N-3}$ 为例，移位寄存器 SR_N 、 SR_{N-1} 、 SR_{N-2} 以及 SR_{N-3} 会依序以时钟信号 CLK_{2_L} 、 CLK_{1_L} 、 CLK_{4_L} 及 CLK_{3_L} 作为第一输入时钟信号 RCK1，并且依序以时钟信号 CLK_{4_L} 、 CLK_{3_L} 、 CLK_{2_L} 及 CLK_{1_L} 作为第二输入时钟信号 RCK2。除此之外，其余作动及说明皆可参照上述图 2A、图 3A ~ 3E、图 4 以及图 5A 的说明，故于此不再赘述。

[0075] 另一方面，图 5B 与图 6B 分别绘示右侧双向移位暂存装置 112_R 在顺向扫描与逆向扫描的驱动状态下的信号时序示意图。请合并参照图 2B 与图 5B，在本实施例中，右侧双向移位暂存装置 112_R 及其移位寄存器 $SR_{2_1} \sim SR_{2_M}$ 的架构与操作原理均与左侧双向移位暂存装置 112_L 相同。双向移位暂存装置 112_L 与 112_R 的不同之处仅在于右侧双向移位暂存装置 112_R 是依据起始信号 STV_{1_R} 与 STV_{2_R} 以及时钟信号 $CLK_{1_R} \sim CLK_{4_R}$ 来依序驱动显示区 AA 内的偶数行像素。

[0076] 详细而言，请同时参照图 5A 与图 5B，在顺向扫描的驱动状态下，起始信号 STV_{1_R} 与 STV_{2_R} 分别对应于起始信号 STV_{1_L} 与 STV_{2_L} ，两者间的差异仅在于起始信号 STV_{1_R} 与 STV_{2_R} 的相位分别落后于起始信号 STV_{1_L} 与 STV_{2_L} ，并且分别具有 45 度的相位差，亦即起始信号 STV_{1_L} 与 STV_{1_R} 的致能时间有 75% 的重迭，且起始信号 STV_{2_L} 与 STV_{2_R} 的致能时间亦有 75% 的重迭。相似地，时钟信号 $CLK_{1_R} \sim CLK_{4_R}$ 分别依序对应于时钟信号 $CLK_{1_L} \sim CLK_{4_L}$ ，两者间的差异亦仅在于时钟信号 $CLK_{1_R} \sim CLK_{4_R}$ 的相位分别落后于时钟信号 $CLK_{1_L} \sim CLK_{4_L}$ ，并且分别具有 45 度的相位差，亦即时钟信号 $CLK_{1_L} \sim CLK_{4_L}$ 的致能时间分别与对应的时钟信号 $CLK_{1R} \sim CLK_{4R}$ 的致能时间有 75% 的重迭。基于所述的信号时序的差异，右侧双向移位暂存装置 112_R 可依序产生分别与扫描信号 $SS_{1_L} \sim SS_{N_L}$ 具有一定相位差的扫描信号 $SS_{1_R} \sim SS_{M_R}$ 来驱动偶数行像素，进而使得每一行相邻的像素可依据特定的间隔时间（如时间 $t_1 \sim t_2$ 的一半）依序开启。

[0077] 此外，基于上述图 2A 至图 6A 实施例的说明后，本领域技术人员在参照图 6B 后，应可直接而无歧异地推知有关于在逆向扫描的驱动状态下的右侧双向移位暂存装置 112_R 及其移位寄存器 $SR_{2_1} \sim SR_{2_M}$ 的操作，故于此不再赘述。

[0078] 综上所述，本发明实施例提出一种移位寄存器、双向移位暂存装置及应用其的液晶显示面板，其中所述移位寄存器可利用动态反相器的电路架构来进行节点放电，并藉以控制所输出的扫描信号的电平，进而有效地提高整体双向移位暂存装置的可靠度。此外，基于本发明实施例的双向移位暂存装置的电路架构下，所述双向移位暂存装置可利用较少的控制信号来实现顺向扫描与逆向扫描的驱动机制，进而使应用其的液晶显示面板的电路布

局面积减少。

[0079] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视所附的权利要求范围所界定者为准。

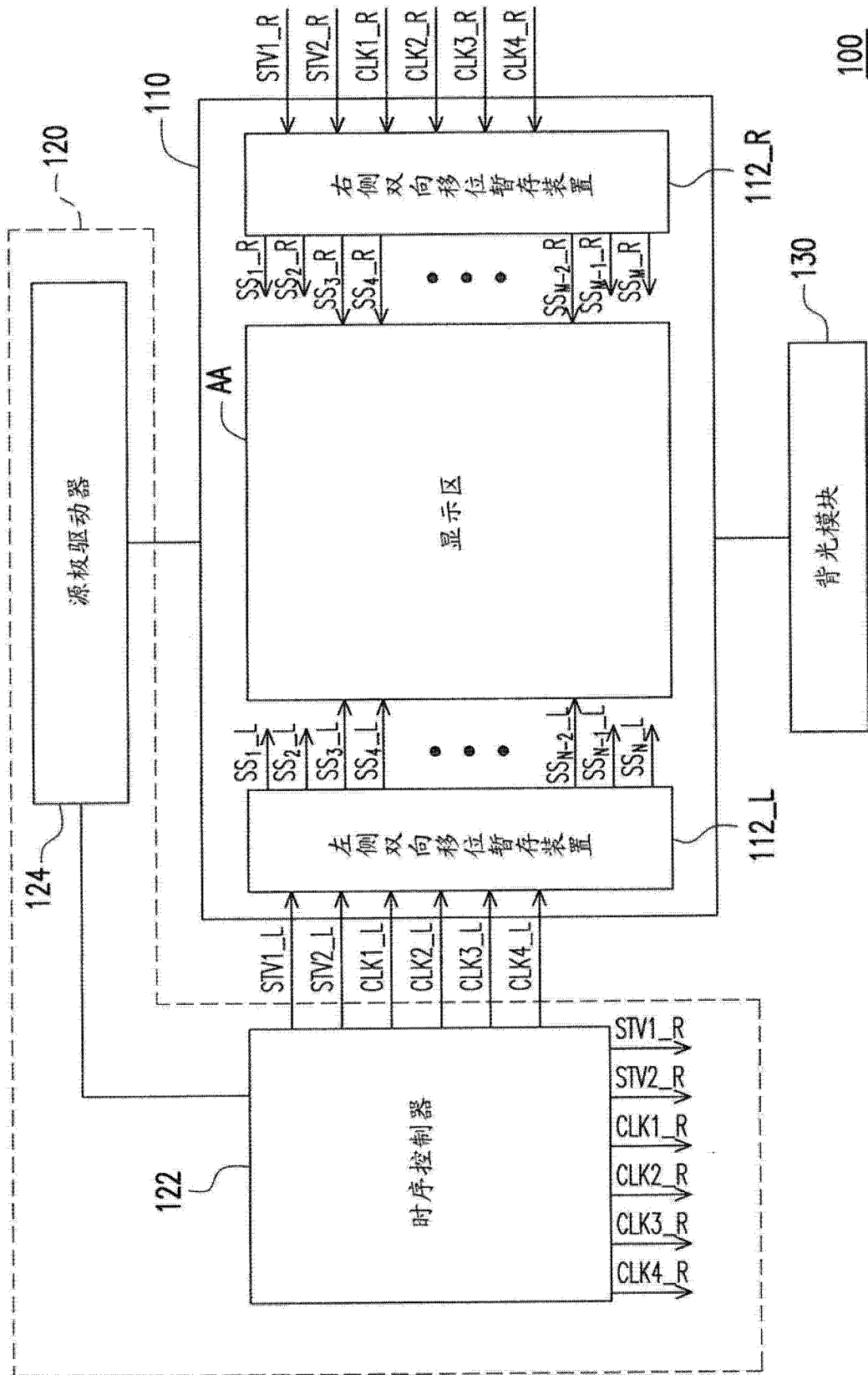


图 1

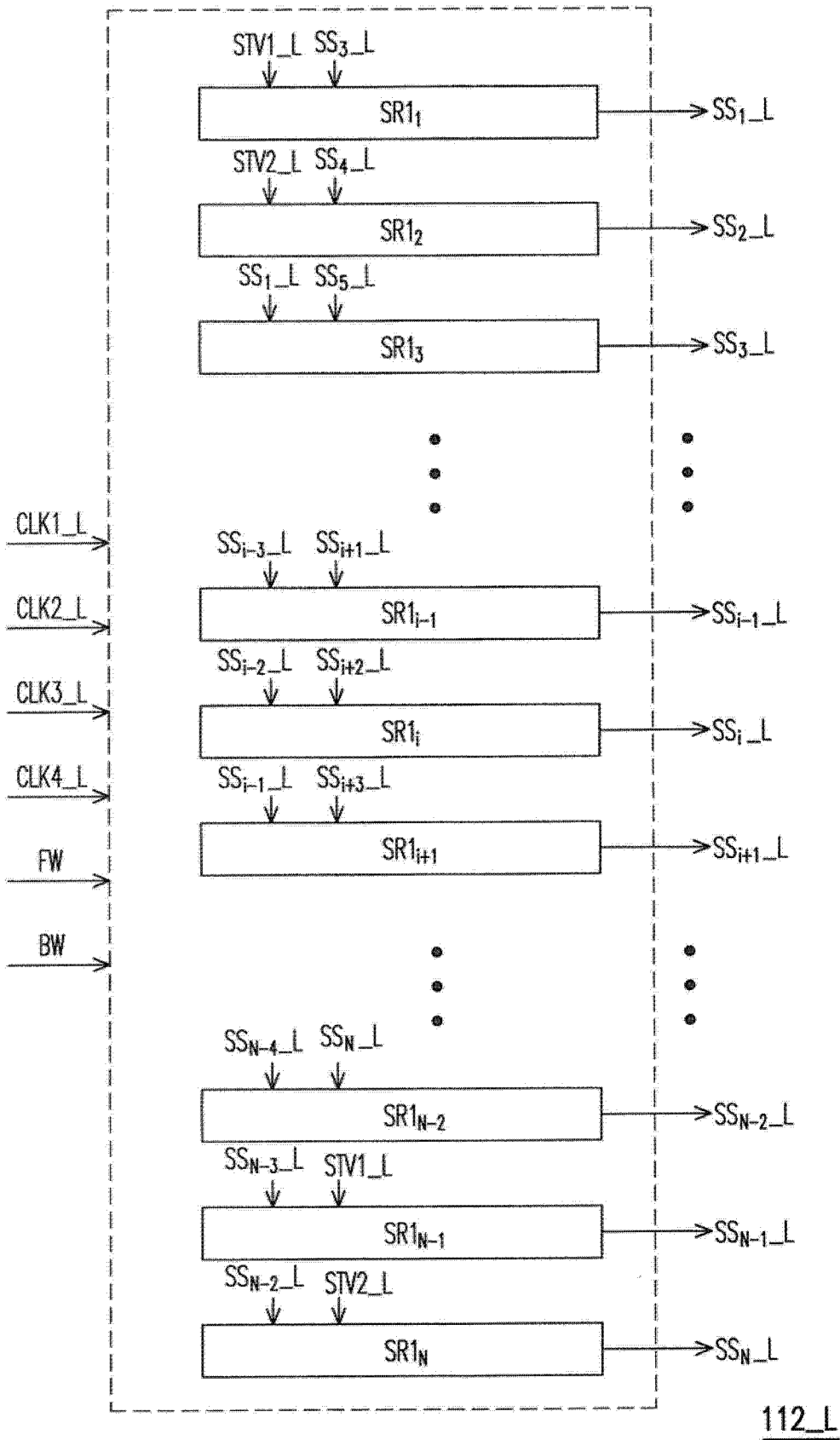


图 2A

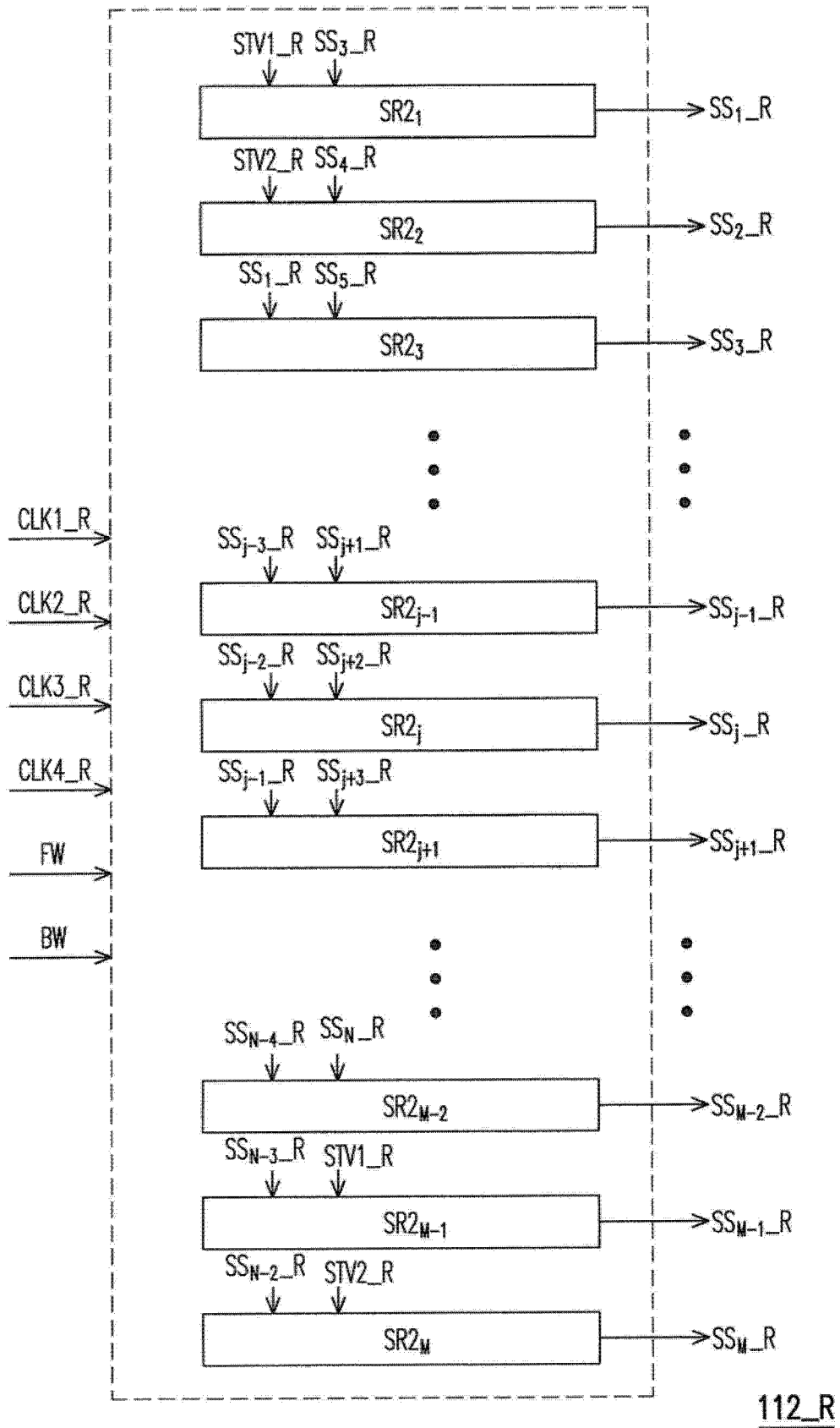


图 2B

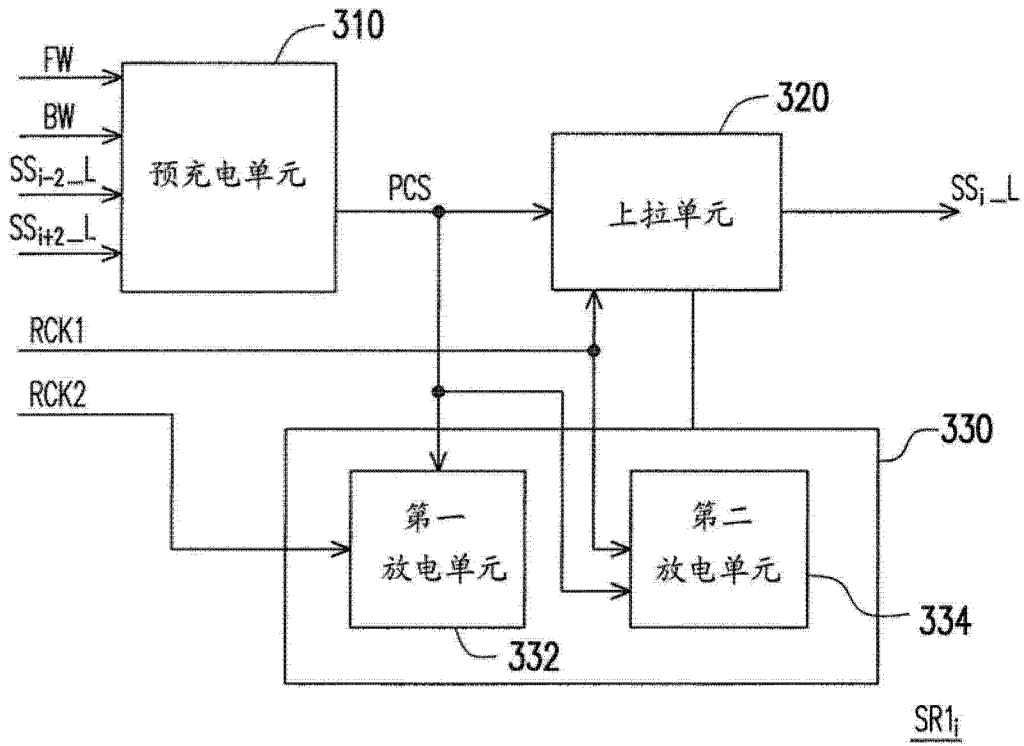


图 3A

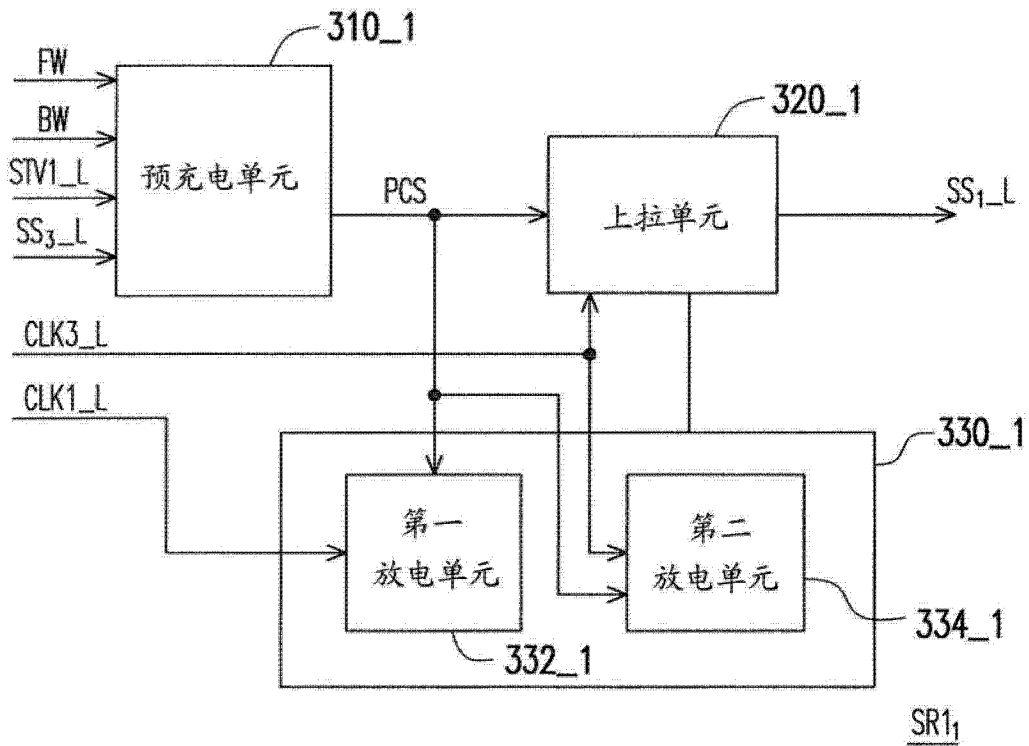


图 3B

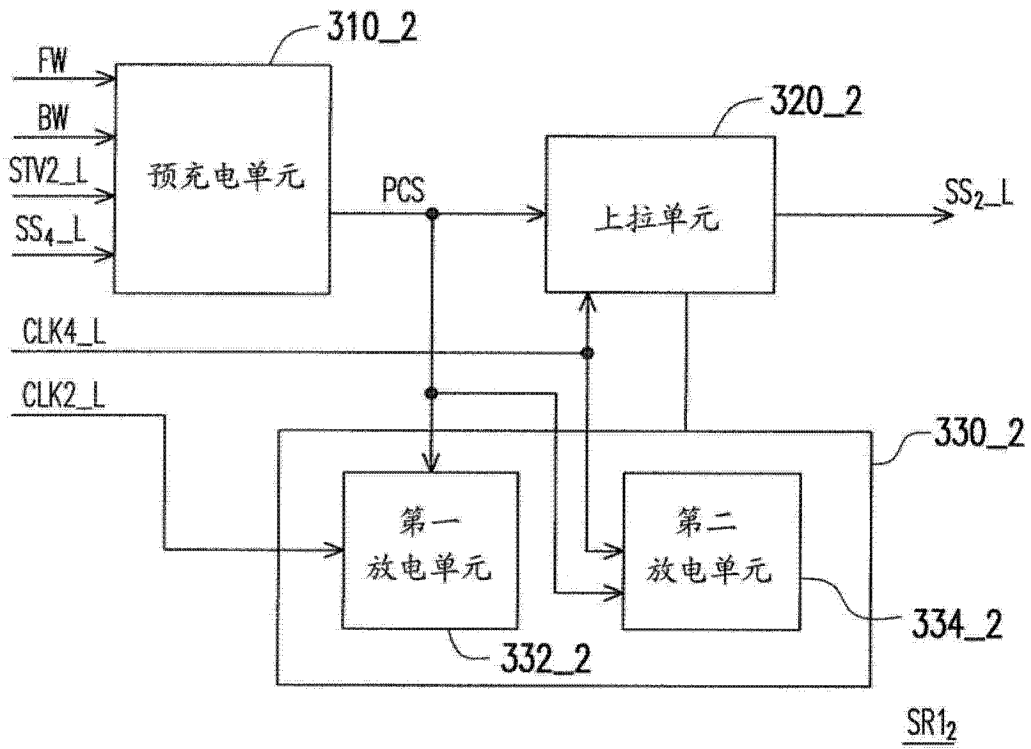


图 3C

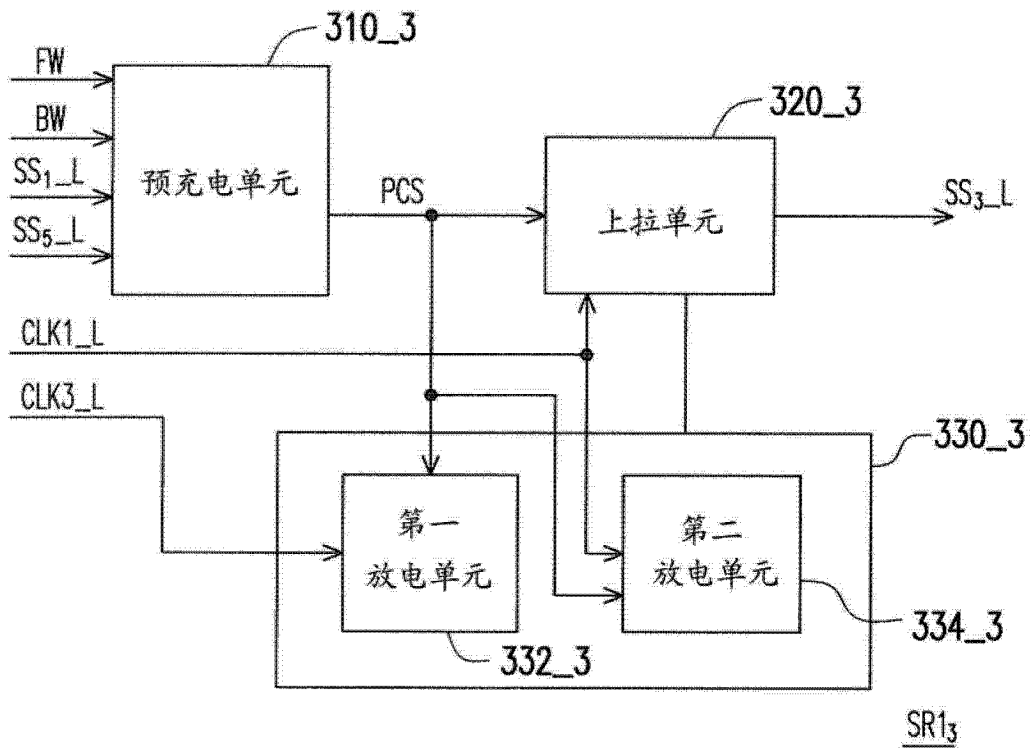


图 3D

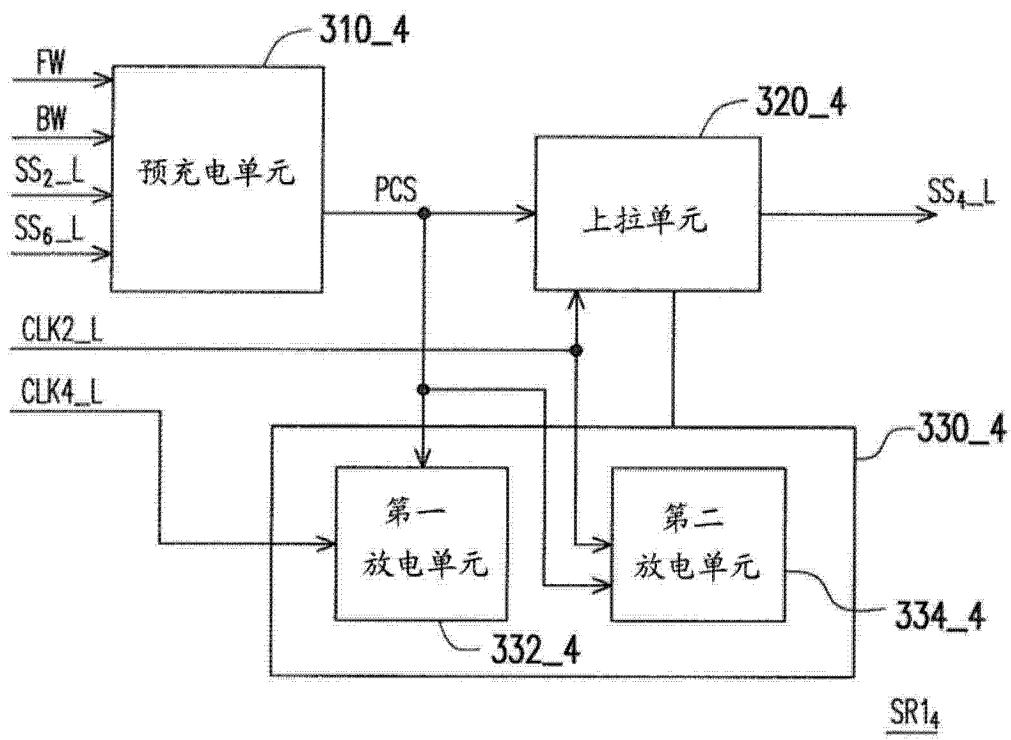


图 3E

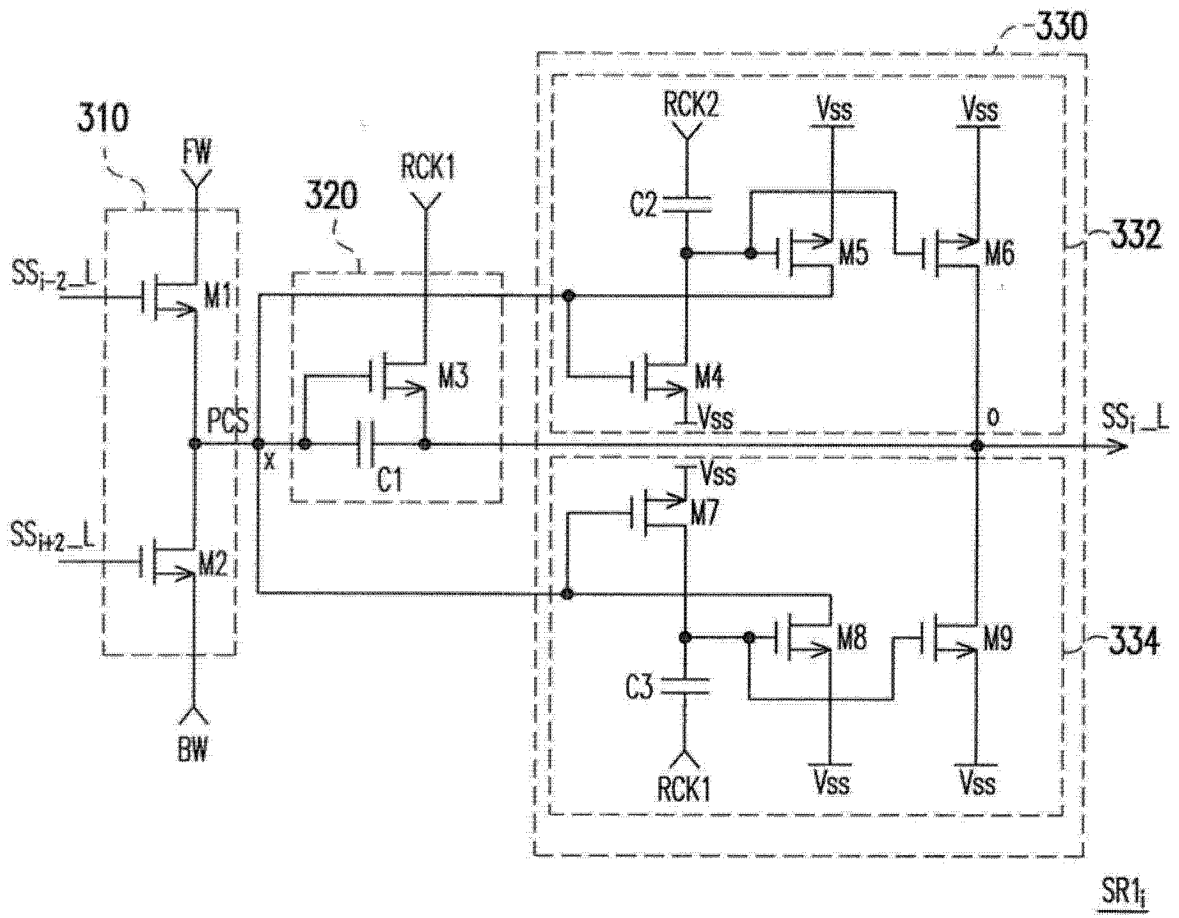


图 4

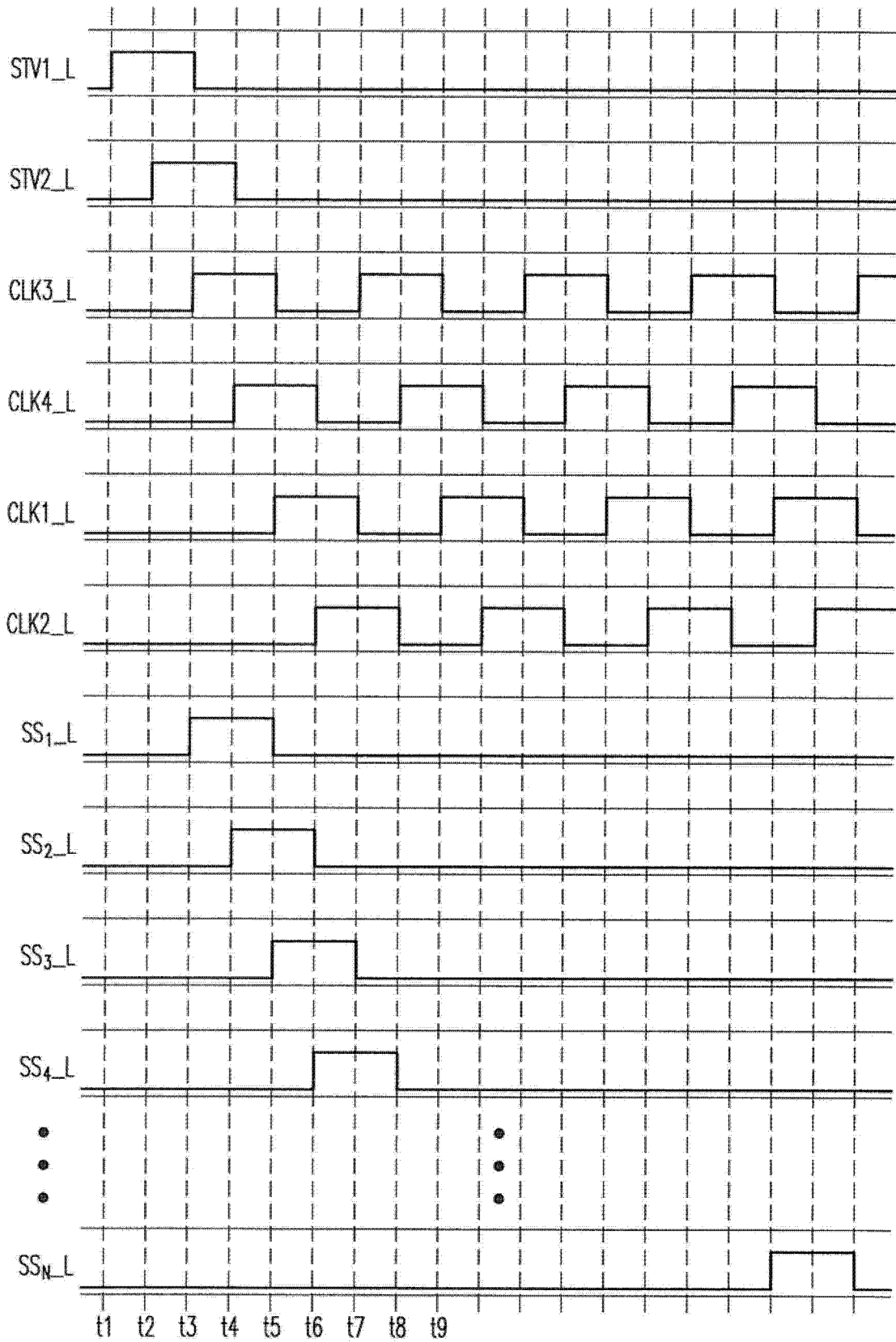


图 5A

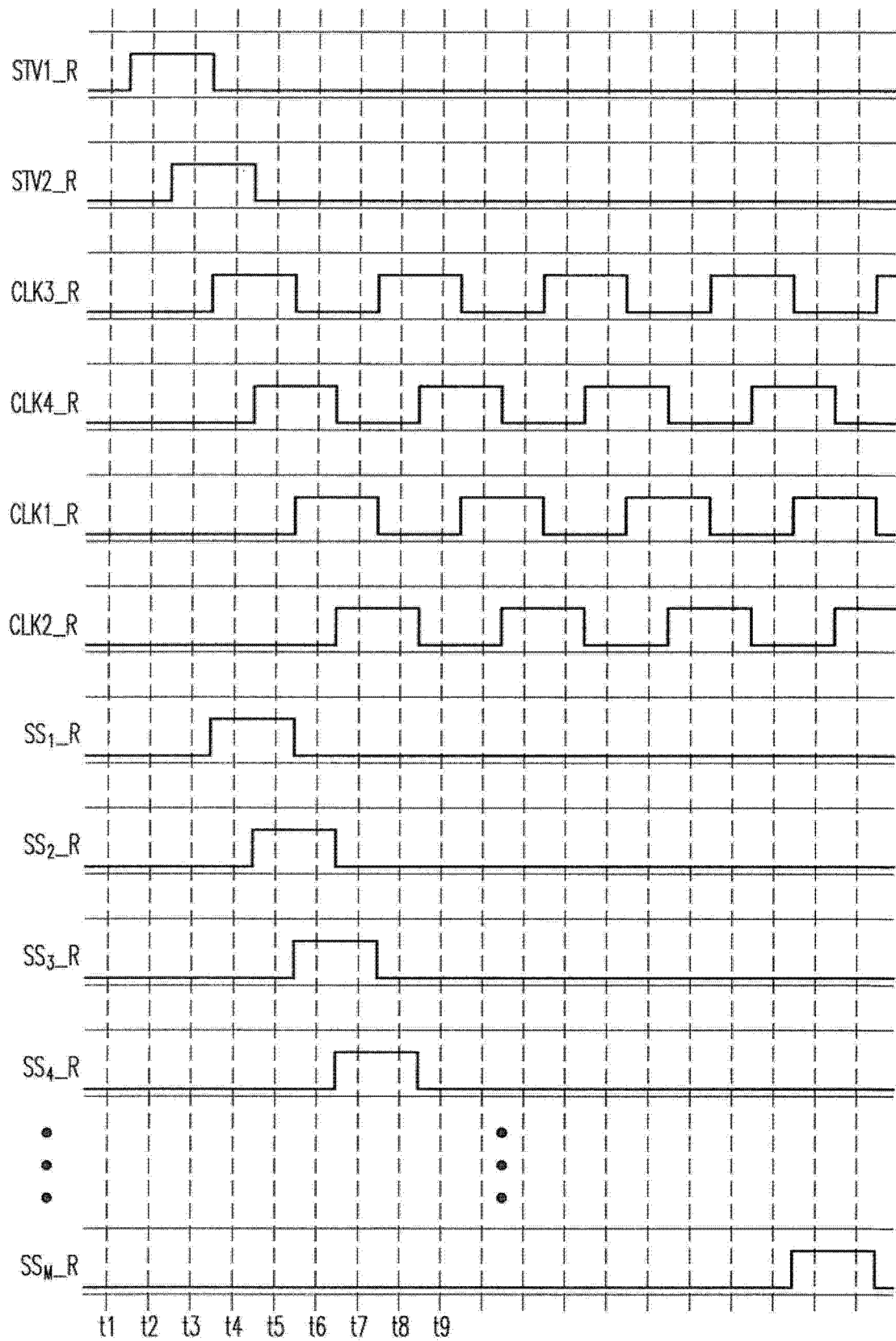


图 5B

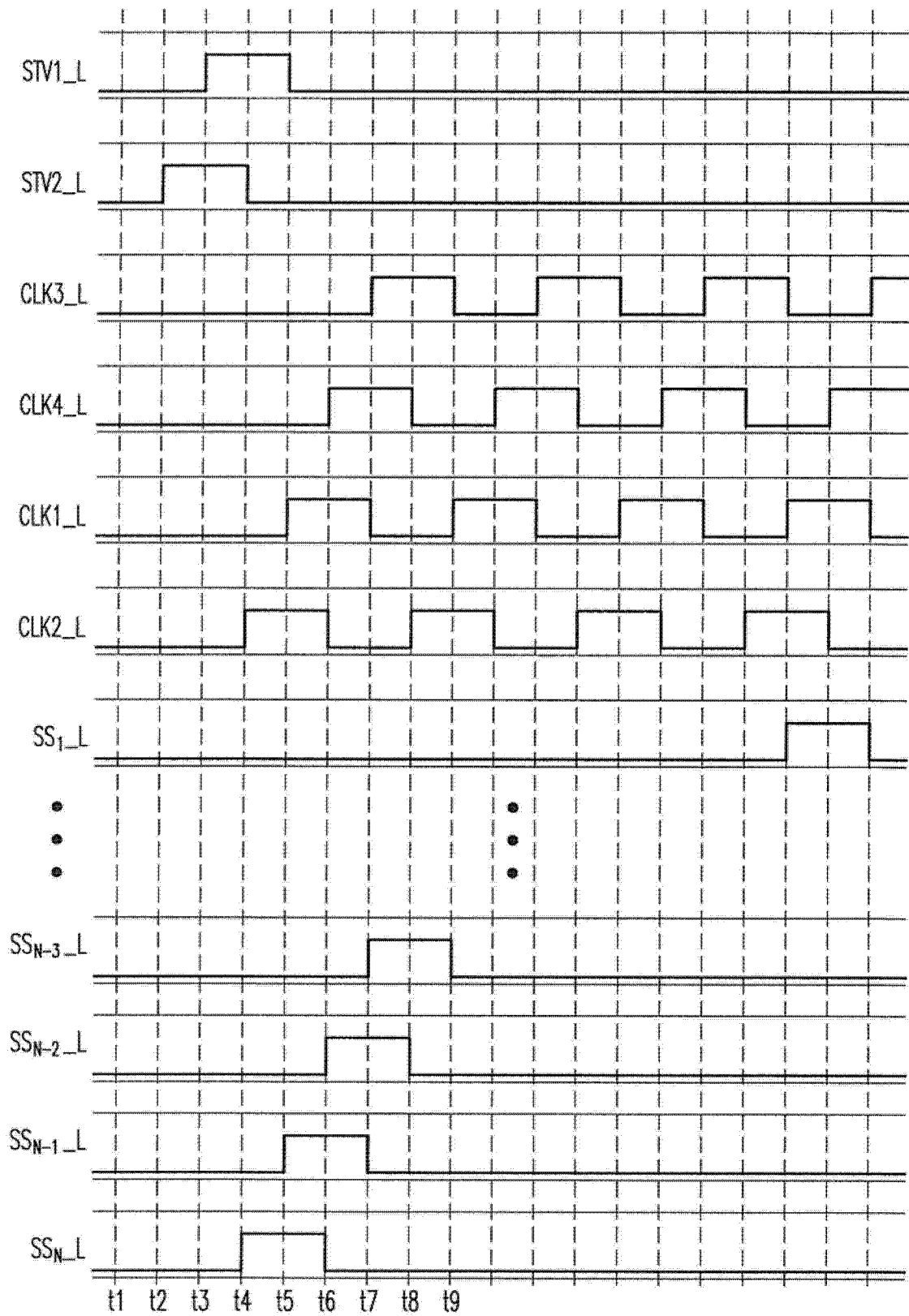


图 6A

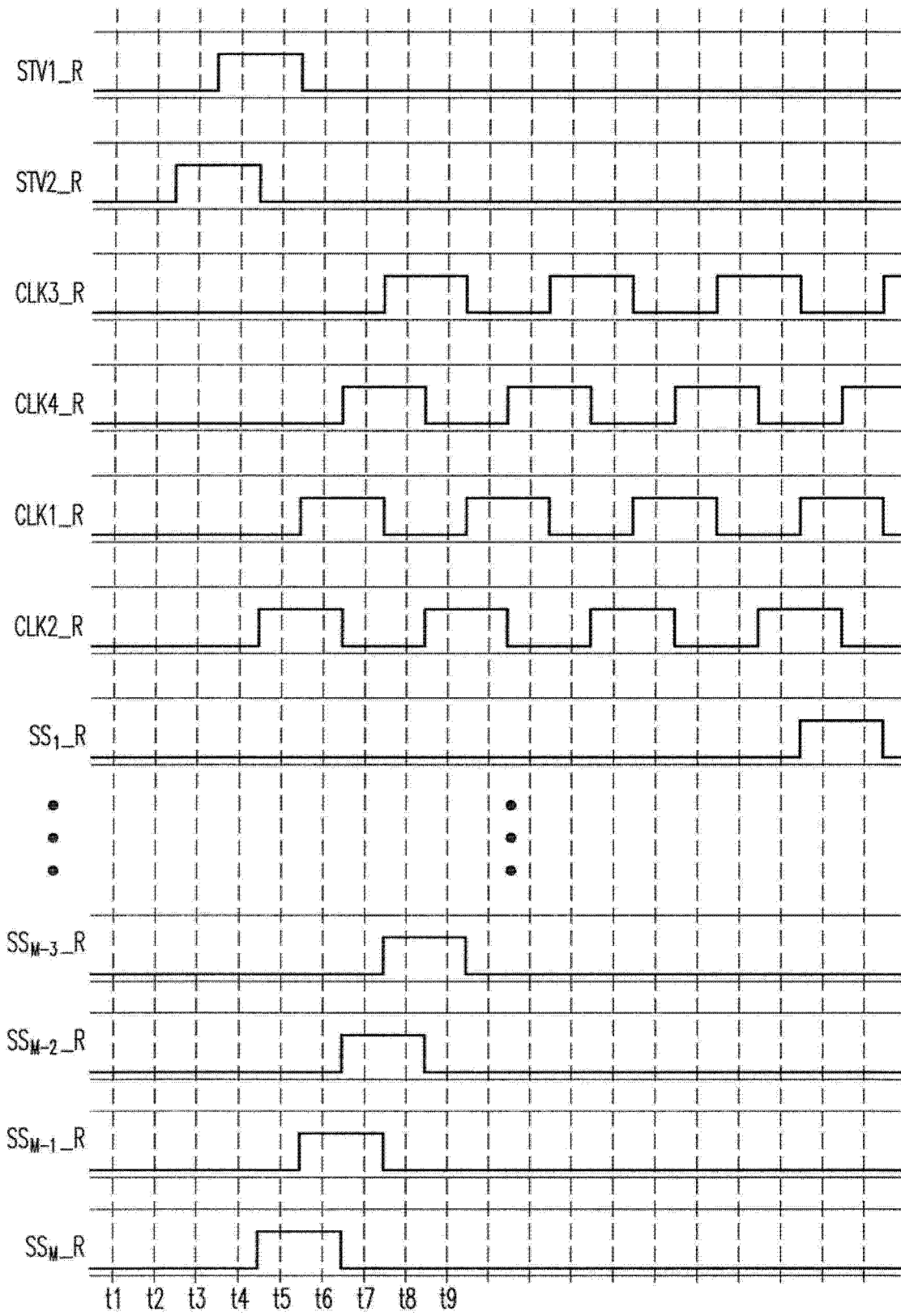


图 6B

专利名称(译)	移位寄存器、双向移位暂存装置及应用其的液晶显示面板		
公开(公告)号	CN104050935A	公开(公告)日	2014-09-17
申请号	CN201310076420.3	申请日	2013-03-11
[标]申请(专利权)人(译)	瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股份有限公司		
当前申请(专利权)人(译)	瀚宇彩晶股份有限公司		
[标]发明人	游家华 林松君 刘轩辰 詹建廷		
发明人	游家华 林松君 刘轩辰 詹建廷		
IPC分类号	G09G3/36 G11C19/28		
CPC分类号	G09G3/3674 G09G2310/06 G09G3/3677 G11C19/28 G09G2310/0286 G09G2310/0243		
其他公开文献	CN104050935B		
外部链接	Espacenet SIPO		

摘要(译)

一种移位寄存器、双向移位暂存装置及应用其的液晶显示面板。移位寄存器包括预充电单元、上拉单元以及下拉单元。预充电单元接收对应所述移位寄存器的前二级与后二级移位寄存器的输出，并根据以输出预充电信号。上拉单元接收预充电信号与第一输入时钟信号，并根据以输出扫描信号。下拉单元耦接预充电单元与上拉单元并且接收预充电信号、第一输入时钟信号以及第二输入时钟信号以控制扫描信号的电平，其中第一输入时钟信号与第二输入时钟信号互为反相。

