



(12) 发明专利申请

(10) 申请公布号 CN 102956212 A

(43) 申请公布日 2013. 03. 06

(21) 申请号 201210297324. 7

(22) 申请日 2012. 08. 20

(30) 优先权数据

10-2011-0084955 2011. 08. 25 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 金钟佑 文明国

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 吕俊刚 刘久亮

(51) Int. Cl.

G09G 3/36 (2006. 01)

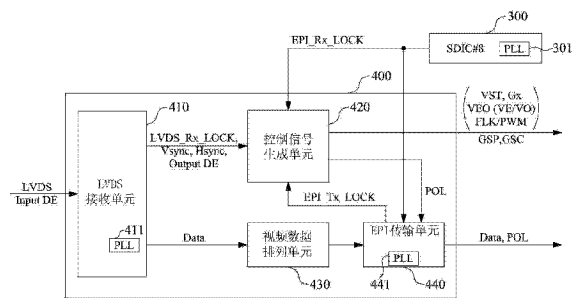
权利要求书 4 页 说明书 18 页 附图 5 页

(54) 发明名称

液晶显示器及其驱动方法

(57) 摘要

本发明提供一种液晶显示器及其驱动方法。LCD 装置包括驱动器和时序控制器。该驱动器包括：用于向面板的多条选通线输出扫描信号的至少一个或者更多个选通驱动器 IC 和用于向所述面板的多条数据线分别输出多个图像数据信号的至少一个或者更多个数据驱动 IC。时序控制器通过使用至少一个或者更多个锁定信号确定当前模式是否是其中面板输出异常图像的异常模式，当当前模式被确定为正常模式时输出用于控制驱动器的驱动器控制信号，并且当当前模式被确定为异常模式时向驱动器输出使面板不输出异常图像的掩蔽控制信号。



1. 一种液晶显示(LCD)装置,所述LCD装置包括:

驱动器,所述驱动器包括用于将扫描信号输出到面板的多条选通线的至少一个选通驱动IC和用于将多个图像数据信号分别输出到所述面板的多条数据线的至少一个数据驱动IC;以及

时序控制器,所述时序控制器通过使用至少一个锁定信号确定当前模式是否是其中所述面板输出异常图像的异常模式,当所述当前模式被确定为正常模式时,所述时序控制器输出为控制所述驱动器而生成的驱动器控制信号,以及当所述当前模式被确定为所述异常模式时,所述时序控制器将使所述面板不输出所述异常图像的掩蔽控制信号输出到所述驱动器。

2. 根据权利要求1所述的LCD装置,其中,所述时序控制器包括:

LVDS接收单元,所述LVDS接收单元从外部系统接收视频数据和时序信号;

视频数据排列单元,所述视频数据排列单元重排列所述视频数据以输出重排列的图像数据;

EPI传输单元,所述EPI传输单元将数据控制信号和所述重排列的图像数据输出到所述数据驱动IC,所述数据控制信号是通过使用所述时序信号为驱动所述数据驱动IC而生成的;以及

控制信号生成单元,所述控制信号生成单元通过使用所述时序信号生成包括用于控制所述选通驱动IC的选通控制信号和用于控制所述数据驱动IC的数据控制信号的所述驱动器控制信号,通过使用所述锁定信号确定所述当前模式是否是所述异常模式,当所述当前模式处于所述异常模式时,所述控制信号生成单元输出所述掩蔽控制信号。

3. 根据权利要求2所述的LCD装置,其中,所述锁定信号包括下述信号中的至少一个:从所述LVDS接收单元输出的第一锁定信号;从所述EPI传输单元输出的第二锁定信号;以及从所述数据驱动IC输出的第三锁定信号。

4. 根据权利要求3所述的LCD装置,其中,

所述第一锁定信号包括关于从所述外部系统输入的输入信号的频率是否与从所述LVDS接收单元输出的输出信号的频率匹配的信息,

所述第二锁定信号包括关于输入到所述EPI传输单元的输入信号的频率是否与从所述EPI传输单元输出到所述数据驱动IC的输出信号的频率匹配的信息,

所述第三锁定信号包括关于输入到所述数据驱动IC中的最后的数据驱动IC的输入信号的频率是否与从所述最后的数据驱动IC输出的输出信号的频率匹配的信息。

5. 根据权利要求4所述的LCD装置,其中,

所述LVDS接收单元包括输出所述第一锁定信号的锁相环(PLL),

所述EPI传输单元包括输出所述第二锁定信号的PLL,并且

所述数据驱动IC包括输出所述第三锁定信号的PLL。

6. 根据权利要求2所述的LCD装置,其中,所述控制信号生成单元包括:

选通控制信号生成单元,所述选通控制信号生成单元生成所述选通控制信号;

数据控制信号生成单元,所述数据控制信号生成单元生成所述数据控制信号;以及

异常模式确定单元,所述异常模式确定单元接收所述锁定信号和包括所述选通控制信号和所述数据控制信号的所述驱动器控制信号,确定所述当前模式是否是异常模式,并且

根据确定结果输出所述驱动器控制信号和所述掩蔽控制信号中的一个。

7. 根据权利要求 6 所述的 LCD 装置,其中,所述异常模式确定单元包括:

选项处理单元,所述选项处理单元从所述锁定信号中选择用作用于确定所述当前模式是否是所述异常模式的确定信息的锁定信号,并且输出第一信息;

帧计数器,所述帧计数器计数用于输出所述图像数据的帧的数量;

帧计数器初始化单元,所述帧计数器初始化单元基于所述第一信息和时钟信号初始化所述帧计数器;

掩蔽确定信息生成单元,所述掩蔽确定信息生成单元比较从所述帧计数器输入的计数的帧的数量和选通延迟的预定数量,以生成确定是否将所述驱动器控制信号掩蔽为所述掩蔽控制信号所需的第二信息;以及

掩蔽控制信号输出单元,所述掩蔽控制信号输出单元基于所述第一信息和所述第二信息确定所述当前模式是否是所述异常模式,当确定所述当前模式为所述正常模式时,所述掩蔽控制信号输出单元输出所述驱动器控制信号,并且当确定所述当前模式为所述异常模式时,所述掩蔽控制信号输出单元输出所述掩蔽控制信号。

8. 根据权利要求 7 所述的 LCD 装置,其中,

所述选项处理单元包括:

多个 OR 门,所述多个 OR 门分别连接到所述锁定信号;以及

AND 门,所述 AND 门连接到所述 OR 门,并且

每个 OR 门接收包括关于是否使用连接到对应的 OR 门的锁定信号作为所述确定信息的信息的选项。

9. 根据权利要求 7 所述的 LCD 装置,其中,所述帧计数器初始化单元检测所述第一信息的上升沿或者下降沿以输出检测时钟,并且利用所述检测时钟初始化所述帧计数器。

10. 根据权利要求 7 所述的 LCD 装置,其中,所述掩蔽控制信号输出单元包括:

确定单元,所述确定单元包括接收所述第一信息和所述第二信息的 AND 门,并且确定所述当前模式是否是所述异常模式;以及

输出单元,当从所述确定单元输出的确定信号是指示所述正常模式的信号时,所述输出单元输出所述驱动器控制信号,并且当所述确定信号是指示所述异常模式的信号时,所述输出单元输出所述掩蔽控制信号。

11. 根据权利要求 10 所述的 LCD 装置,其中,

所述掩蔽确定信息生成单元包括将选通延迟的不同数量与计数的帧的数量进行比较的两个或者更多个生成器,

提供多个所述确定单元并且将所述多个确定单元分别连接到所述生成器,并且

分别连接到所述确定单元的所述输出单元输出不同的驱动器控制信号。

12. 根据权利要求 10 所述的 LCD 装置,其中,所述输出单元中的每一个输出单元包括下述组件中的至少一个:AND 门,所述 AND 门接收从对应的确定单元输出的确定信号和所述驱动器控制信号;以及 OR 门,所述 OR 门接收所述驱动器控制信号和用于反转所述确定信号的信号。

13. 一种液晶显示(LCD)装置的驱动方法,所述驱动方法包括:

通过使用从外部系统输入的时序信号生成包括用于控制选通驱动 IC 的选通控制信号

和用于控制数据驱动 IC 的数据驱动信号的驱动器控制信号；

重排列从所述外部系统输入的视频数据；

通过使用至少一个锁定信号确定当前模式是否是其中面板输出异常图像的异常模式；
以及

当所述当前模式被确定为正常模式时将所述驱动器控制信号输出到驱动器，并且当所述当前模式被确定为所述异常模式时，将掩蔽控制信号输出到所述驱动器，根据所述驱动器控制信号驱动所述驱动器，并且所述掩蔽控制信号使所述面板不输出异常图像。

14. 根据权利要求 13 所述的驱动方法，其中，所述锁定信号包括下述信号中的至少一个：从包括在时序控制器中的 LVDS 接收单元输出的第一锁定信号；从包括在所述时序控制器中的 EPI 传输单元输出的第二锁定信号；以及从所述数据驱动 IC 输出的第三锁定信号。

15. 根据权利要求 14 所述的驱动方法，其中，

所述第一锁定信号包括关于从所述外部系统输入的输入信号的频率是否与从所述 LVDS 接收单元输出的输出信号的频率匹配的信息，

所述第二锁定信号包括关于输入到所述 EPI 传输单元的输入信号的频率是否与从所述 EPI 传输单元输出到所述数据驱动 IC 的输出信号的频率匹配的信息，并且

所述第三锁定信号包括关于输入到多个数据驱动 IC 中的最后的数据驱动 IC 的输入信号的频率是否与从所述最后的数据驱动 IC 输出的输出信号的频率匹配的信息。

16. 根据权利要求 13 所述的驱动方法，其中，异常模式的确定包括：

从所述锁定信号中选择用作用于确定所述当前模式是否是所述异常模式的确定信息的锁定信号；

基于时钟信号和通过所述选择步骤输出的第一信息生成检测时钟；

根据所述检测时钟执行初始化，并且计数帧的数量；

将计数的帧的数量和选通延迟的预定数量进行比较，以生成确定是否将所述驱动器控制信号掩蔽为所述掩蔽控制信号所需的第二信息；以及

基于所述第一信息和所述第二信息确定所述当前模式是否是所述异常模式。

17. 根据权利要求 16 所述的驱动方法，其中，选择锁定信号的步骤包括：

对每一个锁定信号和包括关于是否使用所述锁定信号作为所述确定信息的信息的选项对进行逻辑 OR 操作；以及

对所述逻辑 OR 操作的结果信号进行逻辑 AND 操作以生成所述第一信息。

18. 根据权利要求 16 所述的驱动方法，其中，通过检测所述第一信息的上升沿或者下降沿生成所述检测时钟。

19. 根据权利要求 16 所述的驱动方法，其中，基于所述第一信息和所述第二信息确定所述异常模式的步骤包括对所述第一信息和所述第二信息进行逻辑 AND 操作以生成确定信号。

20. 根据权利要求 19 所述的驱动方法，其中，输出所述驱动器控制信号或者掩蔽控制信号的步骤包括当所述确定信号是指示所述正常模式的信号时输出所述驱动器控制信号，并且当所述确定信号是指示所述异常模式的信号时输出所述掩蔽控制信号。

21. 根据权利要求 20 所述的驱动方法，其中，

生成第二信息的步骤包括将选通延迟的不同数量与计数的帧的数量进行比较以生成

多个所述第二信息，

基于所述第一信息和所述第二信息确定所述异常模式的步骤包括对所述第一信息和多个所述第二信息进行逻辑 AND 操作以生成多个确定信号，并且

输出所述驱动器控制信号或者掩蔽控制信号的步骤包括根据所述多个确定信号输出不同的驱动器控制信号。

液晶显示器及其驱动方法

技术领域

[0001] 本发明涉及液晶显示(LCD)装置,更具体地涉及能够防止当被输入有异常信号时输出异常图像数据的 LCD 装置及其驱动方法。

背景技术

[0002] LCD 装置是根据图像数据信号调整液晶盒的光透射率的装置。LCD 装置薄且轻,并且功耗低。因此, LCD 装置广泛应用于诸如计算机监视器、笔记本计算机、便携式终端和壁挂电视的各种装置。

[0003] 一般地,这样的 LCD 装置包括显示图像的面板、选通驱动集成芯片(IC)、数据驱动 IC 和时序控制器。

[0004] 图 1 是示出现有技术的时序控制器的输入信号和输出信号的时序图,并且示出了输入到时序控制器的基于点时钟 DCLK 和数据使能信号 DE 的各个控制信号的输出。

[0005] 一般地,构成 LCD 装置的时序控制器通过低电压差分信号(LVDS)的接口连接到外部系统,并且通过使用点对点方案连接到数据驱动器的数据驱动 IC。

[0006] 时序控制器利用从外部系统传输的时序信号(例如 Vsync、Hsync 和 DCLK)生成选通控制信号 GCS 和数据控制信号 DCS,并且分别将选通控制信号 GCS 和数据控制信号 DCS 传输到选通驱动 IC 和数据驱动 IC。

[0007] 时序控制器将从外部系统传输的视频数据排列以向数据驱动 IC 提供图像数据。

[0008] 时序控制器使用锁相环(PLL)来调整外部系统或者数据驱动 IC 中使用的时钟和频率(相位)。

[0009] 即,时序控制器的 LVDS 接收单元包括 PLL,并且因此 PLL 锁定从外部系统接收到 LVDS 接收单元的信号的恒定频率(相位)和从 LVDS 接收单元输出的信号的恒定频率(相位)。而且,时序控制器内的嵌入式时钟点对点接口(EPI)传输单元包括 PLL,并且因此,PLL 锁定时序控制器内使用的时钟的恒定频率(相位)。此外,每个数据驱动 IC 使用 PLL 来实施时序控制器和每个数据驱动 IC 之间的点对点方案。

[0010] 然而,由于各种原因,在 PLL 的锁定中可能发生跳变。当发生这样的异常跳变时,时序控制器向选通驱动 IC 传输异常驱动器控制信号(具体地,异常选通控制信号 GCS),并且因此面板能够输出异常图像或者不能正常操作。

[0011] 这样的异常操作能够在以下情况中发生。

[0012] 第一,由于时序控制器的 LVDS 接收单元的 PLL 未锁定,因此能够发生异常操作。

[0013] 例如,如图 1A 中所示,当点时钟 DLCK 的帧频率时从 60Hz 到 40Hz 任意改变以切换模式时, LVDS 接收单元的 PLL 的锁定被解除,并且因此,从 LVDS 接收单元输出的数据使能信号“Output DE”的频率不与从 LVDS 接收单元输入的数据使能信号“Output DE”的频率匹配,从而引起造成信号干扰(glitch)。在此情况下,向选通驱动 IC 传输选通控制信号的时序控制器输出异常选通开始脉冲 GPS 和异常选通移位时钟 GSC,从而导致面板的异常驱动。

[0014] 此外,如图 1B 中所示,即使当从外部系统传输的时序信号(例如, DCLK 等)被异常

地输出到时序控制器时, LVDS 接收单元的 PLL 的锁定被解除。在此情况下, 将选通控制信号传输到使用面板中选通(GIP)型的选通驱动 IC 的时序控制器输出异常选通开始信号 VST 和异常选通时钟 GCLK, 从而导致面板的异常驱动。

[0015] 第二, 在信号模式和无信号模式之间的切换中, 时序控制器的 EPI 传输单元中的 PLL 的锁定被解除, 从而导致异常操作。

[0016] 在此情况下, 如上所述, 时序控制器生成异常选通控制信号(例如 GSP、GSC 和 GOE, 或者 VST 和 GCLK)以向选通驱动 IC 输出异常选通控制信号, 从而导致面板的异常输出。

[0017] 第三, 甚至由于诸如静电的外部环境的突然改变也会导致异常操作, 在此情况下时序控制器也生成异常选通控制信号(例如, GSP、GSC 和 GOE, 或者 VST 和 GCLK)以向选通驱动 IC 输出异常选通控制信号, 从而导致面板的异常输出。

[0018] 如上所述, 由于从外部系统传输的时序信号 DCLK 的频率被改变并且时序信号 DCLK 被异常地输入到 LVDS 接收单元, 所以现有技术的 LCD 装置能够执行异常操作, 例如: LVDS 接收单元和外部系统之间的锁定被解除; EPI 传输单元的锁定由于切换模式等而解除; 或者数据驱动 IC 和时序控制器之间的锁定由于外部环境等而被解除。

[0019] 在此情况下, 时序控制器能够生成异常选通控制信号(例如 GSP、GSC 和 GOE, 或者 VST 和 GCLK)以向选通驱动 IC 输出异常选通控制信号, 在此情况下能够由于异常选通控制信号而导致面板的异常显示。在最差的情况下, 面板本身能够被损坏。

[0020] 另外, 当上述异常操作发生时, 时序控制器能够生成异常数据控制信号(例如, SOE、SSP 和 / 或 SSC)以向数据驱动 IC 输出该异常数据控制信号, 并且生成异常电源控制信号(例如, PWM 和 / 或 PLK)以向电源 IC 输出该异常电源控制信号, 从而导致 LCD 装置的异常驱动。

[0021] 相关申请的交叉引用

[0022] 本申请要求 2011 年 8 月 25 日提交的韩国专利申请 No. 10-2011-0084955 的优先权, 通过引用将其并入这里, 如在此完全阐述一样。

发明内容

[0023] 因此, 本发明致力于提供一种 LCD 装置及其驱动方法, 其基本上消除了由于现有技术的限制和缺点而导致的一个或更多问题。

[0024] 本发明的方面旨在提供一种 LCD 装置及其驱动方法, 其使用锁定信号确定是否发生异常模式, 并且当确定异常模式时, 向驱动器输出掩蔽控制信号以除了阻止输出用于控制驱动器的驱动器控制信号之外还防止面板输出异常图像。

[0025] 在随后的描述中将会部分地阐述本发明的额外的优点、目的和特征, 并且部分优点、目的和特征对于已经研究过下面所述的本领域技术人员来说将是显而易见的, 或者部分优点、目的和特征将通过本发明的实践来知晓。通过在给出的描述及其权利要求以及附图中特别地指出的结构可以实现并且获得本发明的目的和其它的优点。

[0026] 为了实现这些和其它优点, 并且根据本发明的目的, 如这里所具体实施和广泛描述的, 提供了一种 LCD 装置, 所述 LCD 装置包括: 驱动器, 所述驱动器包括用于向面板的多条选通线输出扫描信号的至少一个选通驱动 IC 和用于向所述面板的多条数据线分别输出多个图像数据信号的至少一个数据驱动 IC; 以及时序控制器, 所述时序控制器通过使用至少

一个锁定信号确定当前模式是否是其中所述面板输出异常图像的异常模式,当当前模式被确定为正常模式时输出为控制驱动器生成的驱动器控制信号,并且当当前模式被确定为异常模式时向所述驱动器输出使所述面板不输出所述异常信号的掩蔽控制信号。

[0027] 在本发明的另一方面,提供了一种 LCD 装置的驱动方法,所述驱动方法包括:通过使用从外部系统输入的时序信号生成包括用于控制选通驱动 IC 的选通控制信号和用于控制数据驱动 IC 的数据控制信号的驱动器控制信号;重排列从所述外部系统输入的视频数据;通过使用至少一个锁定信号确定当前模式是否是其中面板输出异常图像的异常模式;以及当当前模式被确定为正常模式时向驱动器输出所述驱动器控制信号,并且当当前模式被确定为异常模式时向所述驱动器输出掩蔽控制信号,所述驱动器被根据驱动器控制信号驱动,并且所述掩蔽控制信号使所述面板不输出异常图像。

[0028] 将理解的是,本发明的前述一般性描述和下面的详细描述是示例性和说明性的并且意在提供如权利要求所记载的本发明的进一步说明。

附图说明

[0029] 附图被包括进来以提供对本发明的进一步理解,并结合到本申请中且构成本申请的一部分,这些附图例示了本发明的实施方式,并与说明书一起用于解释本发明的原理。在附图中:

[0030] 图 1 是示出现有技术的时序控制器的输入信号和输出信号的时序图;

[0031] 图 2 是示出根据本发明的实施方式的 LCD 装置的构造的示例图;

[0032] 图 3 是示出根据本发明的实施方式的 LCD 装置中的数据驱动 IC 的构造的示例图;

[0033] 图 4 是示出根据本发明的实施方式的 LCD 装置中的时序控制器的构造的示例图;

[0034] 图 5 是图 4 的时序控制器中的控制信号生成单元的内部构造的示例图;

[0035] 图 6 是示出输入到图 5 的异常模式确定单元或者从图 5 的异常模式确定单元输出的控制信号的波形的示例图;

[0036] 图 7 是图 5 的异常模式确定单元的内部构造的示例图;以及

[0037] 图 8 是示出输入到图 5 的异常模式确定单元或者从图 5 的异常模式确定单元输出的各种信号的模拟结果的示例图。

具体实施方式

[0038] 下面将详细描述本发明的具体实施方式,在附图中示出了本发明的示例性实施方式的示例。尽可能在整个附图中用相同的附图标记代表相同或类似构件。

[0039] 下面将参照附图详细地描述本发明的实施方式。

[0040] 图 2 是示出根据本发明的实施方式的 LCD 装置的构造的示例图。图 3 是示出根据本发明的实施方式的 LCD 装置中的数据驱动 IC 的构造的示例图。

[0041] 如图 2 中所示,根据本发明的实施方式的 LCD 装置包括:具有液晶盒矩阵的面板 100、用于驱动面板 100 的多条选通线的至少一个选通驱动 IC GDIC#1 至 GDIC#4、用于驱动面板 100 的多条数据线的至少一个数据驱动 IC SDIC#1 至 SDIC#8 以及用于控制选通驱动 IC 200 和数据驱动 IC 300 的时序控制器 400。而且,尽管未示出,但是根据本发明的实施方式的 LCD 装置可以进一步包括发射照射在面板 100 上的光的背光单元和控制施加到背光

单元和面板 100 的电压的电源 IC。在以下描述中,选通驱动 IC、数据驱动 IC 和电源 IC 的笼统名称被称为驱动器,并且时序控制器 400 生成的选通控制信号、数据控制信号和电源控制信号的笼统名称被称为驱动器控制信号。

[0042] 面板 100 包括:分别形成在由多条选通线(GL1 至 GLn)和数据线(DL1 至 DLn)的交叉限定的多个区域中的多个薄膜晶体管(TFT);和包括像素电极(PXL)的多个液晶盒。

[0043] 薄膜晶体管(TFT)响应于来自选通线的扫描信号向像素电极(PXL)提供像素信号(图像数据信号)。像素电极(PXL)响应于像素信号驱动位于公共电极和像素电极(PXL)之间的液晶,从而调整光透射率。

[0044] 作为面板 100 的液晶模式,扭曲向列(TN)模式、垂直对齐(VA)模式、共面转换模式(IPS)模式或者边缘场切换(FFS)模式可应用于本发明。而且,根据本发明的实施方式的 LCD 装置可以实施为透射型 LCD 装置、半透射型 LCD 装置或者反射型 LCD 装置。

[0045] 时序控制器 400 通过使用从外部系统输入的时序信号(例如,用作 LCD 装置中的基准时钟的点时钟 DCLK、垂直同步信号 Vsync、水平同步信号 Hsync 和数据使能信号 DE)生成用于控制每个选通驱动 IC 200 的操作时序的选通控制信号 GCS 和用于控制每个数据驱动 IC 300 的操作时序的数据控制信号 DCS,并且分别将图形数据信号提供到数据驱动 IC 300。

[0046] 由时序控制器 400 生成的多个选通控制信号 GCS 可以根据选通驱动 IC 的类型而改变。例如,如图 2 中所示,当选通驱动 IC 200 以膜上芯片(COF)型或者带载封装(TCP)型连接到面板 100 时,由时序控制器 400 生成的选通控制信号可以分别是选通开始脉冲 GSP、选通移位时钟 GSC 和选通输出使能信号 GOE。而且,在选通驱动 IC 200 安装在面板 100 上的 GIP 类型中,由时序控制器 400 生成的选通控制信号可以分别是选通开始信号 VST、选通时钟 GCLK。

[0047] 由时序控制器 400 生成的数据控制信号可以分别是源极开始脉冲 SSP、源极移位时钟信号 SSC、源极输出使能信号 GOE 和极性控制信号 POL。然而,数据控制信号可以根据时序控制器 400 和数据驱动 IC 300 之间使用的接口类型(例如,晶体管-晶体管逻辑(TTL)型、迷你 LVDS 型或者 EPI 型)而发生各种变化。

[0048] 时序控制器 400 和外部系统之间的接口可以使用 LVDS,并且时序控制器 400 和数据驱动 IC 300 之间的接口可以使用 EPI 型。

[0049] 因此,时序控制器 400 包括用于通过使用 LVDS 与外部系统通信的 LVDS 接收单元,并且包括用于通过使用 EPI 与数据驱动 IC 300 通信的 EPI 传输单元。LVDS 接收单元和 EPI 传输单元均包括用于锁定输入/输出信号的相位的 PLL。而且,数据驱动 IC 300 包括用于锁定输入/输出信号的相位的 PLL 或者延迟锁定环(DLL)。以下将描述 LVDS、EPI 和 PLL。

[0050] 时序控制器 400 通过使用分别由 PLL 生成的多个锁定信号 LVDS_Rx_LOCK、EPI_Tx_LOCK 和 EPI_Rx_LOCK 确定当前模式是否是其中异常地输出选通控制信号的异常模式。当当前模式被确定为异常模式时,时序控制器 400 除了阻止分别输出到选通驱动 IC 200、数据驱动 IC 300 和电源 IC 之外还向驱动器输出掩蔽为基准电平的掩蔽控制信号 MCS,因而防止液晶面板 100 显示异常图像。

[0051] 如在背景技术中描述的,异常模式表示其中由于异常操作而导致没有正常地生成驱动器控制信号的状态,所述异常操作例如为:LVDS 接收单元 410 的锁定(参见图 4)因为从

外部系统传输的时序信号 DCLK 的频率改变或者时序信号 DCLK 被异常地输入到时序控制器 400 而导致被解除；由于切换模式等使得 EPI 传输单元的锁定被解除；或者由于外部环境等导致数据驱动 IC 的锁定被解除。

[0052] 正常模式表示不是异常模式的模式，并且是其中正常锁定信号被输入到时序控制器 400 或者从时序控制器 400 输出的模式。在这样的正常模式中，时序控制器 400 可以向选通驱动 IC 200 输出（已经利用时序信号生成的）选通控制信号，向数据驱动 IC 300 输出控制信号，并且向电源 IC 输出电源控制信号。

[0053] 具体地，时序控制器 400 通过使用锁定信号 LVDS_Rx_LOCK、EPI_Tx_LOCK 和 EPI_Rx_LOCK 持续地监视异常模式是否发生，并且当当前模式被确定为其中异常地输出驱动器控制信号的异常模式时，时序控制器 400 除了阻止之前生成的异常驱动器控制信号的输出之外还向驱动器输出掩蔽控制信号 MCS，从而面板 100 不显示异常图像。在此，例如，掩蔽控制信号可以是使扫描信号不被输出的选通控制信号，例如，具有逻辑低电平的选通开始信号 VST 或者具有逻辑低电平的选通时钟 GCLK。另外，掩蔽控制信号 MCS 可以是使异常图像数据信号不被输出到数据线的的数据控制信号，例如，具有逻辑高电平的数据输出使能信号 SOE 或者用于防止背光单元的异常驱动力的电源控制信号（例如，PWM）。即，掩蔽控制信号可以包括分别输出到选通驱动 IC 200、数据驱动 IC 300 和电源 IC 的选通控制信号、数据控制信号和电源控制信号中的任意一个，用于防止选通驱动 IC 200、数据驱动 IC 300 和电源 IC 分别异常地驱动数据线、选通线或者面板 100 和背光单元。以下对此进行详细描述。

[0054] 选通驱动 IC GDIC#1 至 GDIC#4 中的每一个在正常模式中根据由时序控制器 400 生成的选通控制信号向选通线顺序地提供扫描信号。响应于扫描信号，薄膜晶体管（TFT）被以水平线为单位驱动。

[0055] 在异常模式中，选通驱动 IC 200 被根据由时序控制器 400 生成的掩蔽控制信号 MCS 驱动，因而没有将扫描信号提供到选通线。

[0056] 选通驱动 IC 200 可以原样地应用现有技术的 LCD 装置的选通驱动 IC。在正常模式中，选通驱动 IC 200 被根据从时序控制器 400 传输的选通控制信号 GCS 驱动。然而，在异常模式中，选通驱动 IC 200 被根据从时序控制器 400 传输的掩蔽控制信号 MCS 驱动。

[0057] 在此，如上所述，掩蔽控制信号 MCS 可以是使选通驱动 IC 200 不输出扫描信号的选通控制信号。当接收到掩蔽控制信号 MCS 时，选通驱动 IC 200 不将扫描信号输出到选通线，因而从外部看时，选通驱动 IC 200 能够被视为没有被驱动。

[0058] 如上所述，选通驱动 IC 200 可以独立于面板 100 地制造并且以各种类型电气连接到面板 100，但是本发明不限于此。作为另一示例，可以以其中选通驱动 IC 200 被安装在液晶面板 100 中的 GIP 类型提供选通驱动 IC 200。

[0059] 在此情况下，选通开始信号 VST 和选通时钟 GCLK 可以用作用于控制选通驱动 IC 200 的控制信号。因此，以下将描述使用 GIP 类型的选通驱动 IC 作为示例。

[0060] 然而，本发明不限于此，因而可以以除了 GIP 类型之外的类型实施选通驱动 IC，在此情况下使选通驱动 IC 不输出扫描信号或者被异常驱动的各种信号 GSP、GSC 和 GOE 可以被施加作为选通控制信号。

[0061] 数据驱动 IC 300 将输入的图像数据转换为模拟像素信号（图像数据信号）并且在向一条选通线提供扫描信号的每一个水平时段分别向数据线提供用于一条水平线的图像

数据信号。即,数据驱动 IC 300 通过使用从伽马电压生成器(未示出)提供的伽马电压将图像数据转换为图像数据信号,并且将图像数据信号分别输出到数据线。

[0062] 在异常模式中,类似于选通驱动 IC 200,数据驱动 IC 300 可以接收使图像数据信号不被输出到数据线的掩蔽控制信号 MCS (例如,SOE、POL 等),因而可以不输出图像数据信号。

[0063] 然而,在异常模式中,因为由于从选通驱动 IC 200 输出的掩蔽控制信号 MCS 导致扫描信号没有输出到选通线,所以可以不从时序控制器 400 输出用于禁止图像数据信号的输出的单独的掩蔽控制信号。

[0064] 即使数据驱动 IC SDIC#1 至 SDIC#8 中的每一个甚至在异常模式中进行正常模式的操作,在异常模式中,因为根据从时序控制器 400 传输的掩蔽控制信号 MCS 驱动选通驱动 IC 300,因此选通驱动 IC 没有将扫描信号提供到选通线。因此,在异常模式中,甚至当数据驱动 IC 300 将图像数据信号输出到数据线时,因为图像数据信号没有被充电到像素,所以面板 100 没有显示异常图像。

[0065] 此外,如上所述,在异常模式中,即使图像数据信号被从数据驱动 IC 300 输出到数据线,由于数据驱动 IC 300 自身和液晶面板 100 没有被很大地损坏,所以时序控制器 400 没有生成用于禁止图像数据信号的输出的掩蔽控制信号 MCS。

[0066] 因此,数据驱动 IC 300 可以原样地应用使用 EPI 的现有技术的 LCD 装置的数据驱动 IC。在正常模式下,数据驱动 IC 300 存储从时序控制器 400 传输的数字图像数据作为模拟图像数据信号,接着,在当根据从时序控制器 400 传输的选通控制信号驱动的选通驱动 IC 200 将扫描信号顺序地施加到选通线的一个水平时段期间,数据驱动 IC 300 分别将图像数据信号输出到数据线。

[0067] 如专利申请 No. KR10-2008-0127456 所公开和图 3 中所示的,数据驱动 IC 300 包括数据采样器 331、锁存器 332、数模转换器(DAC) 333 和输出缓冲器 334。具体地,数据采样器 331 包括 PLL 301。

[0068] 数据采样器 331 分析输入信号和输出信号。当输入信号和输出信号相同时,数据采样器 331 输出逻辑高电平的锁定信号(Lock Out)。逻辑高电平的锁定信号被传输到下一级的数据驱动 IC SDIC#2 至 SDIC#8,并且最后的数据驱动 IC SDIC#8 向时序控制器 400 的 EPI 传输单元 440 和控制信号生成单元 420 反馈逻辑高电平的锁定信号 EPI_Rx_LOCK (参见图 4)。

[0069] 因此,当没有从最后的数据驱动 IC SDIC#8 接收到逻辑高电平的锁定信号 EPI_Rx_LOCK 时,控制信号生成单元可以确定当前模式为其中在时序控制器 400 和数据驱动 IC 300 之间发生驱动频率的错配的异常模式,并且如上所述,输出掩蔽控制信号。

[0070] 在下文,将参照图 4 至图 6 描述时序控制器 400 的详细构造和功能。

[0071] 图 4 是示出根据本发明的实施方式的 LCD 装置中的时序控制器 400 的构造的示例图。图 5 是示出图 4 的时序控制器中的控制信号生成单元 420 的内部构造的示例图。图 6 是示出被输入到图 5 的异常模式确定单元 423 或者从其输出的控制信号的波形的示例图。

[0072] 时序控制器 400 通过使用从外部系统提供的垂直同步信号 Vsync、水平同步信号 Hsync 和点时钟 DCLK 生成并输出用于控制选通驱动 IC 200 的选通控制信号 GCS 和用于控制数据驱动 IC 300 的数据控制信号 DCS,或者用于控制电源 IC 的电源控制信号。

[0073] 时序控制器 400 通过使用由 PLL 生成的锁定信号监视当前模式是异常模式还是正常模式,并且然后,当当前模式被确定为其中异常地输出驱动器控制信号的异常状态时,时序控制器 400 阻止作为传输到驱动器(具体地,选通驱动 IC 200)的选通控制信号的选通开始信号 VST 和选通时钟信号 GCLK 的输出,并且向选通驱动 IC 200 输出具有预定基准电平的掩蔽控制信号 MCS。即,在异常模式中,如上所述,用于控制驱动器的掩蔽控制信号 MCS 可以包括选通控制信号、数据控制信号和电源控制信号,但是特别地,禁止扫描信号输出的选通控制信号可以用作有效的掩蔽控制信号。

[0074] 当掩蔽控制信号是选通控制信号时,预定基准电平可以是禁止选通驱动 IC 200 的异常驱动或者使选通驱动 IC 200 不输出扫描信号的选通开始信号 VST 或者选通时钟信号 GCLK 的电平。因此,在由 N 型晶体管驱动的选通驱动 IC 中,对应于掩蔽控制信号 MCS 的选通开始信号 VST 和选通时钟信号 GCLK 可以具有逻辑低电平。

[0075] 在异常模式中,当具有逻辑低电平(L(0))的选通开始信号 VST 和选通时钟信号 GCLK 被输入到选通驱动 IC 200 作为掩蔽控制信号 MCS 时,选通驱动 IC 200 没有将扫描信号输出到面板 100 的选通线。因此,在异常模式中,甚至当从数据驱动 IC 300 输出图像数据信号时,因为图像数据信号不能够被充电到像素中所以没有输出异常图像。

[0076] 为此,如图 4 中所示,时序控制器 400 可以包括:LVDS 接收单元 410,其从外部系统接收视频数据“Data”和时序信号(例如,Vsync、Hsync、DE 和 DCLK);视频数据排列单元 430,其重排列视频数据“Data”以输出图像数据;控制信号生成单元 420,所述控制信号生成单元 420:通过使用锁定信号确定当前模式是异常模式还是正常模式;当当前模式被确定为正常模式时,通过使用时序信号生成并输出用于控制选通驱动 IC 200 的选通控制信号 GCS、用于控制数据驱动 IC 300 的数据控制信号 DCS 和用于控制电源 IC 的电源控制信号 PWM;以及当当前模式被确定为异常模式时,除了阻止驱动器控制信号(例如,选通控制信号、数据控制信号和电源控制信号)的输出之外,还生成并输出(通过将驱动器控制信号掩蔽为基准电平生成的)掩蔽控制信号 MCS;以及 EPI 传输单元 440,EPI 传输单元 440 按照点对点方案向数据驱动 IC 300 分别输出传输到控制信号生成单元 420 的数据控制信号 DCS 和从图像数据排列单元 430 传输的图像数据。而且,尽管未示出,时序控制器 400 可以进一步包括生成时序控制器 400 内部要求的内部时钟的内部时钟生成单元(VCO)、存储各种信息的存储单元(SRAM)和与存储单元和其它子 IC 通信的 I2C 主控。

[0077] LVDS 接收单元 410 从外部系统(未示出)接收时序信号(包括垂直同步信号 Vsync、水平同步信号 Hsync、点时钟 DCLK 和数据使能 DE)和视频数据 RGB,例如可以用 LVDS 接口来构建 LVDS 接收单元 410。

[0078] 在此, LVDS 接口是高速数字接口。LVDS 接口生成具有相反极性的两个信号,并且传输基于这两个信号的数据。因此, LVDS 接口在低电压传输数据,并且因此具有低功耗、高传输速度和优异的噪声容忍度。

[0079] 这样的 LVDS 接收单元 410 连接到外部系统的 LVDS 发射器(未示出),并且在内部包括 PLL411。

[0080] PLL 411 保持从外部系统传输的输入信号(包括视频数据和时序信号)的恒定频率(相位)和从 LVDS 接收单元 410 输出的输出信号的恒定频率(相位)。当输入信号的恒定频率(相位)和输出信号的恒定频率(相位)被保持时, PLL 411 输出具有逻辑高电平(H)的 LVDS

接收锁定信号 LVDS_Rx_LOCK (在下文称为第一锁定信号 LVDS_Rx_LOCK)。

[0081] 持续地保持逻辑高电平 (H(1)) 的第一锁定信号 LVDS_Rx_LOCK 表示在外部系统和 LVDS 接收单元 410 中使用的时钟被锁定在恒定频率,但是第一锁定信号 LVDS_Rx_LOCK 从逻辑高电平 (H(1)) 改变到逻辑低电平 (L(0)) 表示外部系统和 LVDS 接收单元 410 之间的锁定被解除。

[0082] 以该方式,当外部系统和 LVDS 接收单元 410 之间的锁定被解除时,如上所述,当前模式改变到异常模式,并且因此,时序控制器 400 生成异常选通控制信号。

[0083] 视频数据排列单元 430 重排列由 LVDS 接收单元 410 从外部系统接收并且改变为 TTL 型的数字视频数据 RGB,以适合于液晶面板 100 的分辨率并且因此输出重排列的图像数据。

[0084] EPI 传输单元 440 向数据驱动 IC 300 传输从控制信号生成单元 420 传输的数据控制信号 DCS 和从视频数据排列单元 430 传输的图像数据。如专利申请 No. KR10-2008-0127456 中公开的, EPI 传输单元 440 将时序控制器 400 以点对点类型连接到数据驱动 IC SDIC#1 至 SDIC#8 并且通常用在以 EPI 类型与数据驱动 IC 300 形成接口的时序控制器中。

[0085] 以下提供 EPI 传输单元 440 和数据驱动 IC 300 之间的构造的总结。

[0086] 诸如多条数据线对 DATA&CLK、控制线对 SCL/SDA 和锁定检查线 LCS 的多条线连接在 EPI 传输单元 440 和每个数据驱动 IC SDIC#1 至 SDIC#8 之间。

[0087] 数据线对 DATA&CLK 以 1:1 的关系(即点对点类型)顺序地将 EPI 传输单元 440 连接到每个数据驱动 IC SDIC#1 至 SDIC#8。每个数据驱动 IC (SDIC#1 到 SDIC#8) 300 恢复通过数据线对 DATA&CLK 输入的时钟,并且因此,如图 2 中所示,在数据驱动 IC SDIC#1 至 SDIC#8 中的相邻数据驱动 IC 之间不需要用于传输图像数据的线。

[0088] 如上所述,锁定检查线 LCS 在 EPI 传输单元 440 与数据驱动 IC 300 之间和在数据驱动 IC 300 之间传输锁定信号。第三锁定信号 EPI_Rx_LOCK 被从最后的数据驱动 IC 300 传输到时序控制器 400 的控制信号生成单元 420。因此,通过使用第三锁定信号 EPI_Rx_LOCK,控制信号生成单元 420 可以确定当前模式是否是异常模式。

[0089] EPI 传输单元 440 通过控制线对 SCL/SDA 分别向数据驱动 IC SDIC#1 至 SDIC#8 传输数据驱动 IC SDIC#1 至 SDIC#8 中的每一个的芯片识别码和用于控制数据驱动 IC SDIC#1 至 SDIC#8 的各个功能的多个芯片控制数据。

[0090] 以下提供 EPI 传输单元 440 的功能的总结。

[0091] 在向数据驱动 IC 300 传输图像数据之前,EPI 传输单元 440 通过锁定检查线 LCS1 向第一数据驱动 IC SDIC#1 提供用于检查数据驱动 IC SDIC#1 至 SDIC#8 的时钟分频和数据采样器的输出是否被稳定地锁定的锁定信号 LOCK。

[0092] 当用于采样数据的输出时钟的频率和相位被锁定时,第一数据驱动 IC SDIC#1 向第二数据驱动 IC SDIC#2 传输具有逻辑高电平 (H(1)) 的锁定信号,该第二数据驱动 IC SDI#2 锁定输出时钟的频率和相位,并且接着向第三数据驱动 IC SDIC#3 传输逻辑高电平的锁定信号。

[0093] 以该方式,当数据驱动 IC SDIC#1 至 SDIC#7 中的每一个的输出时钟的频率和相位被顺序地锁定并且然后最后的数据驱动 IC SDIC#8 的输出时钟的频率和相位被锁定时,最

后的数据驱动 IC SDIC#8 通过反馈锁定检查线 LCS 将逻辑高电平的第三锁定信号 EPI_Rx_LOCK 传输到 EPI 传输单元 440 和控制信号生成单元 420。

[0094] EPI 传输单元 440 接收第三锁定信号的反馈,并且然后向数据驱动 IC SDIC#1 至 SDIC#8 中的每一个传输数据控制信号分组和图像数据分组。

[0095] EPI 传输单元 440 向每个数据驱动 IC 300 传输数据控制信号和图像数据。

[0096] 与在 LVDS 接收单元 410 或者数据驱动 IC 300 中一样,具有上述功能的 EPI 传输单元 440 也包括 PLL441。

[0097] EPI 传输单元 440 中包括的 PLL 441 保持从视频数据排列单元 430 或者控制信号生成单元 420 传输的输入信号的恒定频率(相位)和从 EPI 传输单元 440 输出的输出信号的恒定频率(相位)。当输入信号的恒定频率(相位)和输出信号的恒定频率(相位)被保持时,PLL 441 输出具有逻辑高电平(H)的锁定信号(在下文称为第二锁定信号 EPI_Tx_LOCK)。

[0098] 第二锁定信号 EPI_Tx_LOCK 持续地保持逻辑高电平(H(1))表示视频数据排列单元 430 或者控制信号生成单元 420 和 EPI 传输单元 440 中使用的时钟被锁定在恒定频率,但是第二锁定信号 EPI_Tx_LOCK 从逻辑高电平(H(1))改变到逻辑低电平(L(0))表示视频数据排列单元 430 或者控制信号生成单元 420 与 EPI 传输单元 440 之间的锁定被解除。

[0099] 以该方式,当视频数据排列单元 430 或者控制信号生成单元 420 与 EPI 传输单元 440 之间的锁定被解除时,如上所述,当前模式改变到异常模式,并且因此,时序控制器 400 生成异常选通控制信号或者面板 100 显示异常图像。

[0100] 如图 5 中所示,控制信号生成单元 420 可以包括选通控制信号生成单元 421、数据控制信号生成单元 422 和异常模式确定单元 423。

[0101] 控制信号生成单元 420 从 LVDS 接收单元 410 接收时序信号(包括垂直同步信号 Vsync、水平同步信号 Hsync、数据使能信号 DE 和点时钟 DCLK)以生成用于控制数据驱动 IC 300 的操作时序的数据控制信号 DCS、用于控制选通驱动 IC 200 的操作时序的选通控制信号 GCS 和用于控制电源 IC 的操作时序的电源控制信号。

[0102] 控制信号生成单元 420 通过使用从 LVDS 接收单元 410 接收的第一锁定信号 LVDS_Rx_LOCK、从 EPI 传输单元 440 接收的第二锁定信号 EPI_TX_LOCK 和从最后的数据驱动 IC SDIC#8 接收的第三锁定信号 EPI_RX_LOCK 确定 LCD 装置是否处于异常模式。

[0103] 当确定结果表示 LCD 装置处于正常模式时,控制信号生成单元 420 生成驱动器控制信号以向选通驱动 IC 200 输出选通控制信号并向 EPI 传输单元 440 输出数据控制信号 DCS。

[0104] 当确定结果表示 LCD 装置处于异常模式时,如图 6 中所示,除了阻止由选通控制信号生成单元 421 生成的选通控制信号的输出之外,控制信号生成单元 420 还生成使选通驱动 IC 200 不将扫描信号输出到选通线的掩蔽控制信号 MCS 并且将掩蔽控制信号 MCS 输出到选通驱动 IC 200。而且,当作为确定结果,LCD 装置处于异常模式时,控制信号生成单元 420 可以生成用于使面板 100 不输出异常图像的包括数据控制信号或者电源控制信号的掩蔽控制信号,并且将该掩蔽控制信号输出到数据驱动 IC300 或者电源 IC。

[0105] 图 6 示出输入到控制信号生成单元 420 的异常模式确定单元 423 或者从其输出的信号的波形。输入到异常模式确定单元 423 的输入信号可以是由选通控制信号生成单元 421 生成的选通控制信号 GCS。如上所述,根据选通驱动 IC 200 的构造类型,选通控制信号

GCS可以包括选通开始脉冲GSP、选通源极时钟GSC和选通输出使能信号GOE,或者选通开始信号VST和选通时钟GCLK。然而,由于本发明应用GIP类型作为示例,所以图6示出应用于GIP类型的选通控制信号GCS的波形。

[0106] 除了选通控制信号GCS之外,输入到异常模式确定单元423或者从其输出的信号可以包括由数据控制信号生成单元422生成的数据控制信号DCS和用于控制电源IC的信号VEO和PWM。

[0107] 由控制信号生成单元420的异常模式确定单元423确定当前模式是否是异常模式,并且异常模式确定单元423根据以下描述的方法确定异常模式或正常模式。

[0108] 当当前模式被确定为正常模式时,异常模式确定单元423分别向选通驱动IC 200和其它元件(数据驱动IC 300和电源IC等)传输(由选通控制信号生成单元421生成并且输入到异常模式确定单元423的)选通控制信号CGS和输入的其它驱动器控制信号。

[0109] 当当前模式被确定为异常模式时,如图6中所示,在所确定的异常模式中,异常选通控制信号X被包括在由选通控制信号生成单元421生成的选通控制信号中并且被输入到异常模式确定单元423。

[0110] 因此,异常模式确定单元423阻止异常选通控制信号X的输出并且将禁止扫描信号的输出的掩蔽控制信号MCS(输出信号)输出到选通驱动IC 200。

[0111] 在用多个N型晶体管构造的GIP类型的选通驱动IC中,当选通开始信号VST和选通时钟GCLK具有逻辑低电平(L(0))时,选通驱动IC不将扫描信号输出到选通线。因此,在异常模式时段期间,异常模式确定单元423输出通过将输出到选通驱动IC的选通控制信号VST、GCLK1_0、GCLK2_0、GCLK3_0和GCLK4_0设置为逻辑低电平生成的掩蔽控制信号MCS。

[0112] 为了提供额外的描述,掩蔽控制信号MCS可以是输出到选通驱动IC 200的选通控制信号,在此情况下,掩蔽控制信号MCS的电平可以被设置为禁止扫描信号的输出的逻辑低电平。

[0113] 掩蔽控制信号MCS可以包括使扫描信号不被输出到选通线的各种选通控制信号,并且可以是使图像数据不被输出到数据线的各种数据控制信号。而且,掩蔽控制信号MCS可以包括用于禁止各个电源IC的驱动的各种电源控制信号(例如,PWM、VEO等)。

[0114] 以下将参照图7和图8详细描述异常模式确定单元423的详细构造和功能,该异常模式确定单元423确定LCD装置是否处于异常模式并且根据确定结果输出包括选通控制信号GCS或者掩蔽控制信号MCS的各种驱动器控制信号。

[0115] 图7是示出图5的异常模式确定单元423的内部构造的示例图。图8是示出输入到图5的异常模式确定单元423或者从其输出的各个信号的模拟结果的示例图。

[0116] 参照图7,异常模式确定单元423包括选项处理单元510、帧计数器初始化单元520、帧计数器530、掩蔽确定信息生成单元540和掩蔽控制信号输出单元550。

[0117] 选项处理单元510通过使用三个锁定信号LVDS_Rx_LOCK、EPI_Tx_LOCK和EPI_Rx_LOCK中的一个来进行是否确定异常模式。

[0118] 为此,选项处理单元510包括三个OR门511至513。锁定信号LVDS_Rx_LOCK和包括关于是否使用锁定信号LVDS_Rx_LOCK的信息的选项LVDS_Rx_OPT被分别输入到OR门511的两个输入端口。锁定信号EPI_Tx_LOCK和包括关于是否使用锁定信号EPI_Tx_LOCK的信息的选项EPI_Tx_OPT被分别输入到OR门512的两个输入端口。锁定信号EPI_Rx_LOCK

和包括关于是否使用锁定信号 EPI_Rx_LOCK 的信息的选项 EPI_Rx_OPT 被分别输入到 OR 门 513 的两个输入端口。

[0119] 包括关于是否使用锁定信号的信息的各个选项由 LCD 装置的制造商设置并且存储在可擦除可编程只读存储器 (EEPROM) 中 (参见图 2)。当时序控制器 400 被开启时, 选项被输入到异常模式确定单元 423。

[0120] 例如, 当第一锁定信号 LVDS_Rx_LOCK 被设置为用于确定当前模式是否是异常模式时, 第一选项 LVDS_Rx_OPT 可以被设置为具有逻辑低电平 (L(0))。因此, 根据第一锁定信号 LVDS_Rx_LOCK 的逻辑电平确定接收第一锁定信号 LVDS_Rx_LOCK 和第一选项 LVDS_Rx_OPT 的第一 OR 门 511 的输出 A。

[0121] 当第二锁定信号 EPI_Tx_LOCK 被设置为用于确定当前模式是否是异常模式时, 第二选项 EPI_Tx_OPT 可以被设置为具有逻辑高电平 (H(1))。因此, 接收第二锁定信号 EPI_Tx_LOCK 和第二选项 EPI_Tx_OPT 的第二 OR 门 512 的输出 B 始终具有逻辑高电平 (H(1))。

[0122] 当三个锁定信号都被设置为用于确定当前模式是否是异常模式时, 下面的表 1 列出选项处理单元 510 中的 OR 门 511 至 513 的各输出值 A 至 C 以及从选项处理单元 510 输出的第一信息“0”。表 1 是图 7 的选项处理单元 510 中示出的表。

[0123] [表 1]

[0124]

A (511)	B (512)	C (513)	0
0	x	x	0
1	0	x	0
1	1	0	0
1	1	1	1

[0125] 如表 1 中所示, 具有逻辑低电平 (L(0)) 的第一 OR 门 511 的输出信号表示当第一选项 LVDS_Rx_OPT 具有逻辑低电平 (L(0)) 时第一锁定信号 LVDS_Rx_LOCK 具有逻辑低电平 (L(0)) (这是因为第一锁定信号被设置为用于确定当前模式是否是异常模式)。具有逻辑低电平 (L(0)) 的第一锁定信号 LVDS_Rx_LOCK 表示外部系统和时序控制器 400 的 LVDS 接收单元 410 之间的锁定因为外部系统中使用的时钟的频率与 LVDS 接收单元 410 中使用的时钟的频率不匹配而被解除, 在此情况下时序控制器 400 不能够输出正常选通控制信号。因此, 选项处理单元 510 的输出信号具有逻辑低电平 (L(0))。

[0126] 在表 1 中, 具有逻辑高电平 (H(1)) 的第一 OR 门 511 的输出信号表示第一选项 LVDS_Rx_OPT 被设置为逻辑高电平 (H(1)) 以不用于确定当前模式是否是异常模式, 或者当第一选项 LVDS_Rx_OPT 已被设置为用于确定当前模式是否是异常模式 (即, L) 时, 第一锁定信号 LVDS_Rx_LOCK 具有逻辑高电平 (H(1))。因此, 不能够仅使用第一 OR 门 511 的输出信号 A 来确定异常模式。具有逻辑低电平 (L(0)) 的第二 OR 门 512 的输出信号 B 表示在时序控制器 400 内 EPI 传输单元 440 和其它元件之间的锁定被解除, 在此情况下时序控制器 400 不能够输出正常选通控制信号。因此, 选项处理单元 510 的输出信号具有逻辑低电平

(L(0))。

[0127] 在表 1 中,根据以上描述,具有逻辑高电平 (H(1)) 的第一 OR 门 511 的输出信号 A 和第二 OR 门 512 的输出信号 B 以及具有逻辑低电平 (L(0)) 的第三 OR 门 513 的输出信号 C 表示 EPI 传输单元 440 和数据驱动 IC 300 之间的锁定被解除。因此,是选项处理单元 510 的输出信号的第一信息具有逻辑低电平 (L(0))。

[0128] 然而,在表 1 中,具有逻辑高电平 (H(1)) 的第一 OR 门 511 至第三 OR 门 513 的各输出信号 A 至 C 表示三个锁定信号被锁定,或者用于确定当前模式是否是异常模式的所有锁定信号都被锁定。这表示 LCD 装置在正常模式中操作。因而,是选项处理单元 510 的输出信号的第一信息具有逻辑高电平 (H(1))。

[0129] 即,选项处理单元 510 通过使用 AND 门(未示出)对三个 OR 门的输出信号进行逻辑 AND 操作。

[0130] 帧计数器初始化单元 520 接收时钟 CK 和是选项处理单元 510 的输出信号的第一信息 A。而且,通过使用时钟 CK,帧计数器初始化单元 520 检测是选项处理单元 510 的输出信号的第一信息 A 的上升沿或者下降沿并且初始化帧计数器 530。

[0131] 如上所述,从选项处理单元 510 输出并输入到帧计数器初始化单元 520 的第一信息 A 包括关于 LCD 装置是处于异常模式还是正常模式的信息。因此,第一信息 A 从逻辑高电平改变到逻辑低电平或者从逻辑低电平改变到逻辑高电平表示锁定信号从异常状态改变到正常状态或者从正常状态改变到异常状态。通过使用点时钟 DCLK 或者由时序控制器 400 的内部时钟生成单元 (VCO) 生成的内部时钟,帧计数器初始化单元 520 检测第一信息 A 的下降沿和上升沿,并且然后将检测到的信息传输到帧计数器 530 以初始化帧计数器 530。

[0132] 例如,帧计数器初始化单元 520 检测从选项处理单元 510 输入的第一信息 A 的下降沿和上升沿和通过将第一信息延迟预定时钟生成的延迟信号 A' 的下降沿和上升沿。如图 7 的帧计数器初始化单元 520 中所示,当在第一信息 A 和延迟信号 A' 中的每一个中发生下降沿时,这表示锁定信号从正常状态改变到异常状态。因此,帧计数器初始化单元 520 检测到两个下降沿以生成检测时钟 0。

[0133] 当在第一信息 A 和延迟信号 A' 中的每一个中发生上升沿时,这表示锁定信号从异常状态改变到正常状态。因此,帧计数器初始化单元 520 检测到两个上升沿以生成检测时钟 0。

[0134] 由于两个信号 A 和 A' 的改变引起的下降沿或者上升沿表示三个锁定信号中的至少一个从异常状态改变到正常状态或者从正常状态改变到异常状态。因此,帧计数器初始化单元 520 通过使用检测到的信息生成检测时钟 0 (参见图 7 的帧计数器初始化单元 520) 并且将检测时钟 0 输出到帧计数器 530。

[0135] 帧计数器 530 根据如上所述由帧计数器初始化单元 520 生成并传输的检测时钟开始计数帧的数量。在此,按照 0, 1, 2 和 3 的顺序计数帧的数量。

[0136] 例如,当选项处理单元 510 使用第三锁定信号 EPI_Rx_LOCK 来确定当前模式是否是异常模式时,第三锁定信号 EPI_Rx_LOCK 被从选项处理单元 510 输出。从选项处理单元 510 输出的第三锁定信号 EPI_Rx_LOCK 变为第一信息并且因此被输入作为帧计数器初始化单元 520 的输入值。

[0137] 如图 7 中所示,当第三锁定信号 EPI_Rx_LOCK 具有逻辑高电平 (H(1)) 时, LCD 装

置处于正常模式,并且帧计数器初始化单元 520 没有检测到上升沿或者下降沿。因此,帧计数器 530 不计数帧的数量而是向选通驱动 IC 200 正常地输出由选通控制信号生成单元 421 生成的选通控制信号 VST、GCLK1 和 GCLK2,并且还向对应的驱动器输出其它驱动器控制信号。

[0138] 然而,当第三锁定信号 EPI_Rx_LOCK 从逻辑高电平 (H(1)) 改变到逻辑低电平 (L(0)) 时,从帧计数器初始化单元 520 的第一信息 A 和延迟信号 A' 中的每一个检测到下降沿 Y。这表示至少一个锁定信号从正常状态改变为异常状态。因此,帧计数器初始化单元 520 生成检测时钟并且向帧计数器 530 传输该检测时钟,从而帧计数器 530 开始计数帧的数量。

[0139] 当第三锁定信号 EPI_Rx_LOCK 从逻辑低电平 (L(0)) 改变到逻辑高电平 (H(1)) 时,从帧计数器初始化单元 520 的第一信息 A 和延迟信号 A' 检测到上升沿 Z。这表示应用于确定异常模式的所有锁定信号从异常状态改变到正常状态。因此,帧计数器初始化单元 520 生成检测时钟并且向帧计数器 530 传输该检测时钟,从而帧计数器 530 重新开始计数帧的数量。

[0140] 帧计数器 530 利用从帧计数器初始化单元 520 传输的检测时钟初始化,并且计数帧的数量。

[0141] 可由帧计数器 530 计数的帧的最大数量可以由制造商设置并且存储。因此,在确定正常模式之后,不要求必须计数很多帧。而且,当即使在异常模式中也计数了特定数量(或者更多)的帧时,这表示在 LCD 装置的驱动中已经发生了严重问题,并且因此这可以被认为是不能通过本发明的驱动方法解决的状态。

[0142] 因此,制造商可以将可由本发明解决的异常模式的极限设置为可计数的帧的最大数量并且将该可计数的帧的最大数量存储在 EEPROM 中。当时序控制器 400 开启时可以将这样的信息传输到时序控制器 400。

[0143] 在本发明的实施方式中,如图 7 中所示,可计数的帧的最大数量被设置为 7。

[0144] 掩蔽确定信息生成单元 540 将(制造商先前设置的)选通延迟的数量与帧计数器 530 计数的帧的数量比较,因而生成确定是否掩蔽驱动器控制信号所需的第二信息作为掩蔽控制信号。

[0145] 为此,掩蔽确定信息生成单元 540 确定由帧计数器 530 计数的帧的数量是否大于或者等于选通延迟的数量。

[0146] 以下将与掩蔽控制信号输出单元 550 的描述一起描述通过该确定生成掩蔽控制信号的方法。

[0147] 在图 7 中,掩蔽确定信息生成单元 540 被示出为包括两个生成器 541 和 542。这是用于生成对应于掩蔽控制信号 MCS 的多个驱动器控制信号,具体地用于单独地生成不同数量的选通延迟被分别应用到的驱动器控制信号。

[0148] 例如,如图 7 和图 8 中所示,应用于诸如选通开始信号 VST 或者选通开始脉冲 GSP 和选通源极时钟 GSC 的掩蔽控制信号的生成的选通延迟的数量是 1 (Gate_Delay1),并且应用于诸如信号 GCLK、FLK 和 PWM 的掩蔽控制信号的生成的选通延迟的数量是 2 (Gate_Delay2)。即,由于应用了不同数量的选通延迟,图 7 的掩蔽确定信息生成单元 540 单独地包括使用不同数量的选通延迟的两个生成器 541 和 542。

[0149] 因此,即使生成了多个掩蔽控制信号,当选通延迟的数量相同时,也可以仅利用一个生成器构造掩蔽确定信息生成单元 540。

[0150] 除了如上所述通过应用不同数量的选通延迟生成不同的掩蔽控制信号,图 7 的两个生成器 541 和 542 具有相同的功能和构造。因而,以下将描述利用用于输出选通开始信号 VST 的第一生成器 541 构造掩蔽确定信息生成单元 540 的示例。

[0151] 掩蔽控制信号输出单元 550 通过使用从掩蔽确定信息生成单元 540 传输的第二信息 B 或者从选项处理单元 510 传输的第一信息 A 输出由选通控制信号生成单元 421 或者数据控制信号生成单元 422 生成的掩蔽控制信号或者驱动器控制信号。

[0152] 为此,掩蔽控制信号输出单元 550 包括接收第一信息 A 和第二信息 S 作为输入信号的确定单元 551 和通过使用确定单元 551 的输出信号输出驱动器控制信号或者掩蔽控制信号的输出单元 552。

[0153] 在此,当计数的帧的数量大于或者等于选通延迟的数量时,第二信息具有逻辑高电平 (H(1)),但是当计数的帧的数量小于选通延迟的数量时,第二信息具有逻辑低电平 (L(0))。

[0154] 如上所述,当应用于确定异常模式的全部锁定信号处于正常状态时,第一信息 A 具有逻辑高电平 (H(1)),或者当至少一个锁定信号处于异常状态时,第一信息 A 具有逻辑低电平 (L(0))。

[0155] 如图 8 中所示,当发生其中第三锁定信号 EPI_Rx_LOCK 从逻辑高电平下降到逻辑低电平的下降沿点 Y 时,帧计数器 530 开始计数帧的数量。从那时起,因为 LCD 装置处于异常模式,所以第三锁定信号 EPI_Rx_LOCK 具有逻辑低电平 (L(0))。

[0156] 在该点,掩蔽确定信息生成单元 540 确定计数的帧的数量是否大于或者等于选通延迟的预定数量 (Gate_Delay1)。

[0157] 首先,作为示例,当第三锁定信号的下降沿点 Y 发生(参见图 8)并且因而计数帧的数量时,计数的帧的初始数量是 0,并且如上所述选通延迟的数量被设置为 1,因而计数的帧的数量“0”小于选通延迟的数量“1”,从而掩蔽确定信息生成单元 540 的第一生成器 541 输出逻辑低电平 (L(0)) 作为第二信息 B。因此,不管从选项处理单元 510 输出的第一信息 A 的逻辑电平如何,掩蔽控制信号输出单元 550 的确定单元 551 具有逻辑低电平 (L(0))。即,从确定单元 551 输出的确定信号具有逻辑低电平 (L(0)),这指示当前模式是异常模式。因此,掩蔽控制信号输出单元 550 的第一输出单元 552 输出掩蔽控制信号。

[0158] 在图 7 中,第一输出单元 552 对从选通控制信号生成单元 421 输出的选通开始信号 VST 和从第一确定单元 551 输出的逻辑低电平 (L(0)) 进行逻辑 AND 操作。为了提供额外的描述,利用 AND 门构造第一输出单元 552,并且输入到第一输出单元 552 的两个信号分别是由选通控制信号生成单元 421 生成的选通开始信号 VST 和从第一确定单元 551 输出的确定信号。

[0159] 因此,当从确定单元 551 输出的确定信号具有逻辑低电平 (L(0)) 时,不管从选通控制信号生成单元 421 输出的选通开始信号 VST 如何,第一输出单元 552 始终输出具有逻辑低电平 (L(0)) 的信号作为掩蔽控制信号。因此,如图 8 中所示,从第三锁定信号的下降沿发生时的点 Y 之后开始,具有逻辑低电平 (L(0)) 的掩蔽控制信号被输出作为选通开始信号 VST。以下将额外地描述输出单元 552 根据从确定单元 551 输出的确定信号输出掩蔽控

制信号或者各种驱动器控制信号的操作。

[0160] 第二,在图 8 中,在第三锁定信号的下降沿点 Y 之后,当帧的数量增加 1 因而计数的帧的数量是 1 时,计数的帧的数量“1”与选通延迟的数量“1”相同,因而输出具有逻辑高电平(H(1))的第二信息 B。然而,在第三锁定信号的下降沿点 Y 之后,由于从选项处理单元 510 输出的第一信息 A 仍具有逻辑低电平(L(0)),所以掩蔽控制信号输出单元 550 的第一确定单元 551 仍输出逻辑低电平(L(0))作为确定信号。因此,掩蔽控制信号输出单元 550 的第一确定单元 551 持续地输出与第一操作的输出信号相同的逻辑低电平(L(0))。因此,具有逻辑低电平的选通开始信号 VST 被输出作为掩蔽控制信号。

[0161] 第三,在图 8 中,当第三锁定信号的上升沿点 Z 发生时,帧计数器初始化单元 520 生成初始化时钟,因而,帧计数器 530 被初始化。因而,当第三锁定信号的上升沿点 Z 发生时,计数的帧的数目再次具有值 0。在此情况下,由于计数的帧的数量是 0 并且如上所述选通延迟的数量被设置为 1,因此计数的帧的数量“0”小于选通延迟的数量“1”,因而,掩蔽确定信息生成单元 540 的第一生成器 541 输出逻辑低电平(L(0))作为第二信息 B。因此,掩蔽控制信号输出单元 550 的第一输出单元 552 持续地输出与第一操作和第二操作中的每一个的输出信号相同的输出信号。即,第三锁定信号在图 8 的点 Z 处具有逻辑高电平,因而从异常状态改变到正常状态,但是即使当第三锁定信号改变到正常状态时,通过保持异常模式特定持续时间,能够输出更稳定的驱动器控制信号。为了提供额外的描述描述,第三锁定信号从正常状态改变到异常状态,因而异常模式开始,但是尽管第三锁定信号从异常状态改变到正常状态,异常模式没有立即改变到正常模式。这样的持续时间差异可以根据如上所述的选通延迟的数量而改变。

[0162] 第四,在图 8 中,在第三锁定信号的上升沿点 Z 之后,当帧的数量增加 1 因而计数的帧的数量是 1 时,计数的帧的数量“1”与选通延迟的数量“1”相同,因而输出具有逻辑高电平(H(1))的第二信息 B。而且,在第三锁定信号的上升沿点 Z 之后,从选项处理单元 510 输出的第一信息 A 具有逻辑高电平(H(1))。即,输入到掩蔽控制信号输出单元 550 的第一确定单元 551 的第一信息 A 和第二信息 B 具有逻辑高电平(H(1))。因此,第一确定单元 551 输出逻辑高电平作为确定信号。

[0163] 第一输出单元 552 对从选通控制信号生成单元 421 输出的选通开始信号 VST 和从第一确定单元 551 输出的逻辑高电平(H(1))进行逻辑 AND 操作。因此,第一输出单元 552 原样输出从选通控制信号生成单元 421 输出的选通开始信号 VST。即,如图 8 中所示,在第三锁定信号的上升沿点 Z 之后,从当计数的帧的数量变为 1 时的点 S 开始从选通控制信号生成单元 421 输出的选通开始信号 VST 被输出作为异常模式确定单元 423 的输出信号。换句话说,在第三锁定信号 EPI_Rx_LOCK 的下降沿(即,异常状态)之后,本发明确定当前模式为异常模式,并且因而阻止由选通控制信号生成单元 421 生成的选通开始信号 VST 的输出,并且输出具有逻辑低电平的掩蔽控制信号。而且,在从第三锁定信号的上升沿(即,正常模式)起经过对应于一个帧的时间的点 S 之后,本发明再次确定当前模式为正常模式,因而输出由选通控制信号生成单元 421 生成的选通开始信号 VST。

[0164] 如上所述,尽管逻辑电平在第三锁定信号的上升沿点 Z 处改变到逻辑高电平,但是本发明没有立即输出由选通控制信号生成单元 421 生成的选通开始信号 VST,而是在预定点(点 S)之前确定模式为异常模式,并且持续输出具有逻辑低电平的掩蔽控制信号作为

选通开始信号。

[0165] 在第三锁定信号的上升沿点 Z 之后,第三锁定信号具有逻辑高电平 (H(1)),这表示第三锁定信号从异常状态改变到正常状态。然而,如上所述,尽管第三锁定信号改变到具有逻辑高电平 (H(1)) 的状态,但是本发明持续地保持异常模式预定持续时间(一个帧),因而允许输出掩蔽控制信号,以进行更稳定的操作。

[0166] 在此,预定持续时间可以改变预定第一选通延迟 (Gate_Delay1) 值。即,由于与选通开始信号 VST 相关联的第一选通延迟 (Gate_Delay1) 值如上所述具有值 1,因此甚至在第三锁定信号的上升沿点 Z 之后,计数的帧的数量增加 1,并且因此仅当计数的帧的数量与第一选通延迟值“1”相同时,输出由选通控制信号生成单元 421 生成的选通开始信号 VST。因此,甚至在第三锁定信号的上升沿点 Z 之后,在至少一个帧期间持续地输出掩蔽控制信号,并且在过去了对应于一个帧的时间的点 S 之后,可以输出正常选通控制信号。

[0167] 根据图 8 和以上描述,能够看到的是,用于选通开始信号 VST 的输出的预定持续时间是一个帧并且由选通延迟的数量确定。然而,本发明可以根据驱动器控制信号的种类改变选通延迟值。

[0168] 第五,图 7 的掩蔽确定信息生成单元 540 包括第一生成器 541 和第二生成器 542。

[0169] 如上所述,在第一产生器 541 中,第一选通延迟的数量(第一选通延迟值)被设置为 1。驱动器控制信号在输出中由第一生成器 541 控制,并且是选通开始信号 VSR。极性信号 POL 在输出中也由第一选通延迟值控制,但是以下将进行描述。

[0170] 在图 7 的第二生成器 542 中,第二选通延迟的数量 (Gate_Delay2) 被设置为 2,并且通过第二确定单元 554 从连接到第二生成器 542 的第三输出单元 555 输出的驱动器控制信号包括 GCLK1、GCLK2 和 PWM。因此,如图 8 中所示,甚至在第三锁定信号的上升沿点 Z 之后,在至少两个帧(计数帧的数量是 0 和 1)期间持续地输出掩蔽控制信号,并且在经过了对应于两个帧的时间的点 T 之后,由选通控制信号生成单元 421 生成的正常信号 GCLK1 和 GCLK2 被输出作为异常模式确定单元 423 的输出信号。尽管本发明使用相同锁定信号 EPI_Rx_LOCK 确定异常模式时段的点,但是异常模式的终点可以被设置为根据驱动器控制信号的特性而改变。

[0171] 根据本发明,可以根据连接到第一确定单元 551 或者第二确定单元 554 的输出单元 552、553、555 和 556 的种类输出各个驱动器控制信号。

[0172] 如上所述,在异常模式中,仅当选通开始信号 VST 和时钟 GCLK1 和 GCLK2 具有逻辑低电平 (L) 时,掩蔽控制信号使选通驱动 IC 200 不输出异常扫描信号。

[0173] 为此,如图 7 中所示,从选通控制信号生成单元 421 输出的选通开始信号 VST 和第一确定单元 551 的确定信号被作为第一输出单元 552 的输入信号输入,并且从选通控制信号生成单元 421 输出的时钟 GCLK1 和 GCLK2 和第二确定单元的确定信号被作为第二输出单元 555 的输入信号输入。

[0174] 在正常模式中,由于具有逻辑高电平 (H(1)) 的确定信号被作为第一输出单元 552 和第二输出单元 555 中的每一个的第一输入信号输入,所以输入到第一输出单元 552 的第二输入信号 VST 可以被原样输出,并且输入到第二输出单元 555 的第二输入信号 GCLK1 或者 GCLK2 可以被原样输出。

[0175] 然而,在异常模式中,由于具有逻辑低电平 (L(0)) 的确定信号被作为第一输出单

元 552 和第二输出单元 555 中的每一个的第一输入信号输入,所以不管第一输出单元 552 的第二输入信号 VST 和第二输出单元 555 的第二输入信号 GCLK1 和 GCLK2 如何,第一输出单元 552 和第二输出单元 555 始终输出逻辑低电平 (L(0))。因此,由于输入到选通驱动 IC 200 的 VST、GCLK1 和 GCLK2 具有逻辑低电平 (L(0)) 使得选通驱动 IC 200 不能够输出扫描信号。

[0176] 除了选通开始信号 VST 和时钟 GCLK1 和 GCLK2 之外,当在异常模式中其它信号具有逻辑高电平 (H(1)) 时,通过控制 LCD 装置的驱动,使 LCD 装置不输出异常图像的各种驱动器控制信号(例如,PLK、PWM 等)还可以被连接到利用 AND 门构造的输出单元。选通开始信号 VST 和时钟 GCLK1 和 GCLK2 被分别输入到不同的确定单元 551 和 554 的原因是这两个信号如上所述具有不同数量的选通延迟。

[0177] 仅当掩蔽控制信号具有与极性信号 POL 的电平一样的逻辑高电平 (H(1)) 时,掩蔽控制信号使数据驱动 IC 300 不将异常图像数据信号输出到数据线,此外,仅当选通输出使能信号 GOE 具有逻辑高电平 (H(1)) 时,选通输出使能信号 GOE 使选通驱动 IC200 不输出异常扫描信号。

[0178] 因此,如图 7 中所示,驱动器控制信号(第二输入信号)中的一个和(通过反转第一确定单元 551 的确定信号生成的)第一信号被作为利用 OR 门构造的第三输出单元 553 的输入信号输入,并且驱动器控制信号中的另一个和(通过反转第二确定单元 554 的确定信号生成的)第一信号被作为利用 OR 门构造的第四输出单元 556 的输入信号输入。

[0179] 在正常模式中,由于由第一确定单元 551 和第二确定单元 554 输出具有逻辑高电平 (H(1)) 的确定信号,所以具有逻辑低电平 (L(0)) 的信号被作为第三输出单元 553 和第四输出单元 556 中的每一个的第一输入信号输入。由于第三输出单元 553 和第四输出单元 556 被利用 OR 门构造,所以输入到第三输出单元 533 的第二输入信号 POL 可以被原样输出,并且输入到第四输出单元 556 的第二输入信号 GOE 可以被原样输出。

[0180] 然而,在异常模式中,由于分别由第一确定单元 551 和第二确定单元 554 输出具有逻辑低电平 (L(0)) 的确定信号,所以具有逻辑高电平 (H(1)) 的信号被作为第三输出单元 553 和第四输出单元 556 中的每一个的第一输入信号输入。在该点,不管分别输入到第三输出单元 553 和第四输出单元 556 的第二输入信号 POL 和 GOE 如何,利用 OR 门构造的第三输出单元 553 和第四输出单元 556 始终输出逻辑高电平 (H(1))。因此,由于输入到数据驱动 IC 300 的信号 POL 和输入到选通驱动 IC 200 的信号 GOE 具有逻辑高电平 (H(1)),因此数据驱动 IC 300 不能够将图像数据信号输出到数据线,另外,选通驱动 IC 200 不能够输出扫描信号。信号 POL 和 GOE 被分别输入到不同的确定单元 551 和 554 的原因是这两个信号如上所述具有不同数量的选通延迟。

[0181] 如上所述,本发明通过使用各种锁定信号来确定 LCD 装置的异常模式,并且当异常模式发生时,本发明生成使驱动器不分别输出异常输出信号的掩蔽控制信号并且将掩蔽控制信号输出到驱动器。因此,在异常模式中,驱动器禁止异常图像的输出。

[0182] 根据实施方式,本发明使用锁定信号确定异常模式是否发生,当确定了异常模式时,除了阻止用于控制驱动器的驱动器控制信号的输出之外,还将掩蔽控制信号输出到驱动器以防止驱动器输出异常图像信号。因此,本发明能够防止在异常模式中将异常驱动器控制信号输出到驱动器,因而防止施加到面板的负载增加。

[0183] 另外,本发明防止在异常模式中将扫描信号输出到选通线,因而能够防止异常图像数据信号被异常选通控制信号充电到面板中。

[0184] 另外,本发明防止异常选通控制信号的输出,因而能够防止液晶面板由于异常选通控制信号而损坏。

[0185] 另外,当在异常模式中输出的异常选通控制信号太长或者太短时,电源 IC 能够被损坏并且因而关闭。然而,本发明防止生成异常选通控制信号,因而减少上述损坏。

[0186] 如上所述,当由于各种原因被去激活到逻辑低电平的锁定信号导致时序控制器生成异常驱动器控制信号时,本发明将该异常驱动器控制信号掩蔽为掩蔽控制信号,因而能够防止异常模式中的异常显示并且保护 LCD 装置的面板和各种电路元件。

[0187] 对于本领域技术人员而言,很明显,可以在不脱离本发明的精神或范围的情况下对本发明做出各种修改和变化。因此,本发明旨在涵盖本发明的落入所附权利要求及其等同物范围内的这些修改和变化。

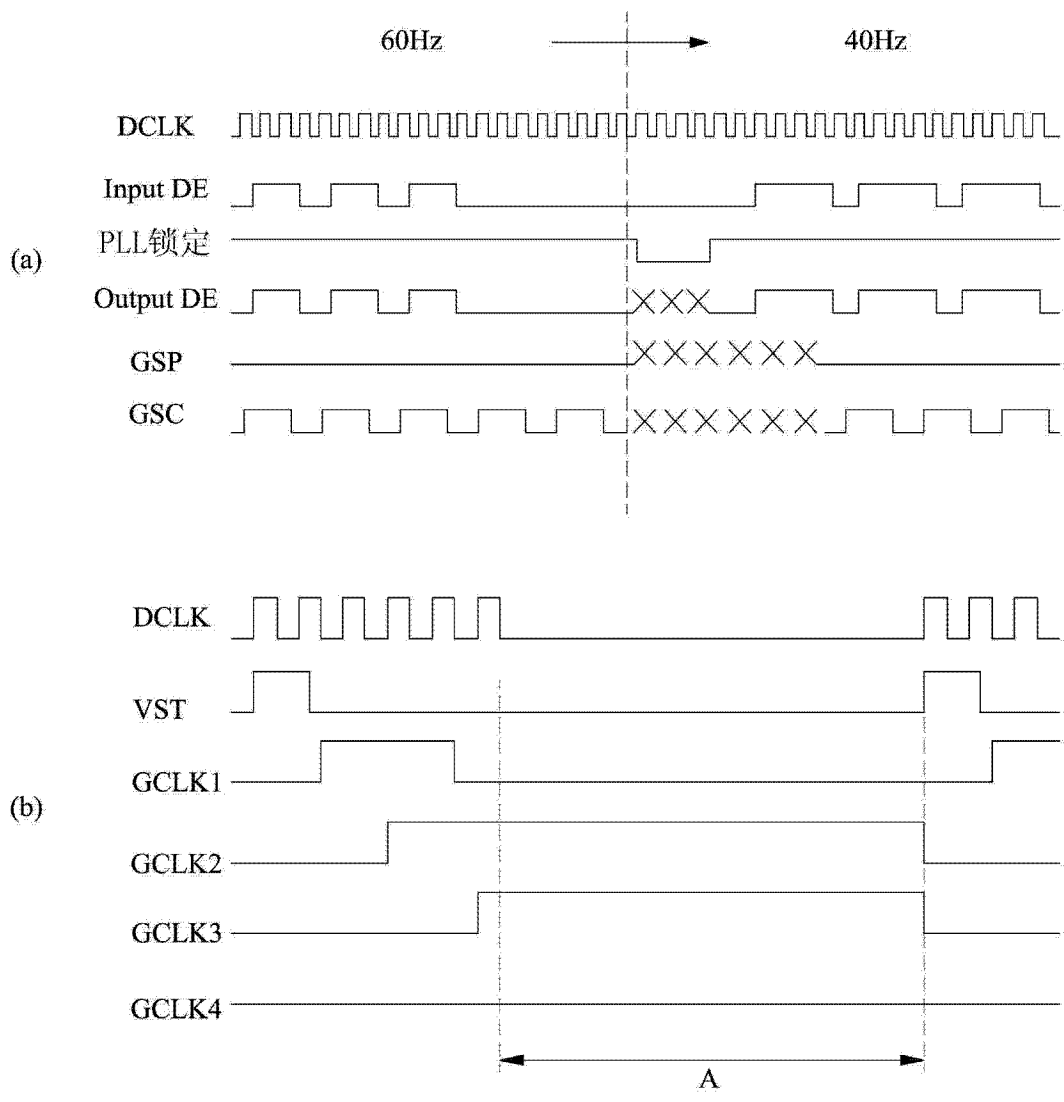


图 1

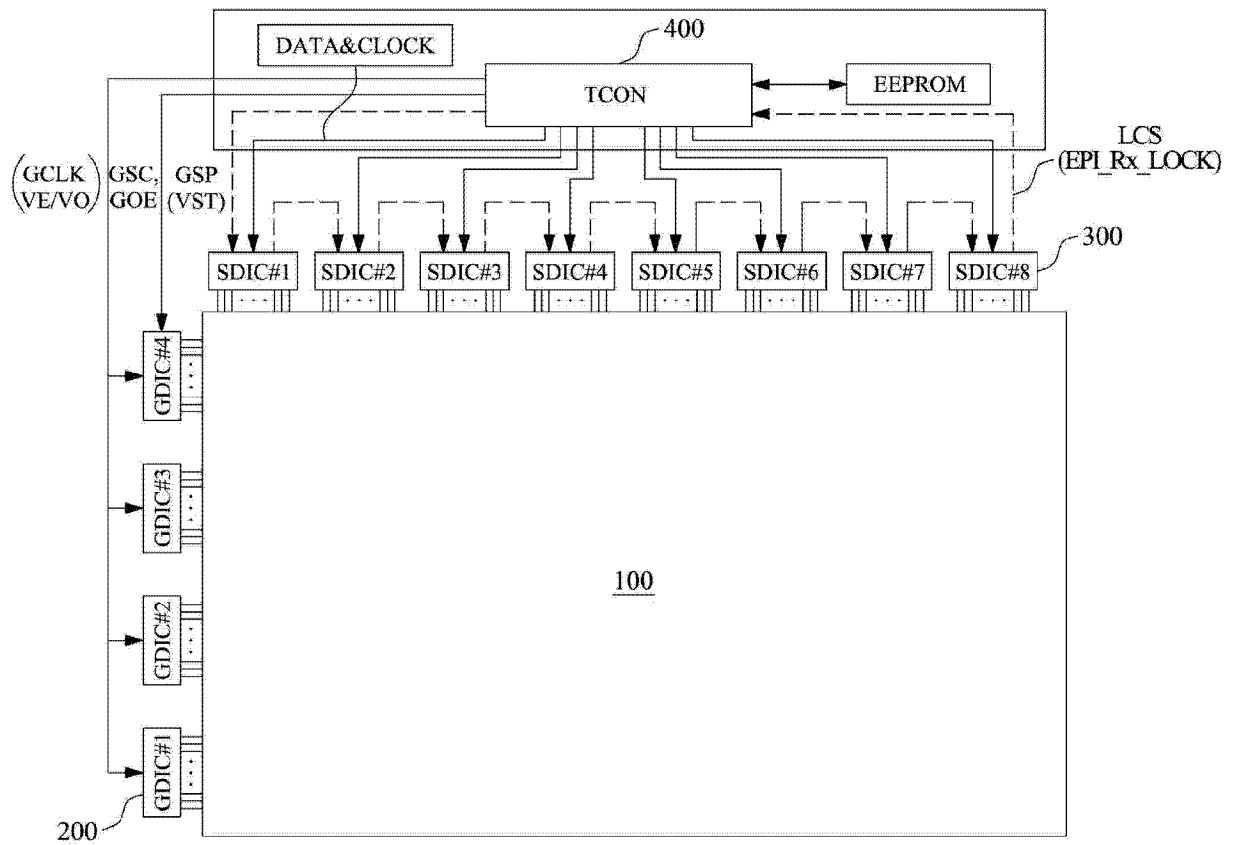


图 2

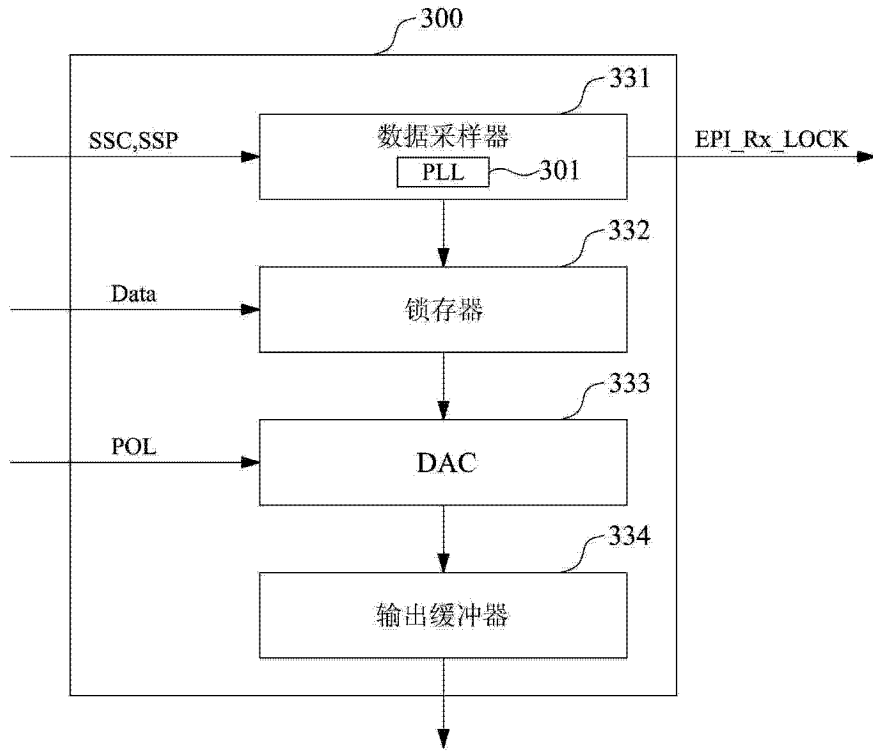


图 3

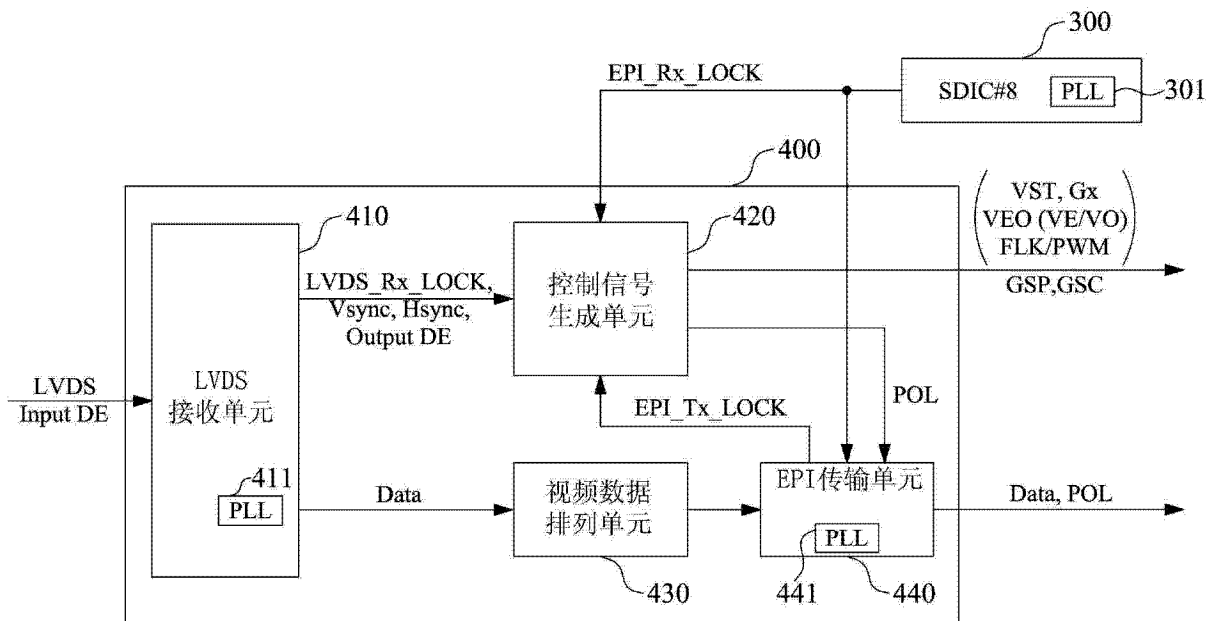


图 4

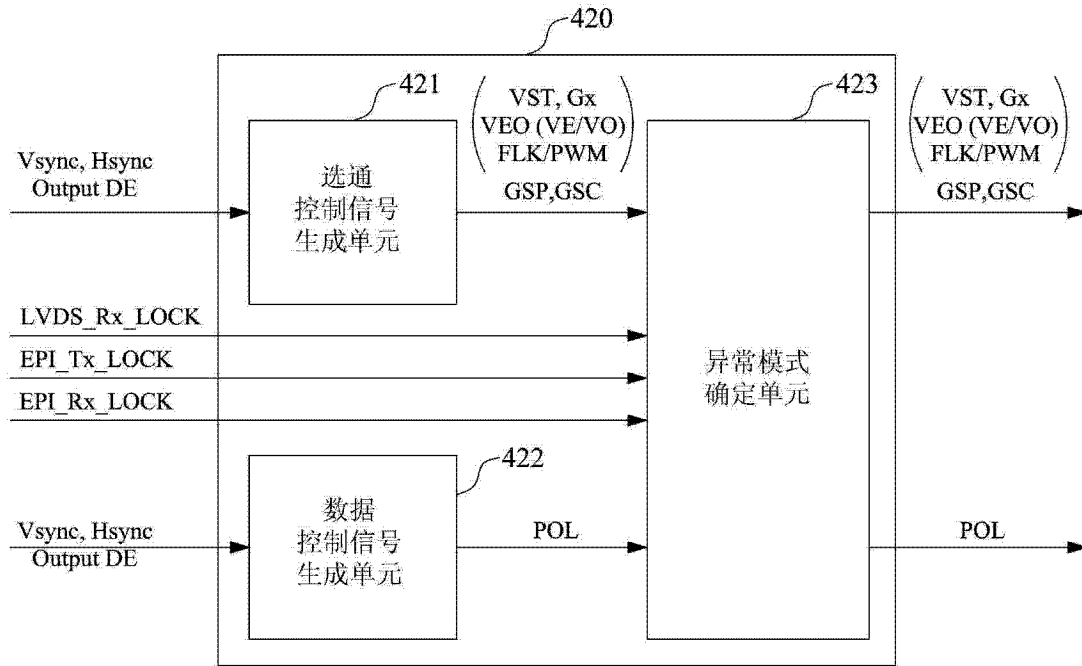


图 5

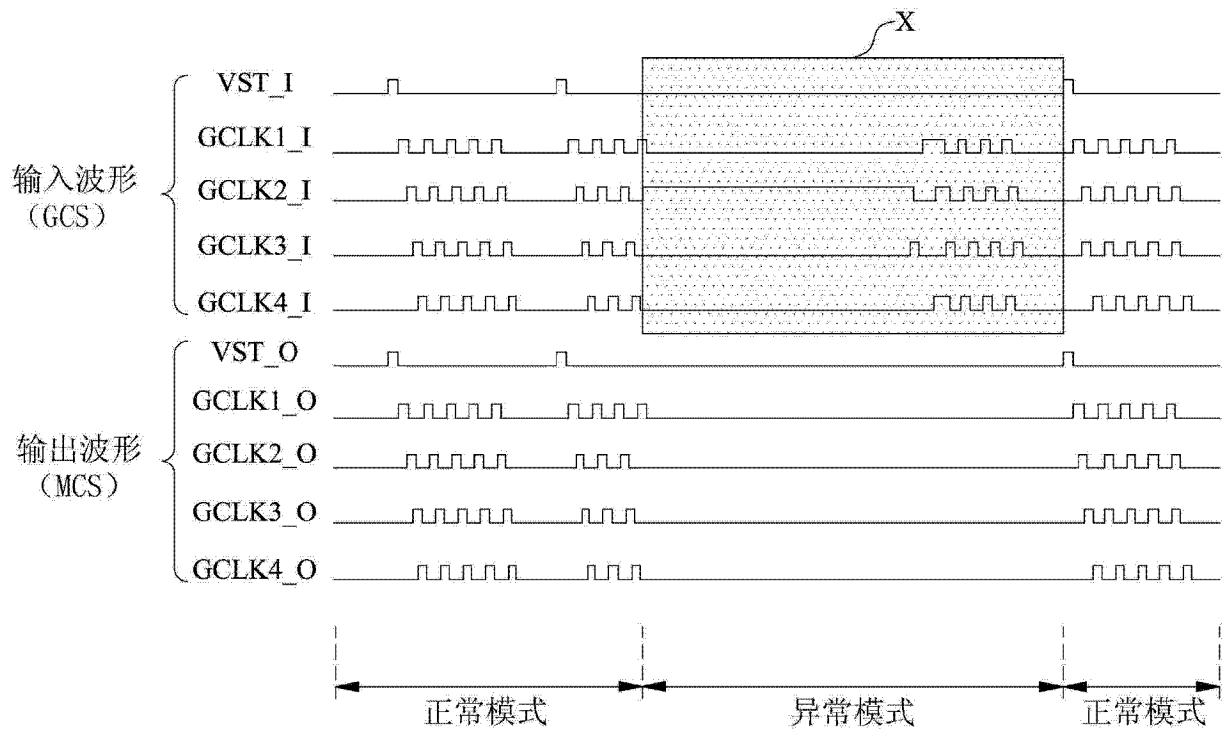


图 6

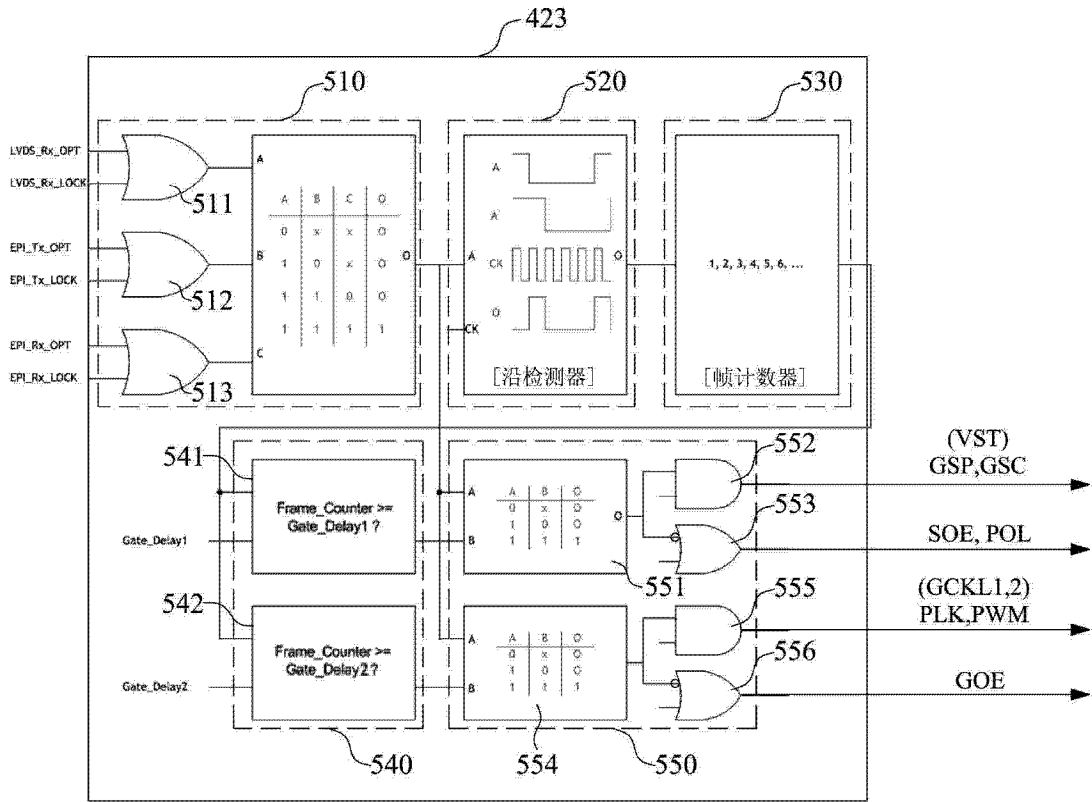


图 7

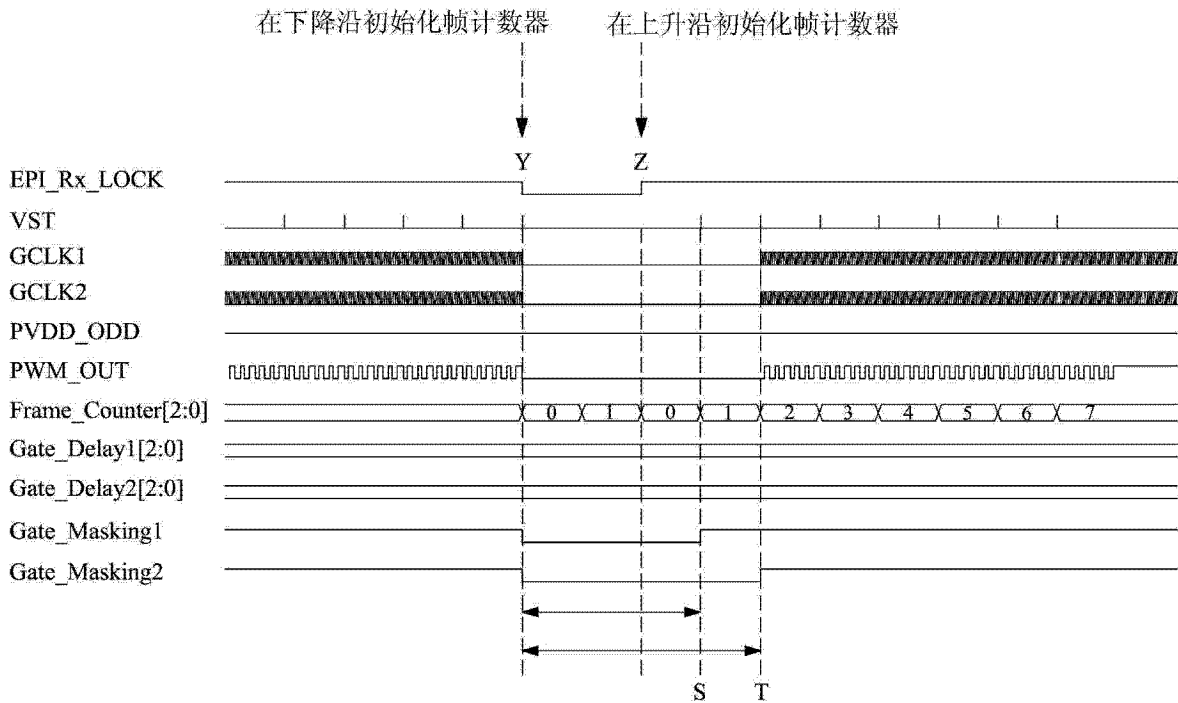


图 8

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	CN102956212A	公开(公告)日	2013-03-06
申请号	CN201210297324.7	申请日	2012-08-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	金钟佑 文明国		
发明人	金钟佑 文明国		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G09G3/3677 G09G3/3688 G09G5/008 G09G5/18 G09G2310/08 G09G2320/0247 G09G2330/06 G09G2330/08 G09G2340/0435 G09G2370/14		
代理人(译)	刘久亮		
优先权	1020110084955 2011-08-25 KR		
其他公开文献	CN102956212B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种液晶显示器及其驱动方法。LCD装置包括驱动器和时序控制器。该驱动器包括：用于向面板的多条选通线输出扫描信号的至少一个或者更多个选通驱动器IC和用于向所述面板的多条数据线分别输出多个图像数据信号的至少一个或者更多个数据驱动IC。时序控制器通过使用至少一个或者更多个锁定信号确定当前模式是否是其中面板输出异常图像的异常模式，当当前模式被确定为正常模式时输出用于控制驱动器的驱动器控制信号，并且当当前模式被确定为异常模式时向驱动器输出使面板不输出异常图像的掩蔽控制信号。

