



(12) 发明专利申请

(10) 申请公布号 CN 103903571 A

(43) 申请公布日 2014. 07. 02

(21) 申请号 201310507325. 4

(22) 申请日 2013. 10. 24

(30) 优先权数据

10-2012-0154776 2012. 12. 27 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 金旻奎

(74) 专利代理机构 北京三友知识产权代理有限公司

公司 11127

代理人 吕俊刚 刘久亮

(51) Int. Cl.

G09G 3/34 (2006. 01)

G09G 3/36 (2006. 01)

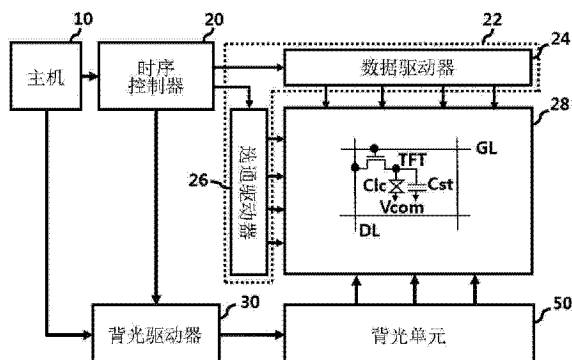
权利要求书2页 说明书14页 附图5页

(54) 发明名称

液晶显示装置的背光驱动器及其驱动方法

(57) 摘要

本发明提供了一种液晶显示装置的背光驱动器及其驱动方法。该背光驱动器包括垂直同步信号滤波器,用于基于输入的第一垂直同步信号生成第二垂直同步信号,并且根据相邻的第一垂直同步信号之间的周期差是否满足预置阈值范围来选择第一和第二垂直同步信号中的一个作为第三垂直同步信号;占空比检测器,用于检测输入的脉宽调制 PWM 信号的占空比;和 PWM 生成器,用于生成与从垂直同步信号滤波器输出的第三垂直同步信号同步并且具有占空比的输出 PWM 信号并且将输出 PWM 信号输出到背光单元。



1. 一种背光驱动器,所述背光驱动器包括:

垂直同步信号滤波器,所述垂直同步信号滤波器用于基于输入的第一垂直同步信号生成第二垂直同步信号,并且根据相邻的第一垂直同步信号之间的周期差是否满足预置阈值范围来选择所述第一垂直同步信号和所述第二垂直同步信号中的一个作为第三垂直同步信号;

占空比检测器,所述占空比检测器用于检测输入的脉宽调制 PWM 信号的占空比;和

PWM 生成器,所述 PWM 生成器用于生成与从所述垂直同步信号滤波器输出的所述第三垂直同步信号同步并且具有所述占空比的输出 PWM 信号,并且将所述输出 PWM 信号输出到背光单元。

2. 根据权利要求 1 所述的背光驱动器,其中,所述垂直同步信号滤波器基于所述第一垂直同步信号的第一周期以及所述第一垂直同步信号与所述第二垂直同步信号的开始时刻之间的时间差生成所述第二垂直同步信号的第二周期,根据相邻的第一垂直同步信号的第一周期之间的差是否满足所述阈值范围来选择所述第一垂直同步信号和所述第二垂直同步信号中的一个作为所述第三垂直同步信号,并且选择所述第一垂直同步信号的所述第一周期和所述第二垂直同步信号的所述第二周期中的一个作为所述第三垂直同步信号的第三周期。

3. 根据权利要求 2 所述的背光驱动器,其中,所述垂直同步信号滤波器进一步包括:

频率分析器,所述频率分析器布置在所述垂直同步信号滤波器的输入端子处并且用于检测并输出所述第一垂直同步信号的第一周期,

第二垂直同步信号生成器,所述第二垂直同步信号生成器用于生成并输出具有所述第二周期的所述第二垂直同步信号;

时间差检测器,所述时间差检测器用于检测所述第一垂直同步信号和来自所述第二垂直同步信号生成器的所述第二垂直同步信号的开始时刻之间的时间差;

第一差计算器,所述第一差计算器用于计算所述第一垂直同步信号的所述第一周期与来自所述时间差检测器的所述时间差之间的第一差以输出所述第二垂直同步信号的第二周期;

第二差计算器,所述第二差计算器用于计算并输出相邻的第一垂直同步信号的第一周期之间的第二差;

确定单元,所述确定单元用于确定来自所述第二差计算器的所述第二差是否满足预置阈值范围以生成标志信号;

第一复用器,所述第一复用器用于响应于来自所述确定单元的所述标志信号选择所述第一垂直同步信号和所述第二垂直同步信号中的一个作为所述第三垂直同步信号;以及

第二复用器,所述第二复用器用于响应于来自所述确定单元的所述标志信号选择所述第一垂直同步信号的所述第一周期和所述第二垂直同步信号的所述第二周期中的一个作为所述第三垂直同步信号的所述第三周期。

4. 根据权利要求 3 所述的背光驱动器,其中,当所述第二差满足所述预置阈值范围时,所述第一复用器选择所述第一垂直同步信号并且所述第二复用器选择所述第一垂直同步信号的所述第一周期,并且

当所述第二差不满足所述预置阈值范围时,所述第一复用器选择所述第二垂直同步信

号并且所述第二复用器选择所述第二垂直同步信号的所述第二周期。

5. 根据权利要求 3 所述的背光驱动器,其中,所述确定单元确定所述第二差是否处于由预置最小阈值和预置最大阈值设置的所述预置阈值范围内。

6. 一种驱动背光驱动器的方法,该方法包括:

基于输入的第一垂直同步信号生成第二垂直同步信号,并且根据相邻的第一垂直同步信号之间的周期差是否满足预置阈值范围来选择所述第一垂直同步信号和所述第二垂直同步信号中的一个作为第三垂直同步信号;

检测输入的脉宽调制 PWM 信号的占空比;和

生成与所述第三垂直同步信号同步并且具有所述占空比的输出 PWM 信号,并且将所述输出 PWM 信号输出到背光单元。

7. 根据权利要求 6 所述的方法,其中,生成所述第二垂直同步信号并且选择所述第一垂直同步信号和所述第二垂直同步信号中的一个作为所述第三垂直同步信号的步骤包括:

基于所述第一垂直同步信号的第一周期以及所述第一垂直同步信号与所述第二垂直同步信号的开始时刻之间的时间差生成所述第二垂直同步信号的第二周期,

根据相邻的第一垂直同步信号的第一周期之间的差是否满足所述预置阈值范围来选择所述第一垂直同步信号和所述第二垂直同步信号中的一个作为所述第三垂直同步信号,并且选择所述第一垂直同步信号的所述第一周期和所述第二垂直同步信号的所述第二周期中的一个作为所述第三垂直同步信号的第三周期。

8. 根据权利要求 7 所述的方法,其中,生成所述第二垂直同步信号并且选择所述第一垂直同步信号和所述第二垂直同步信号中的一个作为所述第三垂直同步信号的步骤进一步包括:

检测并输出所述第一垂直同步信号的第一周期,

生成并输出具有所述第二周期的所述第二垂直同步信号;

检测所述第一垂直同步信号和所述第二垂直同步信号的开始时刻之间的时间差;

计算所述第一垂直同步信号的所述第一周期与所检测到的时间差之间的第一差以输出所述第二垂直同步信号的第二周期;

计算并输出相邻的第一垂直同步信号的第一周期之间的第二差;

确定所述第二差是否满足所述预置阈值范围以生成标志信号;

响应于所述标志信号选择所述第一垂直同步信号和所述第二垂直同步信号中的一个作为所述第三垂直同步信号;以及

响应于所述标志信号选择所述第一垂直同步信号的所述第一周期和所述第二垂直同步信号的所述第二周期中的一个作为所述第三垂直同步信号的所述第三周期。

9. 根据权利要求 8 所述的方法,其中,当所述第二差满足所述预置阈值范围时,选择所述第一垂直同步信号和所述第一垂直同步信号的所述第一周期,并且

当所述第二差不满足所述预置阈值范围时,选择所述第二垂直同步信号和所述第二垂直同步信号的所述第二周期。

10. 根据权利要求 8 所述的方法,其中,确定步骤包括确定所述第二差是否处于由预置最小阈值和预置最大阈值设置的所述预置阈值范围内。

液晶显示装置的背光驱动器及其驱动方法

技术领域

[0001] 本发明涉及一种液晶显示装置的背光驱动器,并且更具体地,涉及一种用于通过滤波输入同步信号来同时防止背光闪烁和波动噪声的液晶显示装置的背光驱动器及其驱动方法。

背景技术

[0002] 用于使用数字数据显示图像的平板显示设备的代表示例包括使用液晶的液晶显示(LCD)装置、使用惰性气体的放电的等离子显示面板(PDP)、使用 OLED 的有机发光二极管(OLED)显示装置等等。在这些之中,LCD 装置已经广泛地应用于诸如电视(TV)、监视器、笔记本计算机和便携式电话的各种应用领域。

[0003] LCD 装置使用与折射率、介电常数等等相关的各向异性性质的液晶的电气和光学性质通过像素矩阵显示图像。LCD 装置的各像素通过根据数据信号使用液晶排列方向的变化来调整对于偏光板的光学透射率以实施灰阶。LCD 装置包括用于通过像素矩阵显示图像的液晶面板、用于驱动液晶面板的驱动电路、用于将光照射到液晶面板的背光单元和用于驱动背光单元的背光驱动器。

[0004] 用于背光单元的驱动的背光驱动器通过根据从电视机或时序控制器输入的脉宽调制(PWM)信号的占空比来调整背光单元的开/关时间来控制背光单元的亮度。

[0005] 在该情况下,背光驱动器检测输入的 PWM 信号的占空比并且将所检测到的占空比反映到从时序控制器输入的垂直同步信号以生成并使用用于控制背光单元的输出 PWM 信号,以便于根据液晶面板驱动背光单元。

[0006] 背光驱动器从外部系统或时序控制器接收用于区分图像数据的帧的垂直同步信号(下面称为 Vsync),并且使用 Vsync 以便于与液晶面板同步地驱动背光。

[0007] 然而,在传统的背光驱动器中,在 PWM 驱动频率随着输入图像的频率(即,输入 Vsync 的频率)的变化而变化的过程期间,PWM 占空比失真到可识别水平或更严重,从而导致背光闪烁,如图 1 中所示。

[0008] 为了解决该问题,如图 1B 中所示,已经提出了一种当输入 Vsync 的频率变化时,缓慢地改变 PWM 驱动频率来防止背光闪烁的方法。然而,当 PWM 驱动频率缓慢地改变时,由于与输入 Vsync 的同步被劣化,因此发生波动噪声。

[0009] 本申请要求 2012 年 12 月 27 日提交的韩国专利申请 No. 10-2012-0154776 的优先权,通过引用将其并入这里,如在此完全阐述一样。

发明内容

[0010] 因此,本发明涉及一种液晶显示装置的背光驱动器及其驱动方法,其基本上避免了由于现有技术的限制和缺点导致的一个或多个问题。

[0011] 本发明的目的在于提供一种背光驱动器及其驱动方法,以通过滤波输入的同步信号来同时防止背光闪烁和波动噪声。

[0012] 在随后的描述中将会部分地阐述本发明的额外的优点、目的和特征,并且部分优点、目的和特征对于已经研究过下面所述的本领域技术人员来说将是显而易见的,或者部分优点、目的和特征将通过本发明的实践来知晓。通过在给出的描述及其权利要求以及附图中特别地指出的结构可以实现并且获得本发明的目的和其它的优点。

[0013] 为了实现这些和其它优点并且根据本发明的目的,如在此具体化并且广泛描述的,一种背光驱动器,包括垂直同步信号滤波器,用于基于输入的第一垂直同步信号生成第二垂直同步信号,并且根据相邻的第一垂直同步信号之间的周期差是否满足预置阈值范围来选择第一垂直同步信号和第二垂直同步信号中的一个作为第三垂直同步信号;占空比检测器,该占空比检测器用于检测输入的脉宽调制(PWM)信号的占空比;和 PWM 生成器,用于生成与从垂直同步信号滤波器输出的第三垂直同步信号同步并且具有所述占空比的输出 PWM 信号,并且将输出 PWM 信号输出到背光单元。

[0014] 垂直同步信号滤波器可以基于第一垂直同步信号的第一周期以及第一垂直同步信号与第二垂直同步信号的开始时刻之间的时间差生成第二垂直同步信号的第二周期,根据相邻的第一垂直同步信号的第一周期之间的差是否满足阈值范围来选择第一垂直同步信号和第二垂直同步信号中的一个作为第三垂直同步信号,并且可以选择第一垂直同步信号的第一周期和第二垂直同步信号的第二周期中的一个作为第三垂直同步信号的第三周期。

[0015] 垂直同步信号滤波器可以进一步包括:频率分析器,其布置在所述垂直同步信号滤波器的输入端子处并且用于检测并输出第一垂直同步信号的第一周期;第二垂直同步信号生成器,其用于生成并输出具有第二周期的第二垂直同步信号;时间差检测器,其用于检测第一垂直同步信号和来自第二垂直同步信号生成器的第二垂直同步信号的开始时刻之间的时间差;第一差计算器,其用于计算第一垂直同步信号的第一周期与来自时间差检测器的时间差之间的第一差以输出第二垂直同步信号的第二周期;第二差计算器,其用于计算并输出相邻的第一垂直同步信号的第一周期之间的第二差;确定单元,其用于确定来自第二差计算器的第二差是否满足预置阈值范围以生成标志信号;第一复用器,其用于响应于来自确定单元的标志信号选择第一垂直同步信号和第二垂直同步信号中的一个作为第三垂直同步信号;以及第二复用器,其用于响应于来自所述确定单元的标志信号选择第一垂直同步信号的第一周期和第二垂直同步信号的第二周期中的一个作为第三垂直同步信号的第三周期。

[0016] 当第二差满足预置阈值范围时,第一复用器可以选择第一垂直同步信号并且第二复用器选择第一垂直同步信号的第一周期,并且当第二差不满足预置阈值范围时,第一复用器可以选择第二垂直同步信号并且第二复用器可以选择第二垂直同步信号的第二周期。

[0017] 确定单元可以确定第二差是否处于由预置最小阈值和预置最大阈值设置的预置阈值范围内。

[0018] 在本发明的另一方面,一种驱动背光驱动器的方法包括:基于输入的第一垂直同步信号生成第二垂直同步信号,并且根据相邻的第一垂直同步信号之间的周期差是否满足预置阈值范围来选择第一垂直同步信号和第二垂直同步信号中的一个作为第三垂直同步信号;检测输入的脉宽调制(PWM)信号的占空比;和生成与第三垂直同步信号同步的并且具有所述占空比的输出 PWM 信号,并且将输出 PWM 信号输出到背光单元。

[0019] 生成所述第二垂直同步信号并且选择所述第一垂直同步信号和所述第二垂直同步信号中的一个作为所述第三垂直同步信号的步骤进一步可以包括：基于第一垂直同步信号的第一周期以及第一垂直同步信号与所述第二垂直同步信号的开始时刻之间的时间差生成第二垂直同步信号的第二周期，根据相邻的第一垂直同步信号的第一周期之间的差是否满足预置阈值范围来选择第一垂直同步信号和第二垂直同步信号中的一个作为第三垂直同步信号，并且选择第一垂直同步信号的第一周期和第二垂直同步信号的第二周期中的一个作为第三垂直同步信号的第三周期。

[0020] 生成所述第二垂直同步信号并且选择所述第一垂直同步信号和所述第二垂直同步信号中的一个作为所述第三垂直同步信号的步骤进一步可以进一步包括：检测并输出第一垂直同步信号的第一周期，生成并输出具有第二周期的第二垂直同步信号；检测第一垂直同步信号和第二垂直同步信号的开始时刻之间的时间差；计算第一垂直同步信号的第一周期与所检测到的时间差之间的第一差作为第二垂直同步信号的第二周期；计算并输出相邻的第一垂直同步信号的第一周期之间的第二差；确定第二差是否满足预置阈值范围以生成标志信号；响应于标志信号选择第一垂直同步信号和第二垂直同步信号中的一个作为第三垂直同步信号；以及响应于标志信号选择第一垂直同步信号的第一周期和第二垂直同步信号的第二周期中的一个作为第三垂直同步信号的第三周期。

[0021] 当第二差满足预置阈值范围时，可以选择第一垂直同步信号和第一垂直同步信号的第一周期，并且当第二差不满足预置阈值范围时，可以选择第二垂直同步信号和第二垂直同步信号的第二周期。

[0022] 确定步骤可以包括确定第二差是否处于由预置最小阈值和预置最大阈值设置的预置阈值范围内。

[0023] 将理解的是，本发明的前述一般性描述和下面的详细描述是示例性和说明性的并且意在提供如权利要求所记载的本发明的进一步说明。

附图说明

[0024] 附图被包括进来以提供本发明的进一步理解，并且被并入本申请且构成本申请的一部分，示出了本发明的实施方式，并且与说明书一起用于说明本发明的原理。在附图中：

[0025] 图 1A 和图 1B 是示出脉宽调制(PWM) 信号的频率变化的传统过程的波形图；

[0026] 图 2 是包括根据本发明的实施方式的背光驱动器的液晶显示装置的示意性框图；

[0027] 图 3 是图 2 中所示的背光驱动器的内部结构的框图；

[0028] 图 4 是图 3 中所示的垂直同步信号(Vsync) 滤波器的内部结构的框图；

[0029] 图 5 是示出当输入 Vsync1 的频率增加并且相邻的输入 Vsync1 的周期之间的差大于最大阈值时的图 4 中所示的 Vsync 滤波器的 PWM 信号输出和滤波处理的图；

[0030] 图 6 是示出当输入 Vsync1 的频率减小并且相邻的输入 Vsync1 的周期之间的差大于最大阈值时的图 4 中所示的 Vsync 滤波器的 PWM 信号输出和滤波处理的图；

[0031] 图 7 是示出当输入 Vsync1 的频率增加并且相邻的输入 Vsync1 的周期之间的差小于最大阈值时的图 4 中所示的 Vsync 滤波器的 PWM 信号输出和滤波处理的图；以及

[0032] 图 8 是示出当输入 Vsync1 的频率减小并且相邻的输入 Vsync1 的周期之间的差小于最大阈值时的图 4 中所示的 Vsync 滤波器的 PWM 信号输出和滤波处理的图。

具体实施方式

[0033] 现在将详细参考本发明的优选实施方式,在附图中示出了其示例。

[0034] 图 2 是包括根据本发明的实施方式的背光驱动器的液晶显示装置的示意性框图。

[0035] 图 2 中所示的液晶显示装置包括液晶面板 28、背光单元 50、包括数据驱动器 24 和选通驱动器 26 的用于驱动液晶面板 28 的面板驱动器 22、用于驱动背光单元 50 的背光驱动器 30、用于控制面板驱动器 22 和背光驱动器 30 的驱动的时序控制器 20 和连接到时序控制器 20 和背光驱动器 30 的主机。这里,背光驱动器 30 可以安装在时序控制器 20 的内部。

[0036] 主机 10 根据液晶面板 28 的分辨率对从外部源输入的图像数据进行缩放并且将图像数据与多个同步信号一起提供给时序控制器 20。多个同步信号至少包括点时钟和数据使能信号,并且进一步包括水平同步信号和垂直同步信号。另外,主机 10 将具有根据设计值预置的或者根据用户亮度调整设置的占空比的脉宽调制(PWM)信号提供给背光驱动器 30 或通过时序控制器 20 提供给背光驱动器 30。

[0037] 时序控制器 20 使用用于增加图像质量和减小功耗的各种数据处理方法校正从主机 10 输入的数据以将数据输出到面板驱动器 22 的数据驱动器 24。例如,为了调整液晶的响应速度,时序控制器 20 可以根据相邻的帧之间的数据差施加从查找表选择的过冲或下冲值并且可以将输入数据校正为过驱动数据以输出过驱动数据。另外,为了增加对比度或减小功耗,时序控制器 20 可以分析输入数据的亮度,可以根据亮度分析结果控制背光单元 50 的亮度,并且也可以校正并输出数据。当时序控制器 20 控制背光单元 50 的亮度,时序控制器 20 可以重复来自主机 10 的 PWM 信号或者可以基于亮度分析结果反映调光值以调整输入 PWM 信号的占空比,并且可以将其占空比调整后的 PWM 信号提供给背光单元 50。

[0038] 另外,时序控制器 20 使用从主机 10 输入的多个同步信号生成用于控制数据驱动器 24 的驱动时序的数据控制信号和用于控制选通驱动器 26 的驱动时序的选通控制信号。当来自主机 10 的同步信号包括点信号和数据使能信号时,时序控制器 20 可以使用点时钟和数据使能信号经由输入数据的频率分析生成并使用水平同步信号和垂直同步信号(下面,称为 Vsync)。时序控制器 20 分别将数据控制信号和选通控制信号提供给数据驱动器 24 和选通驱动器 26。数据控制信号包括用于控制数据信号的锁存的源开始脉冲和源采样时钟、用于控制数据信号的极性的极性控制信号、用于控制数据信号的输出周期的源输出使能信号等等。选通控制信号包括用于控制选通信号的扫描的选通开始脉冲和选通移位时钟、用于控制选通信号的输出周期的选通输出使能信号等等。另外,时序控制器 20 将 Vsync 提供给背光驱动器 30 以同步液晶面板 28 和背光单元 50。

[0039] 面板驱动器 22 包括用于驱动形成在液晶面板 28 的薄膜晶体管(TFT)阵列上的数据线 DL 的数据驱动器 24 和用于驱动形成在液晶面板 28 的 TFT 阵列上的选通线 GL 的选通驱动器 26。

[0040] 数据驱动器 24 响应于来自时序控制器 20 的数据控制信号将来自时序控制器 20 的图像数据提供给液晶面板 28 的多条数据线 DL。数据驱动器 24 使用伽马电压将从时序控制器 20 输入的数字数据转换为正 / 负模拟数据信号并且在驱动各选通线 GL 时将数据信号提供给数据线 DL。数据驱动器 24 可以包括至少一个数据 IC,可以安装在诸如带载封装(TCP)、膜上芯片(COF)、柔性印刷电路(FPC)等等的电路膜上,并且可以使用带自动接合

(TAB) 方法附接到液晶面板 28 或可以使用玻璃上芯片 (COG) 方法安装在液晶面板 28 上。

[0041] 选通驱动器 26 响应于来自时序控制器 20 的选通控制信号顺序地驱动液晶面板 28 的选通线 GL。选通驱动器 26 在每个对应的扫描时段将选通接通电压的扫描脉冲提供给各选通线 GL 并且当其它选通线 GL 被驱动时的剩余时段提供选通关闭电压。选通驱动器 26 可以包括至少一个选通 IC, 可以安装在诸如 TCP、COF、FPC 等等的电路膜上, 并且可以使用 TAB 方法附接到液晶面板 28 或者可以使用 COG 方法安装在液晶面板 28 上。另一方面, 选通驱动器 26 可以与 TFT 阵列一起使用相同的处理形成在 TFT 基板上并且可以使用面板内选通 (GIP) 方法安装在液晶面板 28 内部。

[0042] 液晶面板 28 包括其上形成有滤色器阵列的滤色器基板、其上形成有 TFT 阵列的薄膜晶体管 (TFT) 基板、位于滤色器基板与 TFT 基板之间的液晶层以及附接到滤色器基板和 TFT 基板的外表面的偏振板。液晶面板 28 通过其上布置有多个像素的像素阵列显示图像。各像素通过根据数据信号使用液晶排列的变化调整光学透射率的红 R、绿 G 和蓝 B 子像素的组合来实施期望的颜色, 并且进一步包括用于增强亮度的白 W 子像素。各子像素包括连接到选通线 GL 和数据线 DL 的薄膜晶体管 TFT 和并行地连接到薄膜晶体管 TFT 的液晶电容器 Clc 和存储电容器 Cst。液晶电容器 Clc 充电有通过薄膜晶体管 TFT 施加到像素电极的数据信号的电压与施加到公共电极的公共电压 Vcom 之间的电压差, 并且根据充电电压驱动液晶以调整光学透射率。存储电容器 Cst 稳定地保持液晶电容器 Clc 中充电的电压。例如, 在扭曲向列 (TN) 模式或垂直对齐 (VA) 模式中通过垂直磁场驱动液晶层, 或者例如, 在共面转换 (IPS) 模式或边缘场转换 (FFS) 模式中通过水平磁场驱动液晶层。

[0043] 背光单元 50 可以使用直下型或边缘型背光, 其包括由诸如冷阴极荧光灯 (CCFL)、外部电极荧光灯 (EEFL) 等等的背光驱动器 30 驱动的荧光灯或者发光二极管 (LED) 作为光源。直下型背光包括布置在整个显示区域上以面对液晶面板 28 的底面的光源和布置在光源之上的多个光学片, 并且被构造为从光源发射的光通过多个光学片照射到液晶面板 28。边缘型背光包括面对液晶面板 28 的底面的导光板、布置为面对导光板的至少一个边缘的光源和布置在导光板上的多个光学片, 并且被构造为从光源发射的光被转换为面光源的光并且通过多个光学片照射到液晶面板 28。

[0044] 背光驱动器 30 响应于从主机 10 或时序控制器 20 输入的 PWM 信号的占空比驱动背光单元 50 并且还控制背光单元 50 的亮度。当背光单元 50 被划分为多个区域并且进行驱动时, 可以使用多个背光驱动器 30 来独立地驱动多个区域。

[0045] 背光驱动器 30 使用 Vsync 来区分从主机 10 或时序控制器 20 输入的帧以与液晶面板 28 上显示的图像同步地驱动背光单元 50。背光驱动器 30 对从主机 10 或时序控制器 20 输入的 PWM 信号进行采样以检测 PWM 信号的占空比。背光驱动器 30 使用 Vsync 和检测到的占空比生成输出 PWM 信号并且使用所生成的输出 PWM 信号驱动背光单元 50。

[0046] 当背光驱动器 30 对从输入 PWM 信号检测到的输入占空比进行滤波时, 如果检测到输入占空比超过预置基准 (或基准范围), 即如果检测到输入占空比对应于不稳定情况, 则背光驱动器 30 可以排除不稳定输入占空比并且可以选择并输出前一时段的输入占空比, 从而移除不稳定的占空比。

[0047] 特别地, 背光驱动器 30 基于输入 Vsync1 的频率 (或周期) 的变化生成 Vsync2 以便于适应性地对输入 Vsync1 的频率的变化, 根据相邻的 Vsync1 之间的频率 (周期) 差是

否满足预置阈值范围选择输入 Vsync1 和生成的 Vsync2 中的一个作为输出 Vsync3,并且生成具有输入占空比的 PWM 信号以驱动背光单元 50。

[0048] 因此,即使输入 Vsync1 的频率根据输入图像而变化,则背光驱动器 30 可以使用输入 Vsync1 或生成的 Vsync2 作为输出 Vsync3 来保持输出 PWM 信号的恒定占空比,从而防止具有权衡关系的背光闪烁和波动噪声。

[0049] 另外,当相邻的 Vsync1 之间的频率(周期)差处于阈值内时,不能够识别由于周期差导致的占空比差,并且因此,可以在没有不必要的计算处理的情况下输出 Vsync1 作为 Vsync3。可以通过设计者进行的多次实验对对应的液晶显示装置预先设置适当的范围并且将该适当的范围存储在液晶显示装置的内部存储器中来获得阈值,并且可以根据需要对该阈值进行升级。

[0050] 背光驱动器 30 可以具有输入 Vsync1 与生成的 Vsync2 之间的大约至少一帧(一个周期)的延迟时间。

[0051] 图 3 是图 2 中所示的背光驱动器 30 的内部结构的框图,并且图 4 是图 3 中所示的背光驱动器 30 的 Vsync 滤波器 34 的内部结构的框图。

[0052] 图 3 中所示的背光驱动器 30 包括用于分析输入 Vsync1 的频率以检测并输出周期 f1 的频率分析器 32、用于对输入 Vsync1 和来自频率分析器 32 的 Vsync1 的周期 f1 进行滤波以输出 Vsync3 及其周期 f3 的 Vsync 滤波器 34、用于对输入 PWM 信号进行采样和时间差来检测输入占空比的占空比检测器 36 和用于使用来自 Vsync 滤波器 34 的 Vsync3 和周期 f3 生成具有来自占空比检测器 36 的占空比的输出 PWM 信号以将输出 PWM 信号输出到背光单元 50 的 PWM 生成器 38。

[0053] 频率分析器 32 分析从主机 10 或时序控制器 20 输入的 Vsync1 的频率以在每帧(周期)检测和输出输入 Vsync1 的周期 f1。

[0054] Vsync 滤波器 34 在每帧对 Vsync1 进行滤波以生成 Vsync2 以便于适应性地对应于输入 Vsync1 的频率的变化,并且根据相邻的输入 Vsync1 之间的频率(周期)差是否满足预置条件来选择输入 Vsync1 与生成的 Vsync2 中的一个来输出 Vsync3。

[0055] 换言之,Vsync 滤波器 34 在每帧基于输入 Vsync1 生成 Vsync2。在该情况下,Vsync 滤波器 34 根据输入 Vsync1 与生成的 Vsync2 之间的时间差基于输入 Vsync1 的周期 f1 生成 Vsync2 的周期 f2。另外,Vsync 滤波器 34 计算 Vsync1 与 Vsync2 之间的周期差,根据计算的周期差选择 Vsync1 与 Vsync2 中的一个作为 Vsync3,并且还选择输入 Vsync1 的周期 f1 与生成的 Vsync2 的周期 f2 中的一个作为 Vsync3 的周期 f3。

[0056] 占空比检测器 36 对从主机 10 或时序控制器 20 输入的 PWM 信号进行采样以检测输入占空比。占空比检测器 36 通过使用内部时钟对输入 PWM 信号进行采样和时间差来检测输入 PWM 信号的每个周期并且还检测每个周期的高脉宽。另外,占空比检测器 36 将每个周期检测到的高脉宽与周期的比率计算为百分比以在输入 PWM 信号的每个周期检测并输出输入占空比。

[0057] PWM 生成器 38 使用来自 Vsync 滤波器 34 的 Vsync3 及其周期 f3 根据来自占空比检测器 36 的占空比生成并输出 PWM 信号。例如,PWM 生成器 38 基于来自 Vsync 滤波器 34 的 Vsync3 的周期 f3 生成内部时钟并且然后使用该内部时钟生成具有占空比的 PWM 信号以将 PWM 信号输出到背光单元 50。

[0058] 图 4 是图 3 中所示的 Vsync 滤波器 34 的内部结构的框图。

[0059] 图 4 的 Vsync 滤波器 34 包括:Vsync2 生成器 340,用于生成具有周期 f_2 的生成的 Vsync2;时间差检测器 342,用于检测输入 Vsync1 与来自 Vsync2 生成器 340 的 Vsync2 的开始时刻之间的时间差 E ;第一差计算器 344,用于计算输入 Vsync1 的周期 f_1 与来自时间差检测器 342 的时间差 E 之间的差($f_1-E=f_2$)以输出 Vsync2 的周期 f_2 ;第二差计算器 348,用于计算并输出输入 Vsync1 的当前周期 f_1 与从缓冲器 346 提供的前一周期 f_{1p} 之间的差($f_1-f_{1p}=C$);确定单元 350,用于确定来自第二差计算器 348 的差(C)是否处于阈值范围内以生成标志信号;第一复用器 354 (下面称为 MUX1354),用于响应于来自确定单元 350 的标志信号选择 Vsync1 和 Vsync2 中的一个作为 Vsync3;以及第二复用器 356 (下面称为 MUX2356),用于响应于标志信号选择 Vsync1 的周期 f_1 和 Vsync2 的周期 f_2 中的一个作为 Vsync3 的周期 f_3 。

[0060] Vsync2 生成器 340 生成并输出具有从第一差计算器 344 提供的周期 f_2 的 Vsync2。

[0061] 时间差检测器 342 检测输入 Vsync1 和来自 Vsync2 生成器 340 的 Vsync2 的开始时刻之间的时间差 E 以输出所检测到的时间差 E 。换言之,时间差检测器 342 检测输入 Vsync1 的开始时刻与 Vsync2 的开始时刻的时间差 E 以输出时间差 E 。

[0062] 第一差计算器 344 计算输入 Vsync1 的当前周期 f_1 与来自时间差检测器 342 的时间差 E 之间的差($f_1-E=f_2$)以输出下一 Vsync2 的周期 f_2 。

[0063] 第二差计算器 348 计算并输出相邻的输入 Vsync1 的周期之间的差 C 。换言之,第二差计算器 348 计算并输出输入 Vsync1 的当前周期 f_1 与从缓冲器 346 提供的前一周期 f_{1p} 之间的差($|f_1-f_{1p}|=C$)。

[0064] 确定单元 350 确定从第二差计算器 348 提供的差 C (即,相邻的 Vsync1 的周期之间的差 C)是否处于预置阈值范围($0 < C < T$)内以生成标志信号。当相邻的 Vsync1 的周期之间的差 C 处于阈值范围($0 < C < T$)内(是)时,确定单元 350 生成标志信号“1”。另一方面,当相邻的 Vsync1 的周期之间的差 C 没有处于阈值范围($0 < C < T$) (否)时,确定单元 350 生成标志信号“0”。

[0065] MUX1354 响应于来自确定单元 350 的标志信号选择 Vsync1 和 Vsync2 中的一个作为 Vsync3。当来自确定单元 350 的标志信号为“1”时,MUX1354 选择 Vsync1 作为 Vsync3。当来自确定单元 350 的标志信号为“0”时,MUX1354 选择 Vsync2 作为 Vsync3。

[0066] MUX2356 响应于来自确定单元 350 的标志信号选择 Vsync1 的周期 f_1 和 Vsync2 的周期 f_2 中的一个作为 Vsync3 的周期 f_3 。当来自确定单元 350 的标志信号为“1”时,MUX1356 选择 Vsync1 的周期 f_1 作为 Vsync3 的周期 f_3 。当来自确定单元 350 的标志信号为“0”时,MUX1356 选择 Vsync2 的周期 f_2 作为 Vsync3 的周期 f_3 。

[0067] 用于确定由确定单元 350 设置的阈值范围的阈值 T 由设计者根据对应的液晶显示装置预先设置并且存储在作为液晶显示装置的内部存储器的 EEPROM40 中。主机 10 可以经由 I2C 通信将 EEPROM40 中存储的阈值 T 更新到期望值(即,主机 10 的期望值),从而增加阈值 T 的调整自由度。

[0068] 由于该原因设置阈值 T 。当相邻的输入 Vsync1 之间的周期差等于或小于可识别水平时,由于周期差导致劣化的占空比不大,并且因此没有被识别,从而防止了诸如其中使用生成的 Vsync2 的處理的不必要的處理。

[0069] 图 5 是示出当输入 Vsync1 的频率增加并且相邻的输入 Vsync1 的周期之间的差 C 大于最大阈值 T 时的图 4 中所示的 Vsync 滤波器 34 的滤波处理和 PWM 信号输出的波形图。

[0070] 一般来说,当当前帧和前一帧之间的周期差等于或小于 1ms 时,不会识别出闪烁,并且因此,最大阈值 T 可以被设置到 1ms。图 5 示出了输入 Vsync1 的频率从 100Hz 增加到 120Hz 的情况。

[0071] 在图 5 中的时间①处,当前 Vsync1 的周期 f1 为 10ms 并且前一 Vsync1 的周期 f1p 为 10ms,并且因此,其差 C 为 0ms。另外, Vsync1 的开始时刻和生成的 Vsync2 的开始时刻相同,并且因此,时间差 E 为 0。因此, Vsync1 的周期 f1 与时间差 E 之间的差 f2 为 10ms。由于差 C 为 0,因此,标志信号为 0。因此,生成的 Vsync2 被输出作为输出 Vsync3,并且生成的 Vsync2 的周期 f2 被输出作为输出 Vsync3 的周期 f3。

[0072] 在图 5 中的时间②处,当前 Vsync1 的周期 f1 为 8.3ms 并且前一 Vsync1 的周期 f1p 为 10ms,并且因此,其差 C 为 1.7ms。另外,下一 Vsync2 在 Vsync1 的开始时刻还没有开始,并且因此,时间差 E 没有被更新并且仍然为 0。因此, Vsync1 的周期 f1 与时间差 E 之间的差 f2 仍然为 10ms。由于差 C 的绝对值大于阈值 T(即, 1ms)),因此,标志信号为 0。因此,当前 Vsync2 被输出作为输出 Vsync3。然而,输出 Vsync3 处于低状态,并且因此,输出 Vsync3 的周期 f3 没有被更新并且保持在之前的值。

[0073] 在图 5 中的时间③处,当前 Vsync1 的周期 f1 为 8.3ms 并且前一 Vsync1 的周期 f1p 为 10ms,并且因此,其差 C 为 1.7ms。另外,时间差 E 为 1.7ms (其是当前 Vsync2 的开始时刻与当前 Vsync1 的开始时刻之间的时间差)。因此, Vsync1 的周期 f1 与时间差 E 之间的差 f2 为 6.6ms。由于差 C 为 1.7ms (其大于阈值 T(即, 1ms)),因此,标志信号为 0。因此,生成的 Vsync2 被输出作为输出 Vsync3,并且生成的 Vsync2 的周期 f2 被输出作为输出 Vsync3 的周期 f3。

[0074] 在图 5 中的时间④处,当前 Vsync1 的周期 f1 为 8.3ms 并且前一 Vsync1 的周期 f1p 为 8.3ms,并且因此,其差 C 为 0ms。另外, Vsync1 的开始时刻与当前 Vsync2 的开始时刻相同,并且因此,时间差 E 为 0。因此, Vsync1 的周期 f1 与时间差 E 之间的差 f2 为 8.3ms。由于差 C 为 0,因此,标志信号为 0。因此,当前 Vsync2 被输出作为输出 Vsync3,并且生成的 Vsync2 的周期 f2 被输出作为输出 Vsync3 的周期 f3。

[0075] 下面列出的表 1 示出了图 5 的处理期间的所有值。

[0076] 表 1

[0077]

图 5 的处理	时间①	时间②	时间③	时间④
输入 Vsync1(周期)	10 → 8.3	8.3	8.3	8.3
f1	10	8.3	8.3	8.3
f1p	10	10	10	8.3
$C = f1 - f1p $	0	1.7	1.7	0

Vsync2(周期)	10	10	6.6	8.3
E	0	0	1.7	0
D=f1-E	10	10	6.6	8.3
标志信号	0	0	0	0
Vsync3	Vsync2	Vsync2	Vsync2	Vsync2
f3	f2	f2	f2	f2

[0078] 因此,可以看到的是,当输入 Vsync1 的频率增加并且相邻的输入 Vsync1 的周期之间的差 C 大于阈值 T 时,生成的 Vsync2 及其周期 f2 被通过对 Vsync1 进行滤波而输出作为输出 Vsync3 及其周期 f3,从而获得 PWM 信号的输出,其在 Vsync1 和 Vsync2 彼此同步的情况下保持了占空比 50%。

[0079] 图 6 是示出当输入 Vsync1 的频率减小并且相邻的输入 Vsync1 的周期之间的差 C 大于最大阈值 T 时的图 4 中所示的 Vsync 滤波器 34 的滤波处理和 PWM 信号输出的波形图。

[0080] 图 6 示出了输入 Vsync1 的频率从 120Hz 减小到 100Hz 并且最大阈值 T 被设置为 1ms 的情况。

[0081] 在图 6 中的时间①处,当前 Vsync1 的周期 f1 为 8.3ms 并且前一 Vsync1 的周期 f1p 为 8.3ms,并且因此,其差 C 为 0ms。另外,Vsync1 的开始时刻和当前 Vsync2 的开始时刻相同,并且因此,时间差 E 为 0。因此,Vsync1 的周期 f1 与时间差 E 之间的差 f2 为 8.3ms。由于差 C 为 0,因此,标志信号为 0。因此,生成的 Vsync2 被输出作为输出 Vsync3,并且生成的 Vsync2 的周期 f2 被输出作为输出 Vsync3 的周期 f3。

[0082] 在图 6 中的时间②处,当前 Vsync1 的周期 f1 为 8.3ms 并且前一 Vsync1 的周期 f1p 为 8.3ms,并且因此,其差 C 为 0ms。另外,生成的在时间②处生成新的 Vsync2,但是没有输入输入 Vsync1,并且因此,时间差 E 没有被更新并且为 0。因此,Vsync1 的周期 f1 与时间差 E 之间的差 f2 仍然为 8.3ms。差 C 为 0,并且因此,标志信号为 0。因此,当前的 Vsync2 被输出作为输出 Vsync3,并且当前的 Vsync2 的周期 f2 被输出作为输出 Vsync3 的周期 f3。

[0083] 在图 6 中的时间③处,当前 Vsync1 的周期 f1 为 10ms 并且前一 Vsync1 的周期 f1p 为 8.3ms,并且因此,其差 C 为 1.7ms。另外,在 Vsync1 的开始时刻没有生成新的 Vsync2,并且因此,时间差 E 没有被更新并且仍然为 0。因此,Vsync1 的周期 f1 与时间差 E 之间的差 f2 仍然为 8.3ms。由于差 C 为 -1.7ms (其小于 0),因此,标志信号为 0。因此,当前的 Vsync2 被输出作为输出 Vsync3。然而,输出 Vsync3 处于低状态,并且因此,输出 Vsync3 的周期 f3 没有被更新并且保持在之前的值。

[0084] 在图 6 中的时间④处,当前 Vsync1 的周期 f1 为 10ms 并且前一 Vsync1 的周期 f1p 为 8.3ms,并且因此,其差 C 为 -1.7ms。另外,时间差 E 为 6.6ms (其是 Vsync2 的开始时刻与 Vsync1 的开始时刻之间的时间差)。因此,Vsync1 的周期 f1 与时间差 E 之间的差 f2 为 3.4ms。由于差 C 为 1.7ms (其大于阈值 T (即,1ms)),因此,标志信号为 0。因此,当前的 Vsync2 被输出作为输出 Vsync3,并且生成的 Vsync2 的周期 f2 被输出作为输出 Vsync3 的

周期 f3。

[0085] 在图 6 中的时间⑤处, 当前 Vsync1 的周期 f1 为 10ms 并且前一 Vsync1 的周期 f1p 为 10ms, 并且因此, 其差 C 为 0ms。另外, Vsync1 的开始时刻和生成的 Vsync2 的开始时刻相同, 并且因此, 时间差 E 为 0。因此, Vsync1 的周期 f1 与时间差 E 之间的差 f2 为 10ms。由于差 C 为 0, 因此, 标志信号为 0。因此, 生成的 Vsync2 被输出作为输出 Vsync3, 并且生成的 Vsync2 的周期 f2 被输出作为输出 Vsync3 的周期 f3。

[0086] 下面列出的表 2 示出了图 6 的处理期间的所有值。

[0087] 表 2

[0088]

图 6 的处理	时间①	时间②	时间③	时间④	时间⑤
输入 Vsync1 (周期)	8.3 → 10	10	10	10	10
f1	8.3	8.3	10	10	10
f1p	8.3	8.3	8.3	8.3	10
$C = f1 - f1p $	0	0	1.7	1.7	0
Vsync2 (周期)	8.3	8.3	8.3	3.4	10
E	0	0	0	6.6	0
$D = f1 - E$	8.3	8.3	8.3	3.4	10
标志信号	0	0	0	0	0
Vsync3	Vsync2	Vsync2	Vsync2	Vsync2	Vsync2
f3	f2	f2	f2	f2	f2

[0089] 因此, 可以看到的是, 当输入 Vsync1 的频率减小并且相邻的输入 Vsync1 的周期之间的差 C 大于阈值 T 时, 当前的 Vsync2 及其周期 f2 被通过对 Vsync1 进行滤波而输出作为输出 Vsync3 及其周期 f3, 从而获得 PWM 信号的输出, 其在 Vsync1 和 Vsync2 彼此同步的情况下保持占空比 50%。

[0090] 图 7 是示出当输入 Vsync1 的频率增加并且相邻的输入 Vsync1 的周期之间的差 C 小于最大阈值 T 时的图 4 中所示的 Vsync 滤波器 34 的滤波处理和 PWM 信号输出的波形图。

[0091] 图 7 示出了输入 Vsync1 的频率从 100Hz 增加到 105Hz 并且最大阈值 T 被设置为 1ms 的情况。

[0092] 在图 7 中的时间①处, 当前 Vsync1 的周期 f1 为 10ms 并且前一 Vsync1 的周期 f1p 为 10ms, 并且因此, 其差 C 为 0ms。另外, Vsync1 的开始时刻和生成的 Vsync2 的开始时刻相同, 并且因此, 时间差 E 为 0。因此, Vsync1 的周期 f1 与时间差 E 之间的差 f2 为 10ms。由于差 C 为 0, 因此, 标志信号为 0。因此, 生成的 Vsync2 被输出作为输出 Vsync3, 并且生成

的 Vsync2 的周期 f2 被输出作为输出 Vsync3 的周期 f3。

[0093] 在图 7 中的时间②处, 当前 Vsync1 的周期 f1 为 9.5ms 并且前一 Vsync1 的周期 f1p 为 10ms, 并且因此, 其差 C 为 0.5ms。另外, 在 Vsync1 的开始时刻没有生成新的 Vsync2, 并且因此, 时间差 E 没有被更新并且仍然为 0。因此, Vsync1 的周期 f1 与时间差 E 之间的差 f2 为 9.5ms。由于差 C 为 0.5ms (其小于阈值 T (即, 1ms) 并且大于 0), 因此, 标志信号为 1。因此, 生成的 Vsync2 被输出作为输出 Vsync3, 并且当前的 Vsync2 的周期 f2 被输出作为输出 Vsync3 的周期 f3。

[0094] 在图 7 中的时间③处, 当前 Vsync1 的周期 f1 为 9.5ms 并且前一 Vsync1 的周期 f1p 为 10ms, 并且因此, 其差 C 为 0.5ms。另外, 时间差 E 为 0.5ms (其是当前的 Vsync2 的开始时刻与 Vsync1 的开始时刻之间的时间差)。因此, Vsync1 的周期 f1 与时间差 E 之间的差 f2 为 9ms。差 C 的绝对值为 0.5ms (其小于阈值 T (即, 1ms)), 并且因此, 标志信号为 1。因此, 输入 Vsync1 被输出作为输出 Vsync3。然而, 输出 Vsync3 处于低状态, 并且因此, 输出 Vsync3 的周期 f3 没有被更新并且保持在之前的值。

[0095] 在图 7 中的时间④处, 当前 Vsync1 的周期 f1 为 9.5ms 并且前一 Vsync1 的周期 f1p 为 9.5ms, 并且因此, 其差 C 为 0ms。另外, Vsync1 的开始时刻和当前的 Vsync2 的开始时刻相同, 并且因此, 时间差 E 为 0。因此, Vsync1 的周期 f1 与时间差 E 之间的差 f2 为 9.5ms。由于差 C 为 0, 因此, 标志信号为 0。因此, 当前的 Vsync2 被输出作为输出 Vsync3, 并且生成的 Vsync2 的周期 f2 被输出作为输出 Vsync3 的周期 f3。

[0096] 下面列出的表 3 示出了图 7 的处理期间的所有值。

[0097] 表 3

[0098]

图 7 的处理	时间①	时间②	时间③	时间④
输入 Vsync1 (周期)	10 → 9.5	9.5	9.5	9.5
f1	10	9.5	9.5	9.5
f1p	10	10	10	9.5
$C = f1 - f1p $	0	0.5	0.5	0
Vsync2 (周期)	10	10	9	9.5
E	0	0	0.5	0
$D = f1 - E$	10	9.5	9	9.5
标志信号	0	1	1	0
Vsync3	Vsync2	Vsync2	Vsync1	Vsync2
f3	f2	f2	f2	f2

[0099] 因此,可以看到的是,当输入 Vsync1 的频率增加并且相邻的输入 Vsync1 的周期之间的差 C 处于阈值范围内时,输入 Vsync1 及其周期 f1 被输出作为输出 Vsync3 及其周期 f3,从而获得 PWM 信号的输出,其具有等于或低于可识别水平的占空比差或者保持与 Vsync1 同步的占空比 50%。

[0100] 图 8 是示出当输入 Vsync1 的频率减小并且相邻的输入 Vsync1 的周期之间的差 C 小于最大阈值 T 时的图 4 中所示的 Vsync 滤波器 34 的滤波处理和 PWM 信号输出的波形图。

[0101] 图 8 示出了输入 Vsync1 的频率从 105Hz 减小到 100Hz 并且最大阈值 T 被设置为 1ms 的情况。

[0102] 在图 8 中的时间①处,当前 Vsync1 的周期 f1 为 9.5ms 并且前一 Vsync1 的周期 f1p 为 9.5ms,并且因此,其差 C 为 0ms。另外,Vsync1 的开始时刻和新的 Vsync2 的开始时刻相同,并且因此,时间差 E 为 0。因此,Vsync1 的周期 f1 与时间差 E 之间的差 f2 为 9.5ms。由于差 C 为 0,因此,标志信号为 0。因此,新的 Vsync2 被输出作为输出 Vsync3,并且新的 Vsync2 的周期 f2 被输出作为输出 Vsync3 的周期 f3。

[0103] 在图 8 中的时间②处,当前 Vsync1 的周期 f1 为 9.5ms 并且前一 Vsync1 的周期 f1p 为 9.5ms,并且因此,其差 C 为 0ms。另外,在时间②处生成了新的 Vsync2,但是没有输入新的 Vsync1,并且因此,时间差 E 没有被更新并且为 0。因此,Vsync1 的周期 f1 与时间差 E 之间的差 f2 仍然为 9.5ms。差 C 的绝对值为 0,并且因此,标志信号为 0。因此,生成的 Vsync2 被输出作为输出 Vsync3,并且当前的 Vsync2 的周期 f2 被输出作为输出 Vsync3 的周期 f3。

[0104] 在图 8 中的时间③处,当前 Vsync1 的周期 f1 为 10ms 并且前一 Vsync1 的周期 f1p 为 9.5ms,并且因此,其差 C 为 0.5ms。另外,在 Vsync1 的开始时刻没有生成新的 Vsync2,并且因此,时间差 E 没有被更新并且仍然为 0。因此,Vsync1 的周期 f1 与时间差 E 之间的差 f2 仍然为 9.5ms。由于差 C 为 0.5ms(其小于 0),因此,标志信号为 0。因此,当前的 Vsync2 被输出作为输出 Vsync3。然而,输出 Vsync3 处于低状态,并且因此,输出 Vsync3 的周期 f3 没有被更新并且保持在之前的值。

[0105] 在图 8 中的时间④处,当前 Vsync1 的周期 f1 为 10ms 并且前一 Vsync1 的周期 f1p 为 9.5ms,并且因此,其差 C 为 -0.5ms。另外,时间差 E 为 9ms (其是当前的 Vsync2 的开始时刻与 Vsync1 的开始时刻之间的时间差)。因此,Vsync1 的周期 f1 与时间差 E 之间的差 f2 为 1ms。差 C 为 0.5ms (其小于阈值 T (即,1ms)),并且因此,标志信号为 1。因此,输入 Vsync1 被输出作为输出 Vsync3。然而,输出 Vsync3 处于低状态,并且因此,输出 Vsync3 的周期 f3 没有被更新并且被保持在之前的值。

[0106] 在图 8 中的时间⑤处,当前 Vsync1 的周期 f1 为 10ms 并且前一 Vsync1 的周期 f1p 为 10ms,并且因此,其差 C 为 0ms。另外,Vsync1 的开始时刻和当前的 Vsync2 的开始时刻相同,并且因此,时间差 E 为 0。因此,Vsync1 的周期 f1 与时间差 E 之间的差 f2 为 10ms。由于差 C 为 0,因此,标志信号为 0。因此,生成的 Vsync2 被输出作为输出 Vsync3,并且当前的 Vsync2 的周期 f2 被输出作为输出 Vsync3 的周期 f3。

[0107] 下面列出的表 4 示出了图 8 的处理期间的所有值。

[0108] 表 4

[0109]

图 8 的处理	时间①	时间②	时间③	时间④	时间⑤
输入 Vsync1 (周期)	9.5 → 10	10	10	10	10
f1	9.5	9.5	10	10	10
f1p	9.5	9.5	9.5	9.5	10
$C = f1 - f1p $	0	0	0.5	0.5	0
Vsync2 (周期)	9.5	9.5	9.5	1	10
E	0	0	0	9	0
$D = f1 - E$	9.5	9.5	9.5	1	10
标志信号	0	0	0	1	0
Vsync3	Vsync2	Vsync2	Vsync2	Vsync1	Vsync2
f3	f2	f2	f2	f2	f2

[0110] 因此,可以看到的是,当输入 Vsync1 的频率减小并且相邻的输入 Vsync1 的周期之间的差 C 处于阈值范围内时,输入 Vsync1 及其周期 f1 被输出作为输出 Vsync3 及其周期 f3,从而获得与 Vsync1 同步的 PWM 信号的输出,其具有等于可识别水平或更低水平的占空比差或保持占空比 50%。

[0111] 如上所述,根据本发明的背光驱动器及其驱动方法在每帧基于输入 Vsync1 生成 Vsync2,并且使用 Vsync1 与 Vsync2 之间的时间差来生成 Vsync2 的周期以便于适应性地对输入 Vsync1 的频率的变化。另外,背光驱动器及其驱动方法根据相邻的输入 Vsync1 之间的频率(周期)差是否满足预置阈值范围选择输入 Vsync1 和生成的 Vsync2 中的一个作为输出 Vsync3,还选择输入 Vsync1 的频率(周期)和生成的 Vsync2 的频率(周期)中的一个作为输出 Vsync3 的频率(周期),并且使用输出 Vsync3 基于输入占空比生成并输出 PWM 信号。因此,即使输入 Vsync1 的频率变化,也可以使用与输入 Vsync1 或生成的 Vsync2 同步的输出 Vsync3 保持输入 PWM 信号的恒定占空比,从而防止了具有权衡关系的背光闪烁和波动噪声。

[0112] 另外,当相邻的 Vsync1 之间的频率(周期)差处于阈值范围内时,不能够识别由于周期差导致的占空比差,并且因此,可以直接输出 Vsync1 作为 Vsync3。

[0113] 根据本发明,背光驱动器及其驱动方法生成第二垂直同步信号,其具有根据输入第一垂直同步信号的频率的变化而变化的频率,根据相邻的第一垂直同步信号之间的周期差是否满足预置阈值范围选择第一垂直同步信号和第二垂直同步信号中的一个作为第三垂直同步信号,并且生成与第二垂直同步信号同步的具有输入占空比的 PWM 信号以驱动背光。

[0114] 因此,在根据本发明的背光驱动器及其驱动方法中,即使输入第一垂直同步信号

的频率变化,可以使用基于输入第一垂直同步信号或生成的第二垂直同步信号的输出第三垂直同步信号来保持输出 PWM 信号的恒定占空比,从而防止了具有权衡关系的背光闪烁和波动噪声。

[0115] 另外,在根据本发明的背光驱动器及其驱动方法中,当相邻的第一垂直同步信号之间的频率差处于阈值范围内时,不能够识别由于周期差导致的占空比差,并且因此,可以直接输出第一垂直同步信号作为第三垂直同步信号。

[0116] 对于本领域技术人员来说显而易见的是,在不偏离本发明的精神或范围的情况下能够在本发明中进行各种修改和变化。因此,本发明意在涵盖本发明的修改和变化,只要它们落入所附权利要求及其等同物的范围内即可。

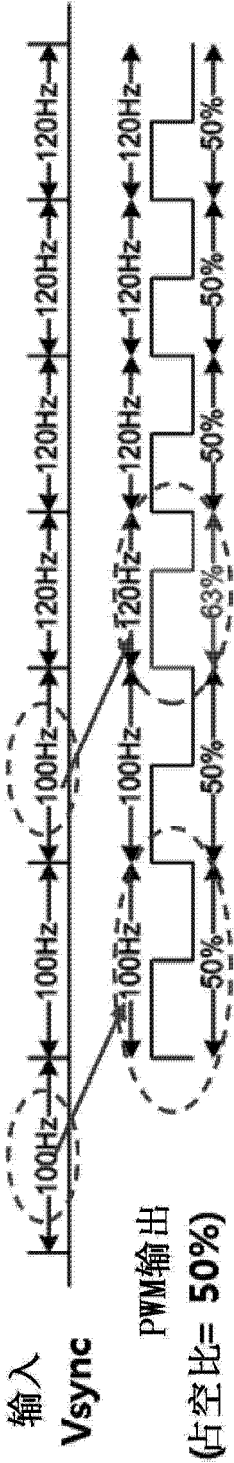


图 1A

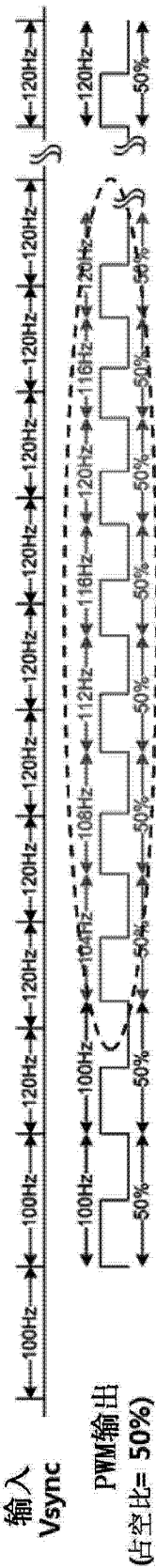


图 1B

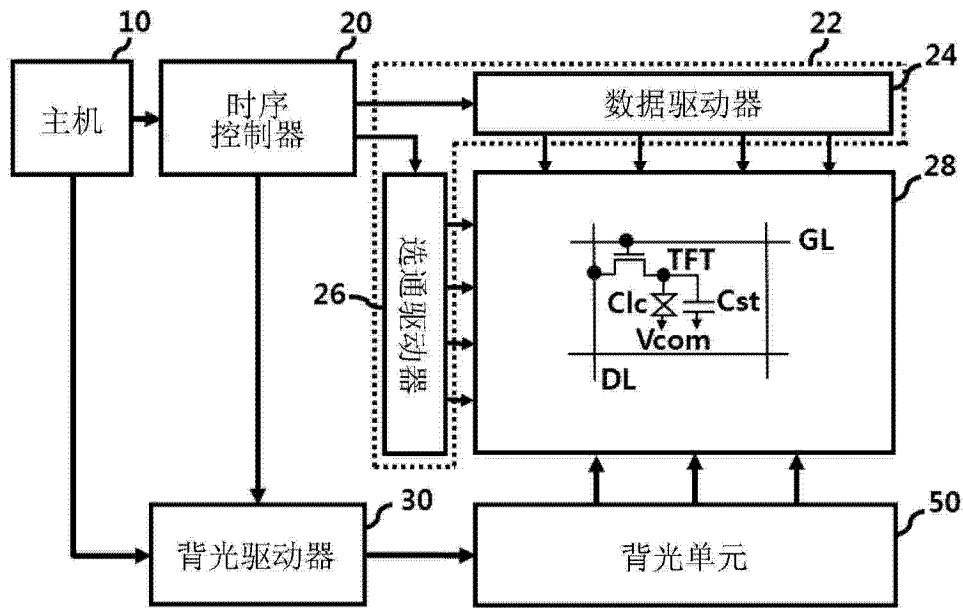


图 2

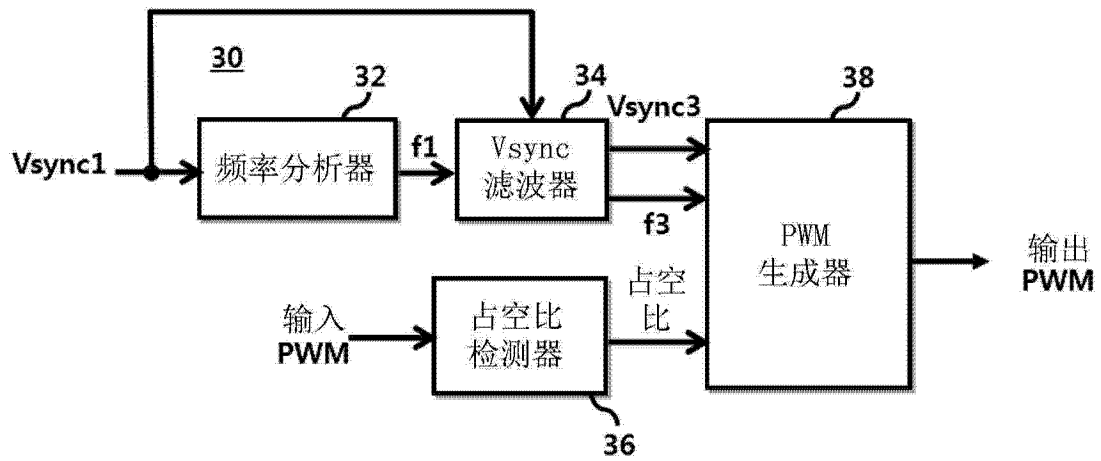


图 3

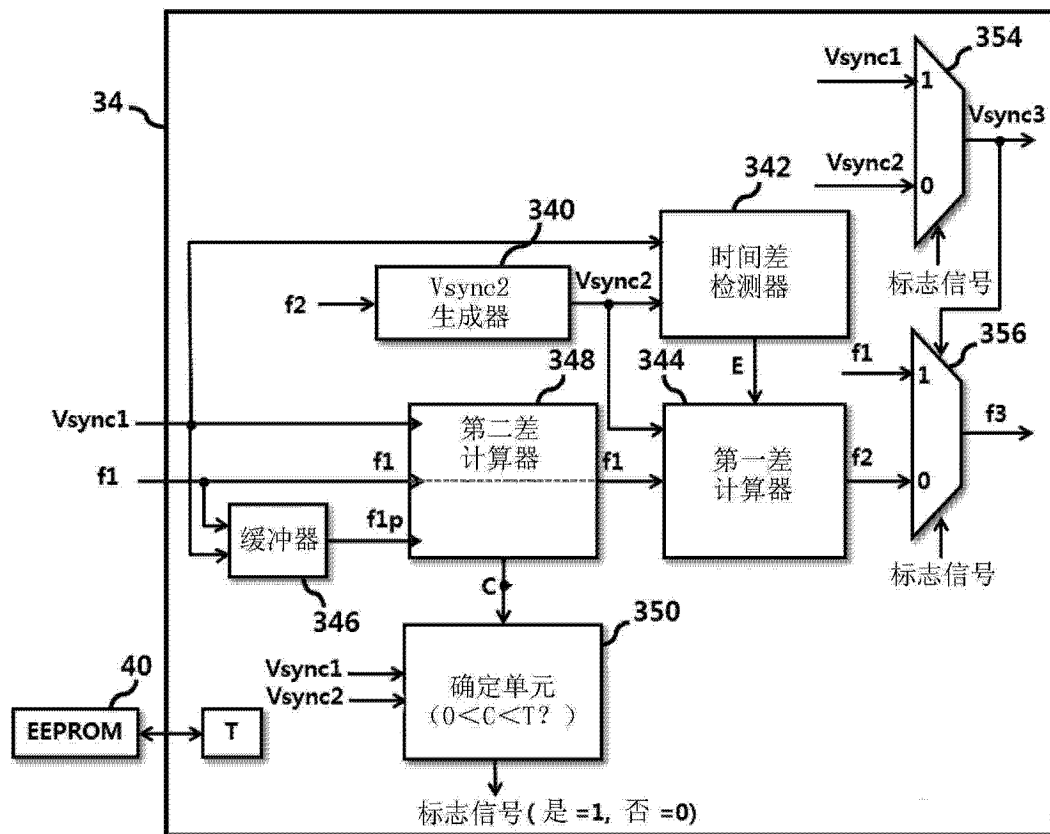


图 4

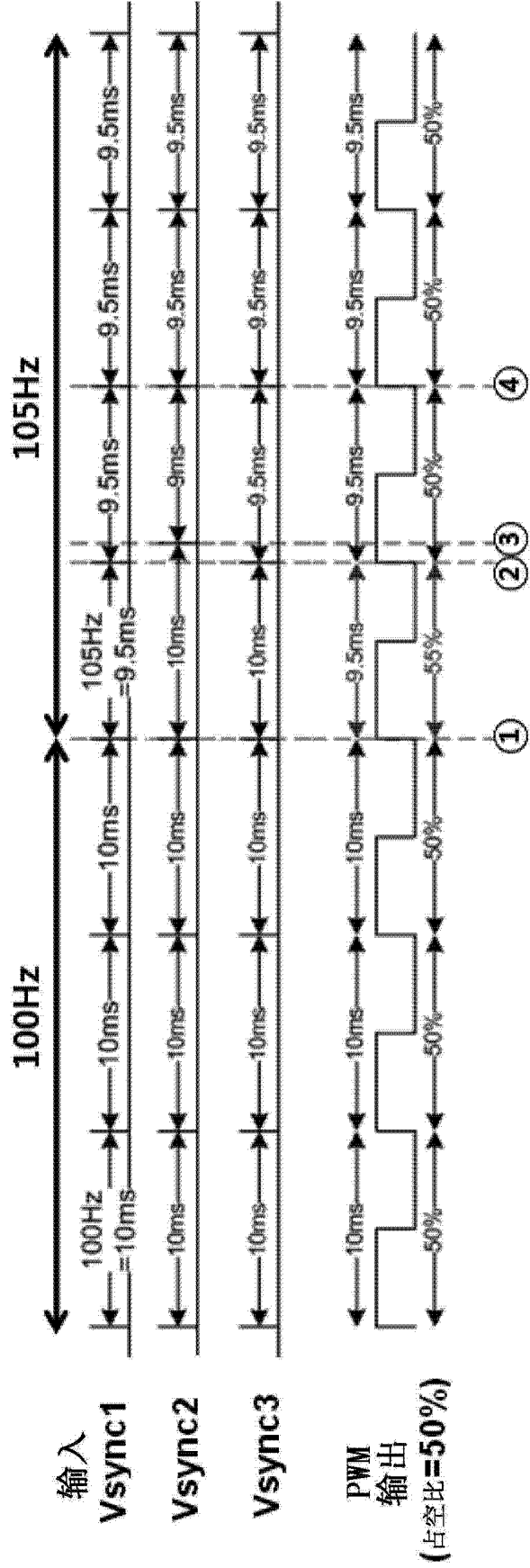


图 7

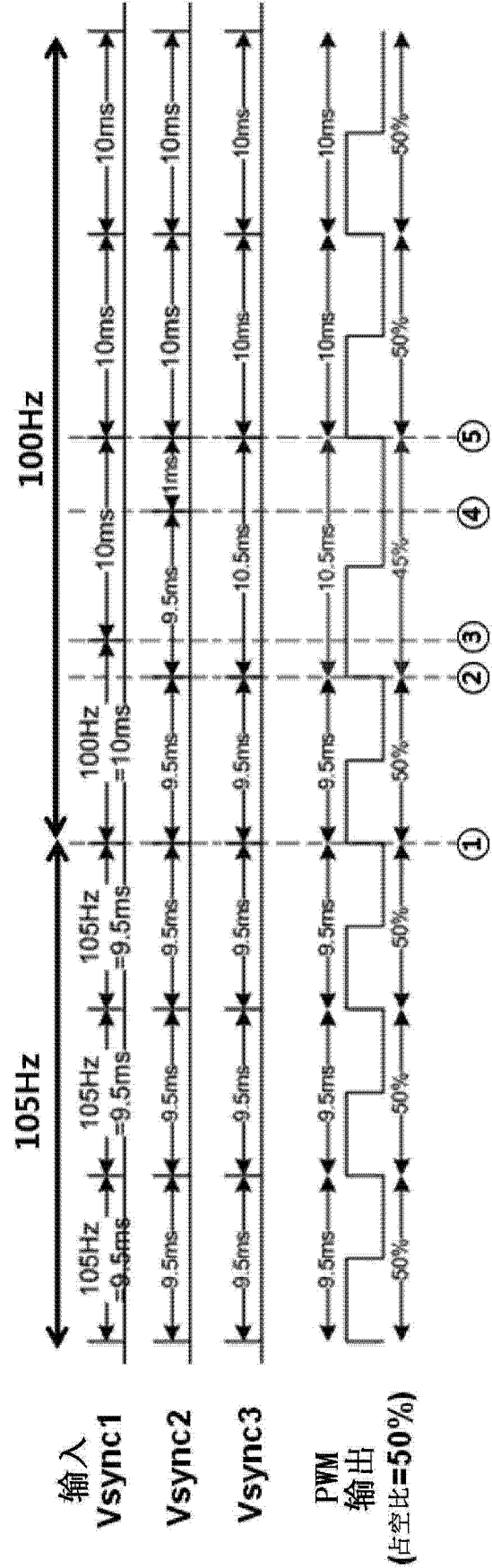


图 8

专利名称(译)	液晶显示装置的背光驱动器及其驱动方法		
公开(公告)号	CN103903571A	公开(公告)日	2014-07-02
申请号	CN201310507325.4	申请日	2013-10-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	金旼奎		
发明人	金旼奎		
IPC分类号	G09G3/34 G09G3/36		
CPC分类号	G09G2320/0247 G09G2320/064 G09G3/3406 G09G2340/0435		
代理人(译)	刘久亮		
优先权	1020120154776 2012-12-27 KR		
其他公开文献	CN103903571B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种液晶显示装置的背光驱动器及其驱动方法。该背光驱动器包括垂直同步信号滤波器，用于基于输入的第一垂直同步信号生成第二垂直同步信号，并且根据相邻的第一垂直同步信号之间的周期差是否满足预置阈值范围来选择第一和第二垂直同步信号中的一个作为第三垂直同步信号；占空比检测器，用于检测输入的脉宽调制PWM信号的占空比；和PWM生成器，用于生成与从垂直同步信号滤波器输出的第三垂直同步信号同步并且具有占空比的输出PWM信号并且将输出PWM信号输出到背光单元。

