



(12) 发明专利

(10) 授权公告号 CN 103703507 B

(45) 授权公告日 2016. 04. 27

(21) 申请号 201280037108. 7

(51) Int. Cl.

(22) 申请日 2012. 08. 03

G09G 3/36(2006. 01)

(30) 优先权数据

G02F 1/133(2006. 01)

2011-175324 2011. 08. 10 JP

G09G 3/20(2006. 01)

(85) PCT国际申请进入国家阶段日

(56) 对比文件

2014. 01. 26

US 2011001732 A1, 2011. 06. 06,

(86) PCT国际申请的申请数据

WO 2011055569 A1, 2011. 05. 12,

PCT/JP2012/069803 2012. 08. 03

CN 101868833 A, 2010. 10. 20,

(87) PCT国际申请的公布数据

WO 2010050262 A1, 2010. 05. 06,

W02013/021930 JA 2013. 02. 14

WO 2011055584 A1, 2011. 05. 12,

(73) 专利权人 夏普株式会社

审查员 赵杨

地址 日本大阪府

(72) 发明人 森井秀树 岩本明久 堀内智

水永隆行 中南和也

(74) 专利代理机构 北京市隆安律师事务所

11323

代理人 权鲜枝

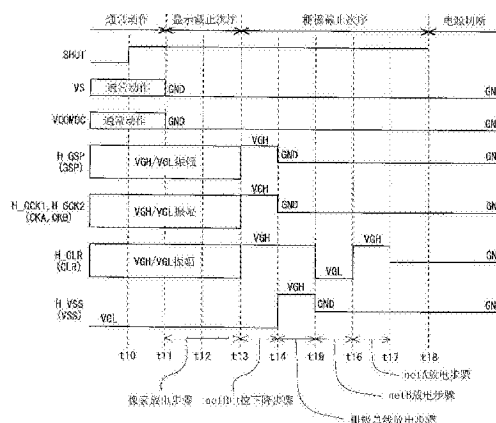
权利要求书5页 说明书19页 附图15页

(54) 发明名称

液晶显示装置及其驱动方法

(57) 摘要

提供能够在电源切断时迅速除去面板内的残留电荷的具备 IGZO-GDM 的液晶显示装置及其驱动方法。构成移位寄存器的各双稳电路具备：薄膜晶体管(TI)，其用于基于第1时钟使输出端子的电位上升；区域(netA)，其连接到薄膜晶体管(TI)的栅极端子；薄膜晶体管(TC)，其用于使区域(netA)的电位下降；以及区域(netB)，其连接到薄膜晶体管(TC)的栅极端子。在这样的构成中，电源切断次序包括显示截止次序和栅极截止次序，栅极截止次序至少包含栅极总线放电步骤(t14 ~ t15)、netB 放电步骤(t15 ~ t16)、netA 放电步骤(t16 ~ t17)。



1. 一种液晶显示装置，

具有构成显示面板的基板和形成于上述基板上的多个开关元件，构成上述多个开关元件的半导体层采用氧化物半导体，上述液晶显示装置的特征在于，

具备：

多条视频信号线，其传输视频信号；

多条扫描信号线，其与上述多条视频信号线交叉；

多个像素形成部，其与上述多条视频信号线和上述多条扫描信号线对应地配置成矩阵状；

扫描信号线驱动电路，其包含移位寄存器，该移位寄存器包括多个双稳电路，该多个双稳电路以与上述多条扫描信号线一一对应的方式设置并基于时钟信号依次输出脉冲，该扫描信号线驱动电路基于从该移位寄存器输出的脉冲选择性地驱动上述多条扫描信号线；

电源状态检测部，其检测从外部给予的电源的接通/切断状态；以及

驱动控制部，其输出上述时钟信号、基准电位以及清除信号，控制上述扫描信号线驱动电路的动作，该基准电位是成为上述多个双稳电路的动作基准的电位，该清除信号用于将上述多个双稳电路的状态初始化，

上述时钟信号包括第1时钟信号和第2时钟信号，

上述多条视频信号线、上述多条扫描信号线、上述多个像素形成部以及上述扫描信号线驱动电路形成于上述基板上，

各双稳电路具有：

输出节点，其连接到上述扫描信号线；

输出节点控制用开关元件，其第1电极上被给予上述第1时钟信号，第2电极连接到上述输出节点，第3电极上被给予上述基准电位；

输出控制用开关元件，其第2电极上被给予上述第2时钟信号，第3电极连接到上述输出节点；

第1节点，其连接到上述输出控制用开关元件的第1电极；

第1个第1节点控制用开关元件，其第2电极连接到上述第1节点，第3电极上被给予上述基准电位；

第2个第1节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述第1节点，第3电极上被给予上述基准电位；

第2节点，其连接到上述第1个第1节点控制用开关元件的第1电极；以及

第1个第2节点控制用开关元件，其第1电极上被给予上述第2时钟信号，第2电极连接到上述第2节点，第3电极上被给予上述基准电位，

上述电源状态检测部，当检测到上述电源的切断状态时，将规定的电源切断信号给予上述驱动控制部，

上述驱动控制部，当接收到上述电源切断信号时，控制上述扫描信号线驱动电路的动作来进行使上述像素形成部内的电荷放电的第1放电处理，然后，控制上述扫描信号线驱动电路的动作来进行使上述扫描信号线上的电荷、上述第2节点的电荷以及上述第1节点的电荷放电的第2放电处理。

2. 根据权利要求1所述的液晶显示装置，其特征在于，

上述第2放电处理包括：扫描信号线放电处理，其使上述扫描信号线上的电荷放电；第1节点放电处理，其使上述第1节点的电荷放电；以及第2节点放电处理，其使上述第2节点的电荷放电，

上述驱动控制部，

控制上述扫描信号线驱动电路的动作来按上述扫描信号线放电处理、上述第2节点放电处理、上述第1节点放电处理的顺序进行处理，

在上述扫描信号线放电处理时，使上述第1时钟信号和第2时钟信号为接地电位，并且使上述清除信号和上述基准电位为高电平，

在上述第2节点放电处理时，使上述清除信号为低电平，并且使上述第1时钟信号、第2时钟信号和上述基准电位为接地电位，

在上述第1节点放电处理时，使上述清除信号为高电平，并且使上述第1时钟信号、第2时钟信号和上述基准电位为接地电位。

3. 根据权利要求2所述的液晶显示装置，其特征在于，

上述驱动控制部，在上述扫描信号线放电处理时，使上述第1时钟信号和第2时钟信号逐渐地从高电平变为低电平。

4. 根据权利要求1所述的液晶显示装置，其特征在于，

各双稳电路还具有：

第2个第2节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述第2节点，第3电极上被给予上述基准电位；以及

第2输出节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述输出节点，第3电极上被给予上述基准电位，

上述驱动控制部，在上述第2放电处理时，使上述清除信号为高电平，并且使上述第1时钟信号、第2时钟信号和上述基准电位为接地电位。

5. 根据权利要求1所述的液晶显示装置，其特征在于，

各双稳电路还具有：第2个第2节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述第2节点，第3电极上被给予上述基准电位，

上述驱动控制部，在上述第2放电处理时，控制上述扫描信号线驱动电路的动作来进行使上述扫描信号线上的电荷放电的处理，然后，进行使上述第2节点的电荷和上述第1节点的电荷放电的处理。

6. 根据权利要求1所述的液晶显示装置，其特征在于，

各双稳电路还具有：第2输出节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述输出节点，第3电极上被给予上述基准电位，

上述驱动控制部，在上述第2放电处理时，控制上述扫描信号线驱动电路的动作来进行使上述第2节点的电荷放电的处理，然后，进行使上述扫描信号线上的电荷和上述第1节点的电荷放电的处理。

7. 根据权利要求1所述的液晶显示装置，其特征在于，

上述驱动控制部包含将低电压的信号变换为高电压的信号的电平转换电路，

上述电平转换电路包含用于从1个时钟信号生成相位相互不同的多个时钟信号的逻辑电路部。

8. 根据权利要求1所述的液晶显示装置,其特征在于,
上述驱动控制部包含将低电压的信号变换为高电压的信号的电平转换电路,
上述电平转换电路通过2条以上的信号线与定时控制器连接,
通过将上述电平转换电路和上述定时控制器连接的信号线中的2条信号线传送的信号是能取得垂直同步的信号和能取得水平同步的信号。

9. 根据权利要求7所述的液晶显示装置,其特征在于,
上述电平转换电路还包含输出基本时钟的振荡电路部,
上述逻辑电路部基于从上述振荡电路部输出的基本时钟,生成上述多个时钟信号。

10. 根据权利要求7所述的液晶显示装置,其特征在于,
上述电平转换电路还包含输出基本时钟的振荡电路部,
用于生成上述逻辑电路部的定时的非易失性存储器内置于包含电平转换电路的封装IC。

11. 一种液晶显示装置的驱动方法,
上述液晶显示装置具有:基板,其构成显示面板;多个开关元件,其形成于上述基板上;
多条视频信号线,其传输视频信号;多条扫描信号线,其与上述多条视频信号线交叉;多个
像素形成部,其与上述多条视频信号线和上述多条扫描信号线对应地配置成矩阵状;扫描
信号线驱动电路,其驱动上述多条扫描信号线;以及驱动控制部,其控制上述扫描信号线驱
动电路的动作,构成上述多个开关元件的半导体层采用氧化物半导体,上述液晶显示装置
的驱动方法的特征在于,

包含:

电源状态检测步骤,检测从外部给予的电源的接通/切断状态;以及

电荷放电步骤,使上述显示面板内的电荷放电,

上述多条视频信号线、上述多条扫描信号线、上述多个像素形成部以及上述扫描信号
线驱动电路形成于上述基板上,

上述扫描信号线驱动电路包含移位寄存器,该移位寄存器包括多个双稳电路,该多个
双稳电路以与上述多条扫描信号线一一对应的方式设置并基于时钟信号依次输出脉冲,

上述驱动控制部输出上述时钟信号、基准电位以及清除信号,该基准电位是成为上述
多个双稳电路的动作基准的电位,该清除信号用于将上述多个双稳电路的状态初始化,

上述时钟信号包括第1时钟信号和第2时钟信号,

各双稳电路具有:

输出节点,其连接到上述扫描信号线;

输出节点控制用开关元件,其第1电极上被给予上述第1时钟信号,第2电极连接到上述
输出节点,第3电极上被给予上述基准电位;

输出控制用开关元件,其第2电极上被给予上述第2时钟信号,第3电极连接到上述输出
节点;

第1节点,其连接到上述输出控制用开关元件的第1电极;

第1个第1节点控制用开关元件,其第2电极连接到上述第1节点,第3电极上被给予上述
基准电位;

第2个第1节点控制用开关元件,其第1电极上被给予上述清除信号,第2电极连接到上

述第1节点,第3电极上被给予上述基准电位;

第2节点,其连接到上述第1个第1节点控制用开关元件的第1电极;以及

第1个第2节点控制用开关元件,其第1电极上被给予上述第2时钟信号,第2电极连接到上述第2节点,第3电极上被给予上述基准电位,

上述电荷放电步骤包括:

第1放电步骤,使上述像素形成部内的电荷放电;以及

第2放电步骤,使上述扫描信号线上的电荷、上述第2节点的电荷以及上述第1节点的电荷放电,

当由上述电源状态检测步骤检测到上述电源的切断状态时,执行上述电荷放电步骤。

12. 根据权利要求11所述的液晶显示装置的驱动方法,其特征在于,

上述第2放电步骤包括:扫描信号线放电步骤,使上述扫描信号线上的电荷放电;第1节点放电步骤,使上述第1节点的电荷放电;以及第2节点放电步骤,使上述第2节点的电荷放电,

上述驱动控制部控制上述扫描信号线驱动电路的动作来按上述扫描信号线放电步骤、上述第2节点放电步骤、上述第1节点放电步骤的顺序进行处理,

在上述扫描信号线放电步骤中,上述第1时钟信号和第2时钟信号被设为接地电位,并且上述清除信号和上述基准电位被设为高电平,

在上述第2节点放电步骤中,上述清除信号被设为低电平,并且上述第1时钟信号、第2时钟信号和上述基准电位被设为接地电位,

在上述第1节点放电步骤中,上述清除信号被设为高电平,并且上述第1时钟信号、第2时钟信号和上述基准电位被设为接地电位。

13. 根据权利要求12所述的液晶显示装置的驱动方法,其特征在于,

在上述扫描信号线放电步骤中,上述第1时钟信号和第2时钟信号逐渐地从高电平变为低电平。

14. 根据权利要求11所述的液晶显示装置的驱动方法,其特征在于,

各双稳电路还具有:

第2个第2节点控制用开关元件,其第1电极上被给予上述清除信号,第2电极连接到上述第2节点,第3电极上被给予上述基准电位;以及

第2输出节点控制用开关元件,其第1电极上被给予上述清除信号,第2电极连接到上述输出节点,第3电极上被给予上述基准电位,

在上述第2放电步骤中,上述清除信号被设为高电平,并且上述第1时钟信号、第2时钟信号和上述基准电位被设为接地电位。

15. 根据权利要求11所述的液晶显示装置的驱动方法,其特征在于,

各双稳电路还具有:第2个第2节点控制用开关元件,其第1电极上被给予上述清除信号,第2电极连接到上述第2节点,第3电极上被给予上述基准电位,

在上述第2放电步骤中,进行使上述扫描信号线上的电荷放电的处理,然后进行使上述第2节点的电荷和上述第1节点的电荷放电的处理。

16. 根据权利要求11所述的液晶显示装置的驱动方法,其特征在于,

各双稳电路还具有:第2输出节点控制用开关元件,其第1电极上被给予上述清除信号,

第2电极连接到上述输出节点,第3电极上被给予上述基准电位,

在上述第2放电步骤中,进行使上述第2节点的电荷放电的处理,然后进行使上述扫描信号线上的电荷和上述第1节点的电荷放电的处理。

液晶显示装置及其驱动方法

技术领域

[0001] 本发明涉及具备单片化的栅极驱动器的液晶显示装置及其驱动方法,该液晶显示装置具有薄膜晶体管,该薄膜晶体管的半导体层采用氧化物半导体(IGZO)。

背景技术

[0002] 一般来说,有源矩阵型液晶显示装置具备包括夹持液晶层的2个基板的液晶面板,在该2个基板中的一个基板上,多条栅极总线(扫描信号线)和多条源极总线(视频信号线)配置为格子状,与该多条栅极总线和多条源极总线的交叉点分别对应地设置有配置成矩阵状的多个像素形成部。各像素形成部包含作为开关元件的薄膜晶体管(TFT)、用于保持像素值的像素电容等,上述薄膜晶体管(TFT)的栅极端子连接到通过对应的交叉点的栅极总线,并且源极端子连接到通过该交叉点的源极总线。另外,在上述2个基板中的另一基板上设置有共用电极,上述共用电极是共同设置于上述多个像素形成部的相对电极。在有源矩阵型液晶显示装置中,还设置有驱动上述多条栅极总线的栅极驱动器(扫描信号线驱动电路)和驱动上述多条源极总线的源极驱动器(视频信号线驱动电路)。

[0003] 表示像素值的视频信号由源极总线传输,但各源极总线无法同时传输表示多行像素值的视频信号。因此,逐行依次进行视频信号向上述配置成矩阵状的像素形成部内的像素电容的写入。因此,为了使多条栅极总线按每个规定期间依次被选择,栅极驱动器包括含有多级的移位寄存器。

[0004] 在这样的液晶显示装置中,即使使用者切断了电源,有时也无法立即清除显示,而残留如残影这样的图像。其原因是,当装置的电源切断时,像素电容所保持的电荷的放电路径被切断,像素形成部内储存有残留电荷。另外,当在像素形成部内储存有残留电荷的状态下装置的电源接通时,会产生因基于该残留电荷的杂质的偏差而导致的闪烁的产生等显示质量的下降。因此,在电源切断时,例如进行如下处理:使所有的栅极总线成为选择状态(导通状态)而向源极总线施加黑电压,由此使面板上的电荷放电。

[0005] 另外,关于液晶显示装置,近年来,栅极驱动器的单片化在进展。以往,栅极驱动器大多作为IC(Integrated Circuit:集成电路)芯片搭载于构成液晶面板的基板的周边部,但近年来,在基板上直接形成栅极驱动器的情况逐渐增多。这样的栅极驱动器称为“单片栅极驱动器”等。另外,具备单片栅极驱动器的面板称为“栅极驱动器单片面板”等。

[0006] 在栅极驱动器单片面板中,关于面板上的电荷的放电,无法采用上述的方法。因此,在国际公开2011/055584号小册子中公开了如下液晶显示装置的发明。在栅极驱动器内的构成移位寄存器的双稳电路中设置有薄膜晶体管,该薄膜晶体管具有连接到栅极总线的漏极端子、连接到传输基准电位的基准电位配线的源极端子和被给予使移位寄存器动作的时钟信号的栅极端子。在这样的构成中,当来自外部的电源电压的供应被切断时,使时钟信号成为高电平来使上述薄膜晶体管成为导通状态,并且将基准电位的电平从栅极截止电位提升至栅极导通电位。由此,使各栅极总线的电位提升至栅极导通电位,使所有的像素形成部内的残留电荷放电。

[0007] 现有技术文献

[0008] 专利文献

[0009] 专利文献1:国际公开2011/055584号小册子

发明内容

[0010] 发明要解决的问题

[0011] 此外,近年来,IGZO-TFT液晶面板(薄膜晶体管的半导体层采用作为一种氧化物半导体的IGZO的液晶面板)的开发在进展。在IGZO-TFT液晶面板中,单片化的栅极驱动器的开发也在推进。此外,以下,将设置于IGZO-TFT液晶面板的单片栅极驱动器称为“IGZO-GDM”。a-SiTFT的截止特性不好,因此,在a-SiTFT液晶面板中,像素形成部以外的部分的悬浮电荷在数秒内放电。因此,在a-SiTFT液晶面板中,像素形成部以外的部分的悬浮电荷不会特别成为问题。此外,IGZO-TFT不仅导通特性优异,截止特性也优异。特别是,栅极的偏置电压为0V(即无偏置)时的截止特性明显优于a-SiTFT,因此,与TFT连接的节点的悬浮电荷不会在栅极截止时经由该TFT放电。其结果是,电荷长时间残留于电路内。据估算,在采用后述的图8所示的构成的IGZO-GDM中,netA上的悬浮电荷的放电所需的时间为数小时(数千秒~数万秒)。另外,根据IGZO-GDM的BT(Bias Temperature:偏置温度)压力测试,IGZO-TFT的阈值漂移的大小在1小时内为数V。由此可知,IGZO-GDM中残留电荷的存在成为IGZO-TFT的阈值漂移的关键因素。根据上述,当在IGZO-GDM的移位寄存器中移位动作在中途停止时,有可能仅在某1级中发生TFT的阈值漂移。其结果是,移位寄存器无法正常动作,无法在画面上进行图像显示。

[0012] 另外,在栅极驱动器为IC芯片的情况下,面板内的TFT仅为像素形成部内的TFT。因此,在电源切断时只要使像素形成部内的电荷和栅极总线上的电荷放电就够了。然而,在单片栅极驱动器的情况下,作为面板内的TFT,栅极驱动器内也存在TFT。并且,例如在图8所示的构成中,存在用附图标记netA和附图标记netB表示的2个悬浮节点。因此,在IGZO-GDM中,在电源切断时,需要使像素形成部内的电荷、栅极总线上的电荷、netA上的电荷以及netB上的电荷放电。

[0013] 因此,本发明目的在于,提供具备能够在电源切断时迅速除去面板内的残留电荷的IGZO-GDM的液晶显示装置及其驱动方法。

[0014] 用于解决问题的方案

[0015] 本发明的第1方面是液晶显示装置,具有构成显示面板的基板和形成于上述基板上的多个开关元件,构成上述多个开关元件的半导体层采用氧化物半导体,上述液晶显示装置的特征在于,

[0016] 具备:

[0017] 多条视频信号线,其传输视频信号;

[0018] 多条扫描信号线,其与上述多条视频信号线交叉;

[0019] 多个像素形成部,其与上述多条视频信号线和上述多条扫描信号线对应地配置成矩阵状;

[0020] 扫描信号线驱动电路,其包含移位寄存器,该移位寄存器包括多个双稳电路,该多个双稳电路以与上述多条扫描信号线一一对应的方式设置并基于时钟信号依次输出脉冲,

该扫描信号线驱动电路基于从该移位寄存器输出的脉冲选择性地驱动上述多条扫描信号线；

[0021] 电源状态检测部，其检测从外部给予的电源的接通/切断状态；以及

[0022] 驱动控制部，其输出上述时钟信号、基准电位以及清除信号，控制上述扫描信号线驱动电路的动作，该基准电位是成为上述多个双稳电路的动作基准的电位，该清除信号用于将上述多个双稳电路的状态初始化，

[0023] 上述时钟信号包括第1时钟信号和第2时钟信号，

[0024] 上述多条视频信号线、上述多条扫描信号线、上述多条像素形成部以及上述扫描信号线驱动电路形成于上述基板上，

[0025] 各双稳电路具有：

[0026] 输出节点，其连接到上述扫描信号线；

[0027] 输出节点控制用开关元件，其第1电极上被给予上述第1时钟信号，第2电极连接到上述输出节点，第3电极上被给予上述基准电位；

[0028] 输出控制用开关元件，其第2电极上被给予上述第2时钟信号，第3电极连接到上述输出节点；

[0029] 第1节点，其连接到上述输出控制用开关元件的第1电极；

[0030] 第1个第1节点控制用开关元件，其第2电极连接到上述第1节点，第3电极上被给予上述基准电位；

[0031] 第2个第1节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述第1节点，第3电极上被给予上述基准电位；

[0032] 第2节点，其连接到上述第1个第1节点控制用开关元件的第1电极；以及

[0033] 第1个第2节点控制用开关元件，其第1电极上被给予上述第2时钟信号，第2电极连接到上述第2节点，第3电极上被给予上述基准电位，

[0034] 上述电源状态检测部，当检测到上述电源的切断状态时，将规定的电源切断信号给予上述驱动控制部，

[0035] 上述驱动控制部，当接收到上述电源切断信号时，控制上述扫描信号线驱动电路的动作来进行使上述像素形成部内的电荷放电的第1放电处理，然后，控制上述扫描信号线驱动电路的动作来进行使上述扫描信号线上的电荷、上述第2节点的电荷以及上述第1节点的电荷放电的第2放电处理。

[0036] 本发明的第2方面的特征在于，在本发明的第1方面中，

[0037] 上述第2放电处理包括：扫描信号线放电处理，其使上述扫描信号线上的电荷放电；第1节点放电处理，其使上述第1节点的电荷放电；以及第2节点放电处理，其使上述第2节点的电荷放电，

[0038] 上述驱动控制部，

[0039] 控制上述扫描信号线驱动电路的动作来按上述扫描信号线放电处理、上述第2节点放电处理、上述第1节点放电处理的顺序进行处理，

[0040] 在上述扫描信号线放电处理时，使上述第1时钟信号和第2时钟信号为接地电位，并且使上述清除信号和上述基准电位为高电平，

[0041] 在上述第2节点放电处理时，使上述清除信号为低电平，并且使上述第1时钟信号、

第2时钟信号和上述基准电位为接地电位，

[0042] 在上述第1节点放电处理时，使上述清除信号为高电平，并且使上述第1时钟信号、第2时钟信号和上述基准电位为接地电位。

[0043] 本发明的第3方面的特征在于，在本发明的第2方面中，

[0044] 上述驱动控制部，在上述扫描信号线放电处理时，使上述第1时钟信号和第2时钟信号逐渐地从高电平变为低电平。

[0045] 本发明的第4方面的特征在于，在本发明的第1方面中，

[0046] 各双稳电路还具有：

[0047] 第2个第2节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述第2节点，第3电极上被给予上述基准电位；以及

[0048] 第2输出节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述输出节点，第3电极上被给予上述基准电位，

[0049] 上述驱动控制部，在上述第2放电处理时，使上述清除信号为高电平，并且使上述第1时钟信号、第2时钟信号和上述基准电位为接地电位。

[0050] 本发明的第5方面的特征在于，在本发明的第1方面中，

[0051] 各双稳电路还具有：第2个第2节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述第2节点，第3电极上被给予上述基准电位，

[0052] 上述驱动控制部，在上述第2放电处理时，控制上述扫描信号线驱动电路的动作来进行使上述扫描信号线上的电荷放电的处理，然后，进行使上述第2节点的电荷和上述第1节点的电荷放电的处理。

[0053] 本发明的第6方面的特征在于，在本发明的第1方面中，

[0054] 各双稳电路还具有：第2输出节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述输出节点，第3电极上被给予上述基准电位，

[0055] 上述驱动控制部，在上述第2放电处理时，控制上述扫描信号线驱动电路的动作来进行使上述第2节点的电荷放电的处理，然后，进行使上述扫描信号线上的电荷和上述第1节点的电荷放电的处理。

[0056] 本发明的第7方面的特征在于，在本发明的第1方面中，

[0057] 上述驱动控制部包含将低电压的信号变换为高电压的信号的电平转换电路，

[0058] 上述电平转换电路包含用于从1个时钟信号生成相位相互不同的多个时钟信号的逻辑电路部。

[0059] 本发明的第8方面的特征在于，在本发明的第1方面中，

[0060] 上述驱动控制部包含将低电压的信号变换为高电压的信号的电平转换电路，

[0061] 上述电平转换电路通过2条以上的信号线与定时控制器连接，

[0062] 通过将上述电平转换电路和上述定时控制器连接的信号线中的2条信号线传送的信号是能取得垂直同步的信号和能取得水平同步的信号。

[0063] 本发明的第9方面的特征在于，在本发明的第7方面中，

[0064] 上述电平转换电路还包含输出基本时钟的振荡电路部，

[0065] 上述逻辑电路部基于从上述振荡电路部输出的基本时钟，生成上述多个时钟信号。

- [0066] 本发明的第10方面的特征在于,在本发明的第7方面中,
- [0067] 上述电平转换电路还包含输出基本时钟的振荡电路部,
- [0068] 用于生成上述逻辑电路部的定时的非易失性存储器内置于包含电平转换电路的封装IC。
- [0069] 本发明的第11方面是液晶显示装置的驱动方法,上述液晶显示装置具有:基板,其构成显示面板;多个开关元件,其形成于上述基板上;多条视频信号线,其传输视频信号;多条扫描信号线,其与上述多条视频信号线交叉;多个像素形成部,其与上述多条视频信号线和上述多条扫描信号线对应地配置成矩阵状;扫描信号线驱动电路,其驱动上述多条扫描信号线;以及驱动控制部,其控制上述扫描信号线驱动电路的动作,构成上述多个开关元件的半导体层采用氧化物半导体,上述液晶显示装置的驱动方法的特征在于,
- [0070] 包含:
- [0071] 电源状态检测步骤,检测从外部给予的电源的接通/切断状态;以及
- [0072] 电荷放电步骤,使上述显示面板内的电荷放电,
- [0073] 上述多条视频信号线、上述多条扫描信号线、上述多个像素形成部以及上述扫描信号线驱动电路形成于上述基板上,
- [0074] 上述扫描信号线驱动电路包含移位寄存器,该移位寄存器包括多个双稳电路,该多个双稳电路以与上述多条扫描信号线一一对应的方式设置并基于时钟信号依次输出脉冲,
- [0075] 上述驱动控制部输出上述时钟信号、基准电位以及清除信号,该基准电位是成为上述多个双稳电路的动作基准的电位,该清除信号用于将上述多个双稳电路的状态初始化,
- [0076] 上述时钟信号包括第1时钟信号和第2时钟信号,
- [0077] 各双稳电路具有:
- [0078] 输出节点,其连接到上述扫描信号线;
- [0079] 输出节点控制用开关元件,其第1电极上被给予上述第1时钟信号,第2电极连接到上述输出节点,第3电极上被给予上述基准电位;
- [0080] 输出控制用开关元件,其第2电极上被给予上述第2时钟信号,第3电极连接到上述输出节点;
- [0081] 第1节点,其连接到上述输出控制用开关元件的第1电极;
- [0082] 第1个第1节点控制用开关元件,其第2电极连接到上述第1节点,第3电极上被给予上述基准电位;
- [0083] 第2个第1节点控制用开关元件,其第1电极上被给予上述清除信号,第2电极连接到上述第1节点,第3电极上被给予上述基准电位;
- [0084] 第2节点,其连接到上述第1个第1节点控制用开关元件的第1电极;以及
- [0085] 第1个第2节点控制用开关元件,其第1电极上被给予上述第2时钟信号,第2电极连接到上述第2节点,第3电极上被给予上述基准电位,
- [0086] 上述电荷放电步骤包括:
- [0087] 第1放电步骤,使上述像素形成部内的电荷放电;以及
- [0088] 第2放电步骤,使上述扫描信号线上的电荷、上述第2节点的电荷以及上述第1节点

的电荷放电，

[0089] 当由上述电源状态检测步骤检测到上述电源的切断状态时，执行上述电荷放电步骤。

[0090] 本发明的第12方面的特征在于，在本发明的第11方面中，

[0091] 上述第2放电步骤包括：扫描信号线放电步骤，使上述扫描信号线上的电荷放电；第1节点放电步骤，使上述第1节点的电荷放电；以及第2节点放电步骤，使上述第2节点的电荷放电，

[0092] 上述驱动控制部控制上述扫描信号线驱动电路的动作来按上述扫描信号线放电步骤、上述第2节点放电步骤、上述第1节点放电步骤的顺序进行处理，

[0093] 在上述扫描信号线放电步骤中，上述第1时钟信号和第2时钟信号被设为接地电位，并且上述清除信号和上述基准电位被设为高电平，

[0094] 在上述第2节点放电步骤中，上述清除信号被设为低电平，并且上述第1时钟信号、第2时钟信号和上述基准电位被设为接地电位，

[0095] 在上述第1节点放电步骤中，上述清除信号被设为高电平，并且上述第1时钟信号、第2时钟信号和上述基准电位被设为接地电位。

[0096] 本发明的第13方面的特征在于，在本发明的第12方面中，

[0097] 在上述扫描信号线放电步骤中，上述第1时钟信号和第2时钟信号逐渐地从高电平变为低电平。

[0098] 本发明的第14方面的特征在于，在本发明的第11方面中，

[0099] 各双稳电路还具有：

[0100] 第2个第2节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述第2节点，第3电极上被给予上述基准电位；以及

[0101] 第2输出节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述输出节点，第3电极上被给予上述基准电位，

[0102] 在上述第2放电步骤中，上述清除信号被设为高电平，并且上述第1时钟信号、第2时钟信号和上述基准电位被设为接地电位。

[0103] 本发明的第15方面的特征在于，在本发明的第11方面中，

[0104] 各双稳电路还具有：第2个第2节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述第2节点，第3电极上被给予上述基准电位，

[0105] 在上述第2放电步骤中，进行使上述扫描信号线上的电荷放电的处理，然后进行使上述第2节点的电荷和上述第1节点的电荷放电的处理。

[0106] 本发明的第16方面的特征在于，在本发明的第11方面中，

[0107] 各双稳电路还具有：第2输出节点控制用开关元件，其第1电极上被给予上述清除信号，第2电极连接到上述输出节点，第3电极上被给予上述基准电位，

[0108] 在上述第2放电步骤中，进行使上述第2节点的电荷放电的处理，然后进行使上述扫描信号线上的电荷和上述第1节点的电荷放电的处理。

[0109] 发明效果

[0110] 根据本发明的第1方面，在具备IGZO-GDM的液晶显示装置中，在电源电压PW的供应被切断时，首先使像素形成部内的电荷放电，其后使扫描信号线上的电荷、构成移位寄存器

的双稳电路内的第1节点/第2节点上的电荷放电。由此,在电源切断时迅速除去面板内的残留电荷,抑制因面板内的残留电荷的存在而导致的显示不良/动作不良的发生。

[0111] 根据本发明的第2方面,在扫描信号线放电处理时,在时钟信号为接地电位的状态下输出控制用开关元件成为导通状态。在输出控制用开关元件中,第2电极上被给予时钟信号,第3电极连接到输出节点,因此,扫描信号线上的电荷被放电。另外,在第2节点放电处理时,在基准电位为接地电位的状态下第1个第2节点控制用开关元件成为导通状态。在第1个第2节点控制用开关元件中,第2电极连接到第2节点,第3电极上被给予基准电位,因此,第2节点的电荷被放电。而且,在第1节点放电处理时,在基准电位为接地电位的状态下第2个第1节点控制用开关元件成为导通状态。在第2个第1节点控制用开关元件中,第2电极连接到第1节点,第3电极上被给予基准电位,因此,第1节点的电荷被放电。如此,在电源切断时,面板内的各节点等的电荷依次被迅速除去。

[0112] 根据本发明的第3方面,在扫描信号线放电处理时,扫描信号线的电位缓缓地下降。因此,在各像素形成部中因馈通电压的影响而导致像素电极电位下降这一情况被抑制。

[0113] 根据本发明的第4方面,在第2放电处理时清除信号成为高电平,由此,第2个第1节点控制用开关元件、第2个第2节点控制用开关元件以及第2输出节点控制用开关元件成为导通状态。在第2个第1节点控制用开关元件中,第2电极连接到第1节点,第3电极上被给予基准电位。在第2个第2节点控制用开关元件中,第2电极连接到第2节点,第3电极上被给予基准电位。在第2输出节点控制用开关元件中,第2电极连接到输出节点,第3电极上被给予基准电位。另外,在第2放电处理时,基准电位被设为接地电位。由此,在第2放电处理时,通过1个步骤使第1节点的电荷、第2节点的电荷以及扫描信号线上的电荷放电。

[0114] 根据本发明的第5方面,在第2放电处理时,通过比本发明的第1方面少的步骤,使第1节点的电荷、第2节点的电荷以及扫描信号线上的电荷放电。

[0115] 根据本发明的第6方面,在第2放电处理时,通过比本发明的第1方面少的步骤,使第1节点的电荷、第2节点的电荷以及扫描信号线上的电荷放电。

[0116] 根据本发明的第7方面,需要给予电平转换电路的输入信号的数量比以往少。由此,能降低成本,使封装小型化。

[0117] 根据本发明的第8方面,与本发明的第7方面同样,需要给予电平转换电路的输入信号的数量比以往少。由此,能降低成本,使封装小型化。

[0118] 根据本发明的第9方面,能比较容易地实现复杂的电源切断次序。

[0119] 根据本发明的第10方面,与本发明的第9方面同样,能比较容易地实现复杂的电源切断次序。

[0120] 根据本发明的第11方面,能够在液晶显示装置的驱动方法的发明中取得与本发明的第1方面同样的效果。

[0121] 根据本发明的第12方面,能够在液晶显示装置的驱动方法的发明中取得与本发明的第2方面同样的效果。

[0122] 根据本发明的第13方面,能够在液晶显示装置的驱动方法的发明中取得与本发明的第3方面同样的效果。

[0123] 根据本发明的第14方面,能够在液晶显示装置的驱动方法的发明中取得与本发明的第4方面同样的效果。

[0124] 根据本发明的第15方面,能够在液晶显示装置的驱动方法的发明中取得与本发明的第5方面同样的效果。

[0125] 根据本发明的第16方面,能够在液晶显示装置的驱动方法的发明中取得与本发明的第6方面同样的效果。

附图说明

[0126] 图1是用于说明本发明的第1实施方式所涉及的有源矩阵型液晶显示装置的电源切断时的动作的信号波形图。

[0127] 图2是示出上述第1实施方式中液晶显示装置的整体构成的框图。

[0128] 图3是示出上述第1实施方式中像素形成部的构成的电路图。

[0129] 图4是示出上述第1实施方式中电平转换电路的构成的框图。

[0130] 图5是用于说明上述第1实施方式中栅极驱动器的构成的框图。

[0131] 图6是示出上述第1实施方式中栅极驱动器内的移位寄存器的构成的框图。

[0132] 图7是用于说明上述第1实施方式中栅极驱动器的动作的信号波形图。

[0133] 图8是示出上述第1实施方式中移位寄存器所包含的双稳电路的构成的电路图。

[0134] 图9是用于说明上述第1实施方式中双稳电路的动作的信号波形图。

[0135] 图10是用于说明关于显示截止次序的上述第1实施方式的变形例的信号波形图。

[0136] 图11是用于说明关于显示截止次序的上述第1实施方式的其它变形例的信号波形图。

[0137] 图12是用于说明上述第1实施方式的变形例中抑制馈通电压的影响的方法的信号波形图。

[0138] 图13是示意性示出上述第1实施方式中的电平转换电路附近的构成的框图。

[0139] 图14是示意性示出上述第1实施方式的变形例中的电平转换电路附近的构成的框图。

[0140] 图15是示出本发明的第2实施方式所涉及的有源矩阵型液晶显示装置的整体构成的框图。

[0141] 图16是示出上述第2实施方式中移位寄存器所包含的双稳电路的构成的电路图。

[0142] 图17是用于说明上述第2实施方式的电源切断时的动作的信号波形图。

[0143] 图18是用于说明上述第2实施方式中定时的生成的信号波形图。

[0144] 图19是用于说明上述第2实施方式的变形例的电源切断时的动作的信号波形图。

[0145] 图20是用于说明现有构成的电平转换电路的输入输出信号的图。

[0146] 图21是用于说明具备定时生成逻辑部的电平转换电路的输入输出信号的图。

具体实施方式

[0147] 以下,一边参照附图,一边说明本发明的实施方式。此外,在以下的说明中,薄膜晶体管的栅极端子(栅极电极)相当于第1电极,漏极端子(漏极电极)相当于第2电极,源极端子(源极电极)相当于第3电极。另外,将设置于双稳电路内的薄膜晶体管均设为n沟道型进行说明。

[0148] <1.第1实施方式>

[0149] <1.1整体构成和动作>

[0150] 图2是示出本发明的第1实施方式所涉及的有源矩阵型液晶显示装置的整体构成的框图。如图2所示,该液晶显示装置包括:液晶面板(显示面板)20;PCB(印刷电路板)10;以及TAB(Tape Automated Bonding)30,其连接到液晶面板20和PCB10。此外,液晶面板20是IGZO-TFT液晶面板。另外,TAB30是主要在中型用至大型用的液晶面板中采用的安装方式,在小型用至中型用的液晶面板中,作为源极驱动器的安装方式,有时也采用COG安装。此外,近来,也已逐渐使用将源极驱动器32、定时控制器11、电源电路15、电源切断检测部17以及电平转换电路13形成于1个芯片而成的系统驱动器构成。

[0151] 液晶面板20包括相对的2个基板(典型的是玻璃基板,但不限于玻璃基板),在基板上的规定的区域中形成有助于显示图像的显示部22。显示部22包含:多条(j条)源极总线(视频信号线)SL1~SLj;多条(i条)栅极总线(扫描信号线)GL1~GLi;以及多个(i×j个)像素形成部,其与这些源极总线SL1~SLj和栅极总线GL1~GLi的交叉点分别对应地设置。图3是示出像素形成部的构成的电路图。如图3所示,各像素形成部包含:薄膜晶体管(TFT)220,其栅极端子连接到通过对应的交叉点的栅极总线GL,并且源极端子连接到通过该交叉点的源极总线SL;像素电极221,其连接到该薄膜晶体管220的漏极端子;共用电极222和辅助电容电极223,其共同设置于上述多个像素形成部;液晶电容224,其由像素电极221和共用电极222形成;以及辅助电容225,其由像素电极221和辅助电容电极223形成。另外,由液晶电容224和辅助电容225形成像素电容CP。并且,在各薄膜晶体管220的栅极端子从栅极总线GL接收到有效的扫描信号时,基于该薄膜晶体管220的源极端子从源极总线SL接收的视频信号,像素电容CP保持表示像素值的电压。

[0152] 另外,如图2所示,在液晶面板20中形成有助于驱动栅极总线GL1~GLi的栅极驱动器24。该栅极驱动器24是上述的IGZO-GDM,在构成液晶面板20的基板上形成为单片。用于驱动源极总线SL1~SLj的源极驱动器32以IC芯片的状态搭载于TAB30。定时控制器11、电平转换电路13、电源电路15以及电源切断检测部17设置于PCB10。此外,在图2中栅极驱动器24仅配置于显示部22的单侧,但要求左右均等边框面板的用户也很多,为了满足该要求,也经常使用将栅极驱动器24配置于显示部22的左右两侧的结构。

[0153] 在该液晶显示装置中,从外部给予水平同步信号HS、垂直同步信号VS、数据使能信号DE等定时信号、图像信号DAT以及电源电压PW。电源电压PW被给予定时控制器11、电源电路15、电源切断检测部17。此外,在本实施方式中,电源电压PW为3.3V,但该电源电压PW不限于3.3V。另外,对于输入信号,也不限于上述构成,定时信号、视频数据也经常利用LVDS、mipi、DP信号、eDP等的差动接口来传送。

[0154] 电源电路15基于电源电压PW生成用于使栅极总线成为选择状态的栅极导通电位VGH和用于使栅极总线成为非选择状态的栅极截止电位VGL。在本说明书中,假定作为源极驱动器正电源构成,栅极导通电位VGH是+20V,栅极截止电位VGL是-10V,但近来,源极驱动器的输出电压有时将接地电位GND作为基准而以相等的大小向正侧和负侧输出。在该情况下,例如会如“栅极导通电位VGH为+15V、栅极截止电位VGL为-15V”这样成为从正电源构成稍稍负偏置的电位构成。栅极导通电位VGH和栅极截止电位VGL被给予电平转换电路13。电源切断检测部17输出表示电源电压PW的供应状态(电源的接通/切断状态)的电源状态信号SHUT。电源状态信号SHUT被给予电平转换电路13。

[0155] 定时控制器11接收水平同步信号HS、垂直同步信号VS、数据使能信号DE等定时信号、图像信号DAT以及电源电压PW,生成数字视频信号DV、源极起始脉冲信号SSP、源极时钟信号SCK、栅极起始脉冲信号L_GSP以及栅极时钟信号L_GCK。数字视频信号DV、源极起始脉冲信号SSP以及源极时钟信号SCK被给予源极驱动器32,栅极起始脉冲信号L_GSP和栅极时钟信号L_GCK被给予电平转换电路13。此外,关于栅极起始脉冲信号L_GSP和栅极时钟信号L_GCK,高电平侧的电位被设为电源电压(3.3V)PW,低电平侧的电位被设为接地电位(0V)GND。

[0156] 电平转换电路13使用接地电位GND以及从电源电路15给予的栅极导通电位VGH和栅极截止电位VGL,进行:将从定时控制器11输出的栅极起始脉冲信号L_GSP变换为最适于IGZO-GDM驱动的定时信号而成的信号的电平变换后的信号H_GSP的生成;基于从定时控制器11输出的栅极时钟信号L_GCK的第1栅极时钟信号H_GCK1和第2栅极时钟信号H_GCK2的生成;以及基于内部信号的基准电位H_VSS和清除信号H_CLR的生成。并且,从电平转换电路13对栅极驱动器24输出栅极起始脉冲信号H_GSP、第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2、清除信号H_CLR以及基准电位H_VSS。此外,在通常动作时,使栅极起始脉冲信号H_GSP、第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2以及清除信号H_CLR等于栅极导通电位VGH(+20V)或者栅极截止电位VGL(-10V),使基准电位H_VSS等于栅极截止电位VGL(-10V)。此外,在本实施方式中,如图4所示,电平转换电路13以如下方式构成:包含定时生成逻辑部131和振荡器132,从电源切断检测部17输出的电源状态信号SHUT被给予电平转换电路13。通过这样的构成,电平转换电路13能根据规定的定时使上述各种信号的电位变化。规定的定时是基于从构成电平转换电路13的IC内部的非易失性存储器和非易失性存储器加载数据而得的寄存器值生成的。此外,后述该电平转换电路13的进一步详细的说明。

[0157] 源极驱动器32接收从定时控制器11输出的数字视频信号DV、源极起始脉冲信号SSP以及源极时钟信号SCK,向各源极总线SL1~SLj施加驱动用的视频信号。

[0158] 栅极驱动器24基于从电平转换电路13输出的栅极起始脉冲信号H_GSP、第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2、清除信号H_CLR以及基准电位H_VSS,将1垂直扫描期间作为周期重复进行有效的扫描信号向各栅极总线GL1~GLi的施加。此外,后述该栅极驱动器24的详细说明。

[0159] 如此,向各源极总线SL1~SLj施加驱动用的视频信号,向各栅极总线GL1~GLi施加扫描信号,从而将基于从外部发送的图像信号DAT的图像显示于显示部22。

[0160] 此外,在本实施方式中,利用电源切断检测部17实现电源状态检测部,利用定时控制器11和电平转换电路13实现驱动控制部。另外,利用定时生成逻辑部131实现逻辑电路部,利用振荡器132实现振荡电路部。

[0161] <1.2栅极驱动器的构成和动作>

[0162] 接着,说明本实施方式中的栅极驱动器24的构成和动作。如图5所示,栅极驱动器24包括含有多级的移位寄存器240。在显示部22中形成有i行×j列的像素矩阵时,以与这些像素矩阵的各行一一对应的方式设置有移位寄存器240的各级。另外,移位寄存器240的各级为如下双稳电路:在各时点处为2个状态中某一方的状态而输出表示该状态的信号(以下称为“状态信号”)。此外,从移位寄存器240的各级输出的状态信号作为扫描信号被给予对应的栅极总线。

[0163] 图6是示出栅极驱动器24内的移位寄存器240的构成的框图。此外,图6中示出移位寄存器240的第(n-1)级、第n级以及第(n+1)级双稳电路SR_{n-1}、SR_n以及SR_{n+1}的构成。在各双稳电路中设置有:输入端子,其用于接收基准电位VSS、第1时钟CKA、第2时钟CKB、置位信号S、复位信号R以及清除信号CLR;以及输出端子,其用于输出状态信号Q。在本实施方式中,给予从电平转换电路13输出的基准电位H_VSS作为基准电位VSS,给予从电平转换电路13输出的清除信号H_CLR作为清除信号CLR。另外,给予从电平转换电路13输出的第1栅极时钟信号H_GCK1和第2栅极时钟信号H_GCK2中的一方作为第1时钟CKA,给予另一方作为第2时钟CKB。而且,给予从前一级输出的状态信号Q作为置位信号S,给予从下一级输出的状态信号Q作为复位信号R。即,当关注第n级时,给予向第(n-1)行栅极总线给予的扫描信号GOUT_{n-1}作为置位信号S,给予向第(n+1)行栅极总线给予的扫描信号GOUT_{n+1}作为复位信号R。此外,从电平转换电路13输出的栅极起始脉冲信号H_GSP作为置位信号S被给予移位寄存器240的第1级双稳电路SR1。

[0164] 在以上这样的构成中,当向移位寄存器240的第1级给予作为置位信号S的栅极起始脉冲信号H_GSP的脉冲时,基于导通占空比被设为50%左右的值的第1栅极时钟信号H_GCK1和第2栅极时钟信号H_GCK2(参照图7),栅极起始脉冲信号H_GSP所包含的脉冲(该脉冲包含从各级输出的状态信号Q)从第1级向第i级依次传送。并且,与该脉冲的传送相应地,从各级输出的状态信号Q依次变为高电平。并且,从该各级输出的状态信号Q作为扫描信号GOUT1~GOUTi被给予各栅极总线GL1~GLi。由此,如图7所示,按每规定期间依次变为高电平的扫描信号GOUT1~GOUTi被给予显示部22内的栅极总线GL1~GLi。

[0165] <1.3双稳电路的构成和动作>

[0166] 图8是示出移位寄存器240所包含的双稳电路的构成(移位寄存器240的第n级的构成)的电路图。如图8所示,该双稳电路SR_n具备:9个薄膜晶体管TA、TB、TC、TD、TF、TI、TJ、TK和TL;以及1个电容CAP1。此外,在图8中,对用于接收第1时钟CKA的输入端子附上附图标记41,对用于接收第2时钟CKB的输入端子附上附图标记42,对用于接收置位信号S的输入端子附上附图标记43,对用于接收复位信号R的输入端子附上附图标记44,对用于接收清除信号CLR的输入端子附上附图标记45,对用于输出状态信号Q的输出端子附上附图标记49。

[0167] 薄膜晶体管TA的漏极端子、薄膜晶体管TB的源极端子、薄膜晶体管TC的漏极端子、薄膜晶体管TI的栅极端子、薄膜晶体管TJ的栅极端子、薄膜晶体管TL的漏极端子以及电容CAP1的一端相互连接。此外,方便起见,将它们相互连接的区域(配线)称为“netA”。薄膜晶体管TC的栅极端子、薄膜晶体管TF的源极端子、薄膜晶体管TJ的漏极端子以及薄膜晶体管TK的漏极端子相互连接。此外,方便起见,将它们相互连接的区域(配线)称为“netB”。

[0168] 薄膜晶体管TA的栅极端子连接到输入端子45,漏极端子连接到netA,源极端子连接到基准电位配线。薄膜晶体管TB的栅极端子和漏极端子连接到输入端子43(即,成为二极管连接),源极端子连接到netA。薄膜晶体管TC的栅极端子连接到netB,漏极端子连接到netA,源极端子连接到基准电位配线。薄膜晶体管TD的栅极端子连接到输入端子42,漏极端子连接到输出端子49,源极端子连接到基准电位配线。薄膜晶体管TF的栅极端子和漏极端子连接到输入端子42(即,成为二极管连接),源极端子连接到netB。薄膜晶体管TI的栅极端子连接到netA,漏极端子连接到输入端子41,源极端子连接到输出端子49。薄膜晶体管TJ的栅极端子连接到netA,漏极端子连接到netB,源极端子连接到基准电位配线。薄膜晶体管TK

的栅极端子连接到输入端子41,漏极端子连接到netB,源极端子连接到基准电位配线。薄膜晶体管TL的栅极端子连接到输入端子44,漏极端子连接到netA,源极端子连接到基准电位配线。电容CAP1的一端连接到netA,另一端连接到输出端子49。在以上这样的构成中,以表示netA的电位的信号的逻辑反转信号和第2时钟CKB为输入信号的AND电路包括图8中用附图标记241表示的部分的电路。

[0169] 此外,在本实施方式中,利用netA实现第1节点,利用netB实现第2节点,利用输出端子49实现输出节点。另外,利用薄膜晶体管TI实现输出控制用开关元件,利用薄膜晶体管TD实现输出节点控制用开关元件,利用薄膜晶体管TC实现第1个第1节点控制用开关元件,利用薄膜晶体管TA实现第2个第1节点控制用开关元件,利用薄膜晶体管TK实现第1个第2节点控制用开关元件。

[0170] 接着,一边参照图8和图9,一边说明从外部正常供应电源电压PW时的双稳电路SRn的动作。在该液晶显示装置动作的期间中,向双稳电路SRn给予导通占空比被设为50%左右的值的第1时钟CKA和第2时钟CKB。此外,关于第1时钟CKA和第2时钟CKB,高电平侧的电位为栅极导通电位VGH,低电平侧的电位为栅极截止电位VGL。

[0171] 当变为时点t1而第2时钟CKB从低电平变为高电平时,薄膜晶体管TF如图8所示为二极管连接,因此成为导通状态。此时,netA的电位为低电平,因此,薄膜晶体管TJ为截止状态。由此,在时点t1,netB的电位从低电平变为高电平。其结果是,薄膜晶体管TC成为导通状态,基准电位VSS被拉向netA的电位。另外,在时点t1,薄膜晶体管TD也成为导通状态。由此,基准电位VSS被拉向输出端子49的电位(状态信号Q的电位)。

[0172] 当在时点t2处第2时钟CKB从高电平变为低电平后,变为时点t3时,第1时钟CKA从低电平变为高电平。由此,薄膜晶体管TK成为导通状态。其结果是,netB的电位从高电平向低电平变化。此外,在时点t3,netA的电位为低电平,因此,薄膜晶体管TI成为截止状态。因此,输出端子49的电位维持低电平的状态。

[0173] 当在时点t4处第1时钟CKA从高电平变为低电平后,变为时点t5时,置位信号S从低电平变为高电平。薄膜晶体管TB如图8所示为二极管连接,因此,置位信号S成为高电平,从而使得薄膜晶体管TB成为导通状态。由此,电容CAP1被充电,netA的电位从低电平变为高电平。其结果是,薄膜晶体管TI成为导通状态。在此,在时点t5~时点t7的期间中,第1时钟CKA为低电平。因此,在该期间中,输出端子49维持低电平。另外,在该期间中,复位信号R为低电平,因此,薄膜晶体管TL维持截止状态,并且,netB的电位为低电平,因此,薄膜晶体管TC维持截止状态。因此,在该期间中,netA的电位不会下降。

[0174] 当在时点t6处置位信号S从高电平变为低电平后,变为时点t7时,第1时钟CKA从低电平变为高电平。此时,薄膜晶体管TI成为导通状态,因此,随着输入端子41的电位上升,输出端子49的电位上升。在此,如图8所示,在netA-输出端子49间设置有电容CAP1,因此,随着输出端子49的电位上升,netA的电位也上升(netA自举)。理想的是,netA的电位上升到栅极导通电位VGH的2倍的电位。其结果是,向薄膜晶体管TI的栅极端子施加大的电压,输出端子49的电位上升到第1时钟CKA的高电位的电位即栅极导通电位VGH。由此,与该双稳电路SRn的输出端子49连接的栅极总线成为选择状态。此外,在时点t7~时点t8的期间中,第2时钟CKB为低电平,因此,薄膜晶体管TD维持截止状态。因此,在该期间中,输出端子49的电位不会下降。另外,在时点t7~时点t8的期间中,复位信号R为低电平,因此,薄膜晶体管TL维持

截止状态,并且,netB的电位为低电平,因此,薄膜晶体管TC维持截止状态。因此,在该期间中,netA的电位不会下降。

[0175] 当变为时点t8时,第1时钟CKA从高电平变为低电平。由此,随着输入端子41的电位的下降,输出端子49的电位即状态信号Q的电位下降。因此,经由电容CAP1,netA的电位也下降。当变为时点t9时,复位信号R从低电平变为高电平。由此,薄膜晶体管TL成为导通状态。其结果是,netA的电位变为低电平。另外,在时点t9,第2时钟CKB从低电平变为高电平。由此,薄膜晶体管TD成为导通状态。其结果是,状态信号Q的电位变为低电平。

[0176] 通过由移位寄存器240内的各双稳电路进行以上这样的动作,按每规定期间依次成为高电平的扫描信号GOUT1~GOUTi被给予显示部22内的栅极总线GL1~GLi。

[0177] <1.4电源切断时的动作>

[0178] 接着,一边参照图1、图2以及图8,一边说明来自外部的电源电压PW的供应被切断时的液晶显示装置的动作。此外,以下将该一系列的处理称为“电源切断次序”。图1中示出电源状态信号SHUT、视频信号电位(源极总线SL的电位)VS、共用电极电位VCOMDC、栅极起始脉冲信号H_GSP、栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)、清除信号H_CLR以及基准电位H_VSS的波形。如上所述,栅极起始脉冲信号H_GSP作为置位信号S被给予移位寄存器240的第1级双稳电路,栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)作为第1时钟CKA、第2时钟CKB被给予各双稳电路,清除信号H_CLR作为清除信号CLR被给予各双稳电路,基准电位H_VSS作为基准电位VSS被给予各双稳电路。

[0179] 在图1中,记载为“显示截止次序”的期间是用于在像素形成部内使电荷放电的期间,记载为“栅极截止次序”的期间是用于在栅极驱动器24内使电荷放电的期间。电源切断次序包含这些显示截止次序和栅极截止次序。此外,在本说明书中,假定在时点t10以前正常供应电源电压PW,在时点t10切断电源电压PW的供应。

[0180] 在正常供应电源电压PW的期间(时点t10以前的期间),电源状态信号SHUT维持低电平。在该期间中,栅极起始脉冲信号H_GSP、栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)以及清除信号H_CLR被设为栅极导通电位VGH或者栅极截止电位VGL,基准电位H_VSS被设为栅极截止电位VGL。

[0181] 当在时点t10切断电源电压PW的供应时,电源切断检测部17使电源状态信号SHUT从低电平变为高电平。当从电源状态信号SHUT由低电平变为高电平的时点经过规定期间后到达时点t11时,变为显示截止次序的期间。在本实施方式中,在该期间中,在使栅极起始脉冲信号H_GSP、栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)以及清除信号H_CLR为与通常动作时同样的波形的状态下,使视频信号电位VS和共用电极电位VCOMDC等于接地电位GND(0V)。由此,用1垂直扫描期间进行显示部22内的像素形成部的电荷的放电。以下,将在显示截止次序中进行的处理步骤称为“像素放电步骤”。

[0182] 当变为时点t13时,变为栅极截止次序的期间。在时点t13~时点t14的期间,栅极起始脉冲信号H_GSP、栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)以及清除信号H_CLR被设为栅极导通电位VGH,基准电位H_VSS被设为栅极截止电位VGL。由此,第1时钟CKA变为高电平而薄膜晶体管TK成为导通状态,因此,netB的电位变为低电平。以下,将栅极截止次序中在时点t13~时点t14的期间进行的处理步骤称为“netB电位下降步骤”。

[0183] 在时点t14~时点t15的期间,栅极起始脉冲信号H_GSP和栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)被设为接地电位GND,清除信号H_CLR和基准电位H_VSS被设为栅极导通电位VGH。由此,清除信号CLR变为高电平,因此,薄膜晶体管TA成为导通状态。在该状态下使基准电位VSS等于栅极导通电位VGH,因此,netA的电位变为比栅极导通电位VGH低阈值电压Vth的电位。由此,薄膜晶体管TI成为导通状态。另外,在该期间中,第1时钟CKA的电位变为接地电位GND。其结果是,在显示部22内的各栅极总线中电荷被放电。如上所述,时点t14~时点t15的期间成为用于使栅极总线上的电荷放电的期间。以下,将栅极截止次序中在时点t14~时点t15的期间进行的处理步骤称为“栅极总线放电步骤”。

[0184] 在时点t15~时点t16的期间,清除信号H_CLR被设为栅极截止电位VGL,栅极起始脉冲信号H_GSP、栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)以及基准电位H_VSS被设为接地电位GND。由此,基准电位VSS变为0V,但清除信号CLR变为低电平,因此,薄膜晶体管TA成为截止状态。因此,netA的电位维持高电平。因此,薄膜晶体管TJ成为导通状态。由此,netB的电位变为接地电位GND。如上所述,时点t15~时点t16的期间成为用于使netB上的电荷放电的期间。以下,将栅极截止次序中在时点t15~时点t16的期间进行的处理步骤称为“netB放电步骤”。

[0185] 在时点t16~时点t17的期间,清除信号H_CLR被设为栅极导通电位VGH,栅极起始脉冲信号H_GSP、栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)以及基准电位H_VSS被设为接地电位GND。由此,在基准电位VSS被设为接地电位GND的状态下,薄膜晶体管TA成为导通状态。其结果是,netA的电位变为接地电位GND。如上所述,时点t16~时点t17的期间成为使netA上的电荷放电的期间。以下,将栅极截止次序中在时点t16~时点t17的期间进行的处理步骤称为“netA放电步骤”。

[0186] 在时点t17~时点t18的期间,栅极起始脉冲信号H_GSP、栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)、清除信号H_CLR以及基准电位H_VSS被设为接地电位GND。由此,结束栅极截止次序。

[0187] 此外,在本实施方式中,利用在显示截止次序和栅极截止次序的期间进行的步骤实现电荷放电步骤,利用像素放电步骤实现第1放电步骤,利用在栅极截止次序的期间进行的步骤实现第2放电步骤。另外,利用栅极总线放电步骤实现扫描信号线放电步骤,利用netA放电步骤实现第1节点放电步骤,利用netB放电步骤实现第2节点放电步骤。而且,利用被设为高电平的电源状态信号SHUT实现电源切断信号。

[0188] 此外,电平转换电路13如图4所示包含定时生成逻辑部131和振荡器132,从而在栅极截止次序中能够使各种信号的电位如图1所示通过多个步骤变化。在这样的构成中,当从电源切断检测部17给予电平转换电路13的电源状态信号SHUT从低电平变为高电平时,定时生成逻辑部131用计数器对由振荡器132生成的基本时钟进行计数,从而取得各步骤的开始定时。并且,定时生成逻辑部131根据该定时,使各种信号的电位变为预先确定的电位。如此,生成如图1所示的波形的栅极起始脉冲信号H_GSP、栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)、清除信号H_CLR以及基准电位H_VSS。此外,电平转换电路13和电源切断检测部17也可以如图4中用附图标记60表示的那样收纳于1个LSI内。

[0189] <1.5效果>

[0190] 根据本实施方式,在具备IGZO-GDM的液晶显示装置中,向栅极驱动器24给予各种

信号的电平转换电路13包含定时生成逻辑部131和振荡器132。当电源电压PW的供应被切断时,定时生成逻辑部131取得用于电源切断次序的各步骤的开始定时。电平转换电路13根据定时生成逻辑部131取得的定时,使各种信号的电位变化。因此,在电源切断次序时能容易地进行多个处理。并且,如上所述(参照图1),电平转换电路13通过使各种信号的电位变化来进行包含像素放电步骤、netB电位下降步骤、栅极总线放电步骤、netB放电步骤以及netA放电步骤的电源切断次序。由此,在具备IGZO-GDM的液晶显示装置中,在电源电压PW的供应被切断时,像素形成部内的电荷、栅极总线上的电荷、netB上的电荷以及netA上的电荷依次被放电。如上所述,实现能够在电源切断时迅速除去面板内的残留电荷的具备IGZO-GDM的液晶显示装置。其结果是,在具备IGZO-GDM的液晶显示装置中,因面板内的残留电荷的存在而导致的显示不良/动作不良的发生被抑制。

[0191] <1.6变形例>

[0192] <1.6.1关于显示截止次序>

[0193] 关于显示截止次序,在上述第1实施方式中,在使栅极起始脉冲信号H_GSP、栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)以及清除信号H_CLR为与通常动作时同样的波形的状态下,使视频信号电位VS和共用电极电位VCOMDC等于接地电位GND(0V)。然而,本发明不限于此。例如,如图10所示,也可以在时点t12~时点t13的期间,将栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)和基准电位H_VSS设为栅极导通电位VGH,并且,在将栅极起始脉冲信号H_GSP和清除信号H_CLR设为栅极截止电位VGL的状态下,将视频信号电位VS和共用电极电位VCOMDC设为接地电位GND。在该情况下,在薄膜晶体管TD成为导通的状态下,基准电位VSS被提升至栅极导通电位VGH,因此,各栅极总线的电位变为栅极导通电位VGH,在各像素形成部中进行电荷的放电。另外,例如,如图11所示,也可以在时点t12~时点t13的期间,在将栅极起始脉冲信号H_GSP、栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)、清除信号H_CLR以及基准电位H_VSS设为栅极导通电位VGH的状态下,将视频信号电位VS和共用电极电位VCOMDC设为接地电位GND。在该情况下,在薄膜晶体管TD成为导通的状态下,基准电位VSS被提升至栅极导通电位VGH,而且,netA变为高电平而使得在薄膜晶体管TI成为导通的状态下第1时钟CKA的电位也被提升至栅极导通电位VGH,因此,各栅极总线的电位变为栅极导通电位VGH,在各像素形成部中进行电荷的放电。

[0194] <1.6.2馈通电压的对应>

[0195] 在上述第1实施方式中,在栅极截止次序的栅极总线放电步骤(图1的t14)中,栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)从栅极导通电位VGH向接地电位GND变化。由此,在各双稳电路中,第1时钟CKA的电位迅速下降,因此,栅极总线的电位也迅速下降。因此,在各像素形成部中,所谓馈通电压的影响有可能导致像素电极电位下降。当像素电极电位下降时,即便由显示截止次序进行了像素形成部内的电荷的放电,最终在像素形成部内也会储存有残留电荷。因此,也可以在栅极总线放电步骤中使栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)的电位如图12所示缓缓地变化(下降)。由此,抑制因显示截止次序后的栅极总线的电位下降而导致的馈通电压的影响。

[0196] <1.6.3电平转换电路附近的构成>

[0197] 关于电平转换电路附近的构成(参照图2),在上述第1实施方式中,示意性地为如

图13所示的构成。即,为如下构成:基于从外部发送的同步信号由定时控制器11生成栅极起始脉冲信号、栅极时钟信号。然而,本发明不限于此。例如,也可以设为如图14所示的构成,在电平转换电路13中基于从外部发送的同步信号生成栅极起始脉冲信号、栅极时钟信号。

[0198] <1.6.4关于栅极截止次序>

[0199] 在上述第1实施方式中,作为栅极截止次序的最初的步骤,而设置有用使netB的电位成为低电平(-10V)的netB电位下降步骤,但也可以不是必定设置有该步骤。

[0200] <2.第2实施方式>

[0201] 说明本发明的第2实施方式。此外,仅详细说明与上述第1实施方式的不同之处,而简单地说明与上述第1实施方式的相同之处。

[0202] <2.1构成>

[0203] 图15是示出本发明的第2实施方式所涉及的有源矩阵型液晶显示装置的整体构成的框图。液晶面板20和TAB30是与上述第1实施方式同样的构成。关于PCB10,在上述第1实施方式中仅设置有1个电源切断检测部17,但在本实施方式中设置有2个电源切断检测部(第1电源切断检测部17a和第2电源切断检测部17b)。如果从电源电压PW供应的电压为2.4V以下,则第1电源切断检测部17a使电源状态信号SHUT1成为高电平。如果从电源电压PW供应的电压为2.0V以下,则第2电源切断检测部17b使电源状态信号SHUT2成为高电平。另外,在上述第1实施方式中,作为栅极时钟信号,从定时控制器11向电平转换电路13发送1个信号L_GCK,但在本实施方式中,发送2个信号(第1栅极时钟信号L_GCK1、第2栅极时钟信号L_GCK2)。即,在本实施方式中,不需要由电平转换电路13重新生成用于栅极时钟信号的定时。另外,在本实施方式中,从定时控制器11向电平转换电路13发送清除信号L_CLR和基准电位L_VSS。即,在本实施方式中,不需要由电平转换电路13重新生成用于清除信号和基准电位的定时。

[0204] 图16是示出本实施方式中的双稳电路的构成的电路图。在图8所示的上述第1实施方式的构成要素的基础上,还设置有2个薄膜晶体管TX、TY。薄膜晶体管TX的栅极端子连接到输入端子45,漏极端子连接到netB,源极端子连接到基准电位配线。薄膜晶体管TY的栅极端子连接到输入端子45,漏极端子连接到输出端子49,源极端子连接到基准电位配线。此外,在本实施方式中,利用薄膜晶体管TX实现第2个第2节点控制用开关元件,利用薄膜晶体管TY实现第2输出节点控制用开关元件。

[0205] <2.2电源切断时的动作>

[0206] 接着,一边参照图15~图17,一边说明来自外部的电源电压PW的供应被切断时的液晶显示装置的动作。此外,在本说明书中,假定在时点t20以前正常供应电源电压PW,在时点t20切断电源电压PW的供应。正常供应电源电压PW的期间(时点t20以前的期间)的动作与上述第1实施方式是同样的。

[0207] 当在时点t20处电源电压PW的供应被切断,其后从电源电压PW供应的电压变为2.4V以下(在此设为时点t21)时,第1电源切断检测部17a使电源状态信号SHUT1从低电平变为高电平。由此,变为显示截止次序的期间。在该期间中,与上述第1实施方式同样,在使栅极起始脉冲信号H_GSP、栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)以及清除信号H_CLR为与通常动作时同样的波形的状态下,使视频信号电位VS和共用电极电位VCOMDC等于接地电位GND(0V)。由此,用1垂直扫描期间进行显示部22内的像素形成部

的电荷的放电。

[0208] 其后,当从电源电压PW供应的电压变为2.0V以下(在此设为时点t23)时,第2电源切断检测部17b使电源状态信号SHUT2从低电平变为高电平。由此,变为栅极截止次序的期间。并且,清除信号H_CLR被设为栅极导通电位VGH,栅极起始脉冲信号H_GSP、栅极时钟信号(第1栅极时钟信号H_GCK1、第2栅极时钟信号H_GCK2)以及基准电位H_VSS被设为接地电位GND。由此,在基准电位VSS被设为接地电位GND的状态下,薄膜晶体管TA、TX以及TY成为导通状态。因此,netA的电位、netB的电位以及输出端子49的电位变为接地电位GND。其结果是,netA上的电荷、netB上的电荷以及栅极总线上的电荷被放电。此外,关于清除信号H_CLR,由于电源电压PW的供应被切断,因此其电位从栅极导通电位VGH向接地电位GND逐渐下降。

[0209] 此外,在本实施方式中,以如下方式构成:设置有2个电源切断检测部,各自以相互不同的电压的阈值使电源状态信号的电平从低电平变为高电平。因此,例如,如图18所示,能生成具有期间T的间隔的2个定时。如此,在电源切断次序中进行2个不同的处理(显示截止次序的处理和栅极截止次序的处理)。

[0210] <2.3效果>

[0211] 根据本实施方式,在双稳电路中设置有:薄膜晶体管TA,其栅极端子连接到清除信号CLR用的输入端子45,源极端子连接到基准电位配线,漏极端子连接到netA;薄膜晶体管TX,其栅极端子连接到清除信号CLR用的输入端子45,源极端子连接到基准电位配线,漏极端子连接到netB;以及薄膜晶体管TY,其栅极端子连接到清除信号CLR用的输入端子45,源极端子连接到基准电位配线,漏极端子连接到输出端子49。根据这样的构成,当在向基准电位配线给予接地电位GND的状态下使清除信号CLR成为高电平时,薄膜晶体管TA、TX以及TY成为导通状态,netA的电位、netB的电位以及输出端子49的电位变为接地电位GND。因此,在像素形成部内的电荷放电后,能够通过1个步骤使netA上的电荷、netB上的电荷以及栅极总线上的电荷迅速放电。由此,实现能够在电源切断时迅速除去面板内的残留电荷的具备IGZO-GDM的液晶显示装置。

[0212] <2.4变形例>

[0213] 在上述第2实施方式中,在双稳电路中,在上述第1实施方式的构成要素的基础上还设置有2个薄膜晶体管TX、TY,但也可以仅设置这些薄膜晶体管TX、TY中的一方。例如在上述第1实施方式的构成要素的基础上还设置有薄膜晶体管TX的构成的情况下,在栅极截止次序中,如图19所示,首先,进行使栅极总线上的电荷放电的处理(参照图19的时点t33~t34),其后,进行使netB上的电荷和netA上的电荷放电的处理(参照图19的时点t34~t35)。这样,需要首先对未设置有用基于(作为非同步的复位信号的)清除信号CLR使电荷放电的薄膜晶体管的区域进行电荷的放电,其后,对设置有用基于清除信号CLR使电荷放电的薄膜晶体管的区域进行电荷的放电。对于设置有用基于清除信号CLR使电荷放电的薄膜晶体管的区域,可以按每1区域依次进行放电,也可以如上述第2实施方式那样在整个区域中以相同定时进行放电。

[0214] 此外,根据本变形例,与上述第2实施方式相比次序增加。因此,需要增加电源切断检测部的数量或将电平转换电路设为如图4所示的构成来取得各处理的开始定时。

[0215] <3.其它>

[0216] 在IGZO-GDM方面,从上述各实施方式的说明可知,需要从电平转换电路13进行栅

极导通电位VGH(+20V)、栅极截止电位VGL(-10V)以及接地电位GND(0V)的3值输出,另外,电源切断次序复杂化而包括多个步骤。另外,近年来,为了谋求低功耗化,有时采用在视频信号电位的极性反转时暂时使源极驱动器输出成为电源变换效率好的电位电平的电位的被称为“电位短路”的方法,电平移位输出也需要从栅极截止电位VGL暂时经由接地电位GND而到达栅极导通电位VGH或从栅极导通电位VGH暂时经由接地电位GND(或者输入电源电位)而到达栅极截止电位VGL等3值输出(或者4值输出)。而且,还谋求移位寄存器的多相时钟化。当将时钟信号的频率设为f、将时钟配线的配线电容设为c、将时钟信号的振幅设为v时,伴随时钟信号的驱动的功耗P用 $P=fcv$ 表示。在此,当例如使时钟信号的数量增加到2倍时,与时钟信号增加前相比,时钟配线的条数变为2倍,但频率f和配线电容c变为二分之一。其结果是,与时钟信号增加前相比,功耗为二分之一。这样,通过使时钟信号多相化来降低功耗。据此,从电平转换电路13应送到栅极驱动器24的时钟信号的数量比以往增加了。关于这一点,优选如上述第1实施方式那样,在电平转换电路13内具备定时生成逻辑部131,以能够从较少的输入信号生成较多的输出信号的方式构成电平转换电路13。根据现有构成的电平转换电路139,例如,如图20所示,为了输出17个输出信号而需要17个输入信号,但通过在电平转换电路13内具备定时生成逻辑部131,如图21所示,能基于3个输入信号(附图标记DCLK是点时钟)生成17个输出信号。根据这样的电平转换电路13,能够削减输入信号的数量,因此能降低成本,使封装小型化。另外,能比较容易地实现复杂的电源切断次序。而且,与以往相比,能不增加输入信号的数量地进行3值输出。此外,能使用不对应GDM的定时控制器。

[0217] 作为其它的变形例,在从Tcon(定时控制器)未输出图21的DCLK的情况下,可以考虑使用电平转换电路13内部的OSC(振荡器)生成基准的DCLK而基于从Tcon发送的2个信号L_GCK、L_GSP生成输出信号的方法、电平转换电路13接收Tcon输出的差动时钟信号而生成DCLK的方法等。

[0218] 作为另外的变形例,在如便携电话、智能电话用液晶模块那样从用户机侧输入表示电源切断的信号的情况下,可以考虑从上述各实施方式的构成中删除电源切断检测部17(或者第1电源切断检测部17a、第2电源切断检测部17b)的构成等。

[0219] 此外,在上述各实施方式中,作为来自外部的电源电压PW的供应被切断时的次序,说明了显示截止次序、栅极截止次序,但例如作为显示装置的模式转移时(显示模式-休眠模式间的转移时)的放电的次序或者作为根据命令输入的放电的次序,也能适当实施显示截止次序、栅极截止次序。

[0220] 附图标记说明

[0221] 11…定时控制器

[0222] 13…电平转换电路

[0223] 15…电源电路

[0224] 17…电源切断检测部

[0225] 20…液晶面板

[0226] 22…显示部

[0227] 24…栅极驱动器(扫描信号线驱动电路)

[0228] 32…源极驱动器(视频信号线驱动电路)

[0229] 131…定时生成逻辑部

- [0230] 132…振荡器
- [0231] 220…(像素形成部内的)薄膜晶体管
- [0232] 240…移位寄存器
- [0233] PW…电源电压
- [0234] SHUT…电源状态信号
- [0235] VGH…栅极导通电位
- [0236] VGL…栅极截止电位
- [0237] L_GCK…栅极时钟信号
- [0238] H_GCK1…第1栅极时钟信号
- [0239] H_GCK2…第2栅极时钟信号
- [0240] L_GSP、H_GSP…栅极起始脉冲信号
- [0241] L_CLR、H_CLR、CLR…清除信号
- [0242] L_VSS、H_VSS、VSS…基准电位
- [0243] TA、TB、TC、TD、TF、TI、TJ、TK、TL、TX、TY…(双稳电路内的)薄膜晶体管
- [0244] CKA…第1时钟
- [0245] CKB…第2时钟
- [0246] S…置位信号
- [0247] R…复位信号
- [0248] Q…状态信号

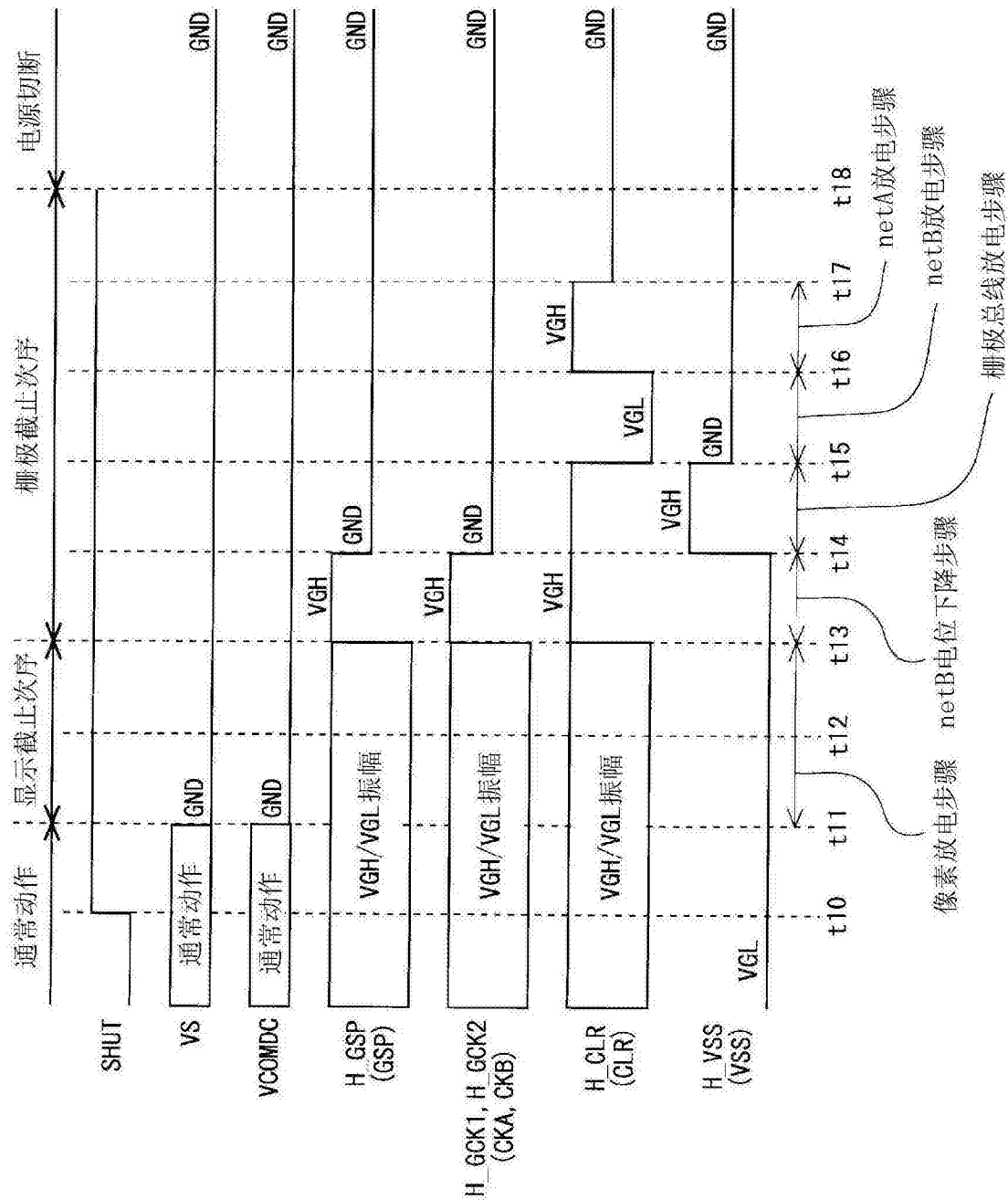


图1

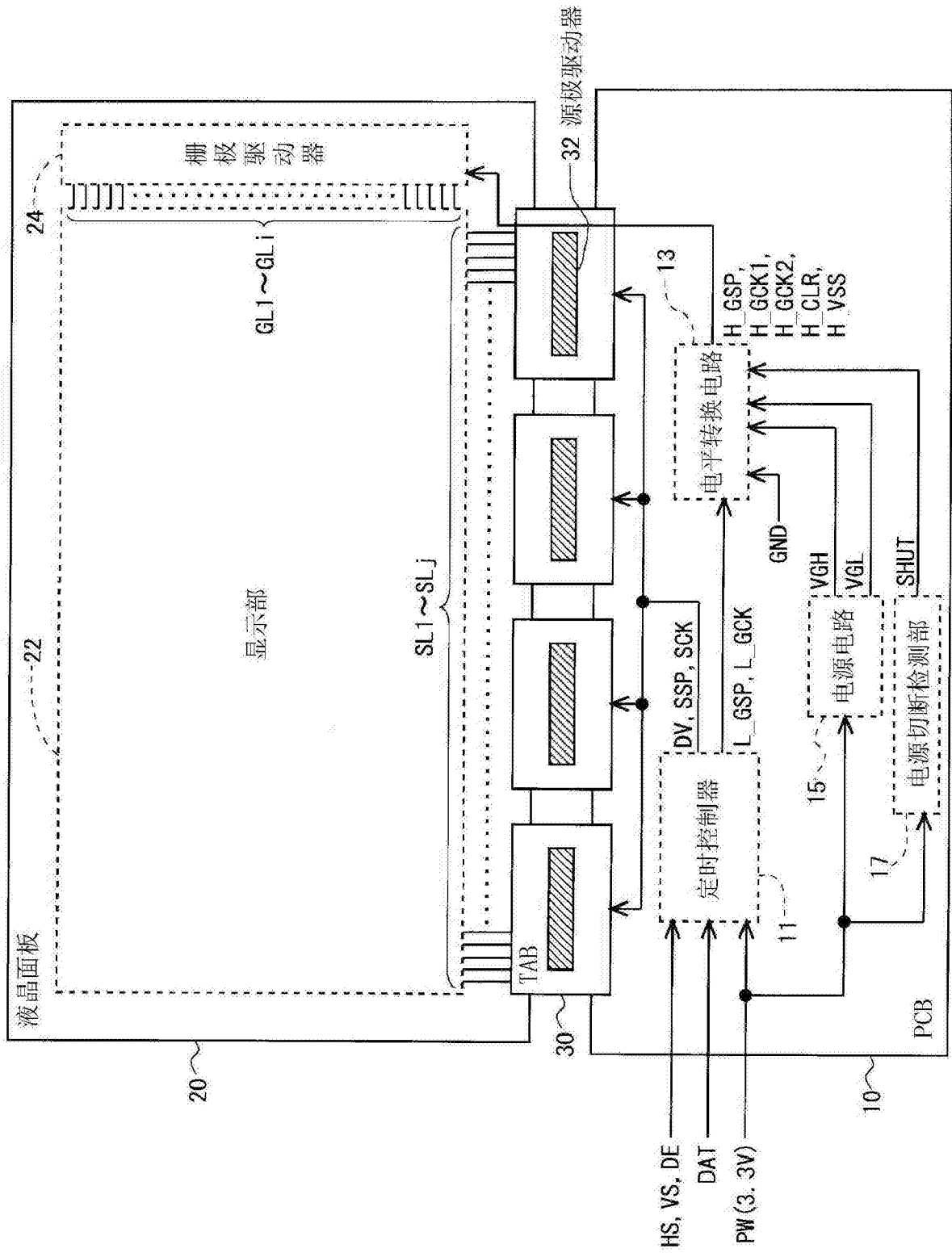


图2

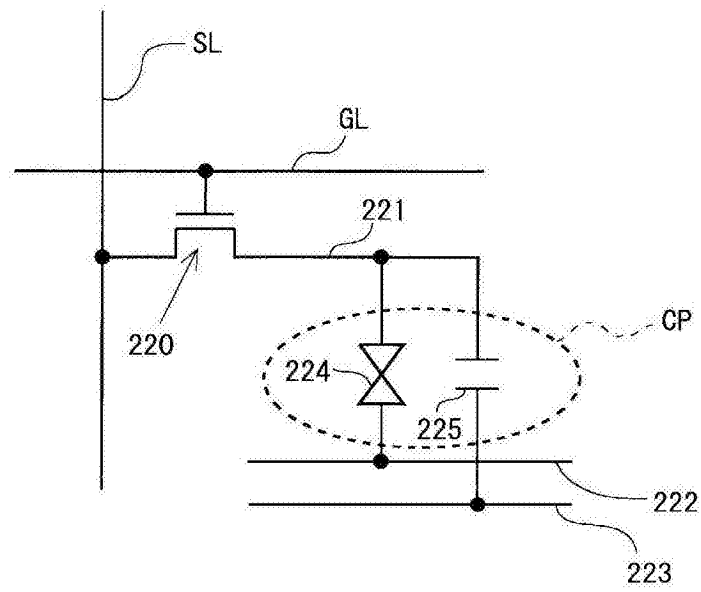


图3

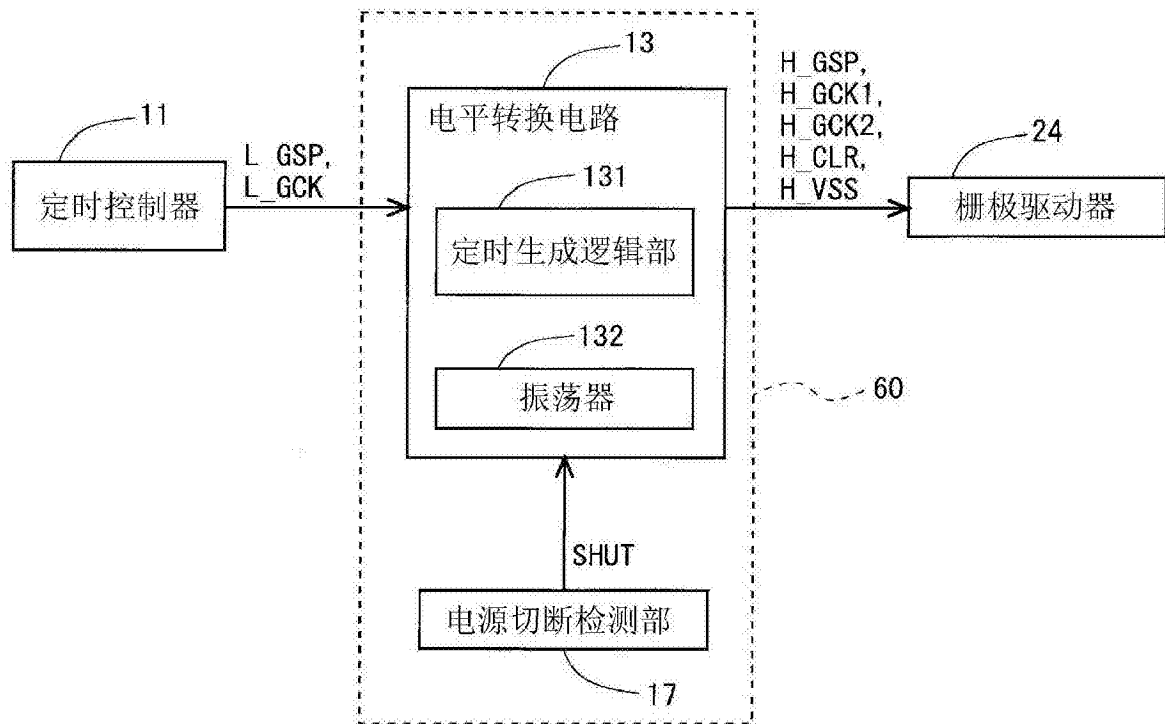


图4

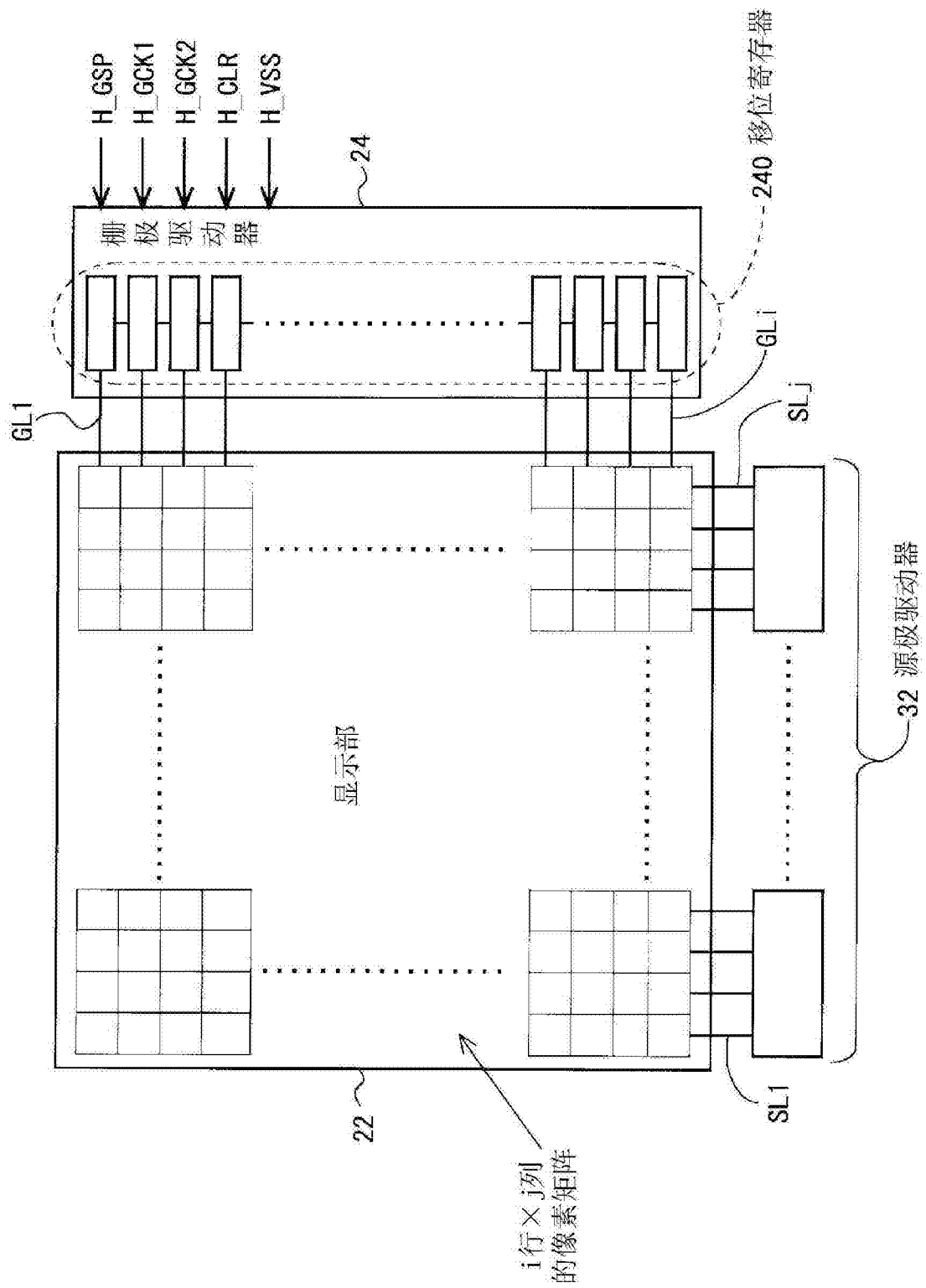


图5

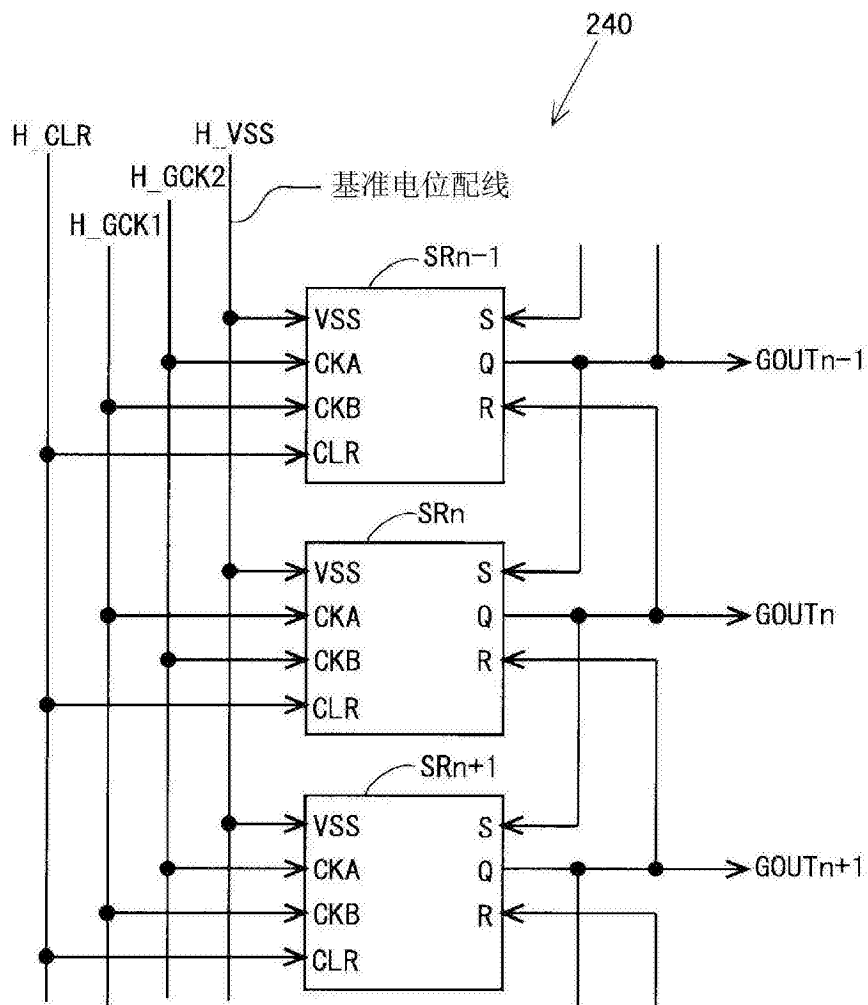


图6

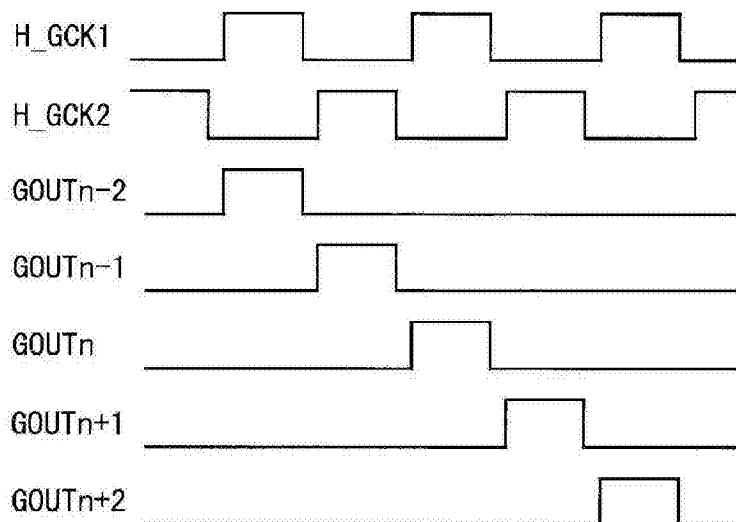


图7

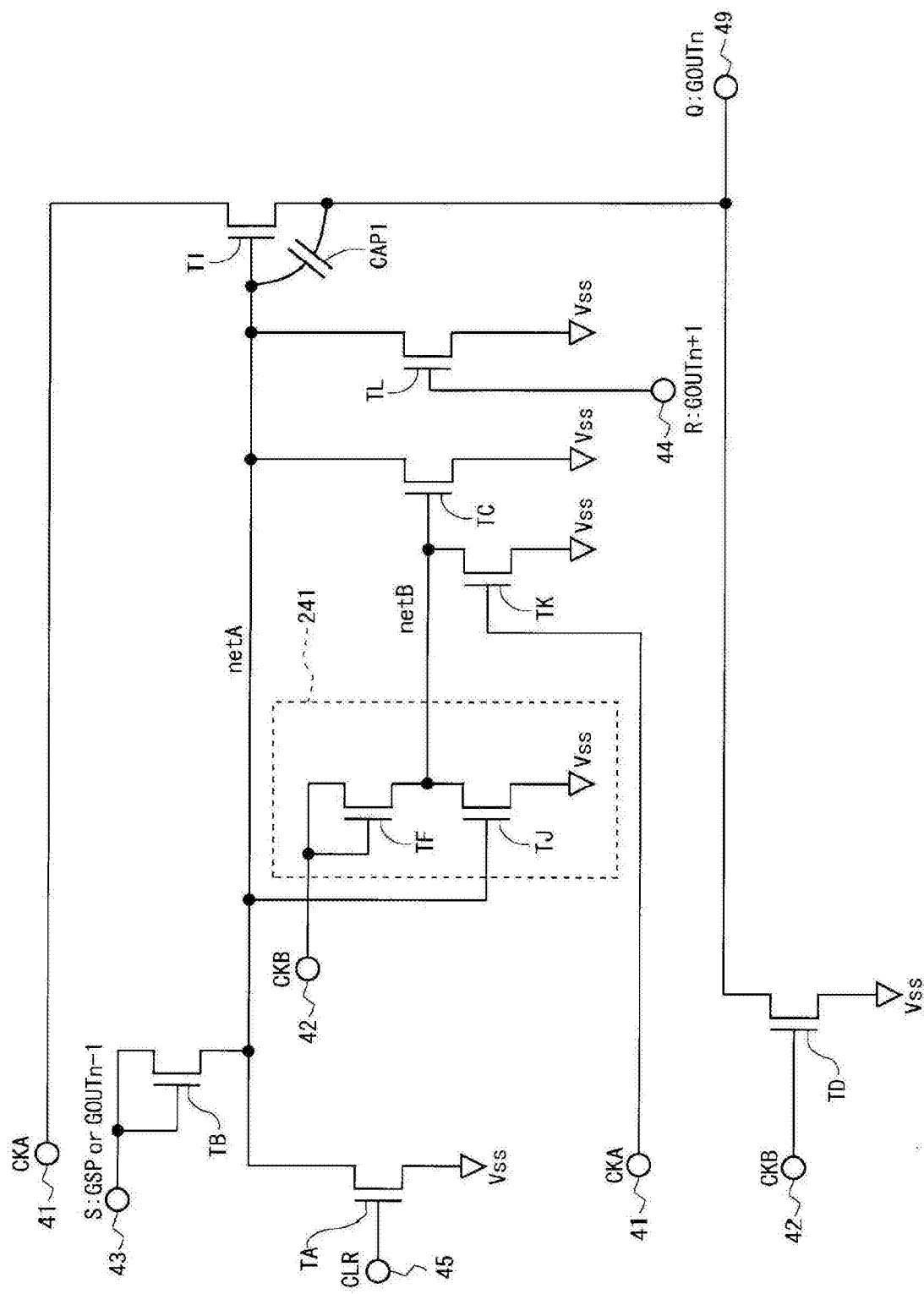


图8

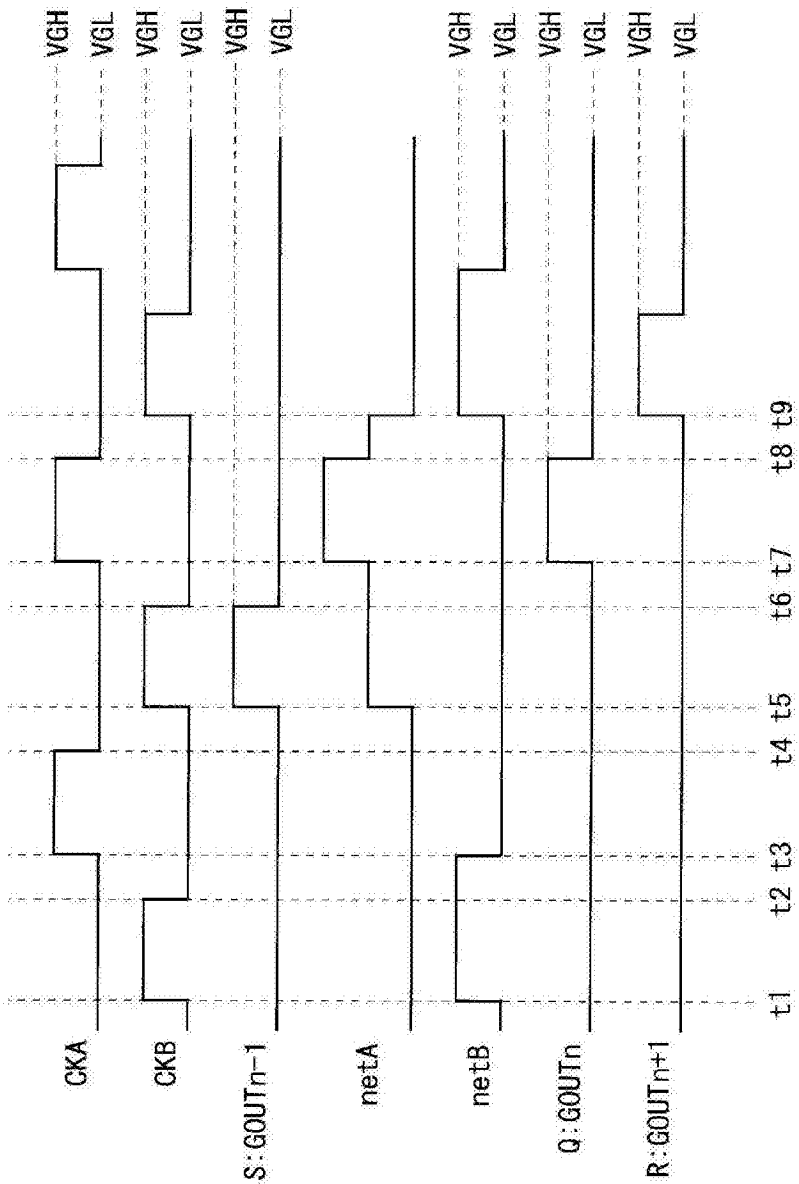


图9

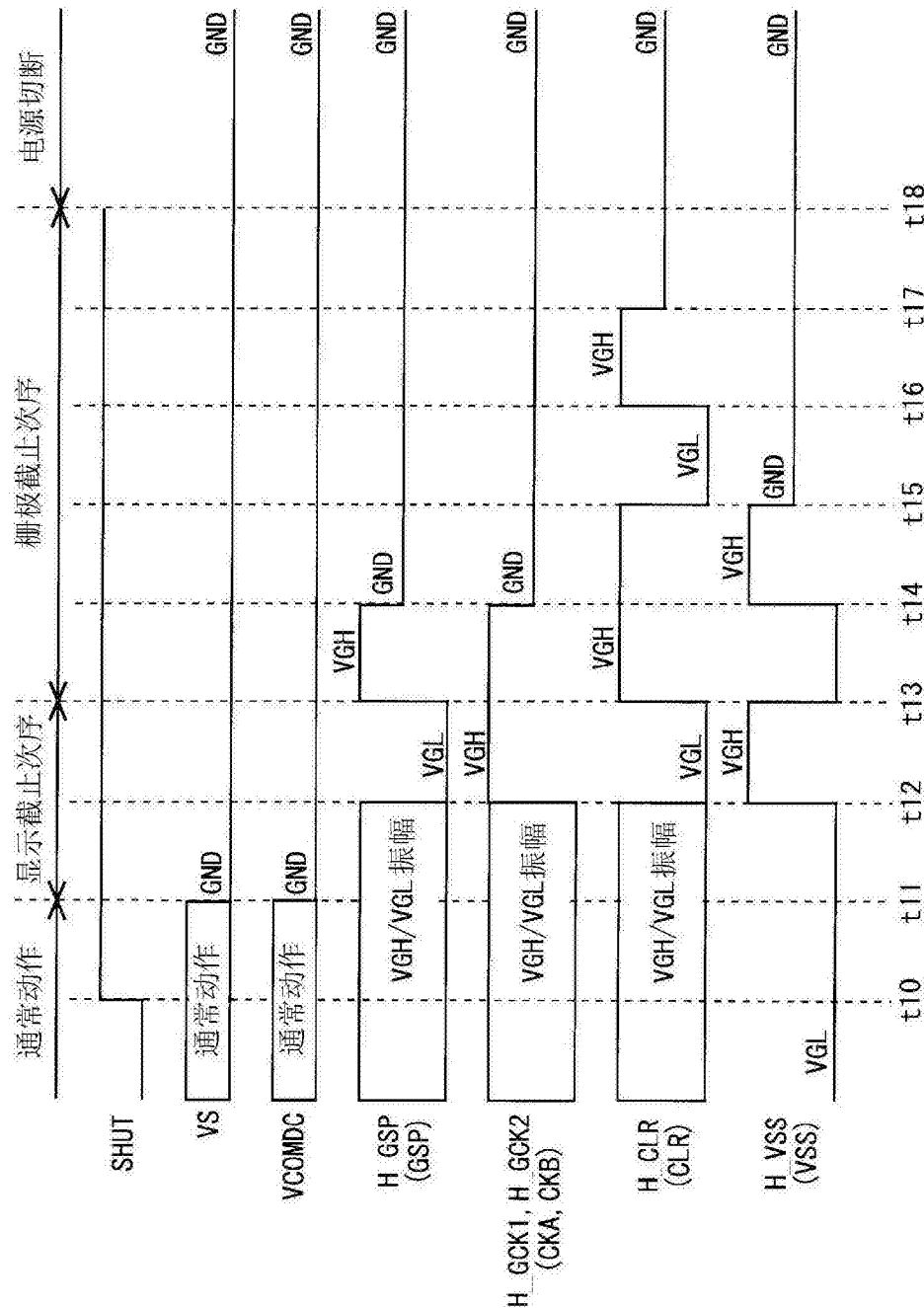


图10

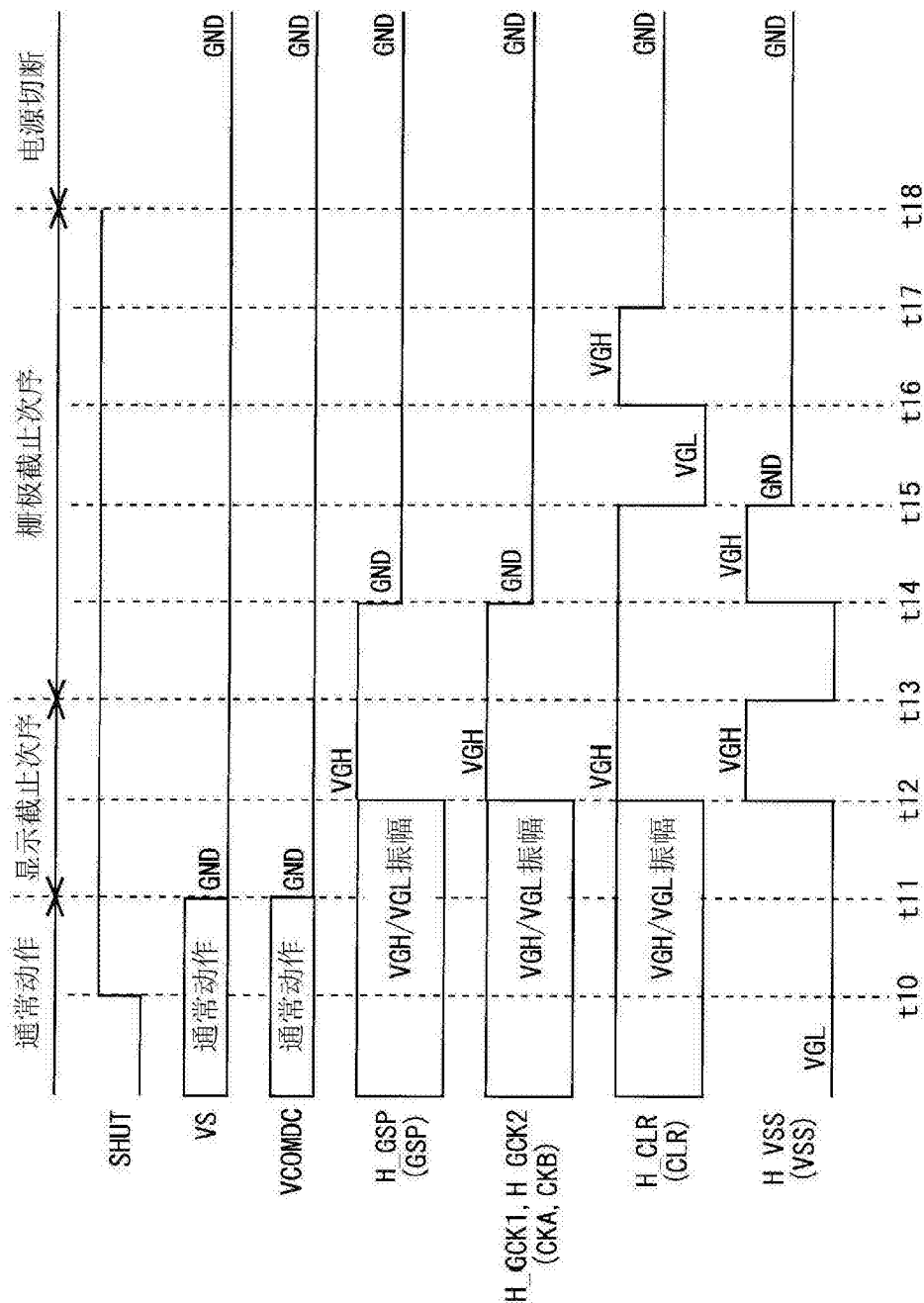


图11

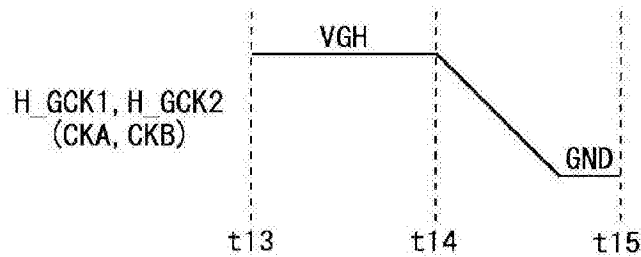


图12

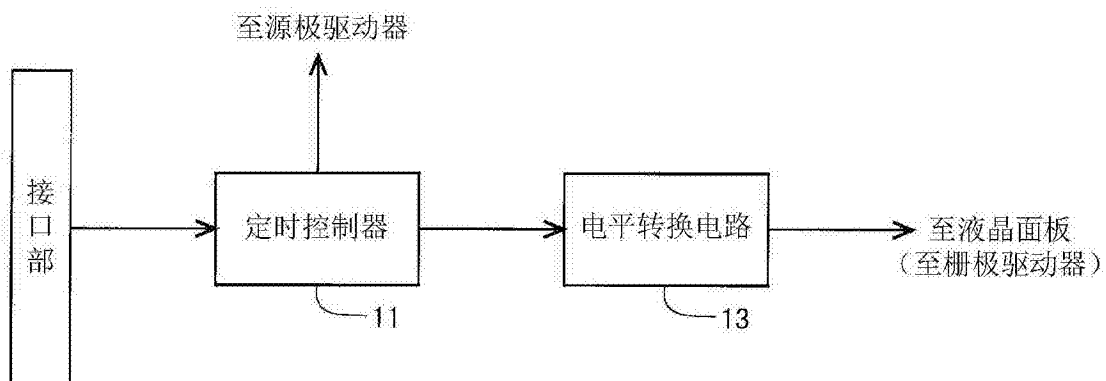


图13

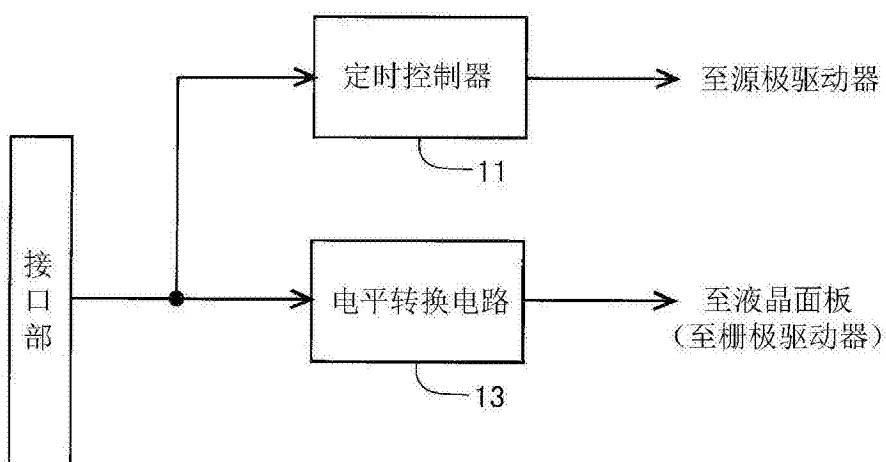


图14

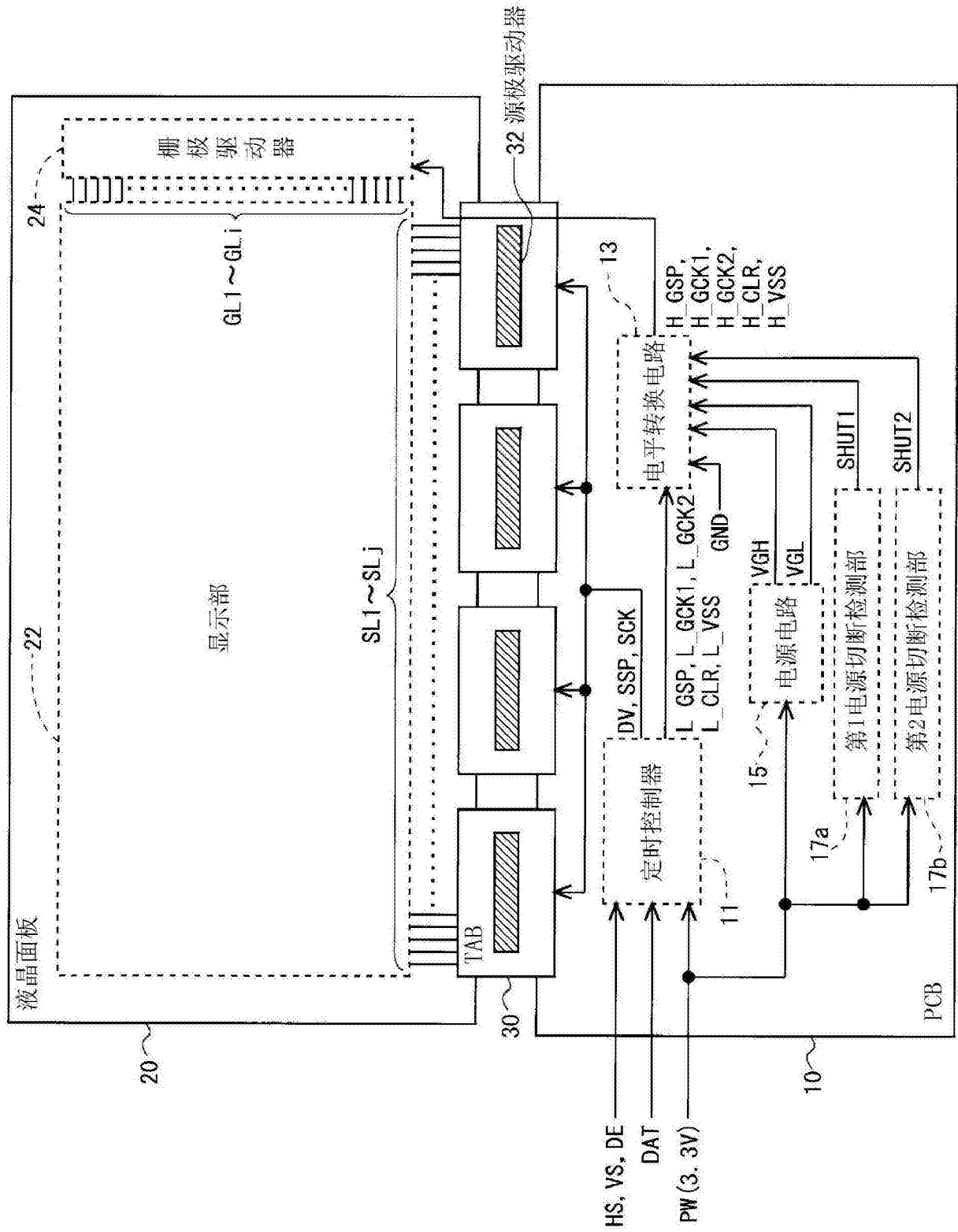


图15

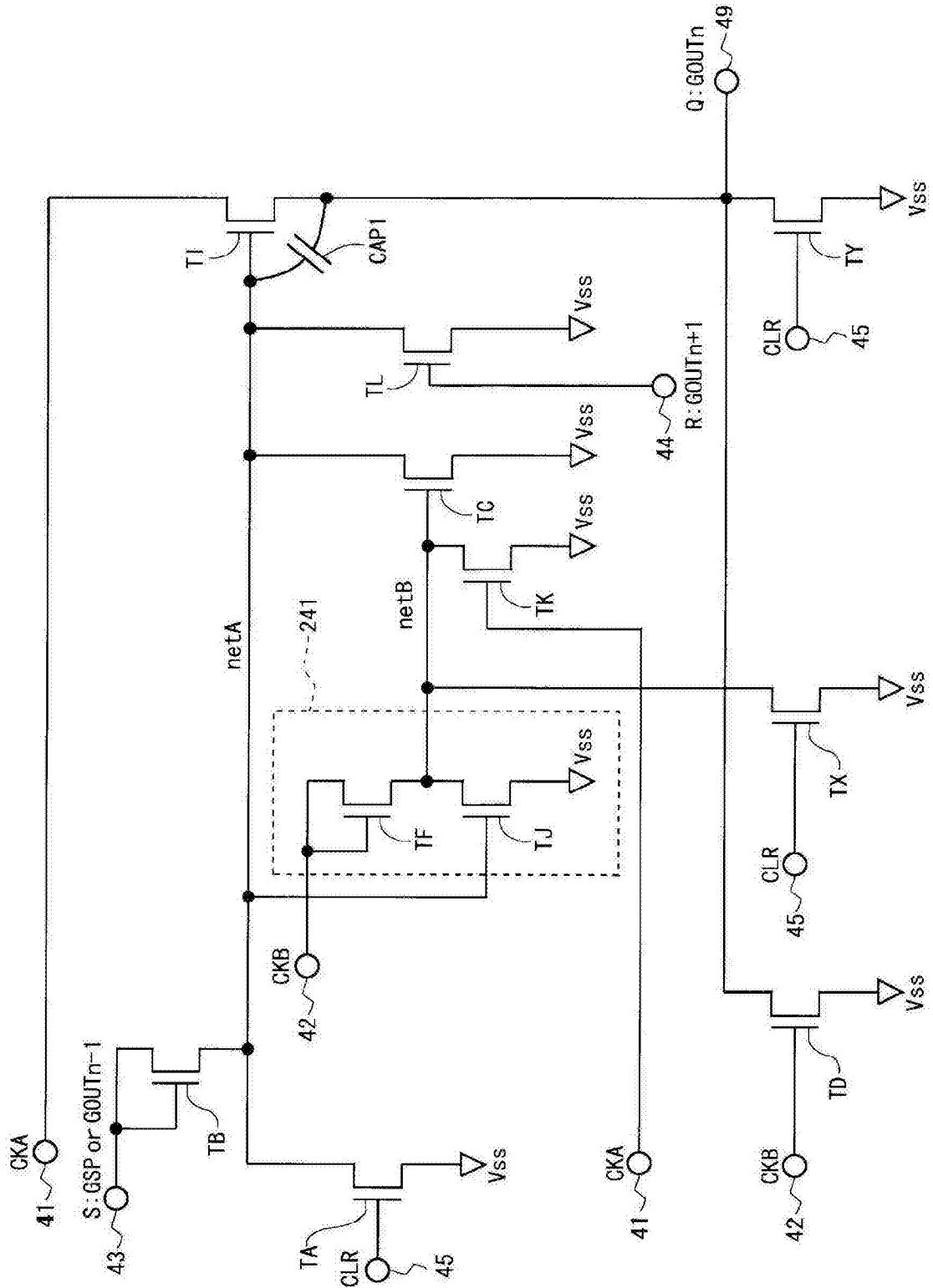


图16

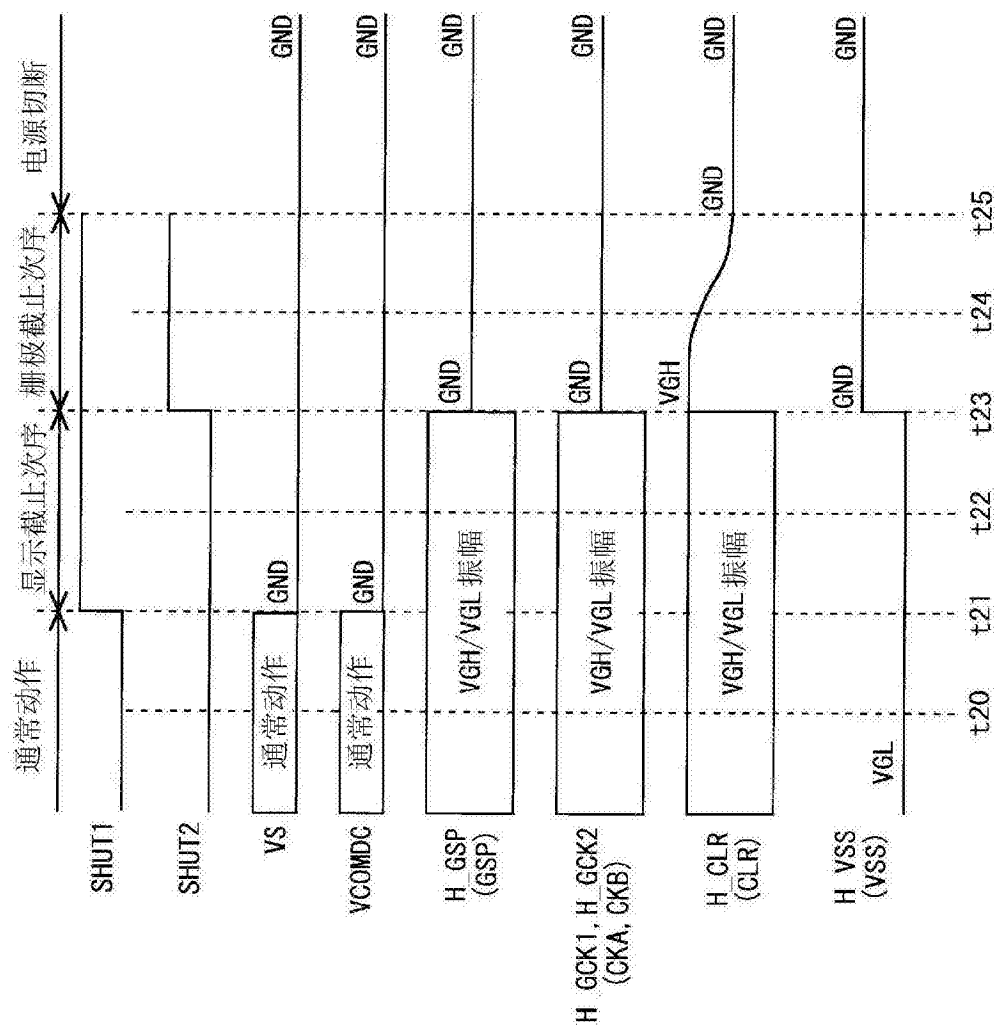


图17

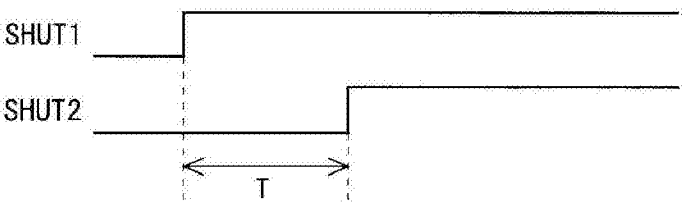


图18

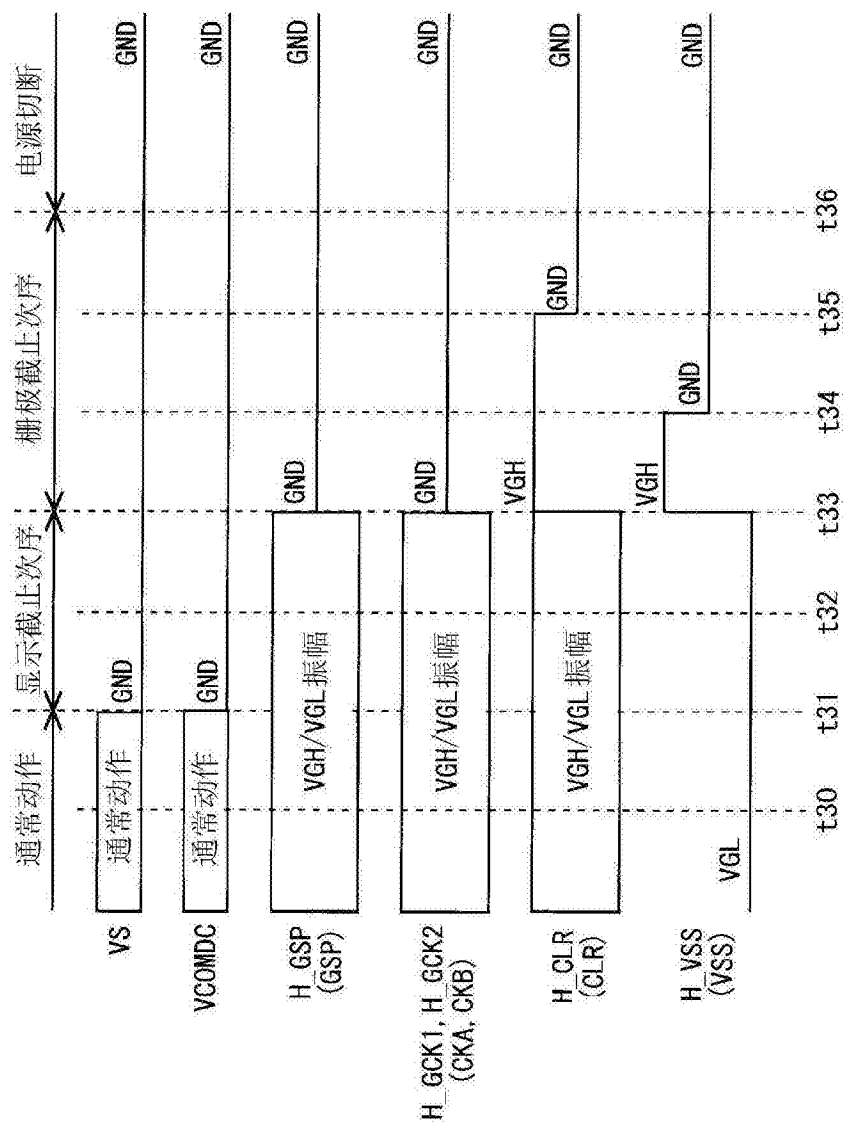


图19

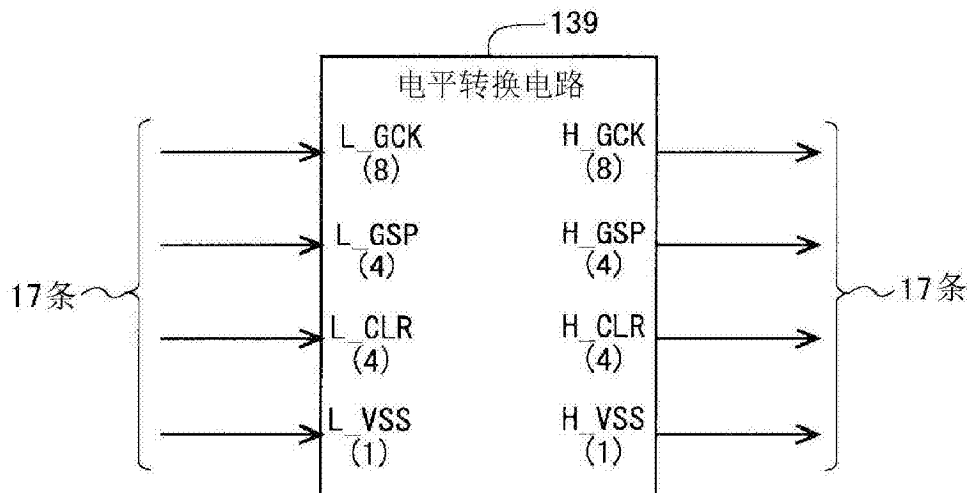


图20

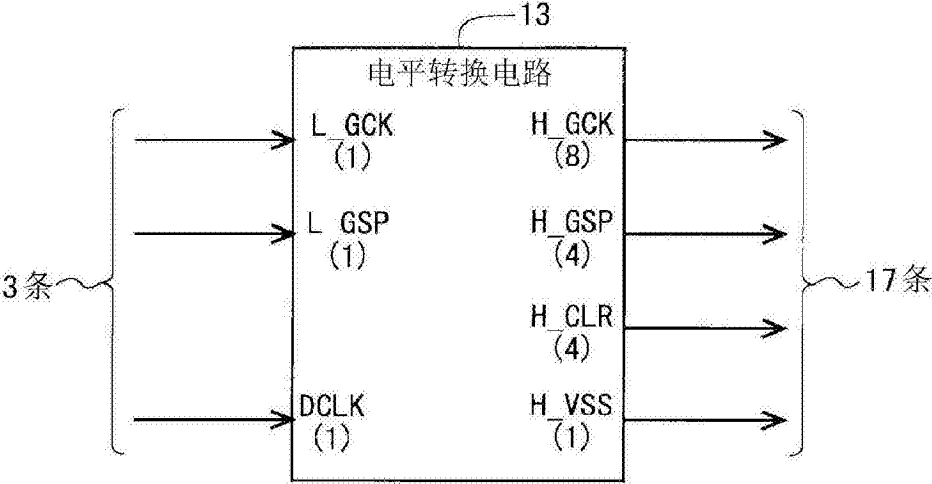


图21

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	CN103703507B	公开(公告)日	2016-04-27
申请号	CN201280037108.7	申请日	2012-08-03
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	森井秀树 岩本明久 堀内智 水永隆行 中南和也		
发明人	森井秀树 岩本明久 堀内智 水永隆行 中南和也		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3611 G09G3/3677 G09G2330/027		
审查员(译)	赵杨		
优先权	2011175324 2011-08-10 JP		
其他公开文献	CN103703507A		
外部链接	Espacenet SIPO		

摘要(译)

提供能够在电源切断时迅速除去面板内的残留电荷的具备IGZO-GDM的液晶显示装置及其驱动方法。构成移位寄存器的各双稳电路具备：薄膜晶体管（TI），其用于基于第1时钟使输出端子的电位上升；区域（netA），其连接到薄膜晶体管（TI）的栅极端子；薄膜晶体管（TC），其用于使区域（netA）的电位下降；以及区域（netB），其连接到薄膜晶体管（TC）的栅极端子。在这样的构成中，电源切断次序包括显示截止次序和栅极截止次序，栅极截止次序至少包含栅极总线放电步骤（t14~t15）、netB放电步骤（t15~t16）、netA放电步骤（t16~t17）。

