



(12) 发明专利申请

(10) 申请公布号 CN 103703507 A

(43) 申请公布日 2014. 04. 02

(21) 申请号 201280037108. 7

代理人 权鲜枝

(22) 申请日 2012. 08. 03

(51) Int. Cl.

(30) 优先权数据

2011-175324 2011. 08. 10 JP

G09G 3/36 (2006. 01)

G02F 1/133 (2006. 01)

G09G 3/20 (2006. 01)

(85) PCT国际申请进入国家阶段日

2014. 01. 26

(86) PCT国际申请的申请数据

PCT/JP2012/069803 2012. 08. 03

(87) PCT国际申请的公布数据

W02013/021930 JA 2013. 02. 14

(71) 申请人 夏普株式会社

地址 日本大阪府

(72) 发明人 森井秀树 岩本明久 堀内智

水永隆行 中南和也

(74) 专利代理机构 北京市隆安律师事务所

11323

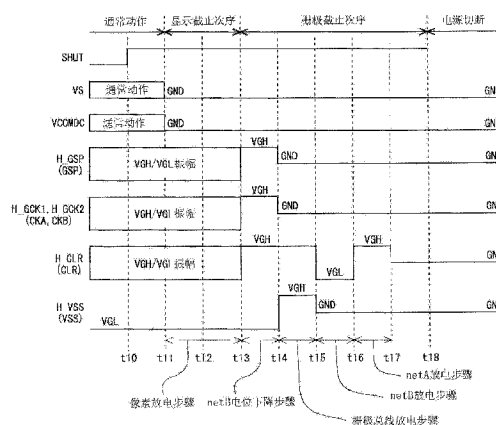
权利要求书4页 说明书19页 附图15页

(54) 发明名称

液晶显示装置及其驱动方法

(57) 摘要

本发明提供能够在电源切断时迅速除去面板内的残留电荷的具备 IGZO-GDM 的液晶显示装置及其驱动方法。构成移位寄存器的各双稳电路具备：薄膜晶体管(TI)，其用于基于第1时钟使输出端子的电位上升；区域(netA)，其连接到薄膜晶体管(TI)的栅极端子；薄膜晶体管(TC)，其用于使区域(netA)的电位下降；以及区域(netB)，其连接到薄膜晶体管(TC)的栅极端子。在这样的构成中，电源切断次序包括显示截止次序和栅极截止次序，栅极截止次序至少包含栅极总线放电步骤(t14~t15)、netB放电步骤(t15~t16)、netA放电步骤(t16~t17)。



1. 一种液晶显示装置，

具有构成显示面板的基板和形成于上述基板上的多个开关元件，构成上述多个开关元件的半导体层采用氧化物半导体，上述液晶显示装置的特征在于，

具备：

多条视频信号线，其传输视频信号；

多条扫描信号线，其与上述多条视频信号线交叉；

多个像素形成部，其与上述多条视频信号线和上述多条扫描信号线对应地配置成矩阵状；

扫描信号线驱动电路，其包含移位寄存器，该移位寄存器包括多个双稳电路，该多个双稳电路以与上述多条扫描信号线一一对应的方式设置并基于时钟信号依次输出脉冲，该扫描信号线驱动电路基于从该移位寄存器输出的脉冲选择性地驱动上述多条扫描信号线；

电源状态检测部，其检测从外部给予的电源的接通 / 切断状态；以及

驱动控制部，其输出上述时钟信号、基准电位以及清除信号，控制上述扫描信号线驱动电路的动作，该基准电位是成为上述多个双稳电路的动作基准的电位，该清除信号用于将上述多个双稳电路的状态初始化，

上述多条视频信号线、上述多条扫描信号线、上述多个像素形成部以及上述扫描信号线驱动电路形成于上述基板上，

各双稳电路具有：

输出节点，其连接到上述扫描信号线；

输出节点控制用开关元件，其第 1 电极上被给予上述时钟信号，第 2 电极连接到上述输出节点，第 3 电极上被给予上述基准电位；

输出控制用开关元件，其第 2 电极上被给予上述时钟信号，第 3 电极连接到上述输出节点；

第 1 节点，其连接到上述输出控制用开关元件的第 1 电极；

第 1 个第 1 节点控制用开关元件，其第 2 电极连接到上述第 1 节点，第 3 电极上被给予上述基准电位；

第 2 个第 1 节点控制用开关元件，其第 1 电极上被给予上述清除信号，第 2 电极连接到上述第 1 节点，第 3 电极上被给予上述基准电位；

第 2 节点，其连接到上述第 1 个第 1 节点控制用开关元件的第 1 电极；以及

第 1 个第 2 节点控制用开关元件，其第 1 电极上被给予上述时钟信号，第 2 电极连接到上述第 2 节点，第 3 电极上被给予上述基准电位，

上述电源状态检测部，当检测到上述电源的切断状态时，将规定的电源切断信号给予上述驱动控制部，

上述驱动控制部，当接收到上述电源切断信号时，控制上述扫描信号线驱动电路的动作来进行使上述像素形成部内的电荷放电的第 1 放电处理，然后，控制上述扫描信号线驱动电路的动作来进行使上述扫描信号线上的电荷、上述第 2 节点的电荷以及上述第 1 节点的电荷放电的第 2 放电处理。

2. 根据权利要求 1 所述的液晶显示装置，其特征在于，

上述第 2 放电处理包括：扫描信号线放电处理，其使上述扫描信号线上的电荷放电；第

1 节点放电处理,其使上述第 1 节点的电荷放电;以及第 2 节点放电处理,其使上述第 2 节点的电荷放电,

上述驱动控制部,

控制上述扫描信号线驱动电路的动作来按上述扫描信号线放电处理、上述第 2 节点放电处理、上述第 1 节点放电处理的顺序进行处理,

在上述扫描信号线放电处理时,使上述时钟信号为接地电位,并且使上述清除信号和上述基准电位为高电平,

在上述第 2 节点放电处理时,使上述清除信号为低电平,并且使上述时钟信号和上述基准电位为接地电位,

在上述第 1 节点放电处理时,使上述清除信号为高电平,并且使上述时钟信号和上述基准电位为接地电位。

3. 根据权利要求 2 所述的液晶显示装置,其特征在于,

上述驱动控制部,在上述扫描信号线放电处理时,使上述时钟信号逐渐地从高电平变为低电平。

4. 根据权利要求 1 所述的液晶显示装置,其特征在于,

各双稳电路还具有:

第 2 个第 2 节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述第 2 节点,第 3 电极上被给予上述基准电位;以及

第 2 输出节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述输出节点,第 3 电极上被给予上述基准电位,

上述驱动控制部,在上述第 2 放电处理时,使上述清除信号为高电平,并且使上述时钟信号和上述基准电位为接地电位。

5. 根据权利要求 1 所述的液晶显示装置,其特征在于,

各双稳电路还具有:第 2 个第 2 节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述第 2 节点,第 3 电极上被给予上述基准电位,

上述驱动控制部,在上述第 2 放电处理时,控制上述扫描信号线驱动电路的动作来进行使上述扫描信号线上的电荷放电的处理,然后,进行使上述第 2 节点的电荷和上述第 1 节点的电荷放电的处理。

6. 根据权利要求 1 所述的液晶显示装置,其特征在于,

各双稳电路还具有:第 2 输出节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述输出节点,第 3 电极上被给予上述基准电位,

上述驱动控制部,在上述第 2 放电处理时,控制上述扫描信号线驱动电路的动作来进行使上述第 2 节点的电荷放电的处理,然后,进行使上述扫描信号线上的电荷和上述第 1 节点的电荷放电的处理。

7. 根据权利要求 1 所述的液晶显示装置,其特征在于,

上述驱动控制部包含将低电压的信号变换为高电压的信号的电平转换电路,

上述电平转换电路包含用于从 1 个时钟信号生成相位相互不同的多个时钟信号的逻辑电路部。

8. 根据权利要求 1 所述的液晶显示装置,其特征在于,

上述驱动控制部包含将低电压的信号变换为高电压的信号的电平转换电路，

上述电平转换电路通过 2 条以上的信号线与定时控制器连接，

通过将上述电平转换电路和上述定时控制器连接的信号线中的 2 条信号线传送的信号是能取得垂直同步的信号和能取得水平同步的信号。

9. 根据权利要求 7 所述的液晶显示装置，其特征在于，

上述电平转换电路还包含输出基本时钟的振荡电路部，

上述逻辑电路部基于从上述振荡电路部输出的基本时钟，生成上述多个时钟信号。

10. 根据权利要求 7 所述的液晶显示装置，其特征在于，

上述电平转换电路还包含输出基本时钟的振荡电路部，

用于生成上述逻辑电路部的定时的非易失性存储器内置于包含电平转换电路的封装 IC。

11. 一种液晶显示装置的驱动方法，

上述液晶显示装置具有：基板，其构成显示面板；多个开关元件，其形成于上述基板上；多条视频信号线，其传输视频信号；多条扫描信号线，其与上述多条视频信号线交叉；多个像素形成部，其与上述多条视频信号线和上述多条扫描信号线对应地配置成矩阵状；扫描信号线驱动电路，其驱动上述多条扫描信号线；以及驱动控制部，其控制上述扫描信号线驱动电路的动作，构成上述多个开关元件的半导体层采用氧化物半导体，上述液晶显示装置的驱动方法的特征在于，

包含：

电源状态检测步骤，检测从外部给予的电源的接通 / 切断状态；以及

电荷放电步骤，使上述显示面板内的电荷放电，

上述多条视频信号线、上述多条扫描信号线、上述多个像素形成部以及上述扫描信号线驱动电路形成于上述基板上，

上述扫描信号线驱动电路包含移位寄存器，该移位寄存器包括多个双稳电路，该多个双稳电路以与上述多条扫描信号线一一对应的方式设置并基于时钟信号依次输出脉冲，

上述驱动控制部输出上述时钟信号、基准电位以及清除信号，该基准电位是成为上述多个双稳电路的动作基准的电位，该清除信号用于将上述多个双稳电路的状态初始化，

各双稳电路具有：

输出节点，其连接到上述扫描信号线；

输出节点控制用开关元件，其第 1 电极上被给予上述时钟信号，第 2 电极连接到上述输出节点，第 3 电极上被给予上述基准电位；

输出控制用开关元件，其第 2 电极上被给予上述时钟信号，第 3 电极连接到上述输出节点；

第 1 节点，其连接到上述输出控制用开关元件的第 1 电极；

第 1 个第 1 节点控制用开关元件，其第 2 电极连接到上述第 1 节点，第 3 电极上被给予上述基准电位；

第 2 个第 1 节点控制用开关元件，其第 1 电极上被给予上述清除信号，第 2 电极连接到上述第 1 节点，第 3 电极上被给予上述基准电位；

第 2 节点，其连接到上述第 1 个第 1 节点控制用开关元件的第 1 电极；以及

第 1 个第 2 节点控制用开关元件,其第 1 电极上被给予上述时钟信号,第 2 电极连接到上述第 2 节点,第 3 电极上被给予上述基准电位,

上述电荷放电步骤包括:

第 1 放电步骤,使上述像素形成部内的电荷放电;以及

第 2 放电步骤,使上述扫描信号线上的电荷、上述第 2 节点的电荷以及上述第 1 节点的电荷放电,

当由上述电源状态检测步骤检测到上述电源的切断状态时,执行上述电荷放电步骤。

12. 根据权利要求 11 所述的液晶显示装置的驱动方法,其特征在于,

上述第 2 放电步骤包括:扫描信号线放电步骤,使上述扫描信号线上的电荷放电;第 1 节点放电步骤,使上述第 1 节点的电荷放电;以及第 2 节点放电步骤,使上述第 2 节点的电荷放电,

上述驱动控制部控制上述扫描信号线驱动电路的动作来按上述扫描信号线放电步骤、上述第 2 节点放电步骤、上述第 1 节点放电步骤的顺序进行处理,

在上述扫描信号线放电步骤中,上述时钟信号被设为接地电位,并且上述清除信号和上述基准电位被设为高电平,

在上述第 2 节点放电步骤中,上述清除信号被设为低电平,并且上述时钟信号和上述基准电位被设为接地电位,

在上述第 1 节点放电步骤中,上述清除信号被设为高电平,并且上述时钟信号和上述基准电位被设为接地电位。

13. 根据权利要求 12 所述的液晶显示装置的驱动方法,其特征在于,

在上述扫描信号线放电步骤中,上述时钟信号逐渐地从高电平变为低电平。

14. 根据权利要求 11 所述的液晶显示装置的驱动方法,其特征在于,

各双稳电路还具有:

第 2 个第 2 节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述第 2 节点,第 3 电极上被给予上述基准电位;以及

第 2 输出节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述输出节点,第 3 电极上被给予上述基准电位,

在上述第 2 放电步骤中,上述清除信号被设为高电平,并且上述时钟信号和上述基准电位被设为接地电位。

15. 根据权利要求 11 所述的液晶显示装置的驱动方法,其特征在于,

各双稳电路还具有:第 2 个第 2 节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述第 2 节点,第 3 电极上被给予上述基准电位,

在上述第 2 放电步骤中,进行使上述扫描信号线上的电荷放电的处理,然后进行使上述第 2 节点的电荷和上述第 1 节点的电荷放电的处理。

16. 根据权利要求 11 所述的液晶显示装置的驱动方法,其特征在于,

各双稳电路还具有:第 2 输出节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述输出节点,第 3 电极上被给予上述基准电位,

在上述第 2 放电步骤中,进行使上述第 2 节点的电荷放电的处理,然后进行使上述扫描信号线上的电荷和上述第 1 节点的电荷放电的处理。

液晶显示装置及其驱动方法

技术领域

[0001] 本发明涉及具备单片化的栅极驱动器的液晶显示装置及其驱动方法,该液晶显示装置具有薄膜晶体管,该薄膜晶体管的半导体层采用氧化物半导体(IGZO)。

背景技术

[0002] 一般来说,有源矩阵型液晶显示装置具备包括夹持液晶层的 2 个基板的液晶面板,在该 2 个基板中的一个基板上,多条栅极总线(扫描信号线)和多条源极总线(视频信号线)配置为格子状,与该多条栅极总线和多条源极总线的交叉点分别对应地设置有配置成矩阵状的多个像素形成部。各像素形成部包含作为开关元件的薄膜晶体管(TFT)、用于保持像素值的像素电容等,上述薄膜晶体管(TFT)的栅极端子连接到通过对应的交叉点的栅极总线,并且源极端子连接到通过该交叉点的源极总线。另外,在上述 2 个基板中的另一基板上设置有共用电极,上述共用电极是共同设置于上述多个像素形成部的相对电极。在有源矩阵型液晶显示装置中,还设置有驱动上述多条栅极总线的栅极驱动器(扫描信号线驱动电路)和驱动上述多条源极总线的源极驱动器(视频信号线驱动电路)。

[0003] 表示像素值的视频信号由源极总线传输,但各源极总线无法同时传输表示多行像素值的视频信号。因此,逐行依次进行视频信号向上述配置成矩阵状的像素形成部内的像素电容的写入。因此,为了使多条栅极总线按每个规定期间依次被选择,栅极驱动器包括含有多级的移位寄存器。

[0004] 在这样的液晶显示装置中,即使使用者切断了电源,有时也无法立即清除显示,而残留如残影这样的图像。其原因是,当装置的电源切断时,像素电容所保持的电荷的放电路径被切断,像素形成部内储存有残留电荷。另外,当在像素形成部内储存有残留电荷的状态下装置的电源接通时,会产生因基于该残留电荷的杂质的偏差而导致的闪烁的产生等显示质量的下降。因此,在电源切断时,例如进行如下处理:使所有的栅极总线成为选择状态(导通状态)而向源极总线施加黑电压,由此使面板上的电荷放电。

[0005] 另外,关于液晶显示装置,近年来,栅极驱动器的单片化在进展。以往,栅极驱动器大多作为 IC(Integrated Circuit:集成电路)芯片搭载于构成液晶面板的基板的周边部,但近年来,在基板上直接形成栅极驱动器的情况逐渐增多。这样的栅极驱动器称为“单片栅极驱动器”等。另外,具备单片栅极驱动器的面板称为“栅极驱动器单片面板”等。

[0006] 在栅极驱动器单片面板中,关于面板上的电荷的放电,无法采用上述的方法。因此,在国际公开 2011/055584 号小册子中公开了如下液晶显示装置的发明。在栅极驱动器内的构成移位寄存器的双稳电路中设置有薄膜晶体管,该薄膜晶体管具有连接到栅极总线的漏极端子、连接到传输基准电位的基准电位配线的源极端子和被给予使移位寄存器动作的时钟信号的栅极端子。在这样的构成中,当来自外部的电源电压的供应被切断时,使时钟信号成为高电平来使上述薄膜晶体管成为导通状态,并且将基准电位的电平从栅极截止电位提升至栅极导通电位。由此,使各栅极总线的电位提升至栅极导通电位,使所有的像素形成部内的残留电荷放电。

[0007] 现有技术文献

[0008] 专利文献

[0009] 专利文献 1 : 国际公开 2011/055584 号小册子

发明内容

[0010] 发明要解决的问题

[0011] 此外,近年来,IGZO-TFT 液晶面板(薄膜晶体管的半导体层采用作为一种氧化物半导体的 IGZO 的液晶面板)的开发在进展。在 IGZO-TFT 液晶面板中,单片化的栅极驱动器的开发也在推进。此外,以下,将设置于 IGZO-TFT 液晶面板的单片栅极驱动器称为“IGZO-GDM”。a-SiTFT 的截止特性不好,因此,在 a-SiTFT 液晶面板中,像素形成部以外的部分的悬浮电荷在数秒内放电。因此,在 a-SiTFT 液晶面板中,像素形成部以外的部分的悬浮电荷不会特别成为问题。此外,IGZO-TFT 不仅导通特性优异,截止特性也优异。特别是,栅极的偏置电压为 0V (即无偏置)时的截止特性明显优于 a-SiTFT,因此,与 TFT 连接的节点的悬浮电荷不会在栅极截止时经由该 TFT 放电。其结果是,电荷长时间残留于电路内。据估算,在采用后述的图 8 所示的构成的 IGZO-GDM 中,netA 上的悬浮电荷的放电所需的时间为数小时(数千秒~数万秒)。另外,根据 IGZO-GDM 的 BT (Bias Temperature : 偏置温度)压力测试,IGZO-TFT 的阈值漂移的大小在 1 小时内为数 V。由此可知,IGZO-GDM 中残留电荷的存在成为 IGZO-TFT 的阈值漂移的关键因素。根据上述,当在 IGZO-GDM 的移位寄存器中移位动作在中途停止时,有可能仅在某 1 级中发生 TFT 的阈值漂移。其结果是,移位寄存器无法正常动作,无法在画面上进行图像显示。

[0012] 另外,在栅极驱动器为 IC 芯片的情况下,面板内的 TFT 仅为像素形成部内的 TFT。因此,在电源切断时只要使像素形成部内的电荷和栅极总线上的电荷放电就够了。然而,在单片栅极驱动器的情况下,作为面板内的 TFT,栅极驱动器内也存在 TFT。并且,例如在图 8 所示的构成中,存在用附图标记 netA 和附图标记 netB 表示的 2 个悬浮节点。因此,在 IGZO-GDM 中,在电源切断时,需要使像素形成部内的电荷、栅极总线上的电荷、netA 上的电荷以及 netB 上的电荷放电。

[0013] 因此,本发明目的在于,提供具备能够在电源切断时迅速除去面板内的残留电荷的 IGZO-GDM 的液晶显示装置及其驱动方法。

[0014] 用于解决问题的方案

[0015] 本发明的第 1 方面是液晶显示装置,具有构成显示面板的基板和形成于上述基板上的多个开关元件,构成上述多个开关元件的半导体层采用氧化物半导体,上述液晶显示装置的特征在于,

[0016] 具备 :

[0017] 多条视频信号线,其传输视频信号 ;

[0018] 多条扫描信号线,其与上述多条视频信号线交叉 ;

[0019] 多个像素形成部,其与上述多条视频信号线和上述多条扫描信号线对应地配置成矩阵状 ;

[0020] 扫描信号线驱动电路,其包含移位寄存器,该移位寄存器包括多个双稳电路,该多个双稳电路以与上述多条扫描信号线一一对应的方式设置并基于时钟信号依次输出脉冲,

该扫描信号线驱动电路基于从该移位寄存器输出的脉冲选择性地驱动上述多条扫描信号线；

[0021] 电源状态检测部，其检测从外部给予的电源的接通 / 切断状态；以及

[0022] 驱动控制部，其输出上述时钟信号、基准电位以及清除信号，控制上述扫描信号线驱动电路的动作，该基准电位是成为上述多个双稳电路的动作基准的电位，该清除信号用于将上述多个双稳电路的状态初始化，

[0023] 上述多条视频信号线、上述多条扫描信号线、上述多条像素形成部以及上述扫描信号线驱动电路形成于上述基板上，

[0024] 各双稳电路具有：

[0025] 输出节点，其连接到上述扫描信号线；

[0026] 输出节点控制用开关元件，其第 1 电极上被给予上述时钟信号，第 2 电极连接到上述输出节点，第 3 电极上被给予上述基准电位；

[0027] 输出控制用开关元件，其第 2 电极上被给予上述时钟信号，第 3 电极连接到上述输出节点；

[0028] 第 1 节点，其连接到上述输出控制用开关元件的第 1 电极；

[0029] 第 1 个第 1 节点控制用开关元件，其第 2 电极连接到上述第 1 节点，第 3 电极上被给予上述基准电位；

[0030] 第 2 个第 1 节点控制用开关元件，其第 1 电极上被给予上述清除信号，第 2 电极连接到上述第 1 节点，第 3 电极上被给予上述基准电位；

[0031] 第 2 节点，其连接到上述第 1 个第 1 节点控制用开关元件的第 1 电极；以及

[0032] 第 1 个第 2 节点控制用开关元件，其第 1 电极上被给予上述时钟信号，第 2 电极连接到上述第 2 节点，第 3 电极上被给予上述基准电位，

[0033] 上述电源状态检测部，当检测到上述电源的切断状态时，将规定的电源切断信号给予上述驱动控制部，

[0034] 上述驱动控制部，当接收到上述电源切断信号时，控制上述扫描信号线驱动电路的动作来进行使上述像素形成部内的电荷放电的第 1 放电处理，然后，控制上述扫描信号线驱动电路的动作来进行使上述扫描信号线上的电荷、上述第 2 节点的电荷以及上述第 1 节点的电荷放电的第 2 放电处理。

[0035] 本发明的第 2 方面的特征在于，在本发明的第 1 方面中，

[0036] 上述第 2 放电处理包括：扫描信号线放电处理，其使上述扫描信号线上的电荷放电；第 1 节点放电处理，其使上述第 1 节点的电荷放电；以及第 2 节点放电处理，其使上述第 2 节点的电荷放电，

[0037] 上述驱动控制部，

[0038] 控制上述扫描信号线驱动电路的动作来按上述扫描信号线放电处理、上述第 2 节点放电处理、上述第 1 节点放电处理的顺序进行处理，

[0039] 在上述扫描信号线放电处理时，使上述时钟信号为接地电位，并且使上述清除信号和上述基准电位为高电平，

[0040] 在上述第 2 节点放电处理时，使上述清除信号为低电平，并且使上述时钟信号和上述基准电位为接地电位，

[0041] 在上述第 1 节点放电处理时,使上述清除信号为高电平,并且使上述时钟信号和上述基准电位为接地电位。

[0042] 本发明的第 3 方面的特征在于,在本发明的第 2 方面中,

[0043] 上述驱动控制部,在上述扫描信号线放电处理时,使上述时钟信号逐渐地从高电平变为低电平。

[0044] 本发明的第 4 方面的特征在于,在本发明的第 1 方面中,

[0045] 各双稳电路还具有:

[0046] 第 2 个第 2 节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述第 2 节点,第 3 电极上被给予上述基准电位;以及

[0047] 第 2 输出节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述输出节点,第 3 电极上被给予上述基准电位,

[0048] 上述驱动控制部,在上述第 2 放电处理时,使上述清除信号为高电平,并且使上述时钟信号和上述基准电位为接地电位。

[0049] 本发明的第 5 方面的特征在于,在本发明的第 1 方面中,

[0050] 各双稳电路还具有:第 2 个第 2 节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述第 2 节点,第 3 电极上被给予上述基准电位,

[0051] 上述驱动控制部,在上述第 2 放电处理时,控制上述扫描信号线驱动电路的动作来进行使上述扫描信号线上的电荷放电的处理,然后,进行使上述第 2 节点的电荷和上述第 1 节点的电荷放电的处理。

[0052] 本发明的第 6 方面的特征在于,在本发明的第 1 方面中,

[0053] 各双稳电路还具有:第 2 输出节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述输出节点,第 3 电极上被给予上述基准电位,

[0054] 上述驱动控制部,在上述第 2 放电处理时,控制上述扫描信号线驱动电路的动作来进行使上述第 2 节点的电荷放电的处理,然后,进行使上述扫描信号线上的电荷和上述第 1 节点的电荷放电的处理。

[0055] 本发明的第 7 方面的特征在于,在本发明的第 1 方面中,

[0056] 上述驱动控制部包含将低电压的信号变换为高电压的信号的电平转换电路,

[0057] 上述电平转换电路包含用于从 1 个时钟信号生成相位相互不同的多个时钟信号的逻辑电路部。

[0058] 本发明的第 8 方面的特征在于,在本发明的第 1 方面中,

[0059] 上述驱动控制部包含将低电压的信号变换为高电压的信号的电平转换电路,

[0060] 上述电平转换电路通过 2 条以上的信号线与定时控制器连接,

[0061] 通过将上述电平转换电路和上述定时控制器连接的信号线中的 2 条信号线传送的信号是能取得垂直同步的信号和能取得水平同步的信号。

[0062] 本发明的第 9 方面的特征在于,在本发明的第 7 方面中,

[0063] 上述电平转换电路还包含输出基本时钟的振荡电路部,

[0064] 上述逻辑电路部基于从上述振荡电路部输出的基本时钟,生成上述多个时钟信号。

[0065] 本发明的第 10 方面的特征在于,在本发明的第 7 方面中,

[0066] 上述电平转换电路还包含输出基本时钟的振荡电路部，

[0067] 用于生成上述逻辑电路部的定时的非易失性存储器内置于包含电平转换电路的封装 IC。

[0068] 本发明的第 11 方面是液晶显示装置的驱动方法，上述液晶显示装置具有：基板，其构成显示面板；多个开关元件，其形成于上述基板上；多条视频信号线，其传输视频信号；多条扫描信号线，其与上述多条视频信号线交叉；多个像素形成部，其与上述多条视频信号线和上述多条扫描信号线对应地配置成矩阵状；扫描信号线驱动电路，其驱动上述多条扫描信号线；以及驱动控制部，其控制上述扫描信号线驱动电路的动作，构成上述多个开关元件的半导体层采用氧化物半导体，上述液晶显示装置的驱动方法的特征在于，

[0069] 包含：

[0070] 电源状态检测步骤，检测从外部给予的电源的接通 / 切断状态；以及

[0071] 电荷放电步骤，使上述显示面板内的电荷放电，

[0072] 上述多条视频信号线、上述多条扫描信号线、上述多个像素形成部以及上述扫描信号线驱动电路形成于上述基板上，

[0073] 上述扫描信号线驱动电路包含移位寄存器，该移位寄存器包括多个双稳电路，该多个双稳电路以与上述多条扫描信号线一一对应的方式设置并基于时钟信号依次输出脉冲，

[0074] 上述驱动控制部输出上述时钟信号、基准电位以及清除信号，该基准电位是成为上述多个双稳电路的动作基准的电位，该清除信号用于将上述多个双稳电路的状态初始化，

[0075] 各双稳电路具有：

[0076] 输出节点，其连接到上述扫描信号线；

[0077] 输出节点控制用开关元件，其第 1 电极上被给予上述时钟信号，第 2 电极连接到上述输出节点，第 3 电极上被给予上述基准电位；

[0078] 输出控制用开关元件，其第 2 电极上被给予上述时钟信号，第 3 电极连接到上述输出节点；

[0079] 第 1 节点，其连接到上述输出控制用开关元件的第 1 电极；

[0080] 第 1 个第 1 节点控制用开关元件，其第 2 电极连接到上述第 1 节点，第 3 电极上被给予上述基准电位；

[0081] 第 2 个第 1 节点控制用开关元件，其第 1 电极上被给予上述清除信号，第 2 电极连接到上述第 1 节点，第 3 电极上被给予上述基准电位；

[0082] 第 2 节点，其连接到上述第 1 个第 1 节点控制用开关元件的第 1 电极；以及

[0083] 第 1 个第 2 节点控制用开关元件，其第 1 电极上被给予上述时钟信号，第 2 电极连接到上述第 2 节点，第 3 电极上被给予上述基准电位，

[0084] 上述电荷放电步骤包括：

[0085] 第 1 放电步骤，使上述像素形成部内的电荷放电；以及

[0086] 第 2 放电步骤，使上述扫描信号线上的电荷、上述第 2 节点的电荷以及上述第 1 节点的电荷放电，

[0087] 当由上述电源状态检测步骤检测到上述电源的切断状态时，执行上述电荷放电步

骤。

[0088] 本发明的第 12 方面的特征在于,在本发明的第 11 方面中,

[0089] 上述第 2 放电步骤包括:扫描信号线放电步骤,使上述扫描信号线上的电荷放电;第 1 节点放电步骤,使上述第 1 节点的电荷放电;以及第 2 节点放电步骤,使上述第 2 节点的电荷放电,

[0090] 上述驱动控制部控制上述扫描信号线驱动电路的动作来按上述扫描信号线放电步骤、上述第 2 节点放电步骤、上述第 1 节点放电步骤的顺序进行处理,

[0091] 在上述扫描信号线放电步骤中,上述时钟信号被设为接地电位,并且上述清除信号和上述基准电位被设为高电平,

[0092] 在上述第 2 节点放电步骤中,上述清除信号被设为低电平,并且上述时钟信号和上述基准电位被设为接地电位,

[0093] 在上述第 1 节点放电步骤中,上述清除信号被设为高电平,并且上述时钟信号和上述基准电位被设为接地电位。

[0094] 本发明的第 13 方面的特征在于,在本发明的第 12 方面中,

[0095] 在上述扫描信号线放电步骤中,上述时钟信号逐渐地从高电平变为低电平。

[0096] 本发明的第 14 方面的特征在于,在本发明的第 11 方面中,

[0097] 各双稳电路还具有:

[0098] 第 2 个第 2 节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述第 2 节点,第 3 电极上被给予上述基准电位;以及

[0099] 第 2 输出节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述输出节点,第 3 电极上被给予上述基准电位,

[0100] 在上述第 2 放电步骤中,上述清除信号被设为高电平,并且上述时钟信号和上述基准电位被设为接地电位。

[0101] 本发明的第 15 方面的特征在于,在本发明的第 11 方面中,

[0102] 各双稳电路还具有:第 2 个第 2 节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述第 2 节点,第 3 电极上被给予上述基准电位,

[0103] 在上述第 2 放电步骤中,进行使上述扫描信号线上的电荷放电的处理,然后进行使上述第 2 节点的电荷和上述第 1 节点的电荷放电的处理。

[0104] 本发明的第 16 方面的特征在于,在本发明的第 11 方面中,

[0105] 各双稳电路还具有:第 2 输出节点控制用开关元件,其第 1 电极上被给予上述清除信号,第 2 电极连接到上述输出节点,第 3 电极上被给予上述基准电位,

[0106] 在上述第 2 放电步骤中,进行使上述第 2 节点的电荷放电的处理,然后进行使上述扫描信号线上的电荷和上述第 1 节点的电荷放电的处理。

[0107] 发明效果

[0108] 根据本发明的第 1 方面,在具备 IGZO-GDM 的液晶显示装置中,在电源电压 PW 的供应被切断时,首先使像素形成部内的电荷放电,其后使扫描信号线上的电荷、构成移位寄存器的双稳电路内的第 1 节点/第 2 节点上的电荷放电。由此,在电源切断时迅速除去面板内的残留电荷,抑制因面板内的残留电荷的存在而导致的显示不良/动作不良的发生。

[0109] 根据本发明的第 2 方面,在扫描信号线放电处理时,在时钟信号为接地电位的状

态下输出控制用开关元件成为导通状态。在输出控制用开关元件中,第2电极上被给予时钟信号,第3电极连接到输出节点,因此,扫描信号线上的电荷被放电。另外,在第2节点放电处理时,在基准电位为接地电位的状态下第1个第2节点控制用开关元件成为导通状态。在第1个第2节点控制用开关元件中,第2电极连接到第2节点,第3电极上被给予基准电位,因此,第2节点的电荷被放电。而且,在第1节点放电处理时,在基准电位为接地电位的状态下第2个第1节点控制用开关元件成为导通状态。在第2个第1节点控制用开关元件中,第2电极连接到第1节点,第3电极上被给予基准电位,因此,第1节点的电荷被放电。如此,在电源切断时,面板内的各节点等的电荷依次被迅速除去。

[0110] 根据本发明的第3方面,在扫描信号线放电处理时,扫描信号线的电位缓缓地下降。因此,在各像素形成部中因馈通电压的影响而导致像素电极电位下降这一情况被抑制。

[0111] 根据本发明的第4方面,在第2放电处理时清除信号成为高电平,由此,第2个第1节点控制用开关元件、第2个第2节点控制用开关元件以及第2输出节点控制用开关元件成为导通状态。在第2个第1节点控制用开关元件中,第2电极连接到第1节点,第3电极上被给予基准电位。在第2个第2节点控制用开关元件中,第2电极连接到第2节点,第3电极上被给予基准电位。在第2输出节点控制用开关元件中,第2电极连接到输出节点,第3电极上被给予基准电位。另外,在第2放电处理时,基准电位被设为接地电位。由此,在第2放电处理时,通过1个步骤使第1节点的电荷、第2节点的电荷以及扫描信号线上的电荷放电。

[0112] 根据本发明的第5方面,在第2放电处理时,通过比本发明的第1方面少的步骤,使第1节点的电荷、第2节点的电荷以及扫描信号线上的电荷放电。

[0113] 根据本发明的第6方面,在第2放电处理时,通过比本发明的第1方面少的步骤,使第1节点的电荷、第2节点的电荷以及扫描信号线上的电荷放电。

[0114] 根据本发明的第7方面,需要给予电平转换电路的输入信号的数量比以往少。由此,能降低成本,使封装小型化。

[0115] 根据本发明的第8方面,与本发明的第7方面同样,需要给予电平转换电路的输入信号的数量比以往少。由此,能降低成本,使封装小型化。

[0116] 根据本发明的第9方面,能比较容易地实现复杂的电源切断次序。

[0117] 根据本发明的第10方面,与本发明的第9方面同样,能比较容易地实现复杂的电源切断次序。

[0118] 根据本发明的第11方面,能够在液晶显示装置的驱动方法的发明中取得与本发明的第1方面同样的效果。

[0119] 根据本发明的第12方面,能够在液晶显示装置的驱动方法的发明中取得与本发明的第2方面同样的效果。

[0120] 根据本发明的第13方面,能够在液晶显示装置的驱动方法的发明中取得与本发明的第3方面同样的效果。

[0121] 根据本发明的第14方面,能够在液晶显示装置的驱动方法的发明中取得与本发明的第4方面同样的效果。

[0122] 根据本发明的第15方面,能够在液晶显示装置的驱动方法的发明中取得与本发明的第5方面同样的效果。

[0123] 根据本发明的第 16 方面,能够在液晶显示装置的驱动方法的发明中取得与本发明的第 6 方面同样的效果。

附图说明

[0124] 图 1 是用于说明本发明的第 1 实施方式所涉及的有源矩阵型液晶显示装置的电源切断时的动作的信号波形图。

[0125] 图 2 是示出上述第 1 实施方式中液晶显示装置的整体构成的框图。

[0126] 图 3 是示出上述第 1 实施方式中像素形成部的构成的电路图。

[0127] 图 4 是示出上述第 1 实施方式中电平转换电路的构成的框图。

[0128] 图 5 是用于说明上述第 1 实施方式中栅极驱动器的构成的框图。

[0129] 图 6 是示出上述第 1 实施方式中栅极驱动器内的移位寄存器的构成的框图。

[0130] 图 7 是用于说明上述第 1 实施方式中栅极驱动器的动作的信号波形图。

[0131] 图 8 是示出上述第 1 实施方式中移位寄存器所包含的双稳电路的构成的电路图。

[0132] 图 9 是用于说明上述第 1 实施方式中双稳电路的动作的信号波形图。

[0133] 图 10 是用于说明关于显示截止次序的上述第 1 实施方式的变形例的信号波形图。

[0134] 图 11 是用于说明关于显示截止次序的上述第 1 实施方式的其它变形例的信号波形图。

[0135] 图 12 是用于说明上述第 1 实施方式的变形例中抑制馈通电压的影响的方法的信号波形图。

[0136] 图 13 是示意性示出上述第 1 实施方式中的电平转换电路附近的构成的框图。

[0137] 图 14 是示意性示出上述第 1 实施方式的变形例中的电平转换电路附近的构成的框图。

[0138] 图 15 是示出本发明的第 2 实施方式所涉及的有源矩阵型液晶显示装置的整体构成的框图。

[0139] 图 16 是示出上述第 2 实施方式中移位寄存器所包含的双稳电路的构成的电路图。

[0140] 图 17 是用于说明上述第 2 实施方式的电源切断时的动作的信号波形图。

[0141] 图 18 是用于说明上述第 2 实施方式中定时的生成的信号波形图。

[0142] 图 19 是用于说明上述第 2 实施方式的变形例的电源切断时的动作的信号波形图。

[0143] 图 20 是用于说明现有构成的电平转换电路的输入输出信号的图。

[0144] 图 21 是用于说明具备定时生成逻辑部的电平转换电路的输入输出信号的图。

具体实施方式

[0145] 以下,一边参照附图,一边说明本发明的实施方式。此外,在以下的说明中,薄膜晶体管的栅极端子(栅极电极)相当于第 1 电极,漏极端子(漏极电极)相当于第 2 电极,源极端子(源极电极)相当于第 3 电极。另外,将设置于双稳电路内的薄膜晶体管均设为 n 沟道型进行说明。

[0146] < 1. 第 1 实施方式 >

[0147] < 1.1 整体构成和动作 >

[0148] 图 2 是示出本发明的第 1 实施方式所涉及的有源矩阵型液晶显示装置的整体构成

的框图。如图 2 所示,该液晶显示装置包括:液晶面板(显示面板) 20;PCB(印刷电路基板) 10;以及 TAB(Tape Automated Bonding)30,其连接到液晶面板 20 和 PCB10。此外,液晶面板 20 是 IGZO-TFT 液晶面板。另外,TAB30 是主要在中型用至大型用的液晶面板中采用的安装方式,在小型用至中型用的液晶面板中,作为源极驱动器的安装方式,有时也采用 COG 安装。此外,近来,也已逐渐使用将源极驱动器 32、定时控制器 11、电源电路 15、电源切断检测部 17 以及电平转换电路 13 形成于 1 个芯片而成的系统驱动器构成。

[0149] 液晶面板 20 包括相对的 2 个基板(典型的是玻璃基板,但不限于玻璃基板),在基板上的规定的区域中形成有用于显示图像的显示部 22。显示部 22 包含:多条(j 条)源极总线(视频信号线)SL1 ~ SLj;多条(i 条)栅极总线(扫描信号线)GL1 ~ GLi;以及多个($i \times j$ 个)像素形成部,其与这些源极总线 SL1 ~ SLj 和栅极总线 GL1 ~ GLi 的交叉点分别对应地设置。图 3 是示出像素形成部的构成的电路图。如图 3 所示,各像素形成部包含:薄膜晶体管(TFT) 220,其栅极端子连接到通过对应的交叉点的栅极总线 GL,并且源极端子连接到通过该交叉点的源极总线 SL;像素电极 221,其连接到该薄膜晶体管 220 的漏极端子;共用电极 222 和辅助电容电极 223,其共同设置于上述多个像素形成部;液晶电容 224,其由像素电极 221 和共用电极 222 形成;以及辅助电容 225,其由像素电极 221 和辅助电容电极 223 形成。另外,由液晶电容 224 和辅助电容 225 形成像素电容 CP。并且,在各薄膜晶体管 220 的栅极端子从栅极总线 GL 接收到有效的扫描信号时,基于该薄膜晶体管 220 的源极端子从源极总线 SL 接收的视频信号,像素电容 CP 保持表示像素值的电压。

[0150] 另外,如图 2 所示,在液晶面板 20 中形成有用于驱动栅极总线 GL1 ~ GLi 的栅极驱动器 24。该栅极驱动器 24 是上述的 IGZO-GDM,在构成液晶面板 20 的基板上形成为单片。用于驱动源极总线 SL1 ~ SLj 的源极驱动器 32 以 IC 芯片的状态搭载于 TAB30。定时控制器 11、电平转换电路 13、电源电路 15 以及电源切断检测部 17 设置于 PCB10。此外,在图 2 中栅极驱动器 24 仅配置于显示部 22 的单侧,但要求左右均等边框面板的用户也很多,为了满足该要求,也经常使用将栅极驱动器 24 配置于显示部 22 的左右两侧的结构。

[0151] 在该液晶显示装置中,从外部给予水平同步信号 HS、垂直同步信号 VS、数据使能信号 DE 等定时信号、图像信号 DAT 以及电源电压 PW。电源电压 PW 被给予定时控制器 11、电源电路 15、电源切断检测部 17。此外,在本实施方式中,电源电压 PW 为 3.3V,但该电源电压 PW 不限于 3.3V。另外,对于输入信号,也不限于上述构成,定时信号、视频数据也经常利用 LVDS、mipi、DP 信号、eDP 等的差动接口来传送。

[0152] 电源电路 15 基于电源电压 PW 生成用于使栅极总线成为选择状态的栅极导通电位 VGH 和用于使栅极总线成为非选择状态的栅极截止电位 VGL。在本说明书中,假定作为源极驱动器正电源构成,栅极导通电位 VGH 是 +20V,栅极截止电位 VGL 是 -10V,但近来,源极驱动器的输出电压有时将接地电位 GND 作为基准而以相等的大小向正侧和负侧输出。在该情况下,例如会如“栅极导通电位 VGH 为 +15V、栅极截止电位 VGL 为 -15V”这样成为从正电源构成稍稍负偏置的电位构成。栅极导通电位 VGH 和栅极截止电位 VGL 被给予电平转换电路 13。电源切断检测部 17 输出表示电源电压 PW 的供应状态(电源的接通/切断状态)的电源状态信号 SHUT。电源状态信号 SHUT 被给予电平转换电路 13。

[0153] 定时控制器 11 接收水平同步信号 HS、垂直同步信号 VS、数据使能信号 DE 等定时信号、图像信号 DAT 以及电源电压 PW,生成数字视频信号 DV、源极起始脉冲信号 SSP、源极时

钟信号 SCK、栅极起始脉冲信号 L_GSP 以及栅极时钟信号 L_GCK。数字视频信号 DV、源极起始脉冲信号 SSP 以及源极时钟信号 SCK 被给予源极驱动器 32, 栅极起始脉冲信号 L_GSP 和栅极时钟信号 L_GCK 被给予电平转换电路 13。此外, 关于栅极起始脉冲信号 L_GSP 和栅极时钟信号 L_GCK, 高电平侧的电位被设为电源电压 (3.3V) PW, 低电平侧的电位被设为接地电位 (0V) GND。

[0154] 电平转换电路 13 使用接地电位 GND 以及从电源电路 15 给予的栅极导通电位 VGH 和栅极截止电位 VGL, 进行: 将从定时控制器 11 输出的栅极起始脉冲信号 L_GSP 变换为最适于 IGZO-GDM 驱动的定时信号而成的信号的电平变换后的信号 H_GSP 的生成; 基于从定时控制器 11 输出的栅极时钟信号 L_GCK 的第 1 栅极时钟信号 H_GCK1 和第 2 栅极时钟信号 H_GCK2 的生成; 以及基于内部信号的基准电位 H_VSS 和清除信号 H_CLR 的生成。并且, 从电平转换电路 13 对栅极驱动器 24 输出栅极起始脉冲信号 H_GSP、第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2、清除信号 H_CLR 以及基准电位 H_VSS。此外, 在通常动作时, 使栅极起始脉冲信号 H_GSP、第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2 以及清除信号 H_CLR 等于栅极导通电位 VGH (+20V) 或者栅极截止电位 VGL (-10V), 使基准电位 H_VSS 等于栅极截止电位 VGL (-10V)。此外, 在本实施方式中, 如图 4 所示, 电平转换电路 13 以如下方式构成: 包含定时生成逻辑部 131 和振荡器 132, 从电源切断检测部 17 输出的电源状态信号 SHUT 被给予电平转换电路 13。通过这样的构成, 电平转换电路 13 能根据规定的定时使上述各种信号的电位变化。规定的定时是基于从构成电平转换电路 13 的 IC 内部的非易失性存储器和非易失性存储器加载数据而得的寄存器值生成的。此外, 后述该电平转换电路 13 的进一步详细的说明。

[0155] 源极驱动器 32 接收从定时控制器 11 输出的数字视频信号 DV、源极起始脉冲信号 SSP 以及源极时钟信号 SCK, 向各源极总线 SL1 ~ SLj 施加驱动用的视频信号。

[0156] 栅极驱动器 24 基于从电平转换电路 13 输出的栅极起始脉冲信号 H_GSP、第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2、清除信号 H_CLR 以及基准电位 H_VSS, 将 1 垂直扫描期间作为周期重复进行有效的扫描信号向各栅极总线 GL1 ~ GLi 的施加。此外, 后述该栅极驱动器 24 的详细说明。

[0157] 如此, 向各源极总线 SL1 ~ SLj 施加驱动用的视频信号, 向各栅极总线 GL1 ~ GLi 施加扫描信号, 从而将基于从外部发送的图像信号 DAT 的图像显示于显示部 22。

[0158] 此外, 在本实施方式中, 利用电源切断检测部 17 实现电源状态检测部, 利用定时控制器 11 和电平转换电路 13 实现驱动控制部。另外, 利用定时生成逻辑部 131 实现逻辑电路部, 利用振荡器 132 实现振荡电路部。

[0159] < 1.2 栅极驱动器的构成和动作 >

[0160] 接着, 说明本实施方式中的栅极驱动器 24 的构成和动作。如图 5 所示, 栅极驱动器 24 包括含有多级的移位寄存器 240。在显示部 22 中形成有 i 行 × j 列的像素矩阵时, 以与这些像素矩阵的各行一一对应的方式设置有移位寄存器 240 的各级。另外, 移位寄存器 240 的各级为如下双稳电路: 在各时点处为 2 个状态中某一方的状态而输出表示该状态的信号 (以下称为“状态信号”)。此外, 从移位寄存器 240 的各级输出的状态信号作为扫描信号被给予对应的栅极总线。

[0161] 图 6 是示出栅极驱动器 24 内的移位寄存器 240 的构成的框图。此外, 图 6 中示出

移位寄存器 240 的第 $(n-1)$ 级、第 n 级以及第 $(n+1)$ 级双稳电路 SR_{n-1} 、 SR_n 以及 SR_{n+1} 的构成。在各双稳电路中设置有：输入端子，其用于接收基准电位 VSS 、第 1 时钟 CKA 、第 2 时钟 CKB 、置位信号 S 、复位信号 R 以及清除信号 CLR ；以及输出端子，其用于输出状态信号 Q 。在本实施方式中，给予从电平转换电路 13 输出的基准电位 H_VSS 作为基准电位 VSS ，给予从电平转换电路 13 输出的清除信号 H_CLR 作为清除信号 CLR 。另外，给予从电平转换电路 13 输出的第 1 栅极时钟信号 H_GCK1 和第 2 栅极时钟信号 H_GCK2 中的一方作为第 1 时钟 CKA ，给予另一方作为第 2 时钟 CKB 。而且，给予从前一级输出的状态信号 Q 作为置位信号 S ，给予从下一级输出的状态信号 Q 作为复位信号 R 。即，当关注第 n 级时，给予向第 $(n-1)$ 行栅极总线给予的扫描信号 $GOUT_{n-1}$ 作为置位信号 S ，给予向第 $(n+1)$ 行栅极总线给予的扫描信号 $GOUT_{n+1}$ 作为复位信号 R 。此外，从电平转换电路 13 输出的栅极起始脉冲信号 H_GSP 作为置位信号 S 被给予移位寄存器 240 的第 1 级双稳电路 SR_1 。

[0162] 在以上这样的构成中，当向移位寄存器 240 的第 1 级给予作为置位信号 S 的栅极起始脉冲信号 H_GSP 的脉冲时，基于导通占空比被设为 50% 左右的值的第 1 栅极时钟信号 H_GCK1 和第 2 栅极时钟信号 H_GCK2 （参照图 7），栅极起始脉冲信号 H_GSP 所包含的脉冲（该脉冲包含从各级输出的状态信号 Q ）从第 1 级向第 i 级依次传送。并且，与该脉冲的传送相应地，从各级输出的状态信号 Q 依次变为高电平。并且，从该各级输出的状态信号 Q 作为扫描信号 $GOUT_1 \sim GOUT_i$ 被给予各栅极总线 $GL_1 \sim GL_i$ 。由此，如图 7 所示，按每规定期间依次变为高电平的扫描信号 $GOUT_1 \sim GOUT_i$ 被给予显示部 22 内的栅极总线 $GL_1 \sim GL_i$ 。

[0163] < 1.3 双稳电路的构成和动作 >

[0164] 图 8 是示出移位寄存器 240 所包含的双稳电路的构成（移位寄存器 240 的第 n 级的构成）的电路图。如图 8 所示，该双稳电路 SR_n 具备：9 个薄膜晶体管 TA 、 TB 、 TC 、 TD 、 TF 、 TI 、 TJ 、 TK 和 TL ；以及 1 个电容 $CAP1$ 。此外，在图 8 中，对用于接收第 1 时钟 CKA 的输入端子附上附图标记 41，对用于接收第 2 时钟 CKB 的输入端子附上附图标记 42，对用于接收置位信号 S 的输入端子附上附图标记 43，对用于接收复位信号 R 的输入端子附上附图标记 44，对用于接收清除信号 CLR 的输入端子附上附图标记 45，对用于输出状态信号 Q 的输出端子附上附图标记 49。

[0165] 薄膜晶体管 TA 的漏极端子、薄膜晶体管 TB 的源极端子、薄膜晶体管 TC 的漏极端子、薄膜晶体管 TI 的栅极端子、薄膜晶体管 TJ 的栅极端子、薄膜晶体管 TL 的漏极端子以及电容 $CAP1$ 的一端相互连接。此外，方便起见，将它们相互连接的区域（配线）称为“netA”。薄膜晶体管 TC 的栅极端子、薄膜晶体管 TF 的源极端子、薄膜晶体管 TJ 的漏极端子以及薄膜晶体管 TK 的漏极端子相互连接。此外，方便起见，将它们相互连接的区域（配线）称为“netB”。

[0166] 薄膜晶体管 TA 的栅极端子连接到输入端子 45，漏极端子连接到 netA，源极端子连接到基准电位配线。薄膜晶体管 TB 的栅极端子和漏极端子连接到输入端子 43（即，成为二极管连接），源极端子连接到 netA。薄膜晶体管 TC 的栅极端子连接到 netB，漏极端子连接到 netA，源极端子连接到基准电位配线。薄膜晶体管 TD 的栅极端子连接到输入端子 42，漏极端子连接到输出端子 49，源极端子连接到基准电位配线。薄膜晶体管 TF 的栅极端子和漏极端子连接到输入端子 42（即，成为二极管连接），源极端子连接到 netB。薄膜晶体管 TI 的栅极端子连接到 netA，漏极端子连接到输入端子 41，源极端子连接到输出端子 49。薄膜晶

体管 TJ 的栅极端子连接到 netA,漏极端子连接到 netB,源极端子连接到基准电位配线。薄膜晶体管 TK 的栅极端子连接到输入端子 41,漏极端子连接到 netB,源极端子连接到基准电位配线。薄膜晶体管 TL 的栅极端子连接到输入端子 44,漏极端子连接到 netA,源极端子连接到基准电位配线。电容 CAP1 的一端连接到 netA,另一端连接到输出端子 49。在以上这样的构成中,以表示 netA 的电位的信号的逻辑反转信号和第 2 时钟 CKB 为输入信号的 AND 电路包括图 8 中用附图标记 241 表示的部分的电路。

[0167] 此外,在本实施方式中,利用 netA 实现第 1 节点,利用 netB 实现第 2 节点,利用输出端子 49 实现输出节点。另外,利用薄膜晶体管 TI 实现输出控制用开关元件,利用薄膜晶体管 TD 实现输出节点控制用开关元件,利用薄膜晶体管 TC 实现第 1 个第 1 节点控制用开关元件,利用薄膜晶体管 TA 实现第 2 个第 1 节点控制用开关元件,利用薄膜晶体管 TK 实现第 1 个第 2 节点控制用开关元件。

[0168] 接着,一边参照图 8 和图 9,一边说明从外部正常供应电源电压 PW 时的双稳电路 SRn 的动作。在该液晶显示装置动作的期间中,向双稳电路 SRn 给予导通占空比被设为 50% 左右的值的第 1 时钟 CKA 和第 2 时钟 CKB。此外,关于第 1 时钟 CKA 和第 2 时钟 CKB,高电平侧的电位为栅极导通电位 VGH,低电平侧的电位为栅极截止电位 VGL。

[0169] 当变为时点 t1 而第 2 时钟 CKB 从低电平变为高电平时,薄膜晶体管 TF 如图 8 所示为二极管连接,因此成为导通状态。此时,netA 的电位为低电平,因此,薄膜晶体管 TJ 为截止状态。由此,在时点 t1, netB 的电位从低电平变为高电平。其结果是,薄膜晶体管 TC 成为导通状态,基准电位 VSS 被拉向 netA 的电位。另外,在时点 t1,薄膜晶体管 TD 也成为导通状态。由此,基准电位 VSS 被拉向输出端子 49 的电位(状态信号 Q 的电位)。

[0170] 当在时点 t2 处第 2 时钟 CKB 从高电平变为低电平后,变为时点 t3 时,第 1 时钟 CKA 从低电平变为高电平。由此,薄膜晶体管 TK 成为导通状态。其结果是, netB 的电位从高电平向低电平变化。此外,在时点 t3, netA 的电位为低电平,因此,薄膜晶体管 TI 成为截止状态。因此,输出端子 49 的电位维持低电平的状态。

[0171] 当在时点 t4 处第 1 时钟 CKA 从高电平变为低电平后,变为时点 t5 时,置位信号 S 从低电平变为高电平。薄膜晶体管 TB 如图 8 所示为二极管连接,因此,置位信号 S 成为高电平,从而使得薄膜晶体管 TB 成为导通状态。由此,电容 CAP1 被充电, netA 的电位从低电平变为高电平。其结果是,薄膜晶体管 TI 成为导通状态。在此,在时点 t5 ~ 时点 t7 的期间中,第 1 时钟 CKA 为低电平。因此,在该期间中,输出端子 49 维持低电平。另外,在该期间中,复位信号 R 为低电平,因此,薄膜晶体管 TL 维持截止状态,并且, netB 的电位为低电平,因此,薄膜晶体管 TC 维持截止状态。因此,在该期间中, netA 的电位不会下降。

[0172] 当在时点 t6 处置位信号 S 从高电平变为低电平后,变为时点 t7 时,第 1 时钟 CKA 从低电平变为高电平。此时,薄膜晶体管 TI 成为导通状态,因此,随着输入端子 41 的电位上升,输出端子 49 的电位上升。在此,如图 8 所示,在 netA- 输出端子 49 间设置有电容 CAP1,因此,随着输出端子 49 的电位上升, netA 的电位也上升(netA 自举)。理想的是, netA 的电位上升到栅极导通电位 VGH 的 2 倍的电位。其结果是,向薄膜晶体管 TI 的栅极端子施加大的电压,输出端子 49 的电位上升到第 1 时钟 CKA 的高电平的电位即栅极导通电位 VGH。由此,与该双稳电路 SRn 的输出端子 49 连接的栅极总线成为选择状态。此外,在时点 t7 ~ 时点 t8 的期间中,第 2 时钟 CKB 为低电平,因此,薄膜晶体管 TD 维持截止状态。因此,在该期

间中,输出端子 49 的电位不会下降。另外,在时点 $t_7 \sim$ 时点 t_8 的期间中,复位信号 R 为低电平,因此,薄膜晶体管 TL 维持截止状态,并且,netB 的电位为低电平,因此,薄膜晶体管 TC 维持截止状态。因此,在该期间中,netA 的电位不会下降。

[0173] 当变为时点 t_8 时,第 1 时钟 CKA 从高电平变为低电平。由此,随着输入端子 41 的电位的下降,输出端子 49 的电位即状态信号 Q 的电位下降。因此,经由电容 CAP1, netA 的电位也下降。当变为时点 t_9 时,复位信号 R 从低电平变为高电平。由此,薄膜晶体管 TL 成为导通状态。其结果是,netA 的电位变为低电平。另外,在时点 t_9 ,第 2 时钟 CKB 从低电平变为高电平。由此,薄膜晶体管 TD 成为导通状态。其结果是,状态信号 Q 的电位变为低电平。

[0174] 通过由移位寄存器 240 内的各双稳电路进行以上这样的动作,按每规定期间依次成为高电平的扫描信号 GOUT1 $\sim$ GOUTi 被给予显示部 22 内的栅极总线 GL1 $\sim$ GLi。

[0175] < 1.4 电源切断时的动作 >

[0176] 接着,一边参照图 1、图 2 以及图 8,一边说明来自外部的电源电压 PW 的供应被切断时的液晶显示装置的动作。此外,以下将该一系列的处理称为“电源切断次序”。图 1 中示出电源状态信号 SHUT、视频信号电位(源极总线 SL 的电位) VS、共用电极电位 VCOMDC、栅极起始脉冲信号 H_GSP、栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)、清除信号 H_CLR 以及基准电位 H_VSS 的波形。如上所述,栅极起始脉冲信号 H_GSP 作为置位信号 S 被给予移位寄存器 240 的第 1 级双稳电路,栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)作为第 1 时钟 CKA、第 2 时钟 CKB 被给予各双稳电路,清除信号 H_CLR 作为清除信号 CLR 被给予各双稳电路,标准电位 H_VSS 作为基准电位 VSS 被给予各双稳电路。

[0177] 在图 1 中,记载为“显示截止次序”的期间是用于在像素形成部内使电荷放电的期间,记载为“栅极截止次序”的期间是用于在栅极驱动器 24 内使电荷放电的期间。电源切断次序包含这些显示截止次序和栅极截止次序。此外,在本说明书中,假定在时点 t_{10} 以前正常供应电源电压 PW,在时点 t_{10} 切断电源电压 PW 的供应。

[0178] 在正常供应电源电压 PW 的期间(时点 t_{10} 以前的期间),电源状态信号 SHUT 维持低电平。在该期间中,栅极起始脉冲信号 H_GSP、栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)以及清除信号 H_CLR 被设为栅极导通电位 VGH 或者栅极截止电位 VGL,基准电位 H_VSS 被设为栅极截止电位 VGL。

[0179] 当在时点 t_{10} 切断电源电压 PW 的供应时,电源切断检测部 17 使电源状态信号 SHUT 从低电平变为高电平。当从电源状态信号 SHUT 由低电平变为高电平的时点经过规定期间后到达时点 t_{11} 时,变为显示截止次序的期间。在本实施方式中,在该期间中,在使栅极起始脉冲信号 H_GSP、栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)以及清除信号 H_CLR 为与通常动作时同样的波形的状态下,使视频信号电位 VS 和共用电极电位 VCOMDC 等于接地电位 GND (0V)。由此,用 1 垂直扫描期间进行显示部 22 内的像素形成部的电荷的放电。以下,将在显示截止次序中进行的处理步骤称为“像素放电步骤”。

[0180] 当变为时点 t_{13} 时,变为栅极截止次序的期间。在时点 $t_{13} \sim$ 时点 t_{14} 的期间,栅极起始脉冲信号 H_GSP、栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_

GCK2) 以及清除信号 H_CLR 被设为栅极导通电位 VGH, 基准电位 H_VSS 被设为栅极截止电位 VGL。由此, 第 1 时钟 CKA 变为高电平而薄膜晶体管 TK 成为导通状态, 因此, netB 的电位变为低电平。以下, 将栅极截止次序中在时点 t13 ~ 时点 t14 的期间进行的处理步骤称为“netB 电位下降步骤”。

[0181] 在时点 t14 ~ 时点 t15 的期间, 栅极起始脉冲信号 H_GSP 和栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)被设为接地电位 GND, 清除信号 H_CLR 和基准电位 H_VSS 被设为栅极导通电位 VGH。由此, 清除信号 CLR 变为高电平, 因此, 薄膜晶体管 TA 成为导通状态。在该状态下使基准电位 VSS 等于栅极导通电位 VGH, 因此, netA 的电位变为比栅极导通电位 VGH 低阈值电压 V_{th} 的电位。由此, 薄膜晶体管 TI 成为导通状态。另外, 在该期间中, 第 1 时钟 CKA 的电位变为接地电位 GND。其结果是, 在显示部 22 内的各栅极总线中电荷被放电。如上所述, 时点 t14 ~ 时点 t15 的期间成为用于使栅极总线上的电荷放电的期间。以下, 将栅极截止次序中在时点 t14 ~ 时点 t15 的期间进行的处理步骤称为“栅极总线放电步骤”。

[0182] 在时点 t15 ~ 时点 t16 的期间, 清除信号 H_CLR 被设为栅极截止电位 VGL, 栅极起始脉冲信号 H_GSP、栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)以及基准电位 H_VSS 被设为接地电位 GND。由此, 基准电位 VSS 变为 0V, 但清除信号 CLR 变为低电平, 因此, 薄膜晶体管 TA 成为截止状态。因此, netA 的电位维持高电平。因此, 薄膜晶体管 TJ 成为导通状态。由此, netB 的电位变为接地电位 GND。如上所述, 时点 t15 ~ 时点 t16 的期间成为用于使 netB 上的电荷放电的期间。以下, 将栅极截止次序中在时点 t15 ~ 时点 t16 的期间进行的处理步骤称为“netB 放电步骤”。

[0183] 在时点 t16 ~ 时点 t17 的期间, 清除信号 H_CLR 被设为栅极导通电位 VGH, 栅极起始脉冲信号 H_GSP、栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)以及基准电位 H_VSS 被设为接地电位 GND。由此, 在基准电位 VSS 被设为接地电位 GND 的状态下, 薄膜晶体管 TA 成为导通状态。其结果是, netA 的电位变为接地电位 GND。如上所述, 时点 t16 ~ 时点 t17 的期间成为使 netA 上的电荷放电的期间。以下, 将栅极截止次序中在时点 t16 ~ 时点 t17 的期间进行的处理步骤称为“netA 放电步骤”。

[0184] 在时点 t17 ~ 时点 t18 的期间, 栅极起始脉冲信号 H_GSP、栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)、清除信号 H_CLR 以及基准电位 H_VSS 被设为接地电位 GND。由此, 结束栅极截止次序。

[0185] 此外, 在本实施方式中, 利用在显示截止次序和栅极截止次序的期间进行的步骤实现电荷放电步骤, 利用像素放电步骤实现第 1 放电步骤, 利用在栅极截止次序的期间进行的步骤实现第 2 放电步骤。另外, 利用栅极总线放电步骤实现扫描信号线放电步骤, 利用 netA 放电步骤实现第 1 节点放电步骤, 利用 netB 放电步骤实现第 2 节点放电步骤。而且, 利用被设为高电平的电源状态信号 SHUT 实现电源切断信号。

[0186] 此外, 电平转换电路 13 如图 4 所示包含定时生成逻辑部 131 和振荡器 132, 从而在栅极截止次序中能够使各种信号的电位如图 1 所示通过多个步骤变化。在这样的构成中, 当从电源切断检测部 17 给予电平转换电路 13 的电源状态信号 SHUT 从低电平变为高电平时, 定时生成逻辑部 131 用计数器对由振荡器 132 生成的基本时钟进行计数, 从而取得各步骤的开始定时。并且, 定时生成逻辑部 131 根据该定时, 使各种信号的电位变为预先确定的

电位。如此,生成如图 1 所示的波形的栅极起始脉冲信号 H_GSP、栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)、清除信号 H_CLR 以及基准电位 H_VSS。此外,电平转换电路 13 和电源切断检测部 17 也可以如图 4 中用附图标记 60 表示的那样收纳于 1 个 LSI 内。

[0187] < 1.5 效果 >

[0188] 根据本实施方式,在具备 IGZO-GDM 的液晶显示装置中,向栅极驱动器 24 给予各种信号的电平转换电路 13 包含定时生成逻辑部 131 和振荡器 132。当电源电压 PW 的供应被切断时,定时生成逻辑部 131 取得用于电源切断次序的各步骤的开始定时。电平转换电路 13 根据定时生成逻辑部 131 取得的定时,使各种信号的电位变化。因此,在电源切断次序时能容易地进行多个处理。并且,如上所述(参照图 1),电平转换电路 13 通过使各种信号的电位变化来进行包含像素放电步骤、netB 电位下降步骤、栅极总线放电步骤、netB 放电步骤以及 netA 放电步骤的电源切断次序。由此,在具备 IGZO-GDM 的液晶显示装置中,在电源电压 PW 的供应被切断时,像素形成部内的电荷、栅极总线上的电荷、netB 上的电荷以及 netA 上的电荷依次被放电。如上所述,实现能够在电源切断时迅速除去面板内的残留电荷的具备 IGZO-GDM 的液晶显示装置。其结果是,在具备 IGZO-GDM 的液晶显示装置中,因面板内的残留电荷的存在而导致的显示不良 / 动作不良的发生被抑制。

[0189] < 1.6 变形例 >

[0190] < 1.6.1 关于显示截止次序 >

[0191] 关于显示截止次序,在上述第 1 实施方式中,在使栅极起始脉冲信号 H_GSP、栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)以及清除信号 H_CLR 为与通常动作时同样的波形的状态下,使视频信号电位 VS 和共用电极电位 VCOMDC 等于接地电位 GND (0V)。然而,本发明不限于此。例如,如图 10 所示,也可以在时点 t12 ~ 时点 t13 的期间,将栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)和基准电位 H_VSS 设为栅极导通电位 VGH,并且,在将栅极起始脉冲信号 H_GSP 和清除信号 H_CLR 设为栅极截止电位 VGL 的状态下,将视频信号电位 VS 和共用电极电位 VCOMDC 设为接地电位 GND。在该情况下,在薄膜晶体管 TD 成为导通的状态下,基准电位 VSS 被提升至栅极导通电位 VGH,因此,各栅极总线的电位变为栅极导通电位 VGH,在各像素形成部中进行电荷的放电。另外,例如,如图 11 所示,也可以在时点 t12 ~ 时点 t13 的期间,在将栅极起始脉冲信号 H_GSP、栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)、清除信号 H_CLR 以及基准电位 H_VSS 设为栅极导通电位 VGH 的状态下,将视频信号电位 VS 和共用电极电位 VCOMDC 设为接地电位 GND。在该情况下,在薄膜晶体管 TD 成为导通的状态下,基准电位 VSS 被提升至栅极导通电位 VGH,而且,netA 变为高电平而使得在薄膜晶体管 TI 成为导通的状态下第 1 时钟 CKA 的电位也被提升至栅极导通电位 VGH,因此,各栅极总线的电位变为栅极导通电位 VGH,在各像素形成部中进行电荷的放电。

[0192] < 1.6.2 馈通电压的对应 >

[0193] 在上述第 1 实施方式中,在栅极截止次序的栅极总线放电步骤(图 1 的 t14)中,栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)从栅极导通电位 VGH 向接地电位 GND 变化。由此,在各双稳电路中,第 1 时钟 CKA 的电位迅速下降,因此,栅极总线的电位也迅速下降。因此,在各像素形成部中,所谓馈通电压的影响有可能导致像素电极电

位下降。当像素电极电位下降时,即便由显示截止次序进行了像素形成部内的电荷的放电,最终在像素形成部内也会储存有残留电荷。因此,也可以在栅极总线放电步骤中使栅极时钟信号(第1栅极时钟信号 H_GCK1、第2栅极时钟信号 H_GCK2)的电位如图12所示缓缓地变化(下降)。由此,抑制因显示截止次序后的栅极总线的电位下降而导致的馈通电压的影响。

[0194] < 1.6.3 电平转换电路附近的构成 >

[0195] 关于电平转换电路附近的构成(参照图2),在上述第1实施方式中,示意性地为如图13所示的构成。即,为如下构成:基于从外部发送的同步信号由定时控制器11生成栅极起始脉冲信号、栅极时钟信号。然而,本发明不限于此。例如,也可以设为如图14所示的构成,在电平转换电路13中基于从外部发送的同步信号生成栅极起始脉冲信号、栅极时钟信号。

[0196] < 1.6.4 关于栅极截止次序 >

[0197] 在上述第1实施方式中,作为栅极截止次序的最初的步骤,而设置有用使 netB 的电位成为低电平(-10V)的 netB 电位下降步骤,但也可以不是必定设置有该步骤。

[0198] < 2. 第2实施方式 >

[0199] 说明本发明的第2实施方式。此外,仅详细说明与上述第1实施方式的不同之处,而简单地说明与上述第1实施方式的相同之处。

[0200] < 2.1 构成 >

[0201] 图15是示出本发明的第2实施方式所涉及的有源矩阵型液晶显示装置的整体构成的框图。液晶面板20和TAB30是与上述第1实施方式同样的构成。关于PCB10,在上述第1实施方式中仅设置有1个电源切断检测部17,但在本实施方式中设置有2个电源切断检测部(第1电源切断检测部17a和第2电源切断检测部17b)。如果从电源电压PW供应的电压为2.4V以下,则第1电源切断检测部17a使电源状态信号SHUT1成为高电平。如果从电源电压PW供应的电压为2.0V以下,则第2电源切断检测部17b使电源状态信号SHUT2成为高电平。另外,在上述第1实施方式中,作为栅极时钟信号,从定时控制器11向电平转换电路13发送1个信号L_GCK,但在本实施方式中,发送2个信号(第1栅极时钟信号L_GCK1、第2栅极时钟信号L_GCK2)。即,在本实施方式中,不需要由电平转换电路13重新生成用于栅极时钟信号的定时。另外,在本实施方式中,从定时控制器11向电平转换电路13发送清除信号L_CLR和基准电位L_VSS。即,在本实施方式中,不需要由电平转换电路13重新生成用于清除信号和基准电位的定时。

[0202] 图16是示出本实施方式中的双稳电路的构成的电路图。在图8所示的上述第1实施方式的构成要素的基础上,还设置有2个薄膜晶体管TX、TY。薄膜晶体管TX的栅极端子连接到输入端子45,漏极端子连接到netB,源极端子连接到基准电位配线。薄膜晶体管TY的栅极端子连接到输入端子45,漏极端子连接到输出端子49,源极端子连接到基准电位配线。此外,在本实施方式中,利用薄膜晶体管TX实现第2个第2节点控制用开关元件,利用薄膜晶体管TY实现第2输出节点控制用开关元件。

[0203] < 2.2 电源切断时的动作 >

[0204] 接着,一边参照图15~图17,一边说明来自外部的电源电压PW的供应被切断时的液晶显示装置的动作。此外,在本说明书中,假定在时点t20以前正常供应电源电压PW,

在时点 t20 切断电源电压 PW 的供应。正常供应电源电压 PW 的期间(时点 t20 以前的期间)的动作与上述第 1 实施方式是同样的。

[0205] 当在时点 t20 处电源电压 PW 的供应被切断,其后从电源电压 PW 供应的电压变为 2.4V 以下(在此设为时点 t21)时,第 1 电源切断检测部 17a 使电源状态信号 SHUT1 从低电平变为高电平。由此,变为显示截止次序的期间。在该期间中,与上述第 1 实施方式同样,在使栅极起始脉冲信号 H_GSP、栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)以及清除信号 H_CLR 为与通常动作时同样的波形的状态下,使视频信号电位 VS 和共用电极电位 VCOMDC 等于接地电位 GND (0V)。由此,用 1 垂直扫描期间进行显示部 22 内的像素形成部的电荷的放电。

[0206] 其后,当从电源电压 PW 供应的电压变为 2.0V 以下(在此设为时点 t23)时,第 2 电源切断检测部 17b 使电源状态信号 SHUT2 从低电平变为高电平。由此,变为栅极截止次序的期间。并且,清除信号 H_CLR 被设为栅极导通电位 VGH,栅极起始脉冲信号 H_GSP、栅极时钟信号(第 1 栅极时钟信号 H_GCK1、第 2 栅极时钟信号 H_GCK2)以及基准电位 H_VSS 被设为接地电位 GND。由此,在基准电位 VSS 被设为接地电位 GND 的状态下,薄膜晶体管 TA、TX 以及 TY 成为导通状态。因此,netA 的电位、netB 的电位以及输出端子 49 的电位变为接地电位 GND。其结果是,netA 上的电荷、netB 上的电荷以及栅极总线上的电荷被放电。此外,关于清除信号 H_CLR,由于电源电压 PW 的供应被切断,因此其电位从栅极导通电位 VGH 向接地电位 GND 逐渐下降。

[0207] 此外,在本实施方式中,以如下方式构成:设置有 2 个电源切断检测部,各自以相互不同的电压的阈值使电源状态信号的电平从低电平变为高电平。因此,例如,如图 18 所示,能生成具有期间 T 的间隔的 2 个定时。如此,在电源切断次序中进行 2 个不同的处理(显示截止次序的处理和栅极截止次序的处理)。

[0208] < 2.3 效果 >

[0209] 根据本实施方式,在双稳电路中设置有:薄膜晶体管 TA,其栅极端子连接到清除信号 CLR 用的输入端子 45,源极端子连接到基准电位配线,漏极端子连接到 netA;薄膜晶体管 TX,其栅极端子连接到清除信号 CLR 用的输入端子 45,源极端子连接到基准电位配线,漏极端子连接到 netB;以及薄膜晶体管 TY,其栅极端子连接到清除信号 CLR 用的输入端子 45,源极端子连接到基准电位配线,漏极端子连接到输出端子 49。根据这样的构成,当在向基准电位配线给予接地电位 GND 的状态下使清除信号 CLR 成为高电平时,薄膜晶体管 TA、TX 以及 TY 成为导通状态,netA 的电位、netB 的电位以及输出端子 49 的电位变为接地电位 GND。因此,在像素形成部内的电荷放电后,能够通过 1 个步骤使 netA 上的电荷、netB 上的电荷以及栅极总线上的电荷迅速放电。由此,实现能够在电源切断时迅速除去面板内的残留电荷的具备 IGZO-GDM 的液晶显示装置。

[0210] < 2.4 变形例 >

[0211] 在上述第 2 实施方式中,在双稳电路中,在上述第 1 实施方式的构成要素的基础上还设置有 2 个薄膜晶体管 TX、TY,但也可以仅设置这些薄膜晶体管 TX、TY 中的一方。例如在上述第 1 实施方式的构成要素的基础上还设置有薄膜晶体管 TX 的构成的情况下,在栅极截止次序中,如图 19 所示,首先,进行使栅极总线上的电荷放电的处理(参照图 19 的时点 t33 ~ t34),其后,进行使 netB 上的电荷和 netA 上的电荷放电的处理(参照图 19 的时

点 $t_{34} \sim t_{35}$)。这样,需要首先对未设置有用基于(作为非同步的复位信号的)清除信号 CLR 使电荷放电的薄膜晶体管的区域进行电荷的放电,其后,对设置有用基于清除信号 CLR 使电荷放电的薄膜晶体管的区域进行电荷的放电。对于设置有用基于清除信号 CLR 使电荷放电的薄膜晶体管的区域,可以按每 1 区域依次进行放电,也可以如上述第 2 实施方式那样在整个区域中以相同定时进行放电。

[0212] 此外,根据本变形例,与上述第 2 实施方式相比次序增加。因此,需要增加电源切断检测部的数量或将电平转换电路设为如图 4 所示的构成来取得各处理的开始定时。

[0213] < 3. 其它 >

[0214] 在 IGZO-GDM 方面,从上述各实施方式的说明可知,需要从电平转换电路 13 进行栅极导通电位 VGH (+20V)、栅极截止电位 VGL (-10V) 以及接地电位 GND (0V) 的 3 值输出,另外,电源切断次序复杂化而包括多个步骤。另外,近年来,为了谋求低功耗化,有时采用在视频信号电位的极性反转时暂时使源极驱动器输出成为电源变换效率好的电位电平的电位的被称为“电位短路”的方法,电平移位输出也需要从栅极截止电位 VGL 暂时经由接地电位 GND 而到达栅极导通电位 VGH 或从栅极导通电位 VGH 暂时经由接地电位 GND (或者输入电源电位)而到达栅极截止电位 VGL 等 3 值输出(或者 4 值输出)。而且,还谋求移位寄存器的多相时钟化。当将时钟信号的频率设为 f 、将时钟配线的配线电容设为 c 、将时钟信号的振幅设为 v 时,伴随时钟信号的驱动的功耗 P 用 $P=fcv$ 表示。在此,当例如使时钟信号的数量增加到 2 倍时,与时钟信号增加前相比,时钟配线的条数变为 2 倍,但频率 f 和配线电容 c 变为二分之一。其结果是,与时钟信号增加前相比,功耗为二分之一。这样,通过使时钟信号多相化来降低功耗。据此,从电平转换电路 13 应送到栅极驱动器 24 的时钟信号的数量比以往增加了。关于这一点,优选如上述第 1 实施方式那样,在电平转换电路 13 内具备定时生成逻辑部 131,以能够从较少的输入信号生成较多的输出信号的方式构成电平转换电路 13。根据现有构成的电平转换电路 139,例如,如图 20 所示,为了输出 17 个输出信号而需要 17 个输入信号,但通过在电平转换电路 13 内具备定时生成逻辑部 131,如图 21 所示,能基于 3 个输入信号(附图标记 DCLK 是点时钟)生成 17 个输出信号。根据这样的电平转换电路 13,能够削减输入信号的数量,因此能降低成本,使封装小型化。另外,能比较容易地实现复杂的电源切断次序。而且,与以往相比,能不增加输入信号的数量地进行 3 值输出。此外,能使用不对应 GDM 的定时控制器。

[0215] 作为其它的变形例,在从 Tcon (定时控制器)未输出图 21 的 DCLK 的情况下,可以考虑使用电平转换电路 13 内部的 OSC (振荡器)生成基准的 DCLK 而基于从 Tcon 发送的 2 个信号 L_GCK、L_GSP 生成输出信号的方法、电平转换电路 13 接收 Tcon 输出的差动时钟信号而生成 DCLK 的方法等。

[0216] 作为另外的变形例,在如便携电话、智能电话用液晶模块那样从用户机侧输入表示电源切断的信号的情况下,可以考虑从上述各实施方式的构成中删除电源切断检测部 17 (或者第 1 电源切断检测部 17a、第 2 电源切断检测部 17b) 的构成等。

[0217] 此外,在上述各实施方式中,作为来自外部的电源电压 PW 的供应被切断时的次序,说明了显示截止次序、栅极截止次序,但例如作为显示装置的模式转移时(显示模式-休眠模式间的转移时)的放电的次序或者作为根据命令输入的放电的次序,也能适当实施显示截止次序、栅极截止次序。

- [0218] 附图标记说明
- [0219] 11…定时控制器
- [0220] 13…电平转换电路
- [0221] 15…电源电路
- [0222] 17…电源切断检测部
- [0223] 20…液晶面板
- [0224] 22…显示部
- [0225] 24…栅极驱动器(扫描信号线驱动电路)
- [0226] 32…源极驱动器(视频信号线驱动电路)
- [0227] 131…定时生成逻辑部
- [0228] 132…振荡器
- [0229] 220…(像素形成部内的)薄膜晶体管
- [0230] 240…移位寄存器
- [0231] PW…电源电压
- [0232] SHUT…电源状态信号
- [0233] VGH…栅极导通电位
- [0234] VGL…栅极截止电位
- [0235] L_GCK…栅极时钟信号
- [0236] H_GCK1…第 1 栅极时钟信号
- [0237] H_GCK2…第 2 栅极时钟信号
- [0238] L_GSP、H_GSP…栅极起始脉冲信号
- [0239] L_CLR、H_CLR、CLR…清除电位
- [0240] L_VSS、H_VSS、VSS…基准电位
- [0241] TA、TB、TC、TD、TF、TI、TJ、TK、TL、TX、TY…(双稳电路内的)薄膜晶体管
- [0242] CKA…第 1 时钟
- [0243] CKB…第 2 时钟
- [0244] S…置位信号
- [0245] R…复位信号
- [0246] Q…状态信号

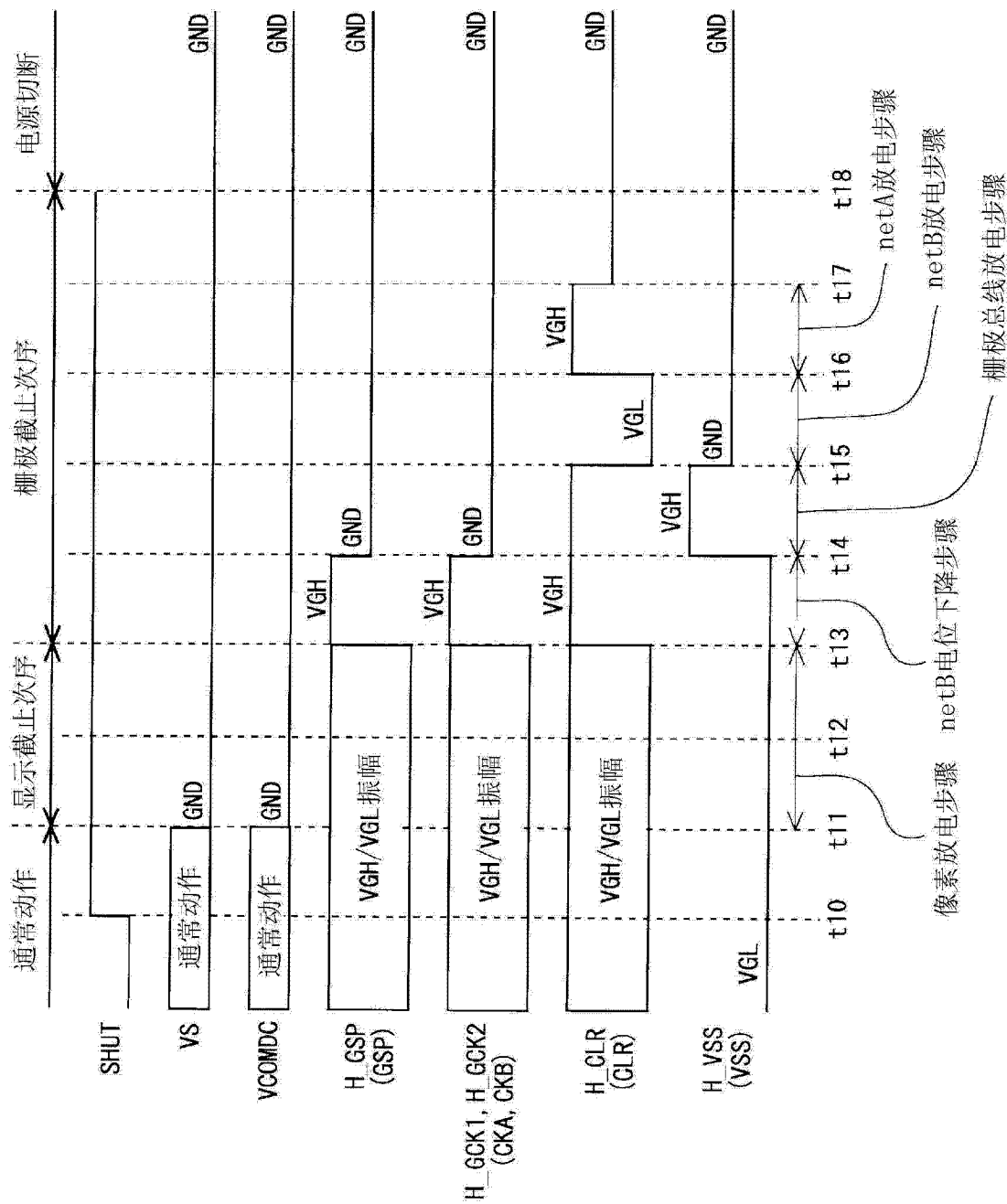


图 1

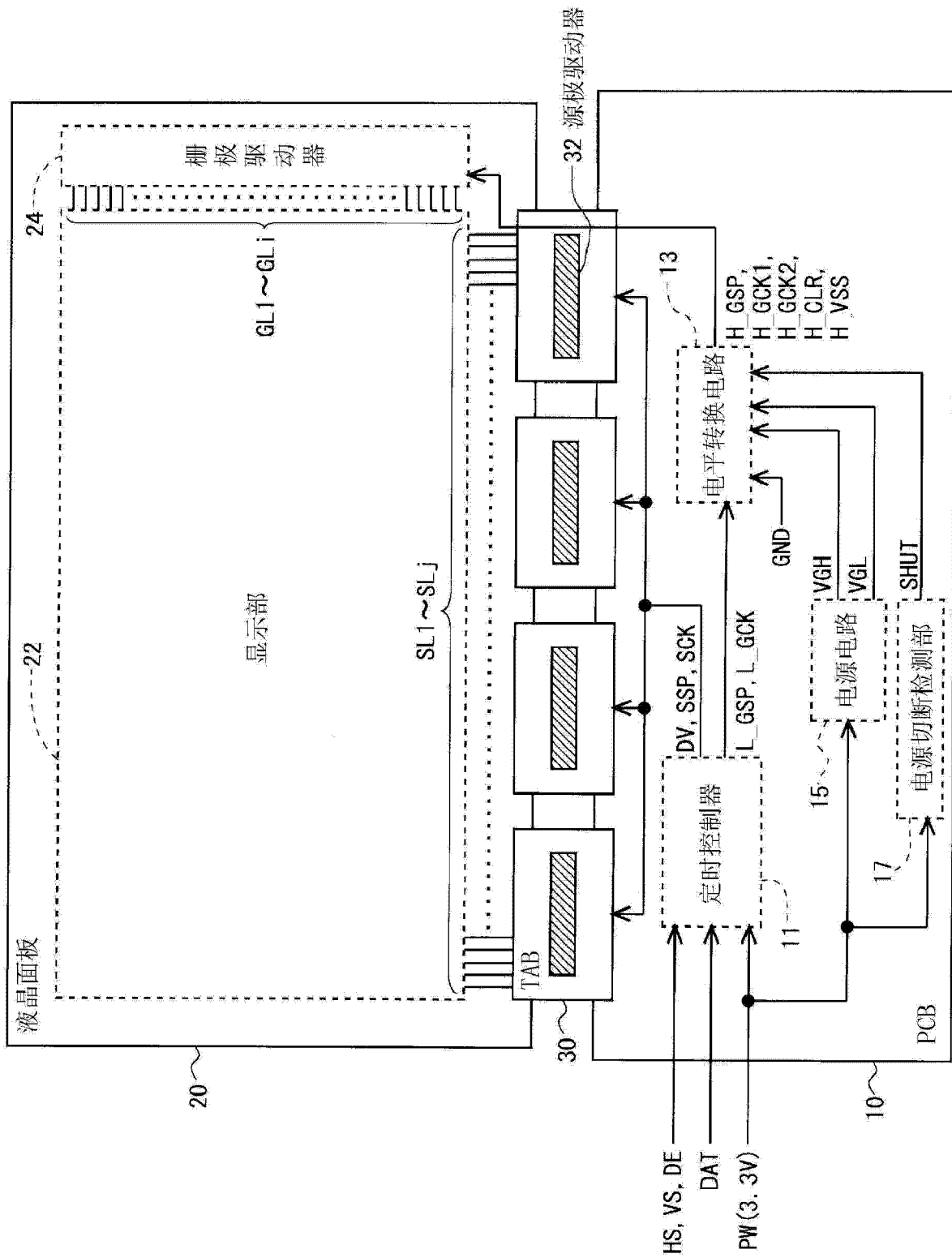


图 2

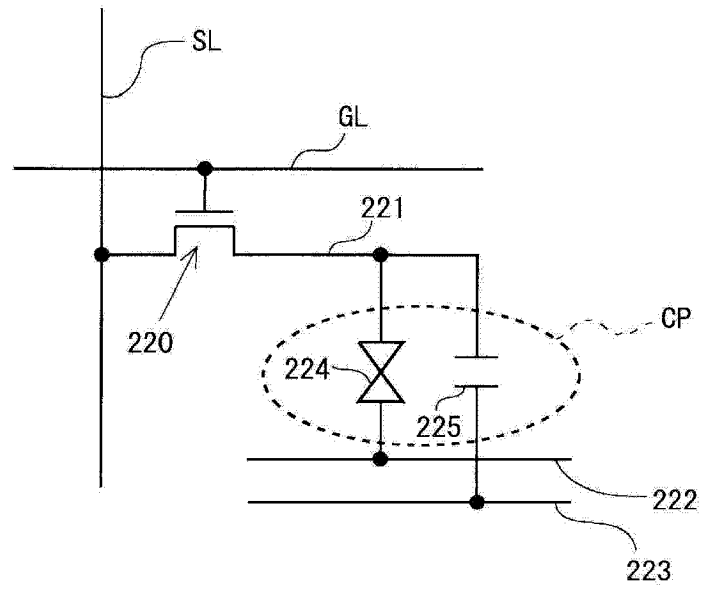


图 3

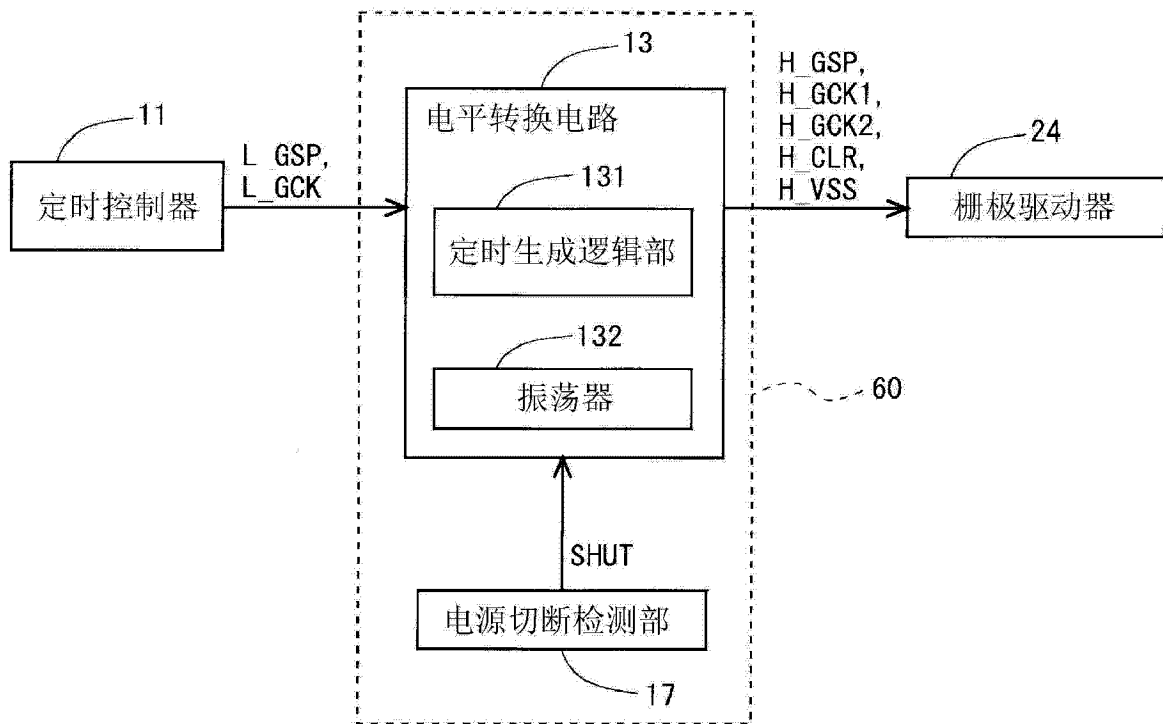


图 4

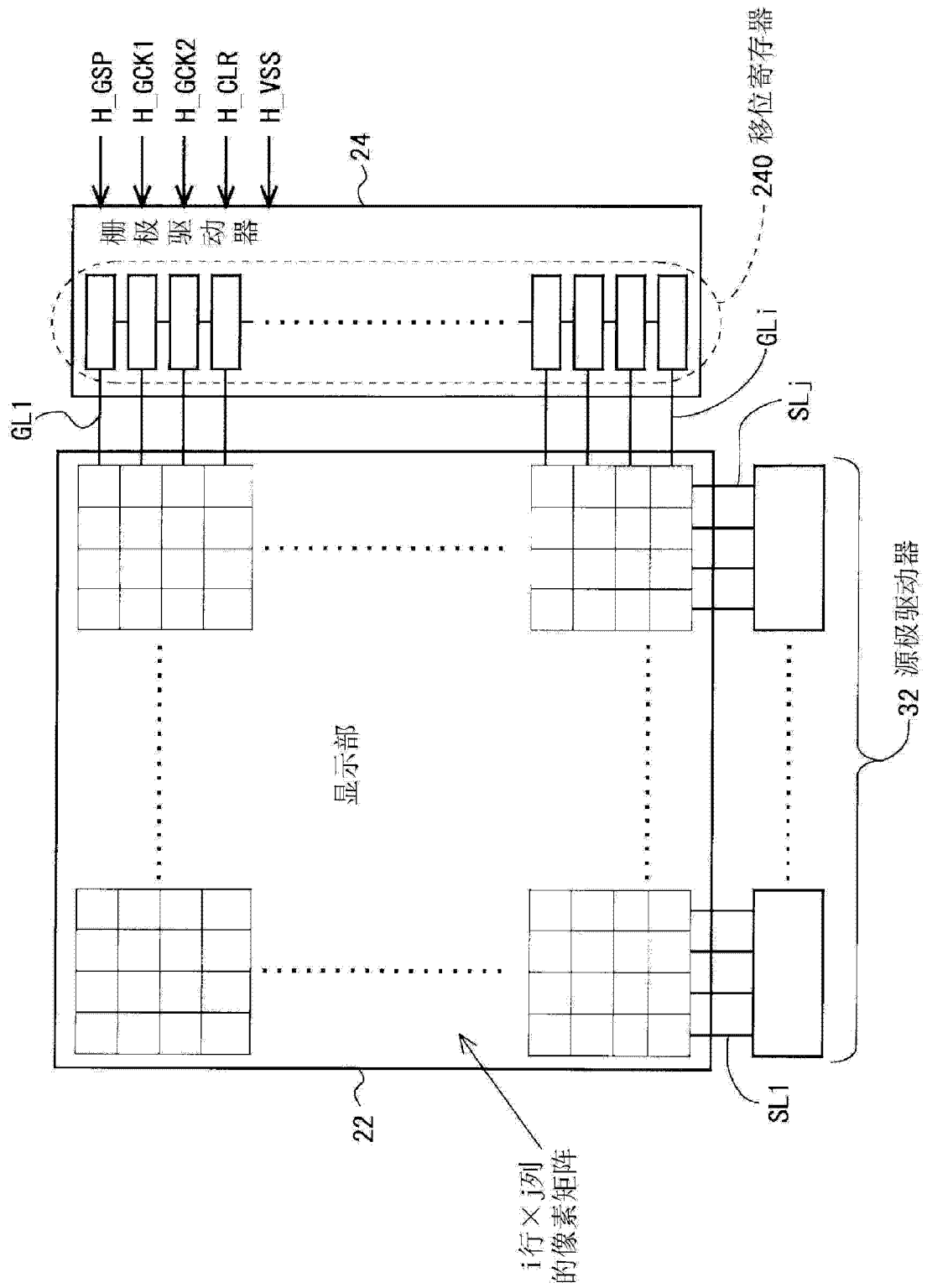


图 5

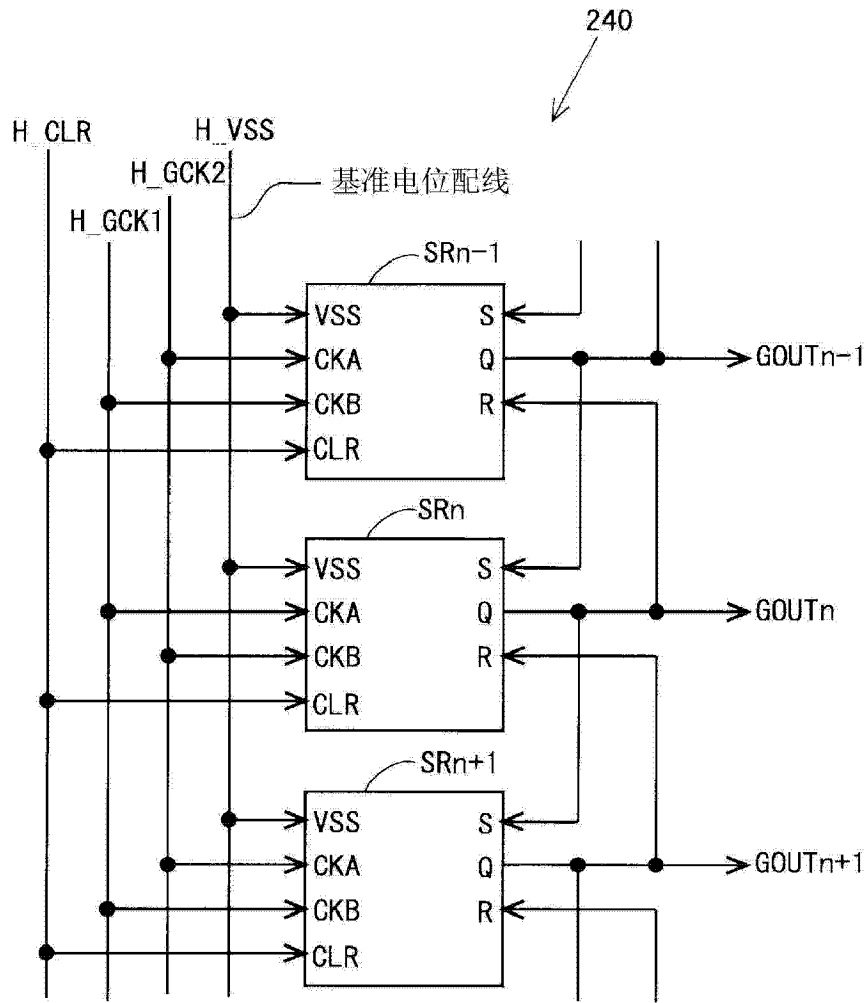


图 6

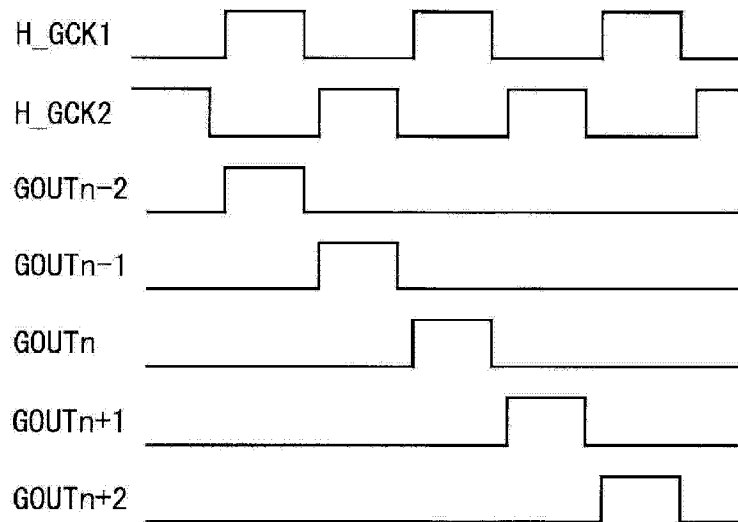


图 7

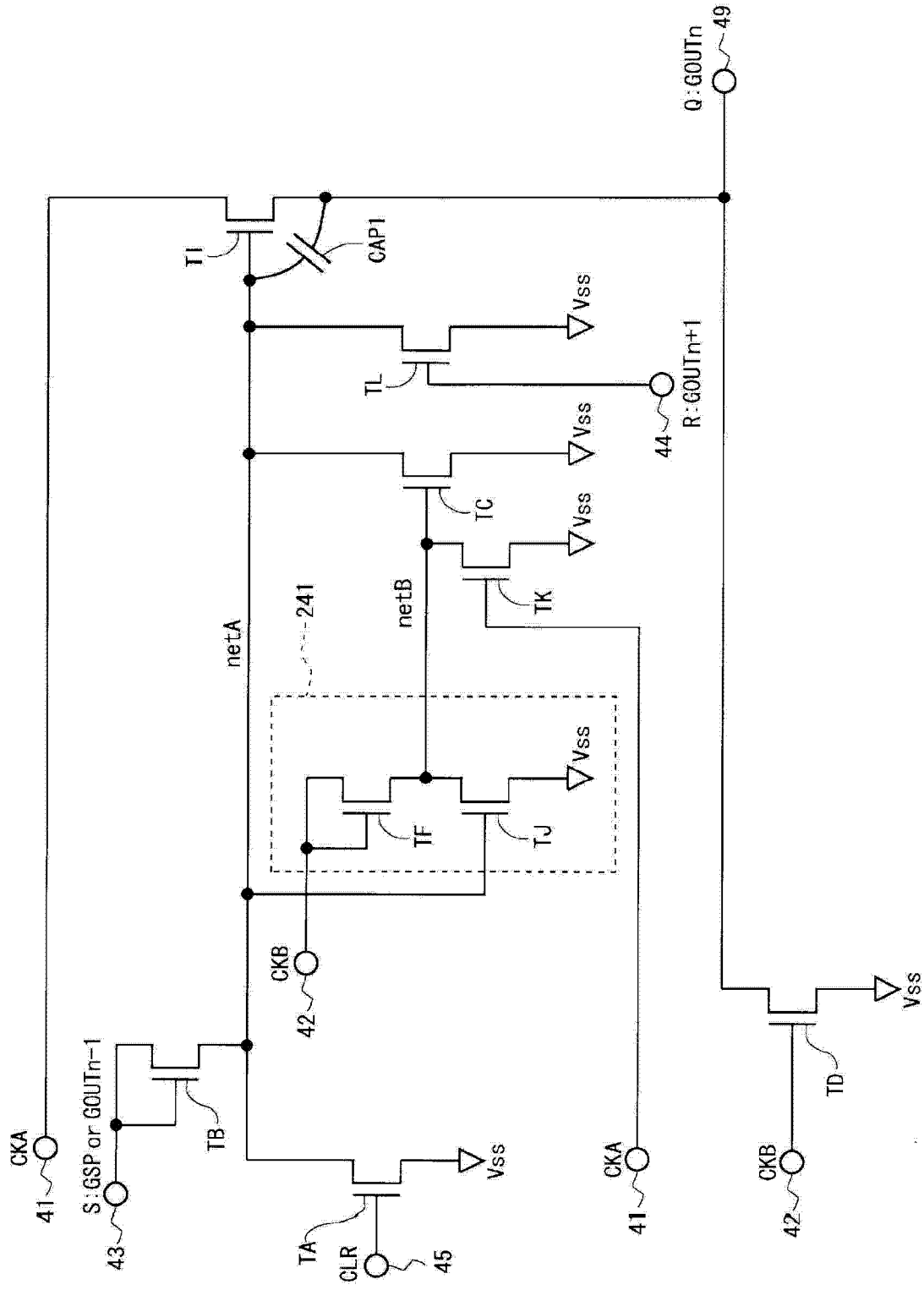


图 8

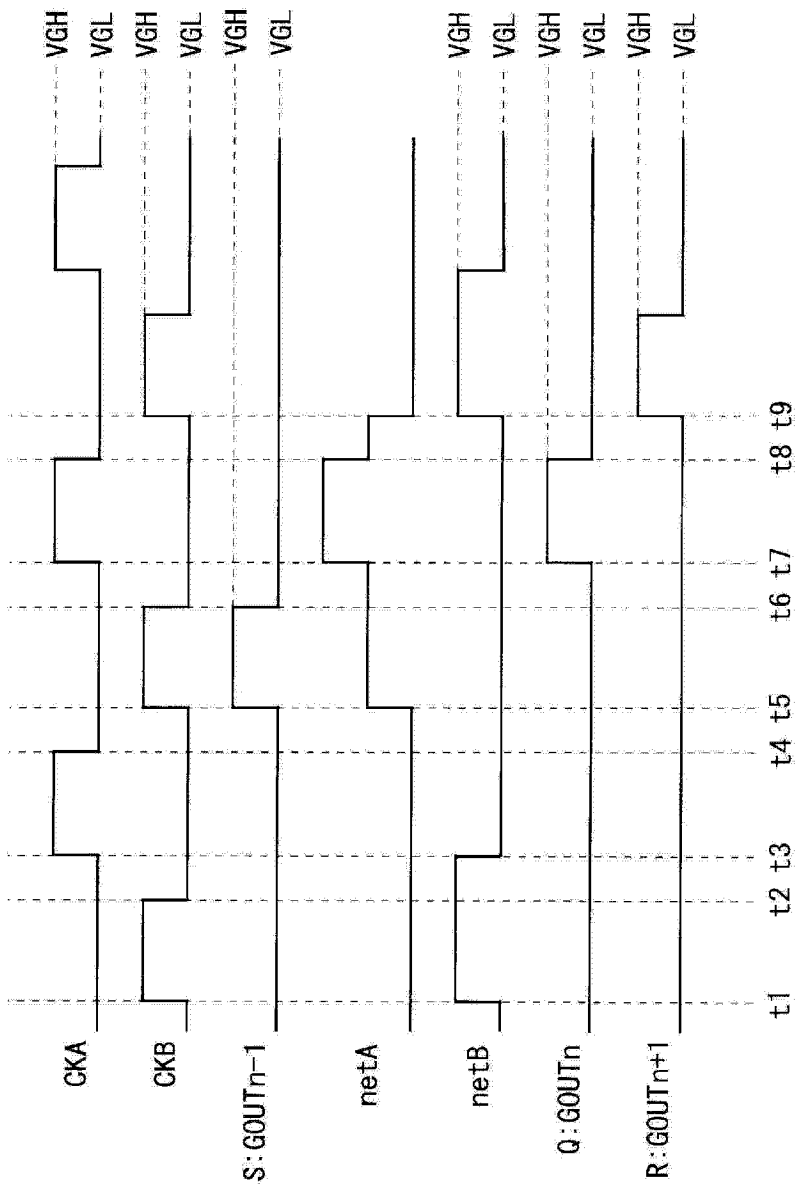


图 9

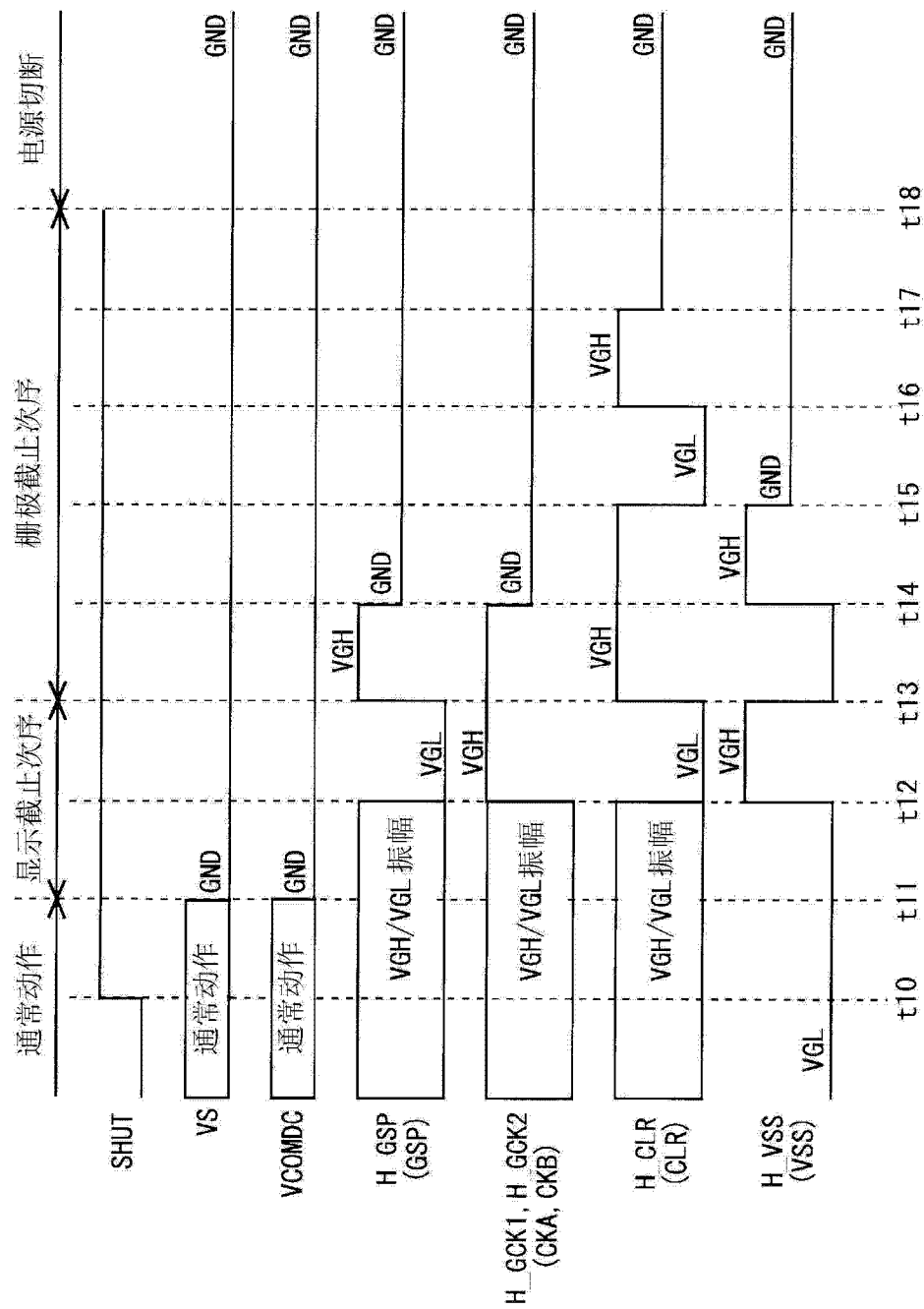


图 10

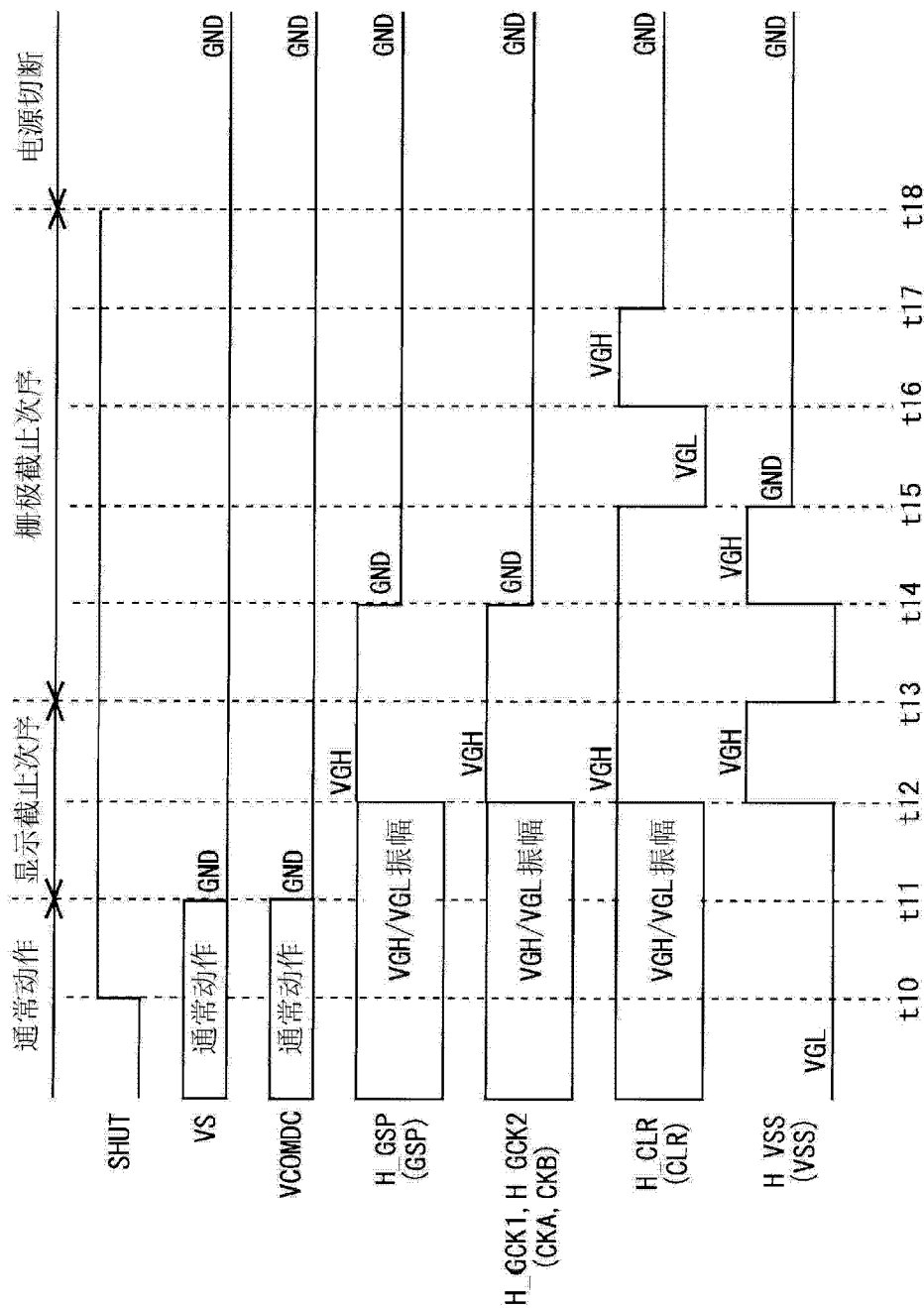


图 11

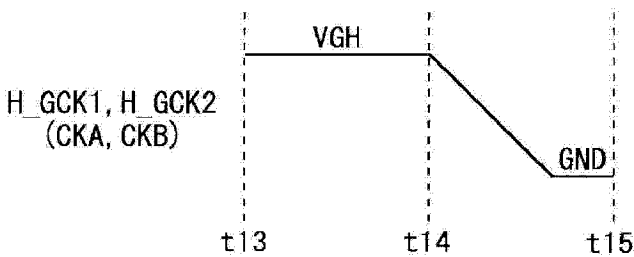


图 12

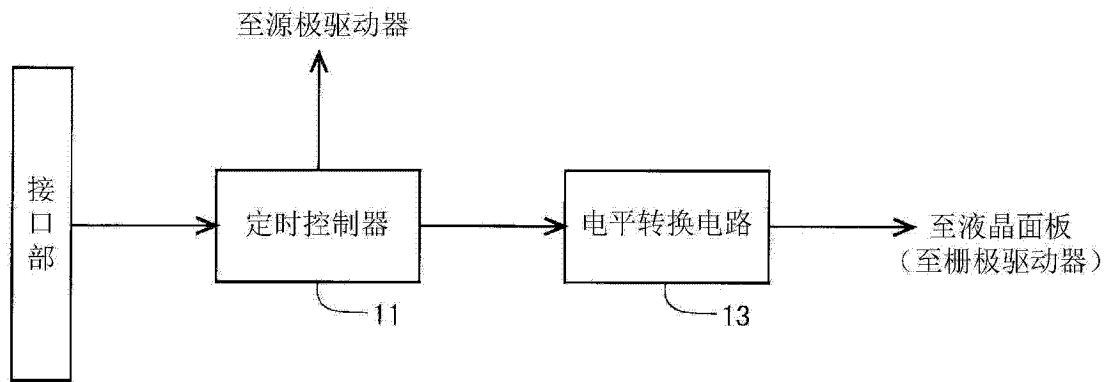


图 13

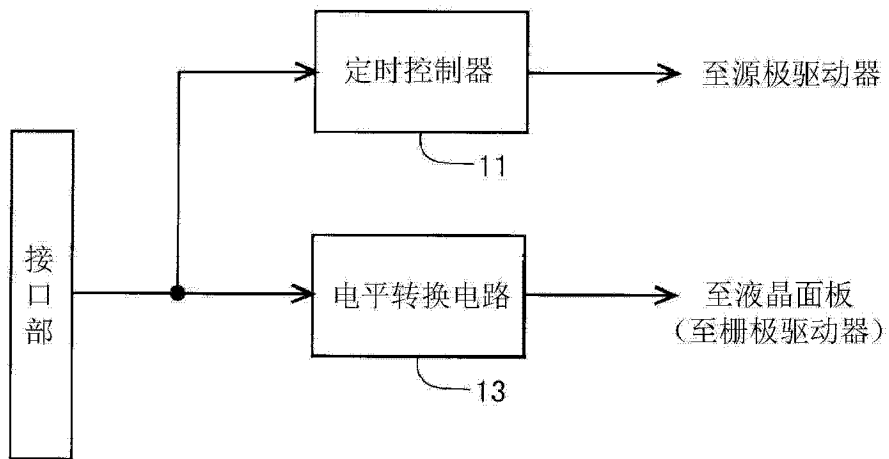


图 14

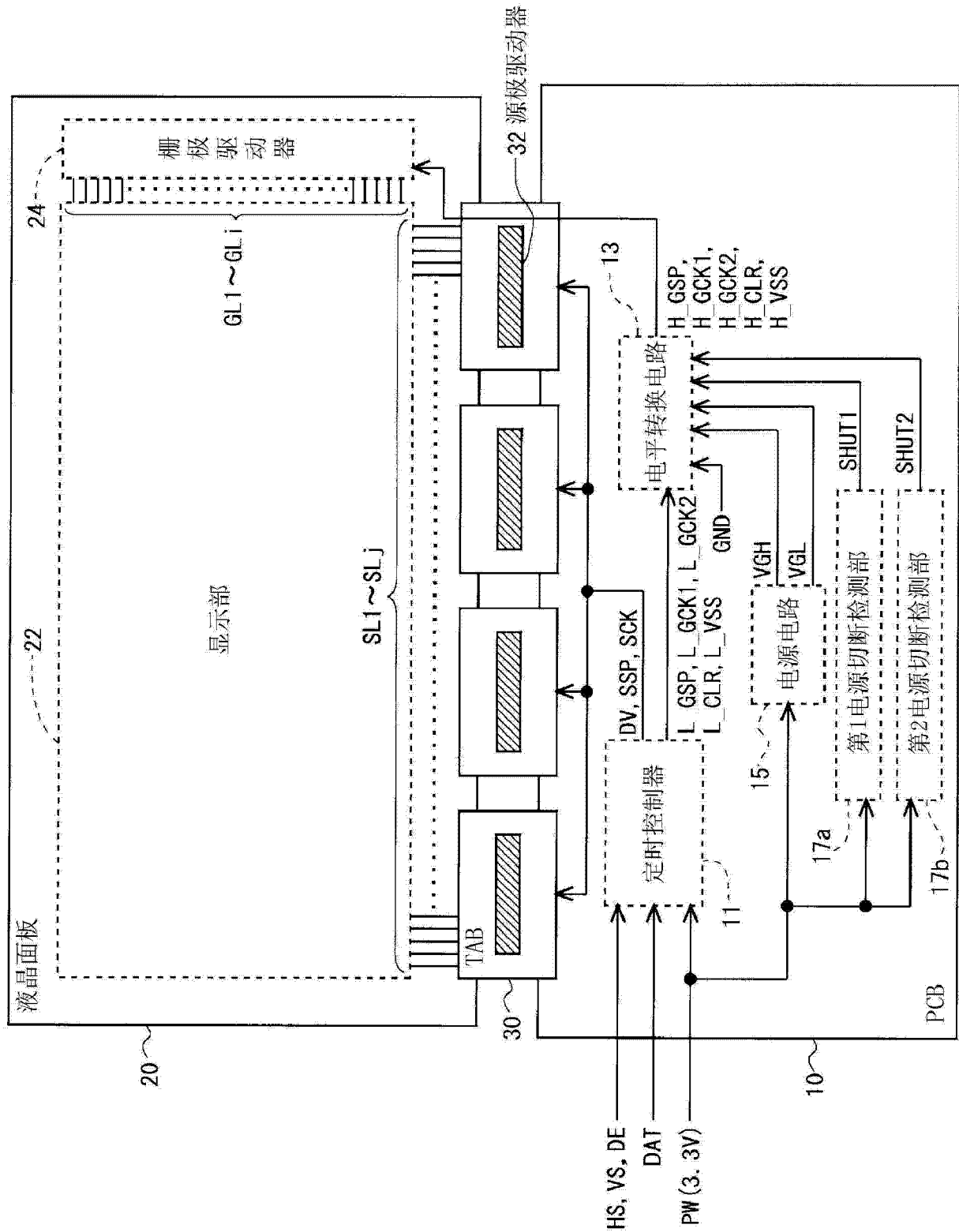


图 15

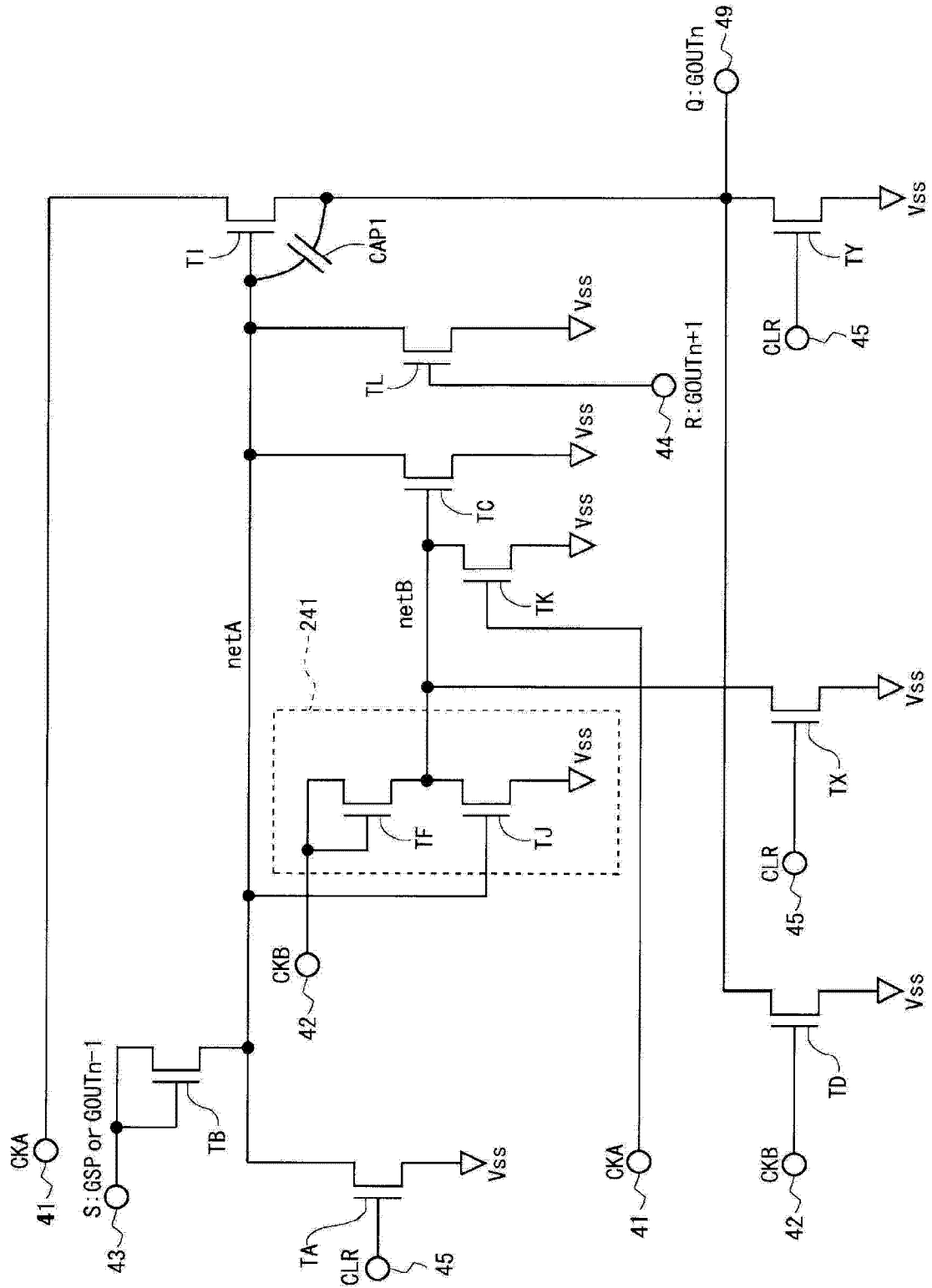


图 16

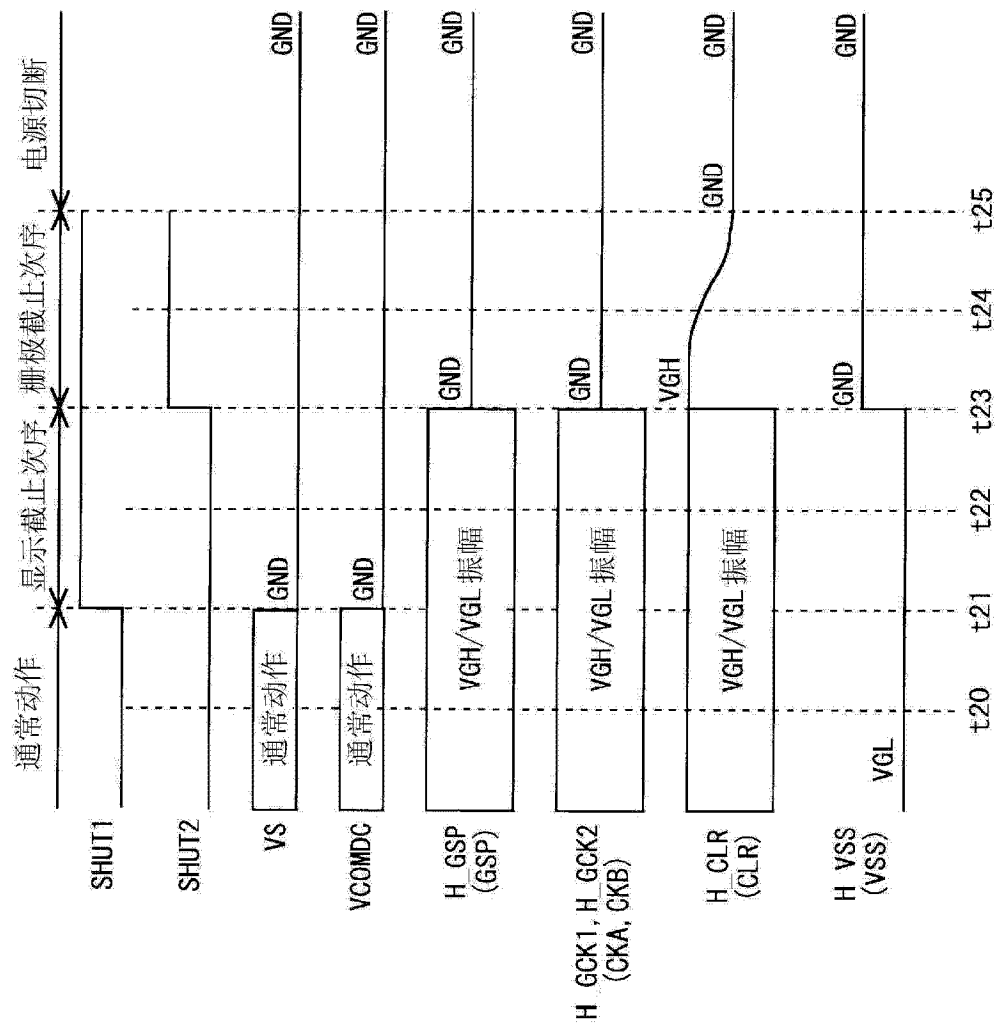


图 17

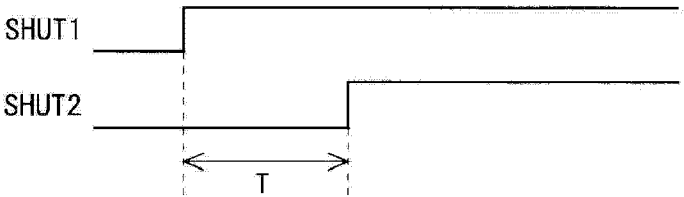


图 18

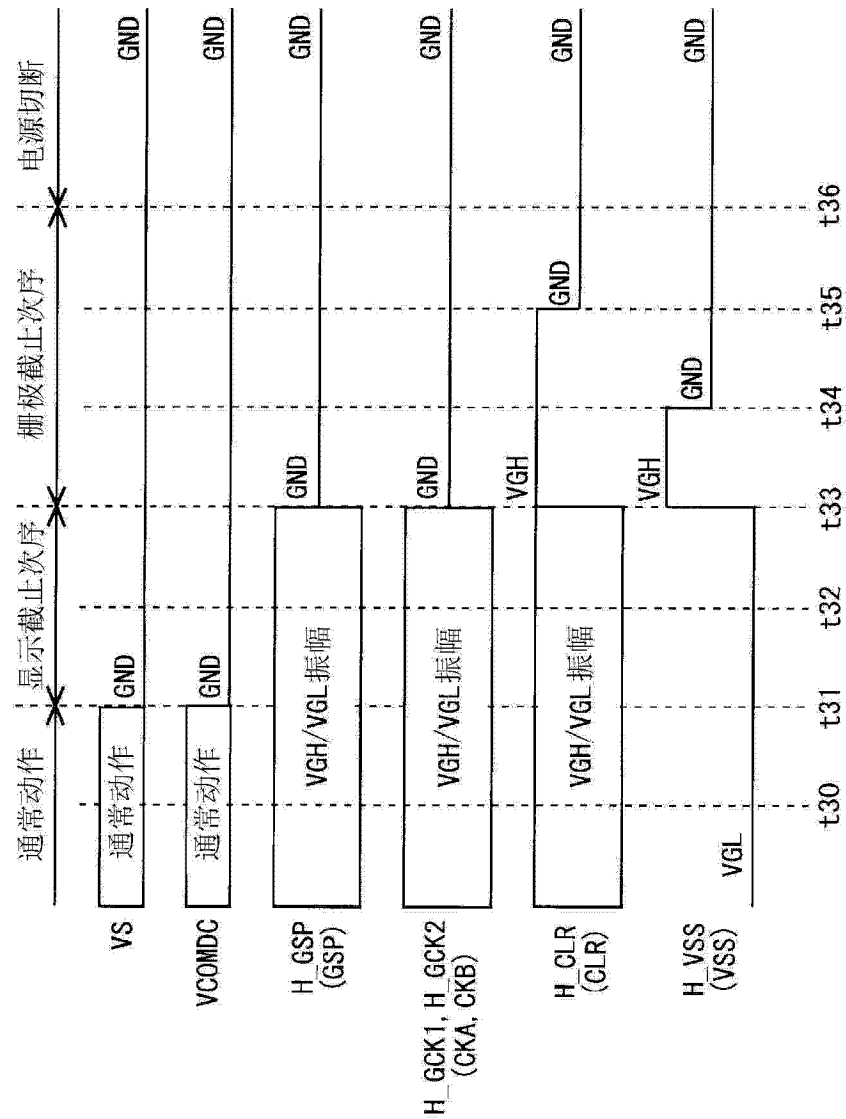


图 19

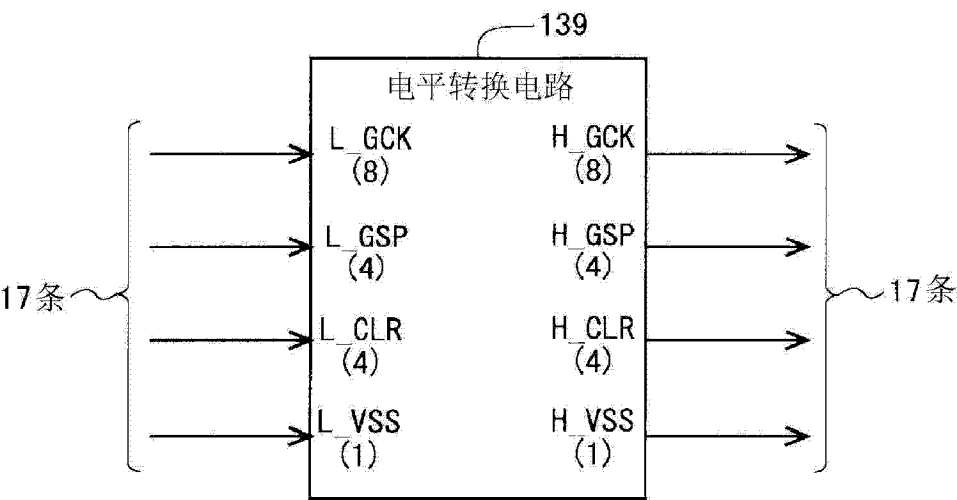


图 20

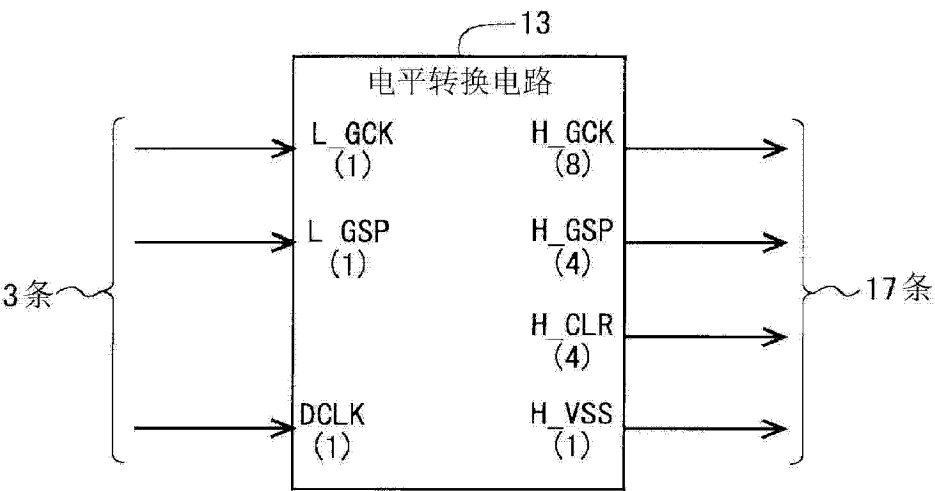


图 21

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	CN103703507A	公开(公告)日	2014-04-02
申请号	CN201280037108.7	申请日	2012-08-03
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	森井秀树 岩本明久 堀内智 水永隆行 中南和也		
发明人	森井秀树 岩本明久 堀内智 水永隆行 中南和也		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G09G2330/027 G09G3/3611		
优先权	2011175324 2011-08-10 JP		
其他公开文献	CN103703507B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供能够在电源切断时迅速除去面板内的残留电荷的具备IGZO-GDM的液晶显示装置及其驱动方法。构成移位寄存器的各双稳电路具备：薄膜晶体管（TI），其用于基于第1时钟使输出端子的电位上升；区域（netA），其连接到薄膜晶体管（TI）的栅极端子；薄膜晶体管（TC），其用于使区域（netA）的电位下降；以及区域（netB），其连接到薄膜晶体管（TC）的栅极端子。在这样的构成中，电源切断次序包括显示截止次序和栅极截止次序，栅极截止次序至少包含栅极总线放电步骤（t14~t15）、netB放电步骤（t15~t16）、netA放电步骤（t16~t17）。

