



(12) 发明专利申请

(10) 申请公布号 CN 104285177 A

(43) 申请公布日 2015. 01. 14

(21) 申请号 201380025355. X

(51) Int. Cl.

(22) 申请日 2013. 05. 09

G02F 1/1345 (2006. 01)

(30) 优先权数据

G02F 1/1339 (2006. 01)

2012-112771 2012. 05. 16 JP

G09G 3/20 (2006. 01)

G09G 3/36 (2006. 01)

(85) PCT国际申请进入国家阶段日

G11C 19/00 (2006. 01)

2014. 11. 14

G11C 19/28 (2006. 01)

(86) PCT国际申请的申请数据

PCT/JP2013/063022 2013. 05. 09

(87) PCT国际申请的公布数据

W02013/172243 JA 2013. 11. 21

(71) 申请人 夏普株式会社

地址 日本大阪府

(72) 发明人 森隆弘

(74) 专利代理机构 北京尚诚知识产权代理有限公司

公司 11322

代理人 龙淳

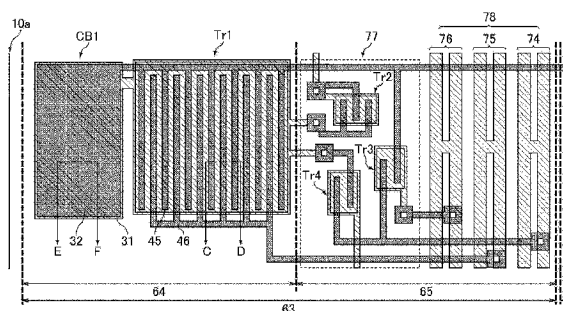
权利要求书2页 说明书20页 附图17页

(54) 发明名称

液晶显示器

(57) 摘要

本发明提供能够减少品质上的不良情况的发生、并且能够提高基板间的粘接强度的液晶显示器。本发明的液晶显示器具备：第一基板和第二基板；和密封件，第一基板包括：单片形成在绝缘基板上的移位寄存器；多根总线；第一端部；和显示区域，移位寄存器包括多级连接的多个单元电路和与多个单元电路连接的配线，并且配置在第一端部与显示区域之间的区域内，单元电路中的至少一个单元电路包括时钟端子、输出端子、输出晶体管、第二晶体管和自举电容器，输出晶体管和自举电容器配置在第一端部与配线或第二晶体管之间的区域内。



1. 一种液晶显示器,其具备:第一基板;与所述第一基板相对的第二基板;和设置在所述第一基板与所述第二基板之间的密封件,所述液晶显示器的特征在于:

所述第一基板包括:绝缘基板;单片形成在所述绝缘基板上的移位寄存器;多根总线;第一端部;和显示区域,

所述移位寄存器包括多级连接的多个单元电路和与所述多个单元电路连接的配线,并且配置在所述第一端部与所述显示区域之间的区域内,

所述多个单元电路中的至少一个单元电路包括:

被输入时钟信号的时钟端子;

与对应的总线连接,将输出信号输出的输出端子;

第一晶体管,该第一晶体管的源极和漏极中的一个与所述时钟端子连接,所述源极和所述漏极中的另一个与所述输出端子连接;

第二晶体管;和

电容器,该电容器的第一端子与所述第一晶体管的栅极连接,该电容器的第二端子与所述输出端子连接,

所述第一晶体管和所述电容器配置在所述第一端部与所述配线或所述第二晶体管之间的区域内。

2. 如权利要求1所述的液晶显示器,其特征在于:

所述第一基板包括:配置有所述配线和/或所述第二晶体管的第一区域;和配置有所述第一晶体管和/或所述电容器的第二区域,

所述密封件包括:与所述液晶层相邻的第一部分;和与所述第一部分相邻的第二部分,

所述第一部分配置在所述第一区域上,

所述第二部分配置在所述第二区域上。

3. 如权利要求1或2所述的液晶显示器,其特征在于:

所述配线和所述第二晶体管配置在所述显示区域与所述第一晶体管或所述电容器之间的区域内。

4. 如权利要求3所述的液晶显示器,其特征在于:

所述配线配置在所述第二晶体管与所述显示区域之间的区域内。

5. 如权利要求3所述的液晶显示器,其特征在于:

所述第二晶体管配置在所述配线与所述显示区域之间的区域内。

6. 如权利要求1或2所述的液晶显示器,其特征在于:

所述第一晶体管和所述电容器配置在所述配线与所述第二晶体管之间的区域内。

7. 如权利要求6所述的液晶显示器,其特征在于:

所述第二晶体管配置在所述第一端部与所述第一晶体管或所述电容器之间的区域内。

8. 如权利要求6所述的液晶显示器,其特征在于:

所述配线配置在所述第一端部与所述第一晶体管或所述电容器之间的区域内。

9. 如权利要求1或2所述的液晶显示器,其特征在于:

所述配线和所述第二晶体管中的一个配置在所述显示区域与所述第一晶体管或所述电容器之间的区域内,

所述配线和所述第二晶体管中的另一个配置在所述第一晶体管与所述电容器之间的区域内。

10. 如权利要求 1 ~ 9 中任一项所述的液晶显示器,其特征在于:

所述密封件包含具有光固化性和热固化性的材料的固化物。

11. 如权利要求 1 ~ 10 中任一项所述的液晶显示器,其特征在于:

所述第二基板具有与所述移位寄存器相对的遮光部件。

12. 如权利要求 1 ~ 11 中任一项所述的液晶显示器,其特征在于:

对所述配线传送脉冲信号。

13. 如权利要求 1 ~ 12 中任一项所述的液晶显示器,其特征在于:

所述第一基板包括设置在所述显示区域内的多个像素电路,

所述多个像素电路各自包括:像素用晶体管;和与所述像素用晶体管连接的像素电极,

所述多根总线各自与对应的多个像素用晶体管的栅极连接。

液晶显示器

技术领域

[0001] 本发明涉及液晶显示器。更详细而言,涉及适合于具备移位寄存器的液晶显示器的液晶显示器。

背景技术

[0002] 有源矩阵型的液晶显示器通常以行为单位选择呈矩阵状排列的像素,对所选择的像素写入与显示数据相应的电压,由此显示图像。为了以行为单位选择像素,在栅极总线用的驱动电路(以下也称为栅极驱动器)内设置有基于时钟信号使输出信号(扫描信号)依次移位的移位寄存器。

[0003] 有使用用于形成像素内的薄膜晶体管(TFT)的制造工艺,与像素内的 TFT 同时形成栅极驱动器的情况。例如,在使用非晶硅形成像素内的 TFT 的情况下,为了削减制造成本,优选栅极驱动器中包含的移位寄存器也使用非晶硅形成。这样,最近有在阵列基板上单片形成栅极驱动器的情况。

[0004] 另外,近年来,作为在液晶显示器的液晶面板内填充液晶材料的方法,开发了滴下注入法(ODF 法)。根据滴下注入法,能够同时进行将 2 个基板贴合的工序和将液晶材料封入 2 个基板之间的工序。

[0005] 作为关于栅极驱动器的单片形成的技术,可以列举以下的技术。

[0006] 公开了一种显示装置,其中,显示面板包括:设置有多根栅极线和多根数据线的的第一基板;与第一基板相对的第二基板;和将第一基板和第二基板结合的密封材料,栅极驱动部包括:从外部接收多个信号的配线部;和对多个信号进行响应而输出驱动信号的电路部,在配线部设置有开口部,该开口部使为了将密封材料固化而通过第一基板的背面入射的光透过(例如,参照专利文献 1)。专利文献 1 中记载有通过密封材料使第一基板与第二基板的结合力提高。

[0007] 公开了一种驱动单元,该驱动单元包括电路部和配线部,电路部包括级联连接的多个级,根据多个控制信号输出驱动信号,配线部包括:从外部接受多个控制信号的输入的第一和第二信号配线;使第一信号配线与多个级连接的第一连接配线;和使第二信号配线与多个级连接的第二连接配线,第一信号配线、第一和第二连接配线配置在与第二信号配线不同的层(例如,参照专利文献 2)。

[0008] 公开了一种显示基板,该显示基板包括栅极配线、驱动电路部、信号配线部、连结配线部和接触部,栅极配线形成在显示区域,与源极配线交叉,驱动电路部形成在将显示区域包围的周边区域,对栅极配线输出栅极信号,信号配线部与驱动电路部相邻地形成,在源极配线的延长方向延长,传递驱动信号,连结配线部包括重叠在信号配线部的一个端部和与驱动电路部电连结的另一个端部,接触部形成在信号配线部上,将连结配线部的一个端部和信号配线部电连接(例如,参照专利文献 3)。

[0009] 公开了一种驱动电路,该驱动电路包括多个驱动级和伪级,多个驱动级通过各级的输出端子与前一级的控制端子连结而相互级联连结,对与在排列成矩阵形态的各个像素

上形成的开关元件连结的多根驱动信号线,依次输出开关元件驱动信号,伪级的伪输出端子分别与多个驱动级中的最后一级的控制端子和自身的伪控制端子连结(例如,参照专利文献4)。

[0010] 公开了一种液晶显示装置,其中,将以往的第一辅助电容干配线的宽度形成得较细,另外新设置第二辅助电容干配线,并将其配置在与基板的外缘部最接近的位置(例如,参照专利文献5)。专利文献5的第五实施方式和图13中记载有以下的结构:在第二辅助电容干配线440、和驱动信号供给干配线420中宽度最大的直流电压VSS用配线420a中设置有狭缝状的开口部。

[0011] 公开了一种TFT,其具备:由第一电容电极和第二电容电极形成的第一电容;由第三电容电极和第四电容电极形成的第二电容;第一引出配线;与栅极电极连接的第二引出配线;第三引出配线;第四引出配线;第一配线;和第二配线(例如,参照专利文献6)。

[0012] 公开了一种移位寄存器,其为将单元电路多级连接而构成的移位寄存器,单元电路包括:设置在时钟端子与输出端子之间,根据栅极电位来切换是否使时钟信号通过的输出晶体管;和一个导通端子与输出端子的栅极连接的1个以上的控制晶体管,构成为在输出晶体管为导通状态、时钟信号成为高电平的期间,输出晶体管的栅极电位比时钟信号的高电平电位高,控制晶体管中包括沟道长度比输出晶体管的沟道长度长的晶体管(例如,参照专利文献7)。

[0013] 公开了一种移位寄存器,其为以具备多个移位寄存器级在基板上纵连连接的结构的方式形成的移位寄存器,移位寄存器级具备第一晶体管,该第一晶体管具备相对于2个源极电极/漏极电极中的至少一个在与栅极电极相反的一侧在膜厚方向上相对的电容电极,电容电极和与电容电极相对的任一个源极电极/漏极电极中的任一个,与移位寄存器级的输出晶体管的控制电极电连接(例如,参照专利文献8)。

[0014] 作为关于滴下注入法的技术,可以列举以下的技术。

[0015] 公开了一种液晶显示面板,该液晶显示面板具备:TFT基板;与TFT基板相对配置的CF基板;被TFT基板和CF基板夹持,形成在两基板的周边部的密封材料;和设置在TFT基板与CF基板之间的液晶层,CF基板在设置密封材料的周边部具有遮光层,遮光层在与TFT基板的配线重叠的区域具有间隙(例如,参照专利文献9)。

[0016] 公开了一种液晶显示面板,该液晶显示面板具备:相互相对配置的有源矩阵基板和对置基板;和设置在两基板之间的液晶层,且规定有显示区域和其周围的非显示区域,在非显示区域中,在两基板之间具有窄幅的线状部分和宽度比线状部分宽的宽幅部分,设置有由光固化性材料构成的框形状的密封部,在有源矩阵基板上图案形成有遮光性的显示用配线,在对置基板上设置有黑矩阵,该黑矩阵沿着密封部的内周端形成,且在与宽幅部分对应的位置具有缺口部分(例如,参照专利文献10)。

[0017] 公开了一种液晶光学元件的制造方法,包括:密封件形成工序,在第一透明基板上形成闭环形状的紫外线固化型的密封件;液晶滴下工序,在由密封件包围的区域内滴下液晶;和密封件正式固化工序,隔着规定的间隙,在第一透明基板上通过密封件贴合第二透明基板之后,使密封件正式固化,在密封件形成工序与液晶滴下工序之间进行密封件临时固化工序,通过具有遮光部的掩模,向密封件内侧区域照射该紫外线,使密封件的一部分区域临时固化(例如,参照专利文献11)。

- [0018] 现有技术文献
- [0019] 专利文献
- [0020] 专利文献 1 :日本特开 2006-39524 号公报
- [0021] 专利文献 2 :日本特开 2006-79041 号公报
- [0022] 专利文献 3 :日本特开 2008-26865 号公报
- [0023] 专利文献 4 :日本特表 2005-522734 号公报
- [0024] 专利文献 5 :国际公开 2011/067963 号
- [0025] 专利文献 6 :国际公开 2009/150862 号
- [0026] 专利文献 7 :国际公开 2010/137197 号
- [0027] 专利文献 8 :国际公开 2011/135873 号
- [0028] 专利文献 9 :国际公开 2006/098475 号
- [0029] 专利文献 10 :日本特开 2007-65037 号公报
- [0030] 专利文献 11 :日本特开 2009-210965 号公报

发明内容

[0031] 发明要解决的技术问题

[0032] 参照图 19,对比较方式 1 的液晶显示器进行说明。

[0033] 比较方式 1 的液晶显示器具备 :阵列基板 ;对置基板 ;用于将两基板彼此贴合的密封件 ;和单片形成在阵列基板上的移位寄存器。移位寄存器具有 :与栅极总线连接的输出晶体管 Tr11 ;与输出晶体管 Tr11 连接的自举电容器 CB11 ;晶体管 Tr12 ~ Tr14 ;和由配线 174 ~ 176 构成的配线组 178。

[0034] 比较方式 1 的液晶显示器通过滴下注入法制作,密封件包括具有光固化性(例如紫外线固化性)和热固化性的密封材料的固化物。密封材料通过被照射光而固化(临时固化)到某种程度,然后,通过被实施热处理而充分地固化(正式固化)。阵列基板包括被粗虚线夹着的带状区域(以下,也称为密封件涂敷区域)163,密封件在密封件涂敷区域 163 上形成为带状。密封件涂敷区域 163 的一个端部设定在配线组 178 与阵列基板的端部 110a 之间,另一个端部设定在自举电容器 CB11 与输出晶体管 Tr11 之间。

[0035] 在此,根据以下的理由,希望密封件的宽度尽可能形成得细。

[0036] 第一理由是因为,由于画面的高精细化和 / 或大画面化,输出晶体管 Tr11 和自举电容器 CB11 的面积增加。其结果,配置有自举电容器 CB11 和输出晶体管 Tr11 的区域 164 的宽度处于变宽的趋势。此外,当高精细化和 / 或大画面化时,需要提高对显示区域内的像素用晶体管的栅极施加规定电压的能力、即施加能力,因此,输出晶体管 Tr11 和自举电容器 CB11 的面积增加。

[0037] 第二理由是因为,作为追求利用液晶显示器的电子设备的便携性的一个环节,配置栅极驱动器、源极驱动器等的边框区域的宽度处于变窄的趋势。其结果,密封件涂敷区域 163 的宽度处于变窄的趋势。

[0038] 但是,在使密封件的宽度变细的情况下,阵列基板与密封件的粘接面积、以及对置基板与密封件的粘接面积变小。因此,从外部对液晶显示器施加物理力时的面板的剥离强度变弱。作为结果,有发生液晶泄漏等品质上的不良情况的情况。

[0039] 另外,假设在输出晶体管 Tr11 和自举电容器 CB11 上也涂敷密封材料的情况下,有在输出晶体管 Tr11 和自举电容器 CB11 上,对密封材料照射的光不足,不能使密封材料充分地临时固化的情况。这是因为,输出晶体管 Tr11 和自举电容器 CB11 包括遮光性的电极,作为遮光部件发挥功能,光被它们遮挡。而且,在该情况下,当没有临时固化的密封材料部分与液晶材料接触时,密封材料成分会溶解在液晶材料中,其结果,存在发生显示不良等的品质上的不良情况的情况。因此,在比较方式 1 中,密封件涂敷区域 163 需要设定在输出晶体管 Tr11 和自举电容器 CB11 以外的区域。

[0040] 此外,在专利文献 11 记载的技术中,在密封件形成工序和液晶滴下工序之间的密封件临时固化工序中,需要具有遮光部的掩模,因此,液晶显示器自身的单价上升。另外,密封件临时固化工序需要在将第一透明基板和第二透明基板贴合之前进行,从临时固化工序后到将两基板贴合为止的时间长。因此,尘埃等异物会混入液晶层,有可能带来显示亮点等显示品质上的不良情况。

[0041] 本发明鉴于上述现状而做出,其目的是提供能够减少品质上的不良情况的发生、并且能够提高基板间的粘接强度的液晶显示器。

[0042] 用于解决技术问题的手段

[0043] 本发明人对能够减少品质上的不良情况的发生、并且能够提高基板间的粘接强度的液晶显示器进行了各种研究,着眼于移位寄存器中包含的元件和配线的布局。发现,在配置在阵列基板的第一端部和显示区域之间的移位寄存器中,通过将输出晶体管和自举电容器配置在第一端部与这些以外的部件(更详细而言,配线、或输出晶体管以外的晶体管(第二晶体管))之间的区域内,能够将配线和/或第二晶体管配置在输出晶体管和自举电容器的显示区域侧。另外,发现,能够在配置有配线和/或第二晶体管的区域上使密封材料临时固化和正式固化,另一方面,能够在配置有输出晶体管和/或自举电容器的区域上使密封材料正式固化。根据以上的结果,发现能够抑制密封材料成分溶解在液晶层中,另外能够将密封材料的涂敷区域设定得较宽,而且能够抑制液晶泄漏的发生,想到能够很好地解决上述技术问题,从而完成了本发明。

[0044] 即,本发明的一个方面是一种液晶显示器(以下,也称为“本发明的显示器”),其具备:第一基板;与上述第一基板相对的第二基板;和设置在上述第一基板与上述第二基板之间的区域内的密封件,上述液晶显示器的特征在于:

[0045] 上述第一基板包括:绝缘基板;单片形成在上述绝缘基板上的移位寄存器;多根总线;第一端部;和显示区域,

[0046] 上述移位寄存器包括多级连接的多个单元电路和与上述多个单元电路连接的配线,并且配置在上述第一端部与上述显示区域之间的区域内,

[0047] 上述多个单元电路中的至少一个单元电路包括:

[0048] 被输入时钟信号的时钟端子;

[0049] 与对应的总线连接,将输出信号输出的输出端子;

[0050] 第一晶体管(输出晶体管),该第一晶体管(输出晶体管)的源极和漏极中的一个与上述时钟端子连接,上述源极和上述漏极中的另一个与上述输出端子连接;

[0051] 第二晶体管;

[0052] 电容器(自举电容器),该电容器(自举电容器)的第一端子与上述第一晶体管的

栅极连接,该电容器(自举电容器)的第二端子与上述输出端子连接,

[0053] 上述第一晶体管和上述电容器配置在上述第一端部与上述配线或上述第二晶体管之间的区域内。

[0054] 作为本发明的显示器的构成,只要以这样的构成要素作为必须构成要素而形成,就不由其他的构成要素特别限定。

[0055] 此外,上述移位寄存器可以具有多根上述配线,上述至少一个单元电路可以具有多个上述第二晶体管。在这些情况下,上述多根配线的用途通常相互不同,上述多个第二晶体管的用途通常相互不同。

[0056] 以下对本发明的显示器的优选实施方式进行说明。此外,以下的优选实施方式可以适当相互组合,将以下的2个以上的优选实施方式相互组合而得到的实施方式也是优选实施方式之一。

[0057] (A) 优选:上述第一基板包括:配置有上述配线和/或上述第二晶体管的第一区域;和配置有上述第一晶体管和/或上述电容器的第二区域,

[0058] 上述密封件包括:与上述液晶层相邻的第一部分;和与上述第一部分相邻的第二部分,

[0059] 上述第一部分配置在上述第一区域上,

[0060] 上述第二部分配置在上述第二区域上。

[0061] (B) 可以上述配线和上述第二晶体管配置在上述显示区域与上述第一晶体管或上述电容器之间的区域内。

[0062] 在上述实施方式(B)中,上述配线可以配置在上述第二晶体管与上述显示区域之间的区域内。

[0063] 在上述实施方式(B)中,上述第二晶体管可以配置在上述配线与上述显示区域之间的区域内。

[0064] (C) 可以上述第一晶体管和上述电容器配置在上述配线与上述第二晶体管之间的区域内。

[0065] 在上述实施方式(C)中,上述第二晶体管可以配置在上述第一端部与上述第一晶体管或上述电容器之间的区域内。

[0066] 在上述实施方式(C)中,上述配线可以配置在上述第一端部与上述第一晶体管或上述电容器之间的区域内。在该情况下,能够利用配线保护第一晶体管和第二晶体管不受从外部侵入的静电的影响。

[0067] (D) 可以:上述配线和上述第二晶体管中的一个配置在上述显示区域与上述第一晶体管或上述电容器之间的区域内,

[0068] 上述配线和上述第二晶体管中的另一个配置在上述第一晶体管与上述电容器之间的区域内。

[0069] (E) 优选上述密封件包含具有光固化性和热固化性的材料的固化物。

[0070] (F) 优选上述第二基板具有与上述移位寄存器相对的遮光部件。

[0071] 上述配线的用途没有特别限定,但是优选下述实施方式(G)。

[0072] (G) 对上述配线传送脉冲信号。

[0073] 上述总线的用途没有特别限定,但是优选下述实施方式(H)。此外,上述多根总线

通常与一行或一列的像素电路共用地连接。

[0074] (H) 优选：上述第一基板包括设置在上述显示区域内的多个像素电路，

[0075] 上述多个像素电路各自包括：像素用晶体管；和与上述像素用晶体管连接的像素电极，

[0076] 上述多根总线各自与对应的多个像素用晶体管的栅极连接。

[0077] 发明效果

[0078] 根据本发明，能够实现能够减少品质上的不良情况的发生、并且能够提高基板间的粘接强度的液晶显示器。

附图说明

[0079] 图 1 为实施方式 1 的液晶显示器中包含的液晶面板的平面示意图。

[0080] 图 2 为图 1 的 A-B 线的截面示意图。

[0081] 图 3 为实施方式 1 的液晶显示器中包含的液晶面板的平面示意图。

[0082] 图 4 为表示实施方式 1 的液晶显示器的构成的框图。

[0083] 图 5 为表示实施方式 1 中的移位寄存器的构成的框图。

[0084] 图 6 为实施方式 1 中的移位寄存器中包含的单元电路的电路图。

[0085] 图 7 表示实施方式 1 中的移位寄存器的时序图。

[0086] 图 8 表示实施方式 1 中的移位寄存器的时序图。

[0087] 图 9 为表示实施方式 1 的液晶显示器的边框区域的构成的平面示意图。

[0088] 图 10 为表示实施方式 1 的液晶显示器的边框区域的构成的平面示意图。

[0089] 图 11 为图 9 的 C-D 线的截面示意图。

[0090] 图 12 为图 9 的 E-F 线的截面示意图。

[0091] 图 13 为用于对实施方式 1 的液晶显示器的制造工序进行说明的图。

[0092] 图 14 为表示实施方式 1 的液晶显示器的边框区域的构成的平面示意图。

[0093] 图 15 为表示实施方式 2 的液晶显示器的边框区域的构成的平面示意图。

[0094] 图 16 为表示实施方式 3 的液晶显示器的边框区域的构成的平面示意图。

[0095] 图 17 为表示实施方式 4 的液晶显示器的边框区域的构成的平面示意图。

[0096] 图 18 为表示实施方式 5 的液晶显示器的边框区域的构成的平面示意图。

[0097] 图 19 为表示比较方式 1 的液晶显示器的边框区域的构成的平面示意图。

具体实施方式

[0098] 以下，给出实施方式，参照附图对本发明进行更详细的说明，但是本发明并不只限于这些实施方式。

[0099] （实施方式 1）

[0100] 参照图 1～14，对实施方式 1 的液晶显示器进行说明。首先，参照图 1～3，对本实施方式的液晶显示器的整体结构进行说明。

[0101] 本实施方式的液晶显示器为有源矩阵驱动方式、并且透射型的液晶显示器，具备：液晶面板 1；配置在液晶面板 1 的后方的背光源（未图示）；驱动并控制液晶面板 1 和背光源的控制部（未图示）；和将液晶面板 1 与控制部连接的挠性基板（未图示）。

[0102] 液晶面板 1 包括显示图像的显示部 2,在显示部 2 呈矩阵状配置有多个像素 3。此外,各像素 3 可以由多种颜色(例如,红色、绿色和蓝色 3 种颜色)的子像素构成。另外,本实施方式的液晶显示器可以是单色液晶显示器,在该情况下,不需要将各像素 3 分割为多个子像素。

[0103] 液晶面板 1 具有:与上述第一基板对应的阵列基板(有源矩阵基板)10;与上述第二基板对应,与阵列基板 10 相对的对置基板 50;设置在基板 10、50 之间的液晶层(显示用介质)61 和密封件 62;设置在阵列基板 10 的液晶层 61 侧的表面上的取向膜(未图示);设置在对置基板 50 的液晶层 61 侧的表面上的取向膜(未图示);和安装在阵列基板 10 上的源极驱动器 5。另外,液晶面板 1、阵列基板 10 和对置基板 50 包括:与显示部 2 对应的区域(显示区域)7;和显示区域 7 的周围的区域(边框区域)8。此外,源极驱动器 5 为后述的源极总线用的驱动电路。

[0104] 密封件 62 以包围显示区域 7 的方式形成在边框区域 8 内。另外,密封件 62 将基板 10、50 相互粘接,并且将液晶层 61 密封在基板 10、50 之间。

[0105] 阵列基板 10 设置在液晶显示器的背面侧,对置基板 50 设置在观察者侧。从背光源向阵列基板 10 照射光,从对置基板 50 侧观察显示在液晶面板 1 上的图像。在各基板 10、50 的与液晶层 61 相反的一侧的表面上粘贴有偏光板(未图示)。这些偏光板通常正交尼科耳配置。源极驱动器 5 利用 COG(Chip On Glass:玻璃基芯片)技术安装在阵列基板 10 的不与对置基板 50 相对的区域、即从对置基板 50 露出的区域(以下,也称为伸出区域)。

[0106] 阵列基板 10 具有:在显示区域 7 的左右单片地形成的栅极驱动器 6a、6b;形成在伸出区域内的端子 26、27、28、29、30;以纵断显示区域 7 的方式设置的源极总线(数据信号线)12;以横断显示区域 7 的方式设置的栅极总线(扫描信号线)13 和共用总线 17;分别形成在边框区域 8 内的引出线 18、19;以包围显示区域 7 的方式形成在边框区域 8 内的配线(以下,也称为共用干配线)16;和形成在边框区域 8 内的输入配线 25。栅极总线 13 包括:与左侧的栅极驱动器 6a 的输出端子连接的栅极总线 13;和与右侧的栅极驱动器 6b 的输出端子连接的栅极总线 13,它们交替地配置。栅极总线 13 相当于上述实施方式(D)中的总线。在设置有端子 26、28、30 的区域(图 3 中的由粗的双点划线包围的区域)安装有挠性基板。各源极总线 12 通过对应的引出线 18 和端子 27,与源极驱动器 5 的输出部连接。从控制部,通过挠性基板、端子 28、输入配线 25 和端子 29,向源极驱动器 5 的输入部输入各种信号和电源电压。从控制部,通过挠性基板和端子 30 向共用干配线 16 输入共用信号。此外,共用信号是对全部像素共用地施加的信号。共用总线 17 在边框区域 8 内与共用干配线 16 连接,从共用干配线 16 向共用总线 17 施加共用信号。

[0107] 从控制部,通过挠性基板、端子 26 和引出线 19 向栅极驱动器 6a、6b 供给各种信号和电源电压。详细情况在后面进行说明。被称为栅极单片(gate monolithic)、无栅极驱动器(gate driverless)、面板内置栅极驱动器(gate driver incorporated in panel)、栅极内置面板(gate in panel)、阵列基板上栅极(gate-on array)等的栅极驱动器全部可以包括在栅极驱动器 6a、6b 中。此外,可以代替设置 2 个栅极驱动器 6a、6b,而仅设置发挥与 2 个栅极驱动器 6a、6b 同样的功能的 1 个栅极驱动器。

[0108] 对置基板 50 具有透明的(具有透光性的)绝缘基板 51、作为遮光部件发挥功能的黑矩阵(BM)52、和多个柱状的间隔物(未图示)。BM52 以将边框区域 8 和与总线相对的区

域遮光的方式形成。BM52 形成框状,覆盖栅极驱动器 6a、6b。此外,在图 2 中,在显示区域 7 内省略了 BM52 的图示。在显示区域 7 内可以设置多种颜色的滤色片,各滤色片以覆盖由 BM52 划分出的区域、即 BM52 的开口的方式形成。另外,对置基板 50 可以具有覆盖全部滤色片的透明的(具有光透射性的)外涂膜(overcoat film)。柱状的间隔物配置在 BM52 上的遮光区域内。另外,可以在密封件 62 内混入粒状的间隔物(未图示)。这些间隔物是用于使阵列基板 10 与对置基板 50 的距离一定的部件,两基板间的距离(单元间隙)设定为 $4.0\mu\text{m}$ 左右。

[0109] 作为滤色片材料,可以列举混合有颜料的丙烯酸树脂等,作为 BM52 的材料,可以列举铬、混合有黑色颜料的丙烯酸树脂等。优选 BM52 的厚度为 $1.0\mu\text{m}$ 左右,由混合有黑色颜料的丙烯酸树脂形成。外涂膜由透明的绝缘材料形成。具体而言,可以利用丙烯酸树脂和环氧树脂等具有光透射性的固化性树脂。外涂膜优选由丙烯酸树脂形成,其厚度优选为 $2.0\mu\text{m}$ 左右。外涂膜具有物理地或化学地保护滤色片的功能。

[0110] 此外,本实施方式的液晶显示器的液晶模式没有特别限定。在 TN(Twisted Nematic:扭转向列)模式、VA(Vertical Alignment:垂直取向)模式等利用纵向电场的液晶模式的情况下,对置基板 50 具有被施加共用信号的对置电极,阵列基板 10 具有与共用干配线 16 连接的转接用电极 14,两电极通过导通部件相互连接。对置电极由铟锡氧化物(ITO:Indium Tin Oxide)、锡氧化物(SnO₂)、氧化铟铅(IZO:Indium Zinc Oxide)等透明导电材料(具有光透射性的导电材料)形成。优选利用 ITO。作为导通部件,例如可以列举混入有具有导电性的微粒的固化性树脂、银、碳膏等。也可以在密封材料中混入具有导电性的微粒,使用该微粒作为导电部件。作为具有导电性的微粒,可以列举在树脂制的微粒上涂敷金等金属而得到的微粒。

[0111] 接着,参照图 4~8,对本实施方式的液晶显示器的电路结构和动作进行说明。

[0112] 如图 4 所示,本实施方式的液晶显示器具备:像素阵列 71;设置在控制部内的显示控制电路 72;源极驱动器 5;和栅极驱动器 6a、6b。

[0113] 像素阵列 71 包括:与上述栅极总线 13 对应的 n 根栅极总线 $G1 \sim Gn$;与上述源极总线 12 对应的 m 根源极总线 $S1 \sim Sm$;和分别形成在上述像素 3 中的 $(m \times n)$ 个像素电路 Pij 。 n 和 m 为 2 以上的整数, i 为 1 以上 n 以下的整数, j 为 1 以上 m 以下的整数。栅极总线 $G1 \sim Gn$ 相互平行地配置,源极总线 $S1 \sim Sm$ 以与栅极总线 $G1 \sim Gn$ 正交的方式相互平行地配置。在栅极总线 Gi 与源极总线 Sj 的交点附近配置有像素电路 Pij 。这样, $(m \times n)$ 个像素电路 Pij 在行方向配置 m 个,在列方向配置 n 个,配置成 2 维状。栅极总线 Gi 与配置在第 i 行的像素电路 Pij 共用地连接,源极总线 Sj 与配置在第 j 列的像素电路 Pij 共用地连接。另外,在像素电路 Pij 中分别设置有作为开关元件的像素用 TFT4 和像素电极 9, TFT4 的栅极与栅极总线 Gi 连接, TFT4 的漏极和源极中的一个与源极总线 Sj 连接,另一个与像素电极 9 连接。

[0114] 从本实施方式的液晶显示器的外部,供给水平同步信号 HSYNC、垂直同步信号 VSYNC 等控制信号和图像信号 DAT。显示控制电路 72 基于这些信号,对栅极驱动器 6a 输出时钟信号 CK1、CK2、和起动脉冲 SP1,对栅极驱动器 6b 输出时钟信号 CK3、CK4、和起动脉冲 SP2,对源极驱动器 5 输出控制信号 SC 和数字视频信号 DV。

[0115] 栅极驱动器 6a 包括移位寄存器 73a,移位寄存器 73a 包括多级连接的多个单元电

路 SR1、SR3、•••、SRn-1。单元电路 SR1、SR3、•••、SRn-1 与第奇数个栅极总线 G1、G3、•••、Gn-1 连接。

[0116] 栅极驱动器 6b 包括移位寄存器 73b, 移位寄存器 73b 包括多级连接的多个单元电路 SR2、SR4、•••、SRn。单元电路 SR2、SR4、•••、SRn 与第偶数个栅极总线 G2、G4、•••、Gn 连接。

[0117] 移位寄存器 73a、73b 将输出信号 SROUT1 ~ SROUTn 逐个地依次控制为高电平(表示选择状态)。输出信号 SROUT1 ~ SROUTn 分别被提供给栅极总线 G1 ~ Gn。由此, 栅极总线 G1 ~ Gn 逐根地依次被选择, 1 行的像素电路 Pij 一并被选择。即, 1 行的像素电路 Pij 的像素用 TFT4 成为导通状态。

[0118] 源极驱动器 5 基于控制信号 SC 和数字视频信号 DV, 对源极总线 S1 ~ Sm 施加与数字视频信号 DV 相应的电压。由此, 对被选择的 1 行的像素电路 Pij 写入与数字视频信号 DV 相应的电压。这样, 本实施方式的液晶显示器显示图像。

[0119] 如图 5 所示, 各单元电路 SR1 ~ SRn 具有输入端子 INa、INb、时钟端子 CKA、CKB、电源端子 VSS、和输出端子 OUT。

[0120] 对移位寄存器 73a 供给起动脉冲 SP1、结束脉冲 EP1、2 相的时钟信号 CK1、CK2、和低电平电位 VSS(为方便起见, 标注与电源端子相同的符号)。起动脉冲 SP1 被输入移位寄存器 73a 中的第一级的单元电路 SR1 的输入端子 INa。结束脉冲 EP1 被输入移位寄存器 73a 中的最后一级的单元电路 SRn-1 的输入端子 INb。时钟信号 CK1 被输入移位寄存器 73a 中的第奇数级的单元电路的时钟端子 CKA 和移位寄存器 73a 中的第偶数级的单元电路的时钟端子 CKB。时钟信号 CK2 被输入移位寄存器 73a 中的第偶数级的单元电路的时钟端子 CKA 和移位寄存器 73a 中的第奇数级的单元电路的时钟端子 CKB。低电平电位 VSS 被输入移位寄存器 73a 中的全部单元电路的电源端子 VSS。从单元电路 SR1、SR3、•••、SRn-1 的输出端子 OUT 分别输出输出信号 SROUT1、SROUT3、•••、SROUTn-1, 输出信号 SROUT1、SROUT3、•••、SROUTn-1 分别被输出至栅极总线 G1、G3、•••、Gn-1。另外, 各输出信号被输入后面第二级(当在移位寄存器 73a 中考虑时为后面第一级)的单元电路的输入端子 INa 和前面第四级(当在移位寄存器 73a 中考虑时为前面第二级)的单元电路的输入端子 INb。

[0121] 对移位寄存器 73b 供给起动脉冲 SP2、结束脉冲 EP2、2 相的时钟信号 CK3、CK4、和低电平电位 VSS。起动脉冲 SP2 被输入移位寄存器 73b 中的第一级的单元电路 SR2 的输入端子 INa。结束脉冲 EP2 被输入移位寄存器 73b 中的最后一级的单元电路 SRn 的输入端子 INb。时钟信号 CK3 被输入移位寄存器 73b 中的第奇数级的单元电路的时钟端子 CKA 和移位寄存器 73b 中的第偶数级的单元电路的时钟端子 CKB。时钟信号 CK4 被输入移位寄存器 73b 中的第偶数级的单元电路的时钟端子 CKA 和移位寄存器 73b 中的第奇数级的单元电路的时钟端子 CKB。低电平电位 VSS 被输入移位寄存器 73b 中的全部单元电路的电源端子 VSS。从单元电路 SR2、SR4、•••、SRn 的输出端子 OUT 分别输出输出信号 SROUT2、SROUT4、•••、SROUTn, 输出信号 SROUT2、SROUT4、•••、SROUTn 分别被输出至栅极总线 G2、G4、•••、Gn。另外, 各输出信号被输入后面第二级(当在移位寄存器 73b 中考虑时为后面第一级)的单元电路的输入端子 INa 和前面第四级(当在移位寄存器 73b 中考虑时为前面第二级)的单元电路的输入端子 INb。

[0122] 此外,低电平电位VSS,从使n沟道型的TFT可靠地成为导通状态的观点出发,优选为负的电位,但是,在作为像素用TFT4使用p沟道型的TFT的情况下,可以为正的电位。

[0123] 如图6所示,各单元电路包括:作为n沟道型的TFT的晶体管Tr1~Tr4;和电容器(以下,也称为自举电容器)CB1。以下,将晶体管Tr1也称为输出晶体管Tr1。

[0124] 输出晶体管Tr1中,漏极与时钟端子CKA连接,源极与输出端子OUT连接。晶体管Tr2中,漏极和栅极与输入端子INa连接,源极与输出晶体管Tr1的栅极连接。自举电容器CB1设置在输出晶体管Tr1的栅极与源极之间,一个端子与输出晶体管Tr1的栅极连接,另一个端子与输出端子OUT连接。晶体管Tr3中,漏极与输出端子OUT连接,栅极与时钟端子CKB连接,源极与电源端子VSS连接。晶体管Tr4中,漏极与输出晶体管Tr1的栅极连接,栅极与输入端子INb连接,源极与电源端子VSS连接。

[0125] 输出晶体管Tr1设置在时钟端子CKA与输出端子OUT之间,作为根据栅极电位来切换是否使时钟信号通过的晶体管(传送栅极)发挥作用。另外,输出晶体管Tr1的栅极与输出端子OUT侧的导通端子(源极)进行电容耦合。因此,如后所述,在输出晶体管Tr1为导通状态、被输入时钟端子CKA的时钟信号CK1或CK3(以下,也称为时钟信号CKA)成为高电平的期间,输出晶体管Tr1的栅极电位比时钟信号CKA的高电平电位高。以下,将连接输出晶体管Tr1的栅极的节点称为netA。

[0126] 图7和8表示移位寄存器73a、73b的时序图。图7图示了各移位寄存器中的第奇数级的单元电路的输入输出信号和节点netA的电压变化。

[0127] 如图7所示,各移位寄存器中的第奇数级的单元电路,通过时钟端子CKA被输入时钟信号CK1或CK3,通过时钟端子CKB被输入时钟信号CK2或CK4。各时钟信号CK1~CK4的电位为高电平的期间,与1/2周期大致相同。时钟信号CK2是将时钟信号CK1延迟1/2周期的信号,时钟信号CK3是将时钟信号CK1延迟1/4周期的信号,时钟信号CK4是将时钟信号CK2延迟1/4周期的信号。

[0128] 起动脉冲SP1和SP2分别在移位动作开始前,以与时钟信号CK2和CK4的电位为高电平的期间相同长度的时间,成为高电平。结束脉冲EP1和EP2(在图7和8中未图示)分别在移位动作结束后,以与时钟信号CK2和CK4的电位为高电平的期间相同长度的时间,成为高电平。

[0129] 参照图7,对各移位寄存器中的第奇数级的单元电路的动作进行说明。

[0130] 首先,当被输入到输入端子INa的信号(起动脉冲SP1、SP2、或前一级的前一级(当在各移位寄存器中考虑时为前一级)的单元电路的输出信号。以下也称为输入信号INa)从低电平变化为高电平时,通过连接有二极管的晶体管Tr2,节点netA的电位也变化为高电平,输出晶体管Tr1成为导通状态。

[0131] 接着,当输入信号INa变化为低电平时,晶体管Tr2成为截止状态,节点netA成为浮置状态,但是输出晶体管Tr1保持导通状态。

[0132] 接着,当时钟信号CKA(时钟信号CK1或CK3)从低电平变化为高电平时,自举电容器CB1被充电,通过自举效应,节点netA的电位上升到时钟信号CKA的振幅 $V_{ck} (= (高电平电位V_{GH}) - (低电平电位V_{GL}))$ 的2倍左右。输出晶体管Tr1的栅极电位充分高,因此,输出晶体管Tr1的源极-漏极间的电阻变小,时钟信号CKA不发生电压降低地通过输出晶体管Tr1。

[0133] 时钟信号 CKA 为高电平期间,节点 netA 的电位成为 V_{ck} 的 2 倍左右,输出信号 SROUT 成为高电平。

[0134] 接着,当时钟信号 CKA 变化为低电平时,节点 netA 的电位成为高电平。同时,被输入到时钟端子 CKB 的时钟信号 CK2 或 CK4(以下,也称为时钟信号 CKB)变化为高电平,由此,晶体管 Tr3 成为导通状态,对输出端子 OUT 施加低电平电位 VSS。这些的结果,输出信号 SROUT 成为低电平。

[0135] 接着,当被输入到输入端子 INb 的信号(结束脉冲 EP1、EP2、或后面第四级(当在各移位寄存器中考虑时为后面第二级)的单元电路的输出信号。以下,也称为输入信号 INb)从低电平变化为高电平时,晶体管 Tr4 成为导通状态。当晶体管 Tr4 成为导通状态时,对节点 netA 施加低电平电位 VSS,节点 netA 的电位变化为低电平,输出晶体管 Tr1 成为截止状态。

[0136] 接着,当输入信号 INb 变化为低电平时,晶体管 Tr4 成为截止状态。此时,节点 netA 成为浮置状态,但是输出晶体管 Tr1 保持截止状态。理想地,输出晶体管 Tr1 保持截止状态,输出信号 SROUT 保持低电平,直至输入信号 INa 成为下一个高电平。

[0137] 晶体管 Tr3 在时钟信号 CKB 为高电平时成为导通状态。因此,每当时钟信号 CKB 成为高电平时,对输出端子 OUT 施加低电平电位 VSS。这样,晶体管 Tr3 具有将输出端子 OUT 反复设定为低电平电位 VSS,使输出信号 SROUT 稳定化的功能。

[0138] 第偶数级的单元电路也与第奇数级的单元电路同样地进行动作。

[0139] 以上的结果,如图 8 所示,依次对栅极总线 G1、G2、G3、... 输出栅极脉冲。

[0140] 接着,参照图 9 ~ 14,对本实施方式的液晶显示器的边框区域的构成进行说明。

[0141] 如图 9 所示,在各栅极驱动器内设置有在与上述的栅极总线 13 正交的方向延伸的配线组 78。配线组 78 包括:被设定为低电平电位 VSS 的配线 74;传送时钟信号 CK1 或 CK3 的配线 75;和传送时钟信号 CK2 或 CK4 的配线 76。在各配线内形成有狭缝状的开口部。

[0142] 输出晶体管 Tr1 和自举电容器 CB1 相互相邻地配置。晶体管 Tr2 ~ Tr4 相互相邻地配置。配置有晶体管 Tr2 ~ Tr4 的区域(以下,也称为控制元件区域)77 位于配线组 78 与输出晶体管 Tr1 之间。输出晶体管 Tr1 和自举电容器 CB1 配置在控制元件区域 77 和配线组 78 的端部 10a 侧(显示区域 7 的相反侧)。

[0143] 如图 10 所示,阵列基板 10 包括由粗虚线夹着的带状区域(以下也称为密封件涂敷区域)63,密封件 62 以不从密封件涂敷区域 63 露出的方式在密封件涂敷区域 63 上形成成为带状。密封件涂敷区域 63 的一个端部设定在自举电容器 CB1 与阵列基板 10 的端部 10a 之间的区域内,另一个端部设定在配线 74 与显示区域 7 之间的区域内。另外,密封件涂敷区域 63 包括:配置有晶体管 Tr2 ~ Tr4 和配线 74 ~ 76(配线组 78)的区域 65;和配置有输出晶体管 Tr1 和自举电容器 CB1 的区域 64。区域 65 相当于上述第一区域,区域 64 相当于上述第二区域。这样,在本实施方式中,与比较方式 1 不同,在密封件涂敷区域 63 内配置有输出晶体管 Tr1 和自举电容器 CB1。

[0144] 密封件 62 以至少覆盖输出晶体管 Tr1 的一部分或全部、和控制元件区域 77 的一部分区域或全部区域的方式配置。只要密封件 62 不从密封件涂敷区域 63 露出,密封件 62 是否覆盖这些以外的区域没有特别限定。例如,密封件 62 可以以覆盖输出晶体管 Tr1 的一部分或全部、控制元件区域 77 的全部区域、和配线 76 的一部分或全部的方式配置,也可以

以覆盖自举电容器 CB1 的一部分或全部、输出晶体管 Tr1 的全部、控制元件区域 77 的全部区域、配线 76 的全部、和配线 75 的一部分或全部的方式配置,也可以以覆盖自举电容器 CB1 的一部分或全部、输出晶体管 Tr1 的全部、控制元件区域 77 的全部区域、配线 76 的全部、配线 75 的全部、和配线 74 的一部分或全部的方式配置。这样,密封件 62 包括:与液晶层 61 相邻的第一部分;和与第一部分相邻的第二部分,第一部分配置在区域 65 上,第二部分配置在区域 64 上。

[0145] 各晶体管 Tr1 ~ Tr4 为底栅型的薄膜晶体管,其中,输出晶体管 Tr1 的尺寸大,具有梳齿状的源极-漏极结构。由此,确保了大的例如数十 μm ~ 数百 μm 左右的沟道宽度。

[0146] 如图 11 所示,阵列基板 10 包括透明的(具有透光性的)绝缘基板 11,输出晶体管 Tr1 具有:绝缘基板 11 上的栅极电极 41;栅极电极 41 上的栅极绝缘膜 42;栅极绝缘膜 42 上的 i 层(半导体活性层)43;i 层 43 上的 n+ 层 44;和分别设置在 n+ 层 44 上的源极电极 45 和漏极电极 46。源极电极 45 和漏极电极 46 各自具有多个梳齿部,源极电极 45 和漏极电极 46 以梳齿部相互咬合的方式相对配置。

[0147] 如图 12 所示,自举电容器 CB1 具有:绝缘基板 11 上的第一电极 31;设置在第一电极 31 上,与输出晶体管 Tr1 共用的栅极绝缘膜 42;和栅极绝缘膜 42 上的第二电极 32。

[0148] 阵列基板 10 和对置基板 50 具有光透射性,因此,作为绝缘基板 11、51 的材料,主要利用玻璃、石英玻璃、氮化硅等无机物、丙烯酸树脂等有机高分子化合物(树脂)等。优选可以列举厚度为 0.7mm 左右的石英玻璃。

[0149] 栅极电极 41 和第一电极 31 由含有钼(Mo)、钛(Ti)、铝(Al)、铜(Cu)、它们的合金等材料的相同导电膜形成。栅极电极 41 和第一电极 31 也可以由这些导电膜的叠层膜形成。优选使用 Al。栅极绝缘膜 42 由包括氮化硅、氧化硅等无机绝缘材料的透明的(具有透光性的)绝缘膜形成。栅极绝缘膜 42 也可以使用这些绝缘膜的叠层膜形成。i 层(半导体活性层)43 由非晶硅形成,n+ 层 44 由含有杂质(例如磷)的非晶硅形成。源极电极 45、漏极电极 46 和第二电极 32 由含有 Mo、Ti、Al、Cu、它们的合金等材料的相同导电膜形成。源极电极 45、漏极电极 46 和第二电极 32 也可以由这些导电膜的叠层膜形成。

[0150] 在源极电极 45、漏极电极 46 和第二电极 32 上形成有作为钝化膜发挥作用的透明的(具有透光性的)绝缘膜 47。绝缘膜 47 由氮化硅膜、氧化硅膜等无机绝缘膜形成。此外,绝缘膜 47 也可以使用这些无机绝缘膜的叠层膜形成。在绝缘膜 47 上形成有作为平坦化膜发挥作用的透明的(具有透光性的)绝缘膜 48。绝缘膜 48 由有机绝缘膜形成。作为有机绝缘膜的材料,可以列举感光性丙烯酸树脂等感光性树脂。

[0151] 此外,晶体管 Tr2 ~ 4 只是平面结构与输出晶体管 Tr1 不同,其截面结构与输出晶体管 Tr1 相同。另外,在各图中,画有斜线的部件、与栅极电极 41 以及第一电极 31 由相同导电膜形成,画有点状的图案的部件、与源极电极 45、漏极电极 46 以及第二电极 32 由相同导电膜形成。另外,在各图中,配置在画有斜线的部件和画有点状的图案的部件相互重叠的区域内的、涂白的四边形的区域,表示用于将两部件相互连接的接触孔。

[0152] 另外,像素用 TFT4 与输出晶体管 Tr1 ~ Tr4 同样为底栅型的薄膜晶体管,经过相同的工序,与输出晶体管 Tr1 ~ Tr4 一起形成。

[0153] 另外,在显示区域 7 内,在绝缘膜 48 上形成有上述的像素电极 9。像素电极 9 通过贯通绝缘膜 47、48 的接触孔(未图示),与像素用 TFT4 的漏极电极(未图示)电连接。像

素电极 9 由 ITO 、 SnO_2 、 IZO 等透明导电材料（具有光透射性的导电材料）形成。

[0154] 接着,对本实施方式的液晶显示器的制造方法进行说明。

[0155] 本实施方式的液晶显示器能够利用通常的方法制造,更详细而言,首先,利用通常的方法分别制作分割成多个阵列基板 10 之前的基板（以下,也称为阵列用母玻璃）和分割成多个对置基板 50 之前的基板（也称为 CF 用母玻璃）。

[0156] 制作阵列用母玻璃和 CF 用母玻璃之后,如图 13 所示,进行步骤 S11 ~ S19。

[0157] 首先,在步骤 S11（基板清洗工序）中,清洗阵列用母玻璃和 CF 用母玻璃。

[0158] 此外,可以在步骤 S11 与步骤 S12 之间实施脱气工序。在脱气工序中,对阵列用母玻璃和 CF 用母玻璃进行加热,从这些母玻璃除去有机溶剂、气体等不需要的物质。

[0159] 接着,在步骤 S12（取向膜形成工序）中,在阵列用母玻璃和 CF 用母玻璃上分别形成取向膜。作为取向膜的材料,可以列举聚酰亚胺等有机材料、硅氧化物等无机材料。

[0160] 接着,在步骤 S13（摩擦工序）中,对各取向膜实施摩擦处理。此外,根据液晶层 61 中的液晶分子的取向状态的不同,也可以省略步骤 S13。另外,也可以实施摩擦处理以外的取向处理、例如光取向处理,来代替摩擦处理。

[0161] 接着,在步骤 S14（密封件涂敷工序）中,利用丝网印刷法、分配描绘法（dispenser writing method）等方法,在阵列用母玻璃和 CF 用母玻璃中的任一个上涂敷固化前的密封件的材料（以下,也称为密封材料）。密封材料为膏状,涂敷成封闭的环状。该密封材料是具有固化性（例如紫外线固化性）和热固化性的材料（以下,也称为光热并用型密封材料）,通常,包含丙烯酸树脂和 / 或环氧树脂。作为光热并用型密封材料的具体例,例如,可以列举以环氧丙烯酸类树脂作为主要成分的 Photolec S 系列（积水化学工业株式会社制造）。密封材料优选通过分配描绘法涂敷。

[0162] 接着,在步骤 S15（液晶材料滴下和贴合工序）中,在涂敷有密封材料的母玻璃、没有涂敷密封材料的母玻璃、或两者的母玻璃上滴下液晶材料,然后,将两个母玻璃相互贴合。两个母玻璃的贴合在低于大气压的环境下（例如,真空下）进行。贴合后,两个母玻璃在大气压下放置。液晶材料优选滴下到 CF 用母玻璃上。

[0163] 接着,在步骤 S16（密封件临时固化工序）中,从阵列用母玻璃侧向密封材料照射光,使密封材料固化（临时固化）到某种程度。此时,光由输出晶体管 Tr1 和自举电容器 CB1 遮挡,因此,在输出晶体管 Tr1 和自举电容器 CB1 上,照射到密封材料的光不足,密封材料几乎不临时固化。但是,配置有晶体管 Tr2 ~ Tr4 和配线 74 ~ 76 的区域 65 包括多个透光区域,因此,密封材料在区域 65 上能够充分地临时固化。另外,临时固化后的密封材料部分（与上述第一部分对应的部分）配置得更接近显示区域 7,没有临时固化的密封材料部分（与上述第二部分对应的部分）配置得更接近阵列基板 10 的端部 10a。因此,能够防止没有临时固化的密封材料部分与液晶层接触,其结果,能够防止密封材料成分溶解和扩散到液晶层中。此外,从阵列基板 10 侧照射光,是因为在对置基板 50 上形成有 BM52。照射的光的种类没有特别限定,例如,可以列举包含紫外线的光。优选使用紫外线。

[0164] 接着,在步骤 S17（密封件正式固化工序）中,对贴合后的母玻璃进行加热。通过该加热,使密封材料进一步固化（正式固化）。在该工序中,密封材料全部固化。因此,在配置有输出晶体管 Tr1 和自举电容器 CB1 的区域 64 上,密封材料在步骤 S16 中几乎不进行临时固化,而在步骤 S17 中进行正式固化。另一方面,在配置有晶体管 Tr2 ~ Tr4 和配线 74 ~

76 的区域 65 上,密封材料在步骤 S16 中进行临时固化,并且在步骤 S17 中进行正式固化。

[0165] 这样,在本实施方式中,将进行临时固化和正式固化的密封材料部分(与上述第一部分对应的部分)配置得更接近显示区域 7。将不进行临时固化而进行正式固化的密封材料部分(与上述第二部分对应的部分)配置得更接近阵列基板 10 的端部 10a。

[0166] 另外,在专利文献 11 记载的技术中,需要在将基板彼此贴合之前使密封材料临时固化,但是在本实施方式中,在将母玻璃彼此贴合之后使密封材料临时固化。因此,能够防止尘埃等异物混入液晶层中。另外,在本实施方式中,也不需要用于临时固化的掩模。因此,能够削减制造成本。

[0167] 此外,步骤 S16、S17 中的光照射和热处理的条件能够根据密封材料的特性适当设定,在使用 Photolec S 系列的情况下,例如,照射 10J 左右的紫外线,在 120℃ 进行 60 分钟的热处理。

[0168] 接着,在步骤 S18(分割工序)中,利用面板分割线,将贴合的母玻璃切断,分割成多个液晶单元。

[0169] 接着,在步骤 S19(检查工序)中,对液晶单元进行点亮检查等检查,对液晶单元的品质状态进行确认。

[0170] 然后,在液晶单元的两表面上粘贴偏光板和相位板(任意)之后,安装源极驱动器 5,液晶面板 1 完成。然后,将挠性基板与液晶面板 1 连接,安装控制部和背光源单元,将它们收纳在壳体中,由此,实施方式 1 的液晶显示器完成。

[0171] 在本实施方式中,输出晶体管 Tr1 和自举电容器 CB1 配置在阵列基板 10 的端部 10a 与控制元件区域 77 之间的区域内。因此,能够将控制元件区域 77 的各晶体管和配线组 78 配置在输出晶体管 Tr1 和自举电容器 CB1 的显示区域 7 侧。另外,能够在配置有晶体管 Tr2 ~ Tr4 和配线 74 ~ 76 的区域 65 上使密封材料临时固化和正式固化,另一方面,能够在配置有输出晶体管 Tr1 和自举电容器 CB1 的区域 64 上使密封材料正式固化。以上的结果,在结束密封件正式固化工序之前,能够抑制密封材料成分溶解在液晶层中。另外,能够将密封件涂敷区域 63 设定得宽。另外,能够抑制产生液晶泄露。因此,能够减少品质上的不良情况的发生,并且能够提高基板的粘接强度。

[0172] 此外,各元件的大小和各配线的粗细没有特别限定,能够适当设定,例如,能够应用图 14 所示的值。此外,配线 74、75 的粗细实质上与配线 76 相同。另外,配线 74 和配线 75 的间隔能够设定为 30 μm 。另外,输出晶体管的间距实质上与单元电路或栅极总线的间距相等。另外,关于将元件间、或元件与配线之间连接的配线的宽度,例如能够设定为 10 μm 。

[0173] 在图 14 所示的情况下,对在包括晶体管 Tr2 ~ Tr4、配线 76 和配线 75 的区域 A 中被遮光的面积的比例进行概算,大致为 25% ($= (105 \times 70 + 50 \times 70 + 30 \times 60 + 20 \times 20 \times 6 \times \text{接触为 6 个} + 30 \times 200 \times \text{配线的线状部分为 4 根}) / (800 \times 200) = 39050 / 160000$)。另一方面,对在包括输出晶体管 Tr1 和自举电容器 CB1 的区域 B 中被遮光的面积的比例进行概算,大致为 80% ($= (80 \times 190 + 200 \times 160) / (300 \times 200) = 47200 / 600$)。这样,在区域 A 中被遮光的面积的比例优选为 50% 以下,在区域 B 中被遮光的面积的比例优选大于 50%。

[0174] (实施方式 2)

[0175] 实施方式 2 的液晶显示器,除了移位寄存器中的元件和配线的布局不同以外,与实施方式 1 的液晶显示器实质上相同。

[0176] 在实施方式 1 中,配线组 78 配置在晶体管 Tr2 ~ Tr4(控制元件区域 77)与显示区域 7 之间的区域内。而在本实施方式中,如图 15 所示,晶体管 Tr2 ~ Tr4(控制元件区域 77)配置在配线组 78 与显示区域 7 之间的区域内。实施方式 1、2 在以下方面具有共同的特征:配线组 78 和晶体管 Tr2 ~ Tr4(控制元件区域 77)配置在显示区域 7 与输出晶体管 Tr1 之间的区域内。

[0177] 阵列基板 10 包括被粗虚线夹着的带状区域(以下,也称为密封件涂敷区域)63,密封件 62 以不从密封件涂敷区域 63 露出的方式,在密封件涂敷区域 63 上形成为带状。密封件涂敷区域 63 的一个端部设定在自举电容器 CB1 与阵列基板 10 的端部 10a 之间的区域内,另一个端部设定在晶体管 Tr2 ~ Tr4(控制元件区域 77)与显示区域 7 之间的区域内。另外,密封件涂敷区域 63 包括:配置有输出晶体管 Tr1 和自举电容器 CB1 的区域 64;和配置有晶体管 Tr2 ~ Tr4(控制元件区域 77)和配线 74 ~ 76(配线组 78)的区域 66。区域 66 相当于上述第一区域,区域 64 相当于上述第二区域。这样,在本实施方式中,与比较方式 1 不同,在密封件涂敷区域 63 内配置输出晶体管 Tr1 和自举电容器 CB1。

[0178] 密封件 62 以至少覆盖输出晶体管 Tr1 的一部分或全部、和配线组 78 的一部分或全部的方式配置。只要密封件 62 不从密封件涂敷区域 63 露出,密封件 62 是否覆盖这些以外的区域没有特别限定。例如,密封件 62 可以以覆盖输出晶体管 Tr1 的全部、配线组 78 的全部、和控制元件区域 77 的一部分区域或全部区域的方式配置,也可以以覆盖自举电容器 CB1 的一部分或全部、输出晶体管 Tr1 的全部、配线组 78 的全部、控制元件区域 77 的一部分区域或全部区域的方式配置。这样,密封件 62 包括:与液晶层 61 相邻的第一部分;和与第一部分相邻的第二部分,第一部分配置在区域 66 上,第二部分配置在区域 64 上。

[0179] 在本实施方式中,与实施方式 1 同样,输出晶体管 Tr1 和自举电容器 CB1 配置在阵列基板 10 的端部 10a 与控制元件区域 77 之间的区域内。因此,在本实施方式中,也能够减少品质上的不良情况的发生,并且能够提高基板间的粘接强度。

[0180] 此外,在实施方式 1、2 各自中,输出晶体管 Tr1 和自举电容器 CB1 的配置场所可以相互调换。

[0181] (实施方式 3)

[0182] 实施方式 3 的液晶显示器,除了移位寄存器中的元件和配线的布局不同以外,与实施方式 1 的液晶显示器实质上相同。

[0183] 在本实施方式中,如图 16 所示,晶体管 Tr2 ~ Tr4(控制元件区域 77)配置在阵列基板 10 的端部 10a 与自举电容器 CB1 之间的区域内。

[0184] 阵列基板 10 包括被粗虚线夹着的带状区域(以下,也称为密封件涂敷区域)63,密封件 62 以不从密封件涂敷区域 63 露出的方式,在密封件涂敷区域 63 上形成为带状。密封件涂敷区域 63 的一个端部设定在控制元件区域 77 与阵列基板 10 的端部 10a 之间的区域内,另一个端部设定在配线 74 与显示区域 7 之间的区域内。另外,密封件涂敷区域 63 包括:配置有输出晶体管 Tr1 和自举电容器 CB1 的区域 64;配置有晶体管 Tr2 ~ Tr4 的区域 67;和配置有配线 74 ~ 76(配线组 78)的区域 68。区域 68 相当于上述第一区域,区域 64 相当于上述第二区域。这样,在本实施方式中,与比较方式 1 不同,在密封件涂敷区域 63 内配置有输出晶体管 Tr1 和自举电容器 CB1。

[0185] 密封件 62 以至少覆盖输出晶体管 Tr1 的一部分或全部、和配线 76 的一部分或全

部的方式配置。只要密封件 62 不从密封件涂敷区域 63 露出,密封件 62 是否覆盖这些以外的区域没有特别限定。例如,密封件 62 可以以覆盖自举电容器 CB1 的一部分或全部、输出晶体管 Tr1 的全部、和配线 76 的全部的方式配置,也可以以覆盖控制元件区域 77 的一部分区域或全部区域、自举电容器 CB1 的全部、输出晶体管 Tr1 的全部、配线 76 的全部、和配线 75 的一部分或全部的方式配置,也可以以覆盖控制元件区域 77 的一部分区域或全部区域、自举电容器 CB1 的全部、输出晶体管 Tr1 的全部、配线 76 的全部、配线 75 的全部、和配线 74 的一部分或全部的方式配置。这样,密封件 62 包括:与液晶层 61 相邻的第一部分;和与第一部分相邻的第二部分,第一部分配置在区域 68 上,第二部分配置在区域 64 上。

[0186] 在本实施方式中,输出晶体管 Tr1 和自举电容器 CB1 配置在阵列基板 10 的端部 10a 与配线 76 之间的区域内。因此,能够将配线组 78 配置在输出晶体管 Tr1 和自举电容器 CB1 的显示区域 7 侧。另外,能够在配置有配线 74 ~ 76 的区域 68 上使密封材料临时固化和正式固化,另一方面,能够在配置有输出晶体管 Tr1 和自举电容器 CB1 的区域 64 上使密封材料正式固化。以上的结果,在结束密封件正式固化工序之前,能够抑制密封材料成分溶解在液晶层中。另外,能够将密封件涂敷区域 63 设定得宽。另外,能够抑制发生液晶泄漏。因此,与实施方式 1 同样,能够减少品质上的不良情况的发生,并且能够提高基板间的粘接强度。

[0187] 但是,在本实施方式中,进行临时固化和正式固化的密封材料部分分离配置,在这样一点上与实施方式 1 不同。

[0188] (实施方式 4)

[0189] 实施方式 4 的液晶显示器,除了移位寄存器中的元件和配线的布局不同以外,与实施方式 3 的液晶显示器实质上相同。

[0190] 在实施方式 3 中,晶体管 Tr2 ~ Tr4(控制元件区域 77)配置在阵列基板 10 的端部 10a 与自举电容器 CB1 之间的区域内。而在本实施方式中,如图 17 所示,配线组 78 配置在阵列基板 10 的端部 10a 与输出晶体管 Tr1 之间的区域内。实施方式 3、4 在以下方面具有共同的特征:输出晶体管 Tr1 和自举电容器 CB1 配置在配线组 78 与晶体管 Tr2 ~ Tr4(控制元件区域 77)之间的区域内。

[0191] 阵列基板 10 包括被粗虚线夹着的带状区域(以下,也称为密封件涂敷区域)63,密封件 62 以不从密封件涂敷区域 63 露出的方式,在密封件涂敷区域 63 上形成为带状。密封件涂敷区域 63 的一个端部设定在配线 74 与端部 10a 之间,另一个端部设定在晶体管 Tr2 ~ Tr4(控制元件区域 77)与显示区域 7 之间的区域内。密封件涂敷区域 63 包括:配置有输出晶体管 Tr1 和自举电容器 CB1 的区域 64;配置有晶体管 Tr2 ~ Tr4 的区域 67;和配置有配线 74 ~ 76(配线组 78)的区域 68。区域 67 相当于上述第一区域,区域 64 相当于上述第二区域。这样,在本实施方式中,与比较方式 1 不同,在密封件涂敷区域 63 内配置有输出晶体管 Tr1 和自举电容器 CB1。

[0192] 密封件 62 以至少覆盖自举电容器 CB1 的一部分或全部、和控制元件区域 77 的一部分区域或全部区域的方式配置。只要密封件 62 不从密封件涂敷区域 63 露出,密封件 62 是否覆盖这些以外的区域没有特别限定。例如,密封件 62 可以以覆盖输出晶体管 Tr1 的一部分或全部、自举电容器 CB1 的全部、和控制元件区域 77 的一部分区域或全部区域的方式配置,也可以以覆盖配线 76 的一部分或全部、输出晶体管 Tr1 的全部、自举电容器 CB1 的全

部、和控制元件区域 77 的一部分区域或全部区域的方式配置,也可以以覆盖配线 75 的一部分或全部、配线 76 的全部、输出晶体管 Tr1 的全部、自举电容器 CB1 的全部、和控制元件区域 77 的一部分区域或全部区域的方式配置,也可以以覆盖配线 74 的一部分或全部、配线 75 的全部、配线 76 的全部、输出晶体管 Tr1 的全部、自举电容器 CB1 的全部、和控制元件区域 77 的一部分区域或全部区域的方式配置。这样,密封件 62 包括:与液晶层 61 相邻的第一部分;和与第一部分相邻的第二部分,第一部分配置在区域 67 上,第二部分配置在区域 64 上。

[0193] 在本实施方式中,与实施方式 1 同样,输出晶体管 Tr1 和自举电容器 CB1 配置在阵列基板 10 的端部 10a 与控制元件区域 77 之间的区域内。因此,在本实施方式中,也能够减少品质上的不良情况的发生,并且能够提高基板间的粘接强度。

[0194] 另外,配线组 78 配置在阵列基板 10 的端部 10a 与输出晶体管 Tr1 之间的区域内。因此,能够利用配线组 78 保护晶体管 Tr1 ~ Tr4 不受从外部侵入的静电的影响。

[0195] 此外,在实施方式 3、4 各自中,输出晶体管 Tr1 和自举电容器 CB1 的配置场所可以相互调换。

[0196] (实施方式 5)

[0197] 实施方式 5 的液晶显示器,除了移位寄存器中的元件和配线的布局不同以外,与实施方式 1 的液晶显示器实质相同。

[0198] 在本实施方式中,如图 18 所示,晶体管 Tr2 ~ Tr4(控制元件区域 77)配置在显示区域 7 与自举电容器 CB1 之间的区域内,配线组 78 配置在输出晶体管 Tr1 与自举电容器 CB1 之间的区域内。

[0199] 阵列基板 10 包括被粗虚线夹着的带状区域(以下,也称为密封件涂敷区域)63,密封件 62 以不从密封件涂敷区域 63 露出的方式,在密封件涂敷区域 63 上形成为带状。密封件涂敷区域 63 的一个端部设定在输出晶体管 Tr1 与阵列基板 10 的端部 10a 之间的区域内,另一个端部设定在晶体管 Tr2 ~ Tr4(控制元件区域 77)与显示区域 7 之间的区域内。密封件涂敷区域 63 包括:配置有输出晶体管 Tr1 的区域 69;配置有自举电容器 CB1 的区域 70;配置有晶体管 Tr2 ~ Tr4 的区域 67;和配置有配线 74 ~ 76(配线组 78)的区域 79。区域 67、79 相当于上述第一区域,区域 69、70 相当于上述第二区域。这样,在本实施方式中,与比较方式 1 不同,在密封件涂敷区域 63 内配置有输出晶体管 Tr1 和自举电容器 CB1。

[0200] 密封件 62, (1) 以至少覆盖输出晶体管 Tr1 的一部分或全部、和配线 74 的一部分或全部的方式配置,或者 (2) 以至少覆盖自举电容器 CB1 的一部分或全部、和控制元件区域 77 的一部分区域或全部区域的方式配置。另外,密封件 62 包括:与液晶层 61 相邻的第一部分;和与第一部分相邻的第二部分。在 (1)、(2) 的各情况下,只要密封件 62 不从密封件涂敷区域 63 露出、并且第一部分不配置在自举电容器 CB1 上,密封件 62 是否覆盖上述以外的区域没有特别限定。

[0201] 在 (1) 的情况下,例如,密封件 62 可以以覆盖输出晶体管 Tr1 的全部、和配线组 78 的全部的方式配置,也可以以覆盖输出晶体管 Tr1 的一部分或全部、配线组 78 的全部、自举电容器 CB1 的全部、和控制元件区域 77 的一部分区域或全部区域的方式配置。

[0202] 在 (2) 的情况下,例如,密封件 62 可以以覆盖自举电容器 CB1 的全部、和控制元件区域 77 的全部区域的方式配置,也可以以覆盖配线组 78 的一部分或全部、自举电容器 CB1

的全部、和控制元件区域 77 的一部分区域或全部区域的方式配置,也可以以覆盖输出晶体管 Tr1 的一部分或全部、配线组 78 的全部、自举电容器 CB1 的全部、和控制元件区域 77 的一部分区域或全部区域的方式配置。

[0203] 在本实施方式中,输出晶体管 Tr1 配置在阵列基板 10 的端部 10a 与配线组 78 之间的区域内,自举电容器 CB1 配置在阵列基板 10 的端部 10a 与控制元件区域 77 之间的区域内。因此,能够将配线组 78 配置在输出晶体管 Tr1 的显示区域 7 侧,另外,能够将控制元件区域 77 配置在自举电容器 CB1 的显示区域 7 侧。另外,能够在配置有晶体管 Tr2 ~ Tr4 的区域 67 上、和配置有配线组 78 的区域 79 上,使密封材料临时固化和正式固化。另一方面,能够在配置有输出晶体管 Tr1 的区域 69 上、和配置有自举电容器 CB1 的区域 70 上,使密封材料正式固化。以上的结果,在结束密封件正式固化工序之前,能够抑制密封材料成分溶解在液晶层中。另外,能够将密封件涂敷区域 63 设定得宽。另外,能够抑制发生液晶泄露。因此,与实施方式 1 同样,能够减少品质上的不良情况的发生,并且能够提高基板间的粘接强度。

[0204] 但是,在本实施方式中,进行临时固化和正式固化的密封材料部分分离配置,在这一点上与实施方式 1 不同。

[0205] 此外,在实施方式 5 中,输出晶体管 Tr1 和自举电容器 CB1 的配置场所可以相互调换,另外,控制元件区域 77 和配线组 78 的配置场所可以相互调换。

[0206] 以下,对实施方式 1 ~ 5 的各种变形例进行说明。

[0207] 各 TFT 的半导体材料没有特别限定,能够适当选择。例如,可以列举硅等 14 族元素的半导体、氧化物半导体等。另外,各 TFT 的半导体材料的结晶性没有特别限定,可以为单晶、多晶、非晶或微晶,可以包含这些中的 2 种以上的结晶结构。但是,在输出晶体管包含非晶硅的情况下,从增大其驱动能力的观点出发,输出晶体管的沟道宽度和自举电容器的尺寸特别大。因此,在输出晶体管包含非晶硅的情况下,能够显著地发挥能够减少品质上的不良情况的效果、和能够提高密封件的粘接强度的效果。此外,氧化物半导体优选含有选自铟 (In)、镓 (Ga)、锌 (Zn)、铝 (Al) 和硅 (Si) 中的至少一种元素和氧 (O),更优选含有 In、Ga、Zn 和 O。

[0208] 另外,各 TFT 的类型不特别限定于底栅型,能够适当选择。

[0209] 另外,可以在边框区域还配置有栅极驱动器的 TFT 以外的 TFT。

[0210] 另外,满足上述的布局的单元电路的数量和配置场所没有特别限定,能够适当设定。即,只要至少一个单元电路包括上述布局中的任一个布局即可,可以一部分或全部的单元电路包括上述布局中的任一个布局。但是,从特别有效地发挥上述效果的观点出发,优选全部的单元电路包括上述布局中的任一个布局。

[0211] 另外,各栅极驱动器的元件和配线的种类,除了输出晶体管和自举电容器以外,没有特别限定,能够适当决定。

[0212] 而且,实施方式 1 ~ 5 可以相互组合,例如,可以在同一移位寄存器内形成不同的布局的单元电路,也可以多个移位寄存器包括相互不同的布局的单元电路。

[0213] 符号说明

[0214] 1:液晶面板

[0215] 2:显示部

- [0216] 3 :像素
- [0217] 4 :像素用 TFT
- [0218] 5 :源极总线用的驱动电路 (源极驱动器)
- [0219] 6a、6b :栅极总线用的驱动电路 (栅极驱动器)
- [0220] 7 :显示区域
- [0221] 8 :边框区域
- [0222] 9 :像素电极
- [0223] 10 :阵列基板
- [0224] 10a :端部
- [0225] 11 :绝缘基板
- [0226] 12、S1 ~ Sm :源极总线
- [0227] 13、G1 ~ Gn :栅极总线
- [0228] 14 :转接用电极
- [0229] 16 :共用干配线
- [0230] 17 :共用总线
- [0231] 18、19 :引出线
- [0232] 25 :输入配线
- [0233] 26、27、28、29、30 :端子
- [0234] 31 :第一电极
- [0235] 32 :第二电极
- [0236] 41 :栅极电极
- [0237] 42 :栅极绝缘膜
- [0238] 43 :i 层 (半导体活性层)
- [0239] 44 :n+ 层
- [0240] 45 :源极电极
- [0241] 46 :漏极电极
- [0242] 47、48 :绝缘膜
- [0243] 50 :对置基板
- [0244] 51 :绝缘基板
- [0245] 52 :黑矩阵 (BM)
- [0246] 61 :液晶层
- [0247] 62 :密封件
- [0248] 63 :密封件涂敷区域
- [0249] 64 ~ 69、70、79 :区域
- [0250] 71 :像素阵列
- [0251] 72 :显示控制电路
- [0252] 73a、73b :移位寄存器
- [0253] 74 ~ 76 :配线
- [0254] 77 :控制元件区域

- [0255] 78 :配线组
- [0256] P_{ij} :像素电路
- [0257] $SR_1 \sim SR_n$:单元电路
- [0258] IN_a 、 IN_b :输入端子
- [0259] CK_A 、 CK_B :时钟端子
- [0260] VSS :电源端子
- [0261] OUT :输出端子
- [0262] $Tr_1 \sim Tr_4$:晶体管
- [0263] CB_1 :自举电容器

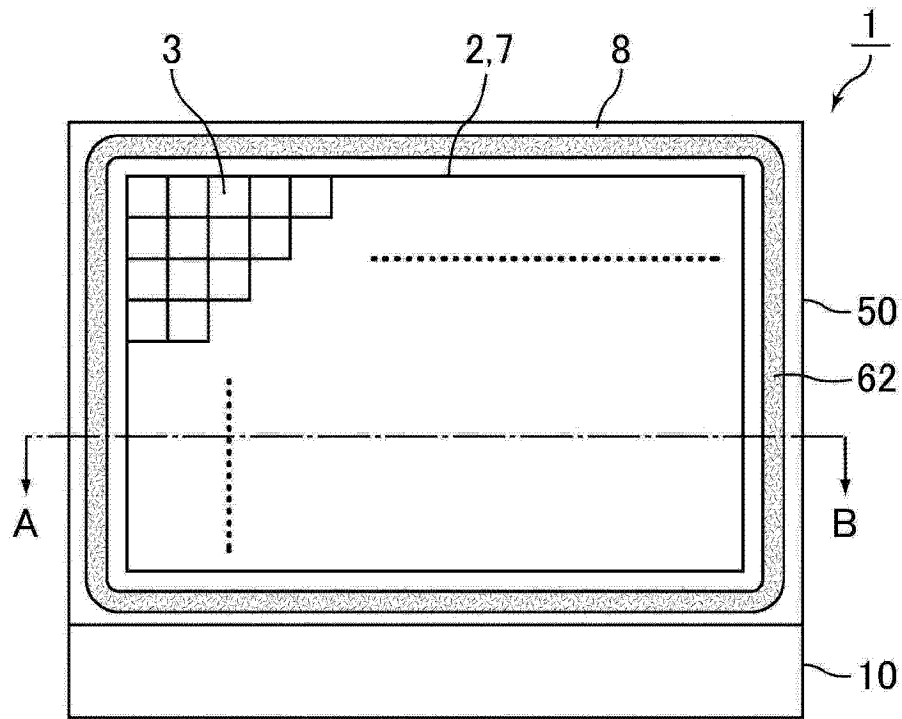


图 1

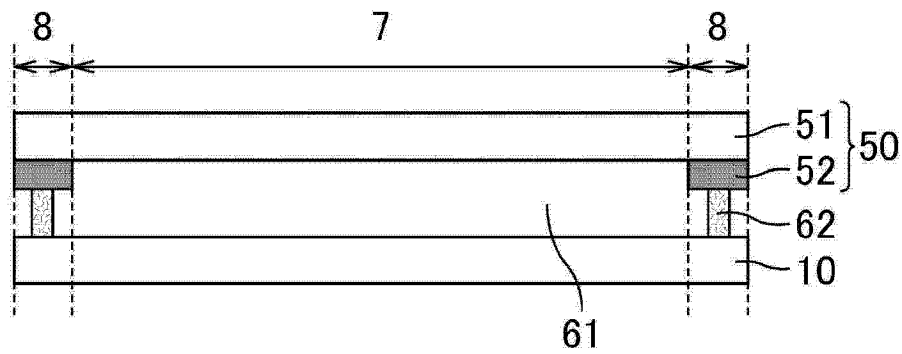


图 2

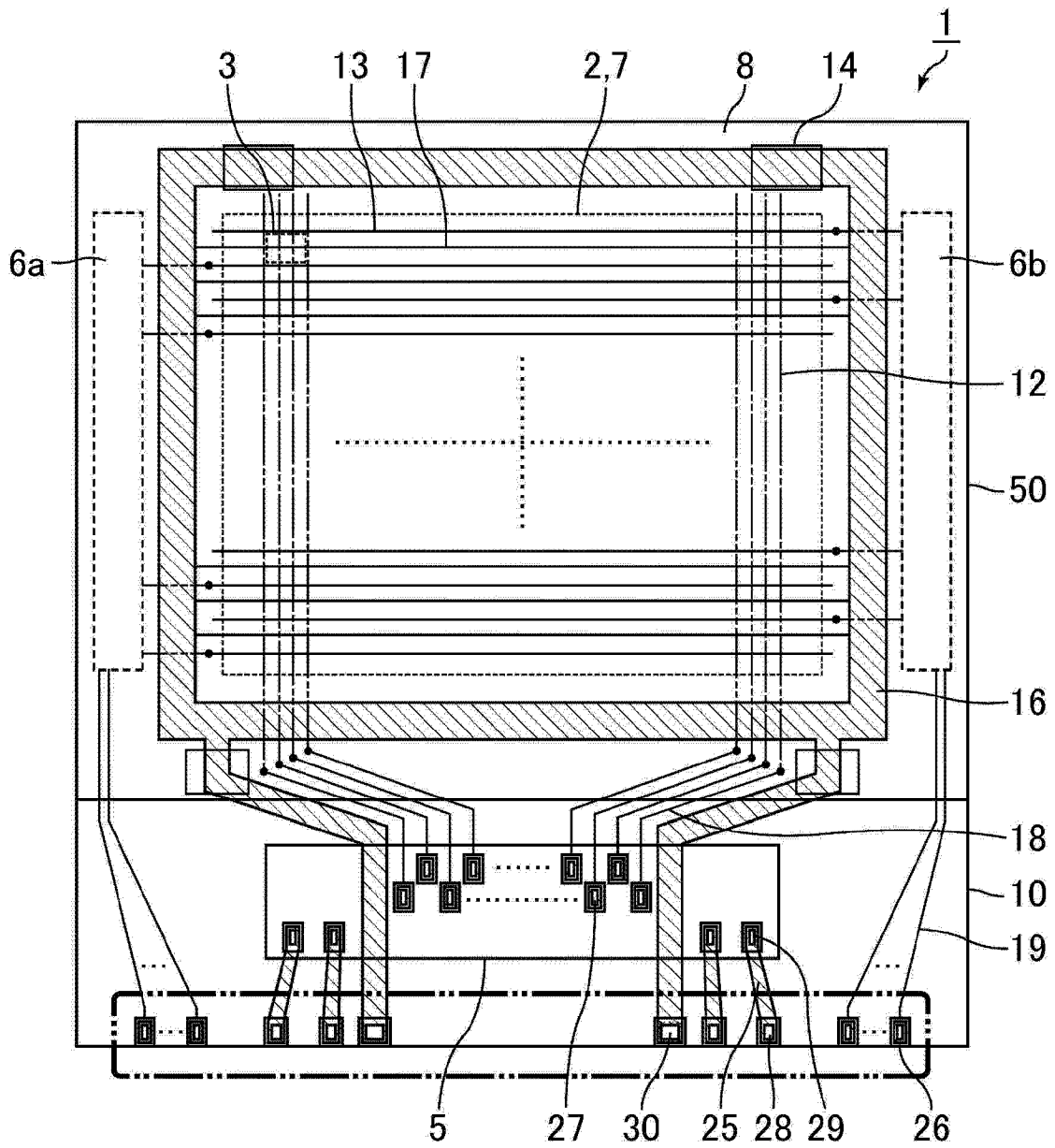


图 3

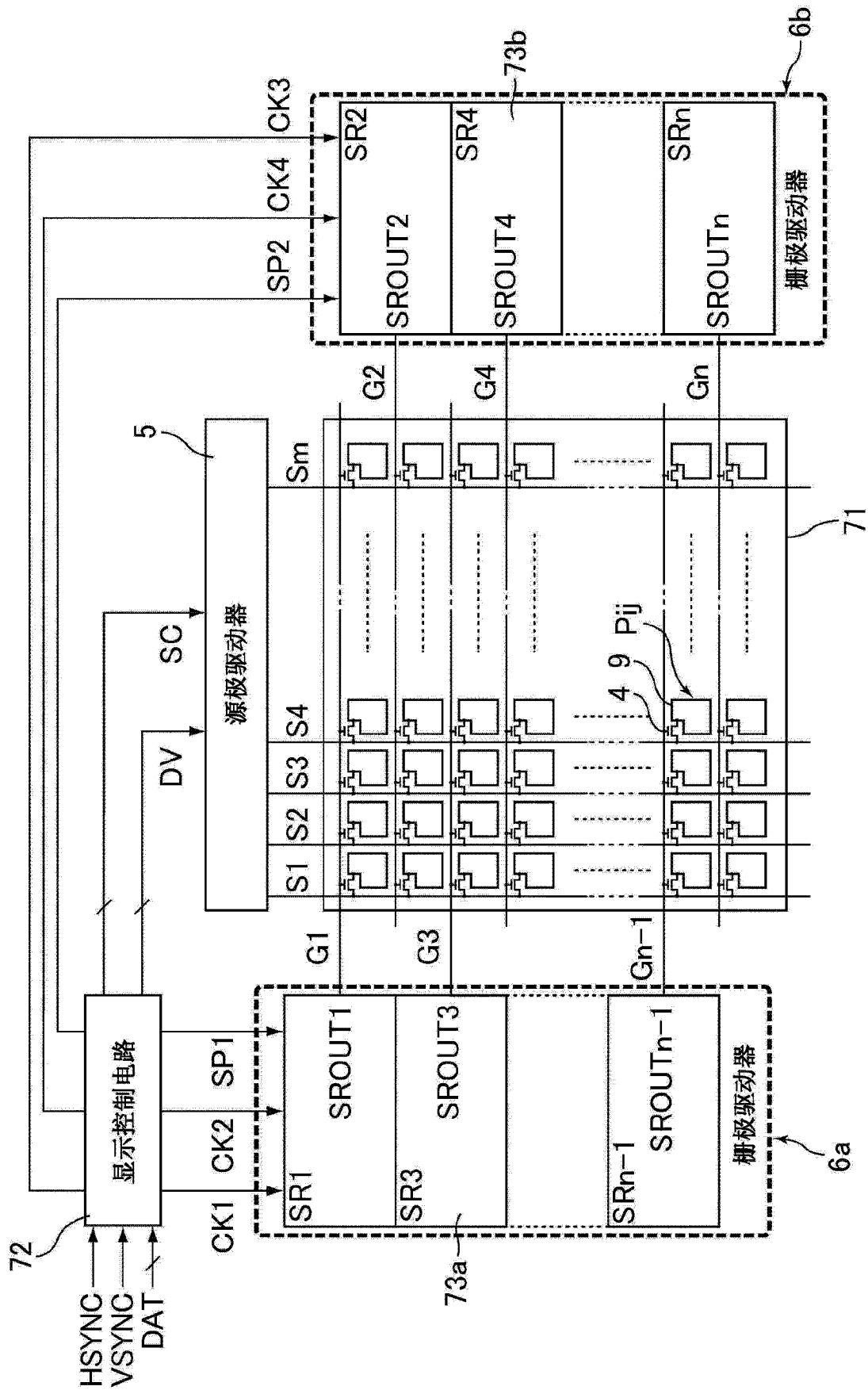


图 4

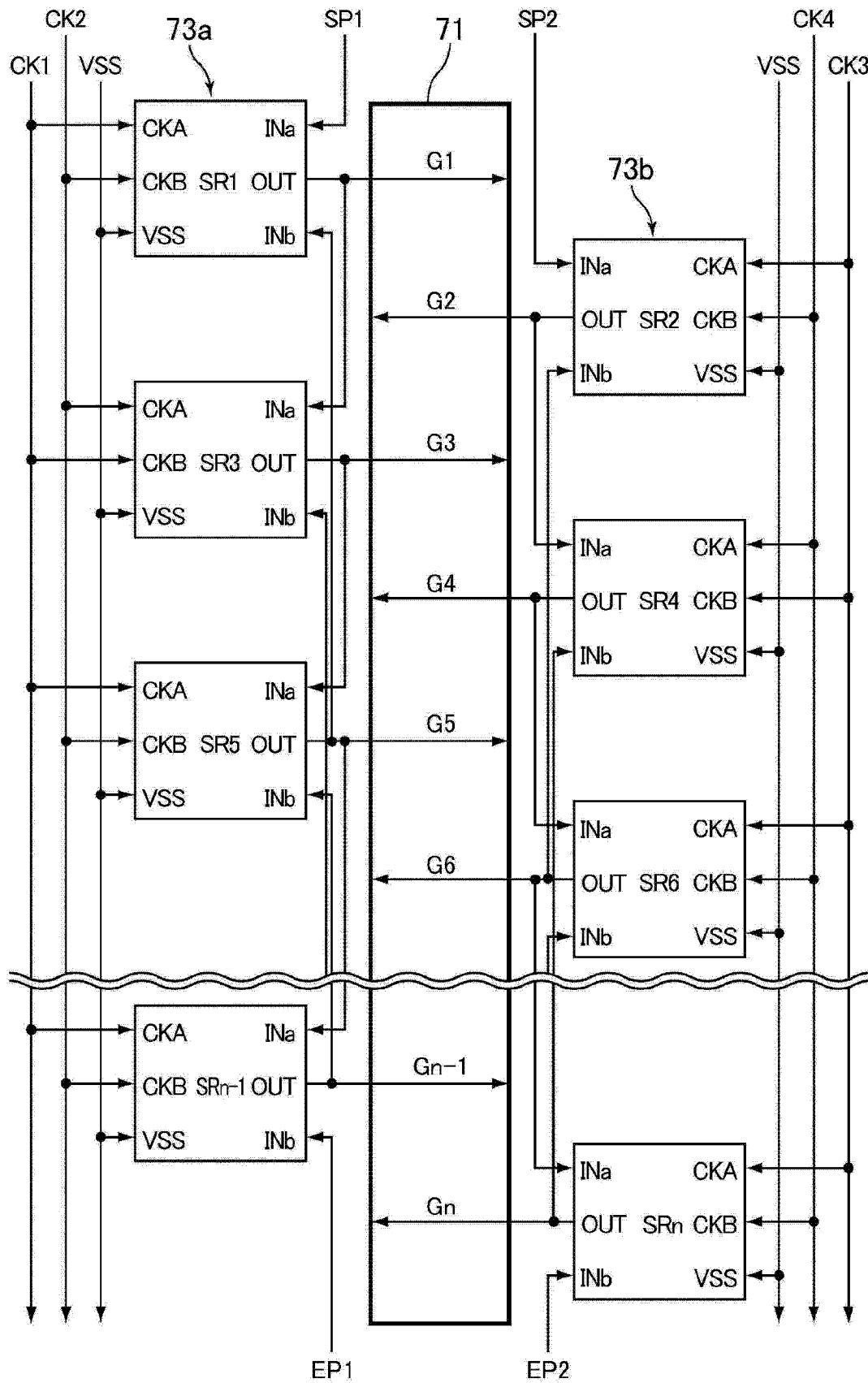


图 5

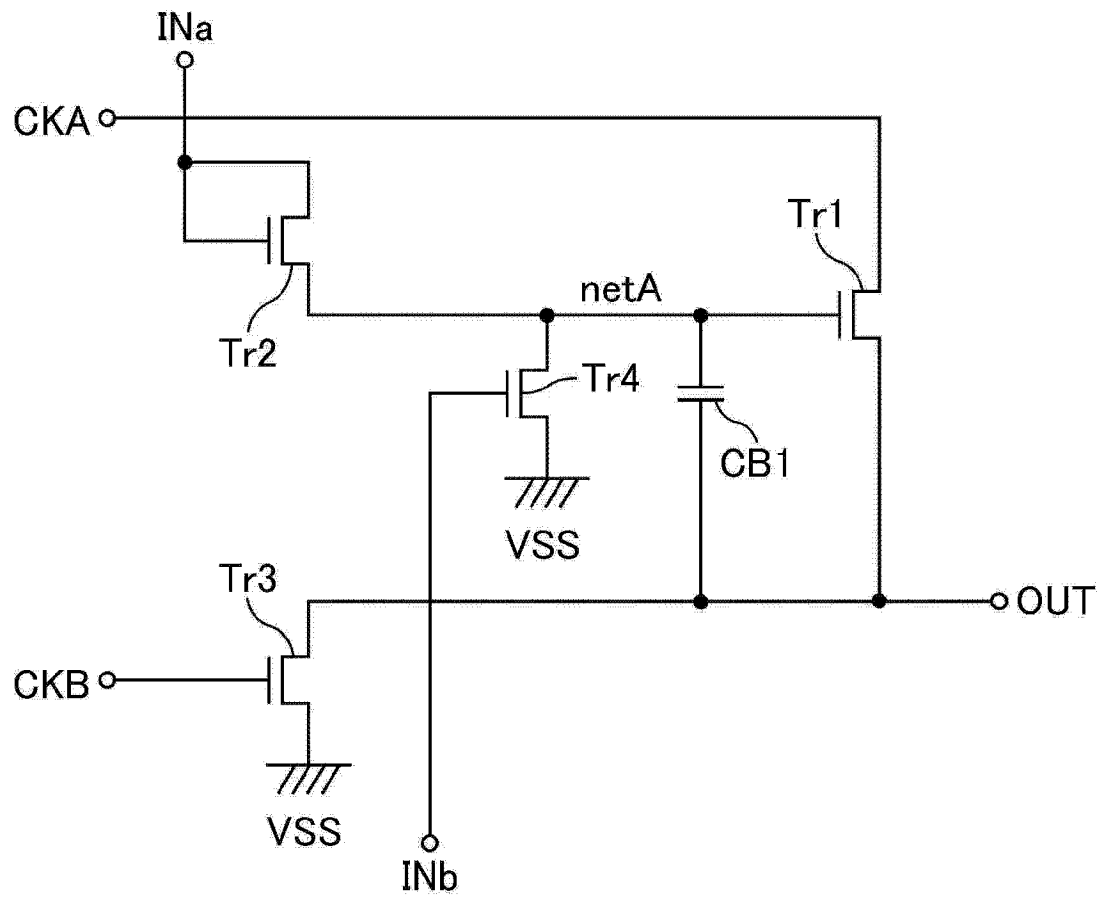


图 6

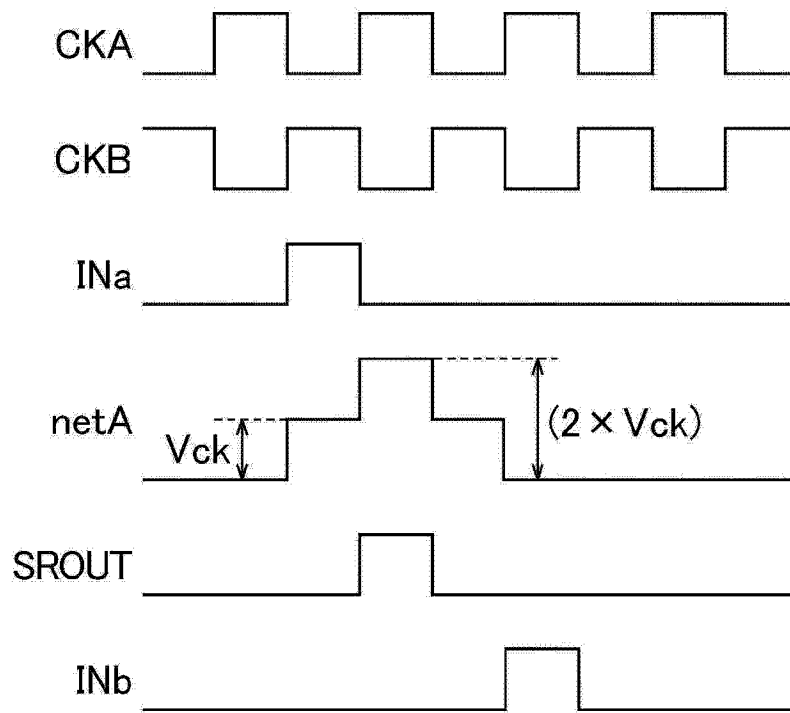


图 7

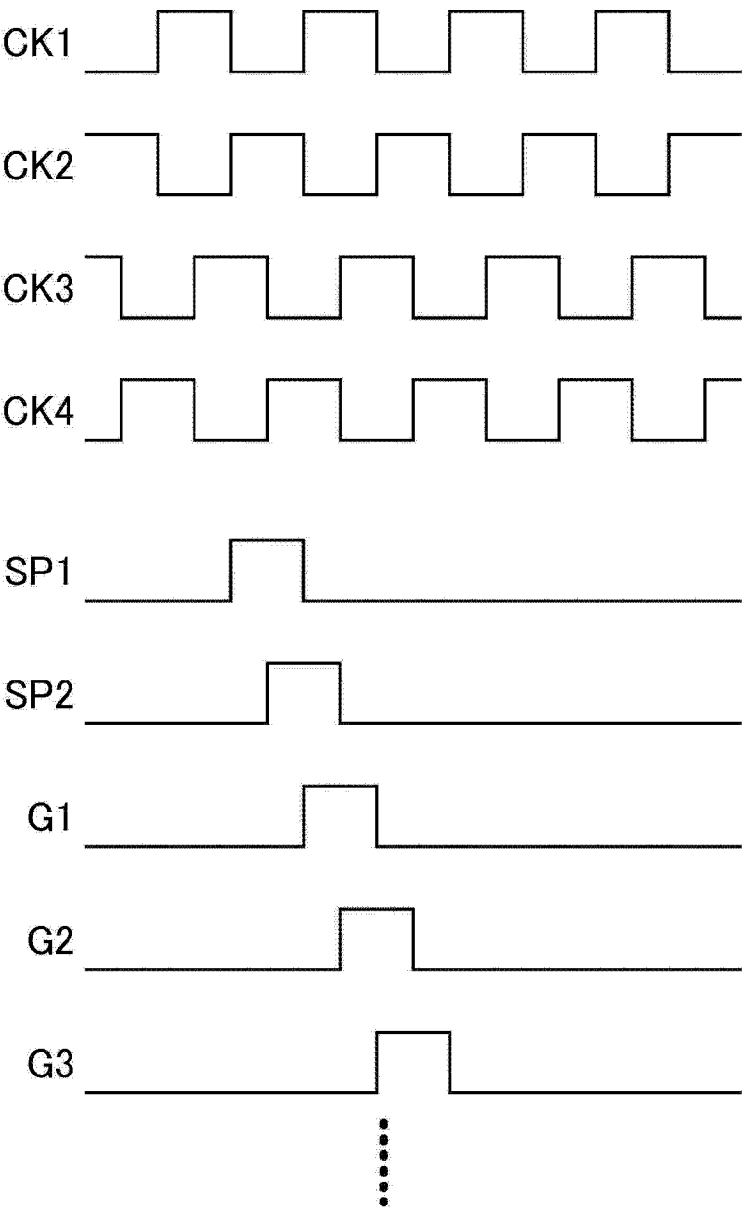


图 8

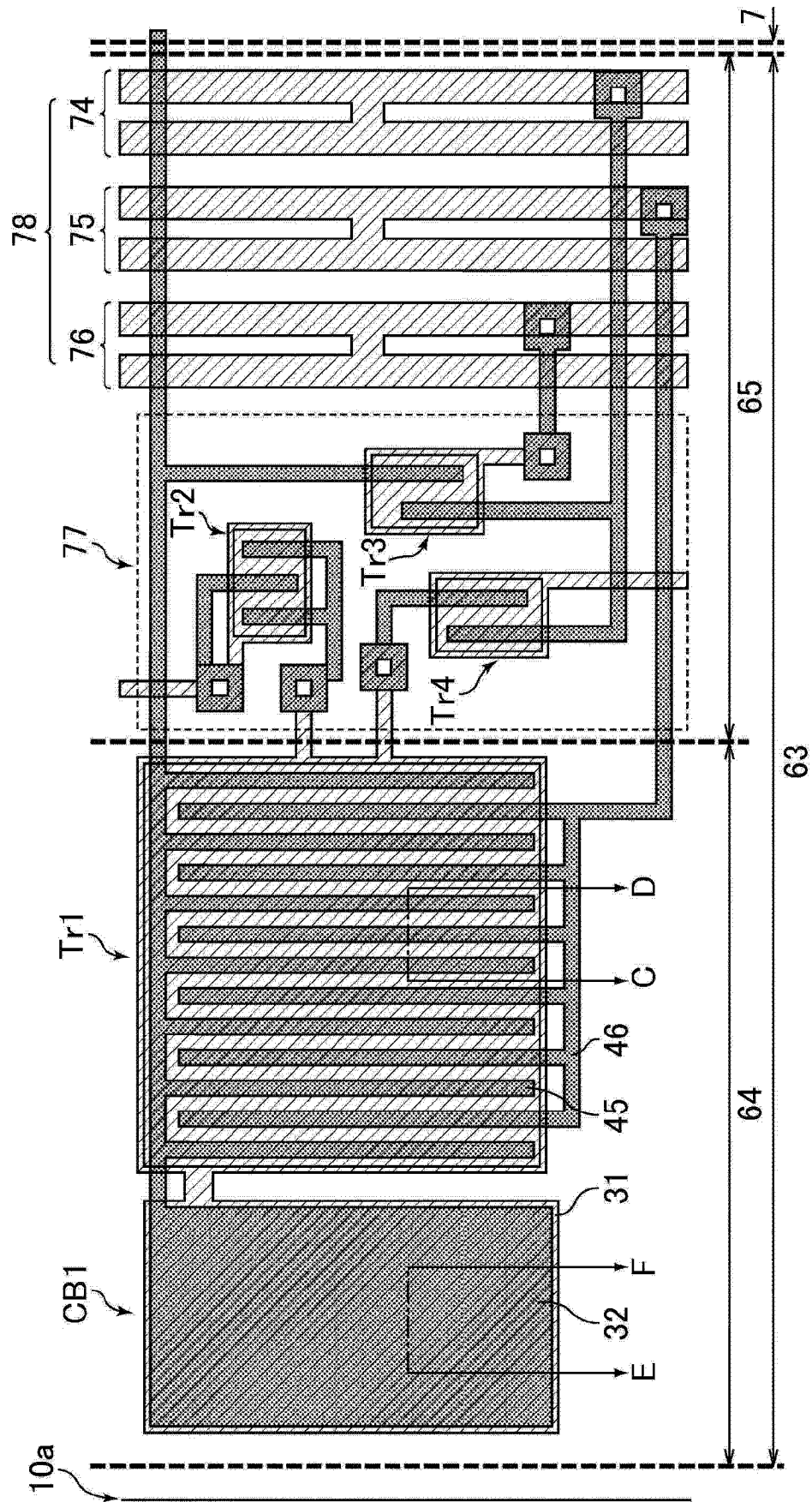


图 9

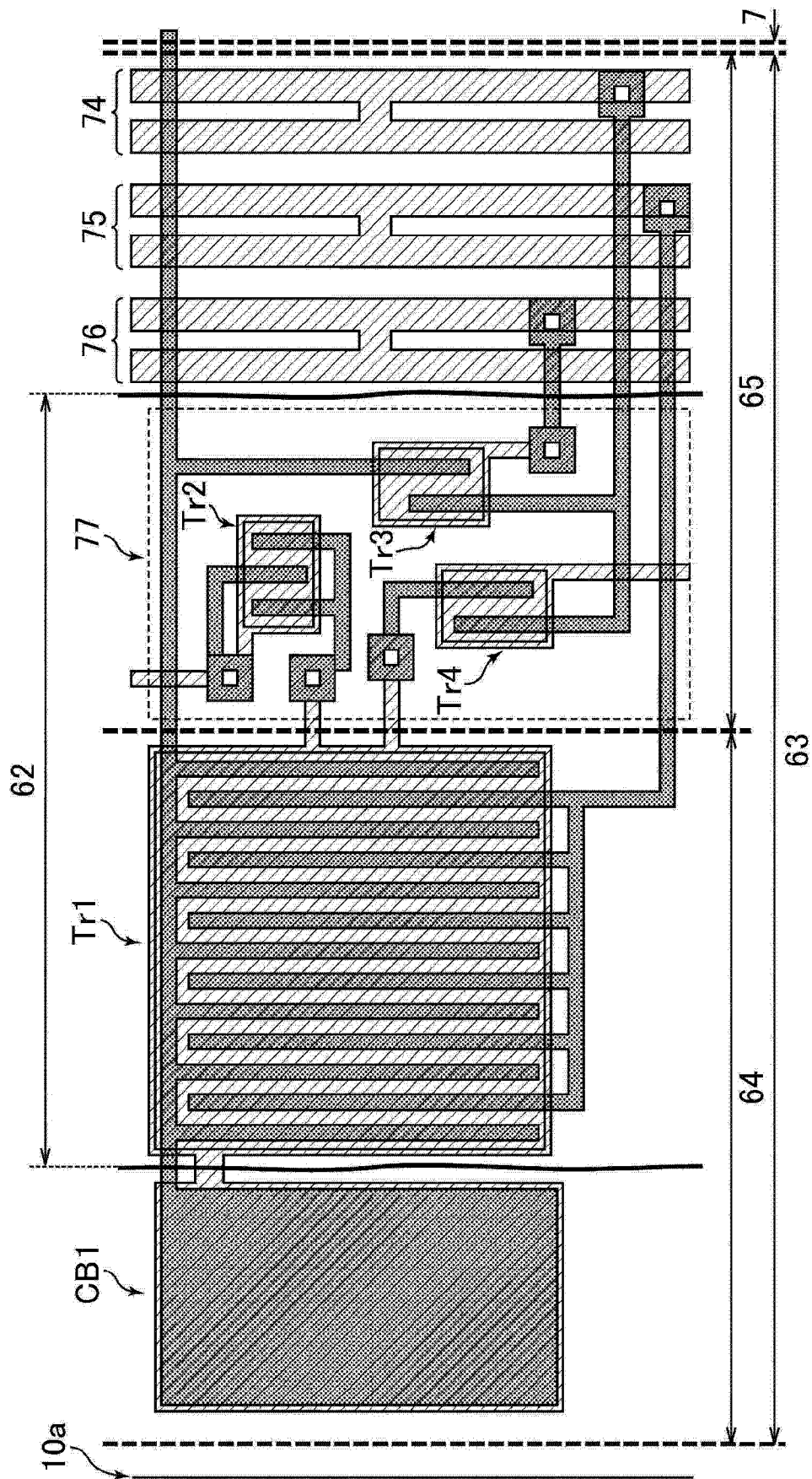


图 10

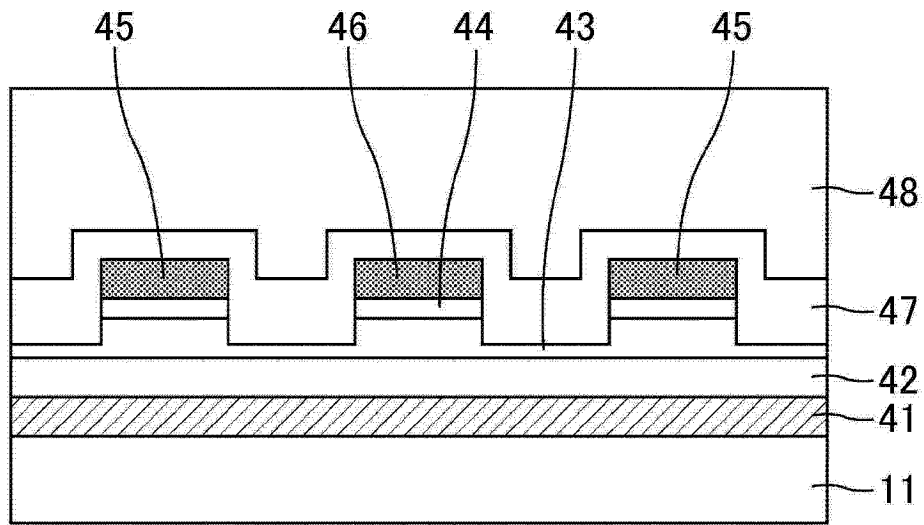


图 11

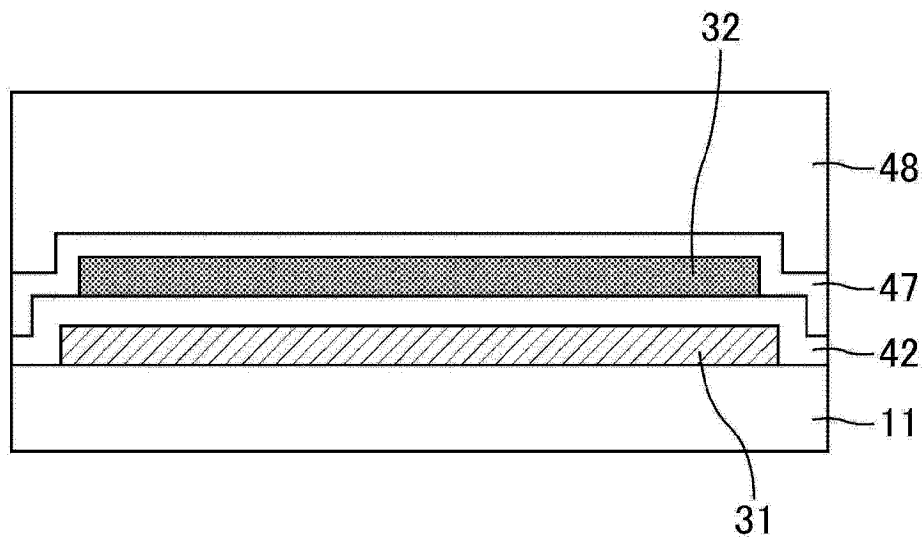


图 12

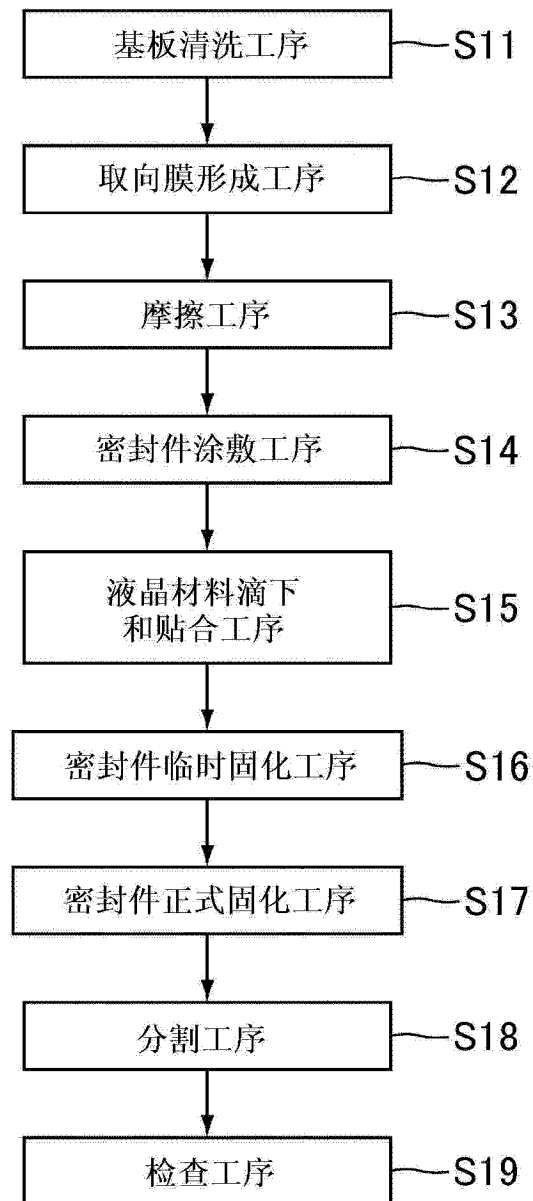


图 13

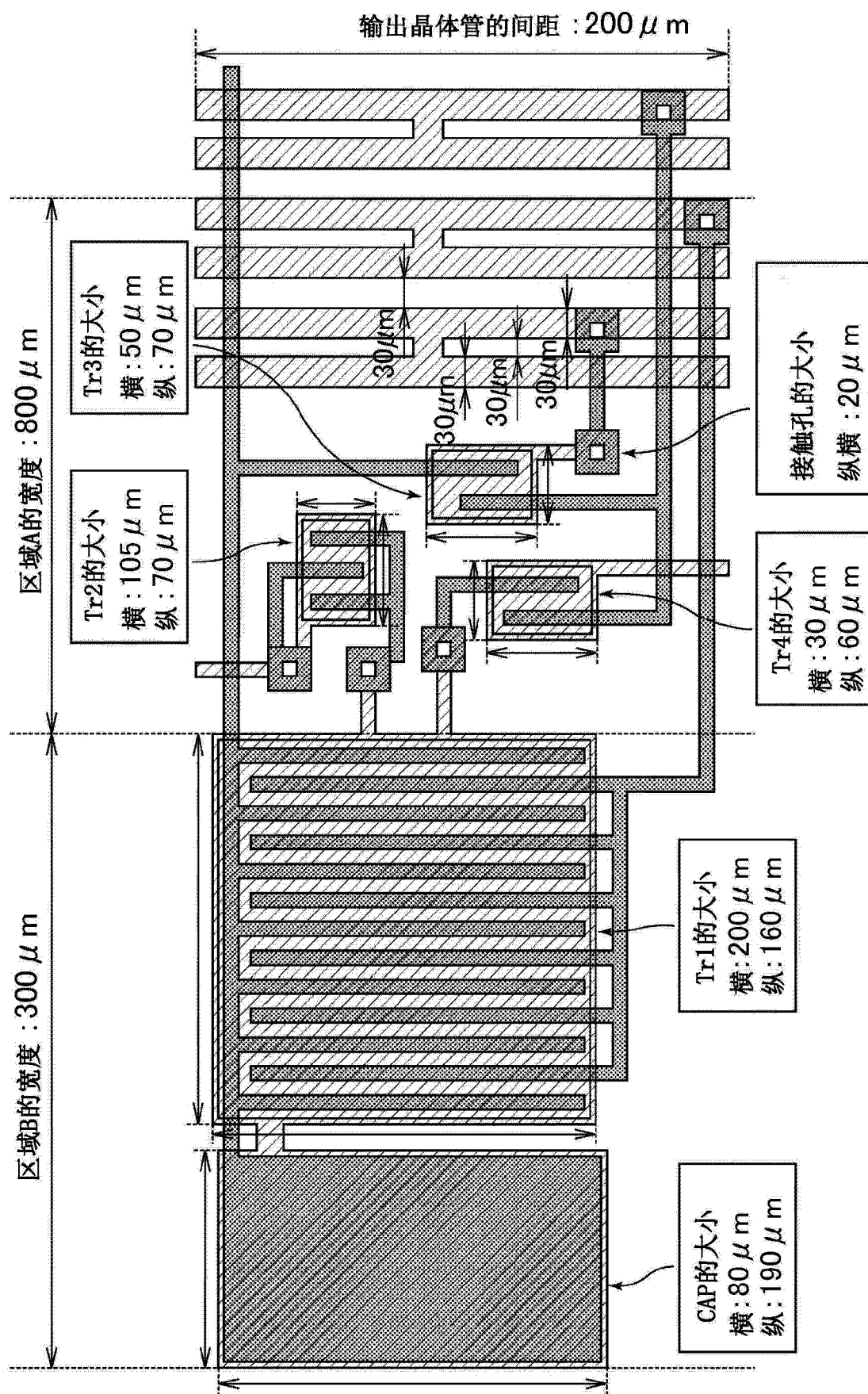


图 14

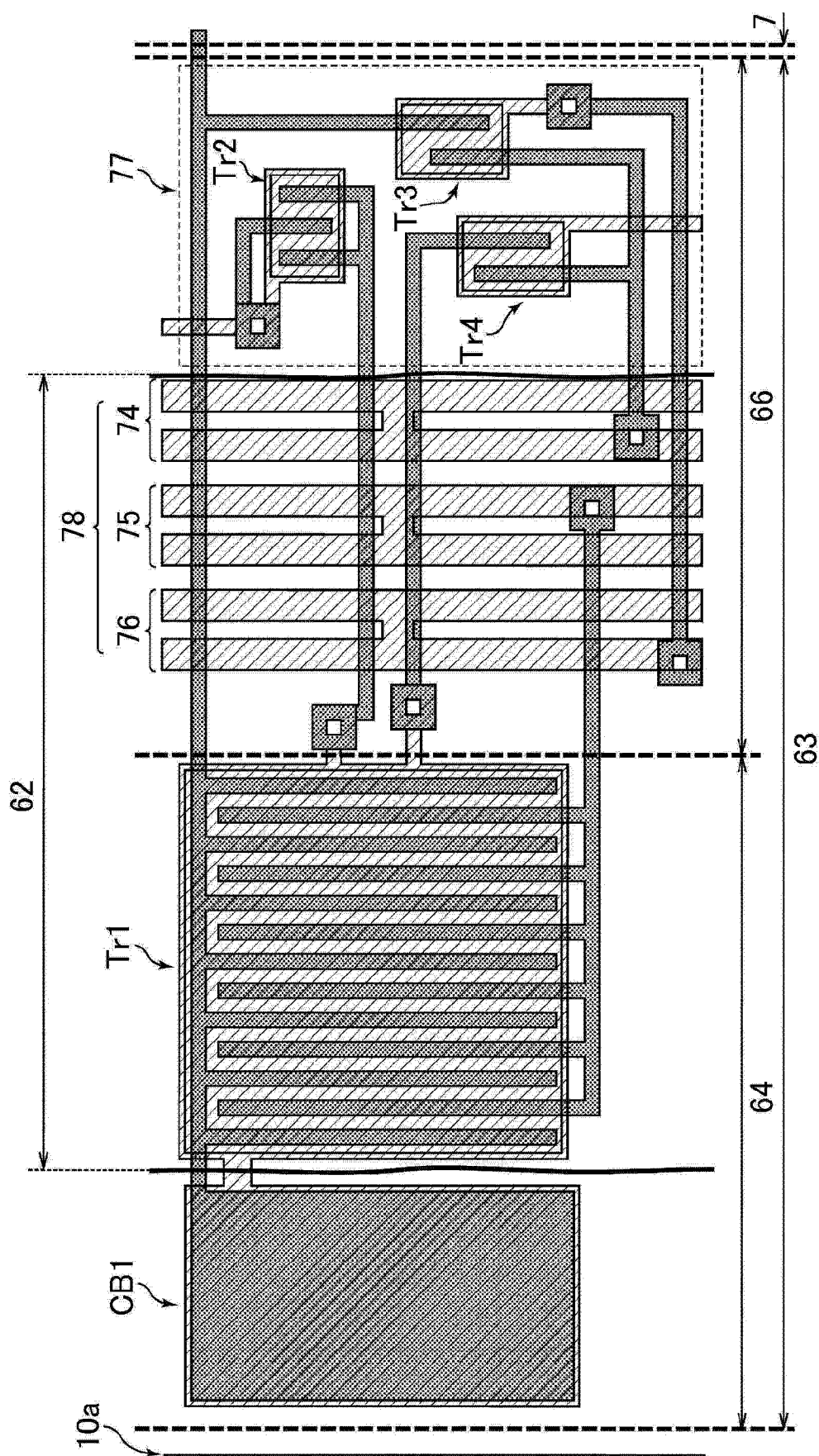


图 15

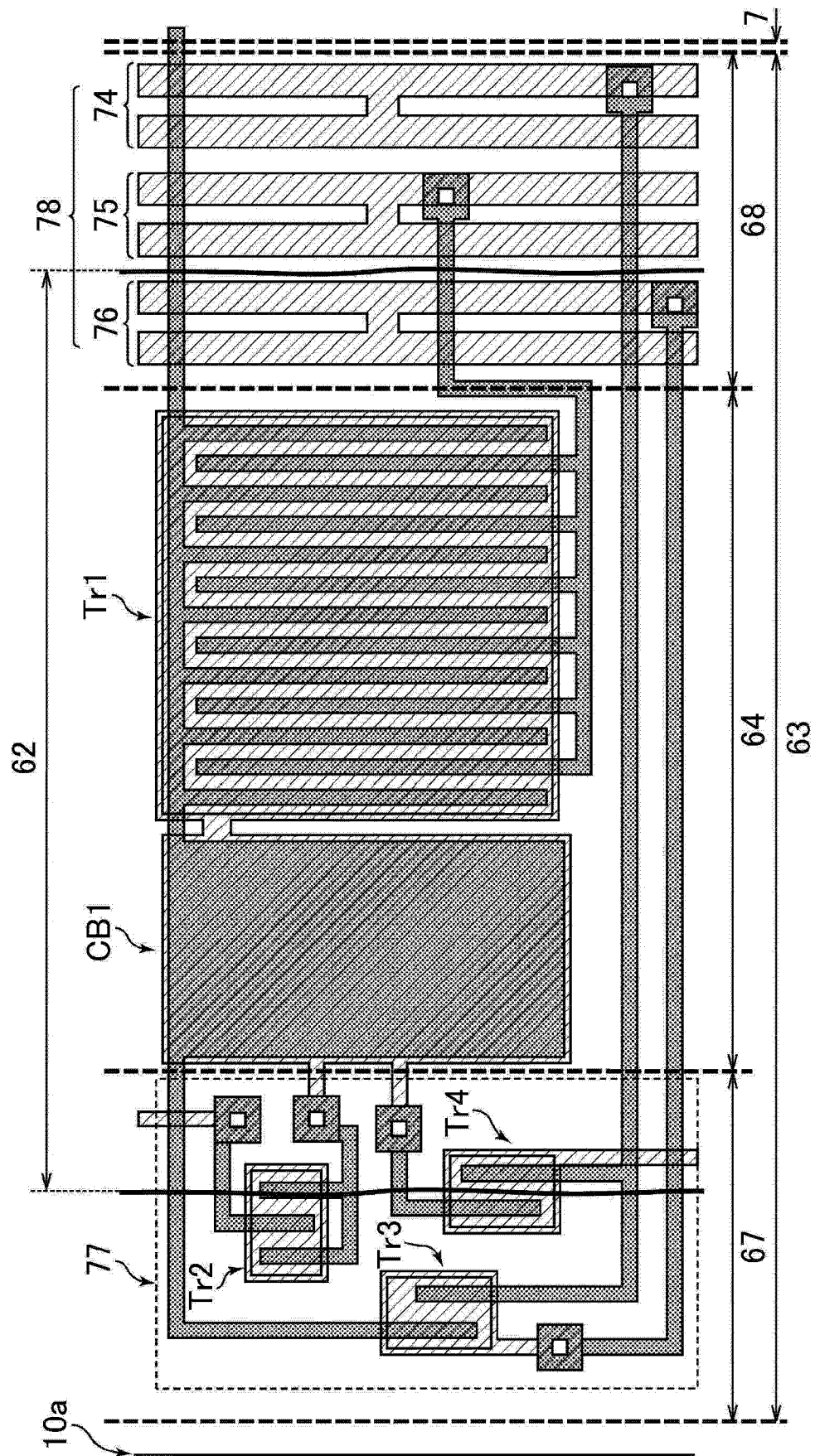


图 16

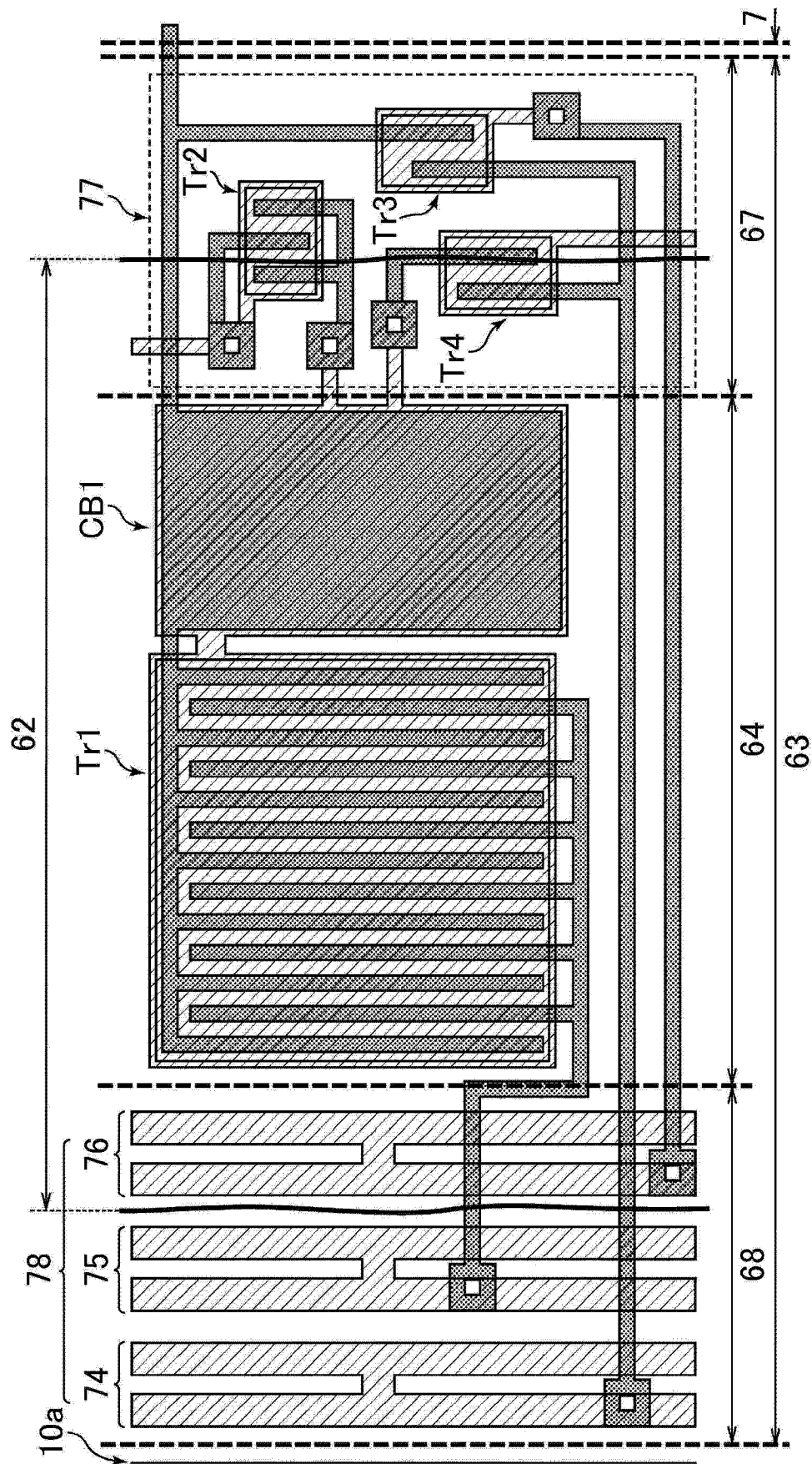


图 17

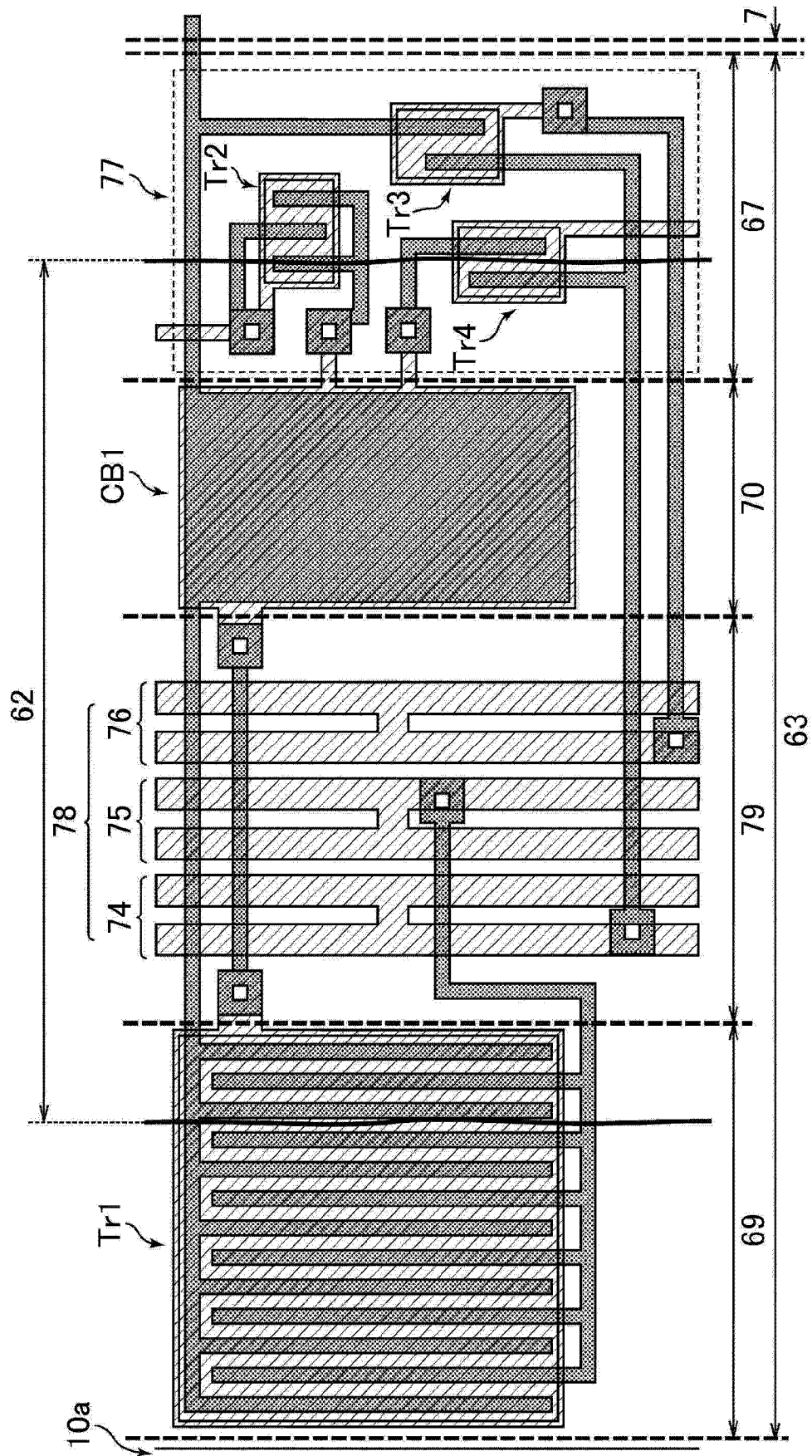


图 18

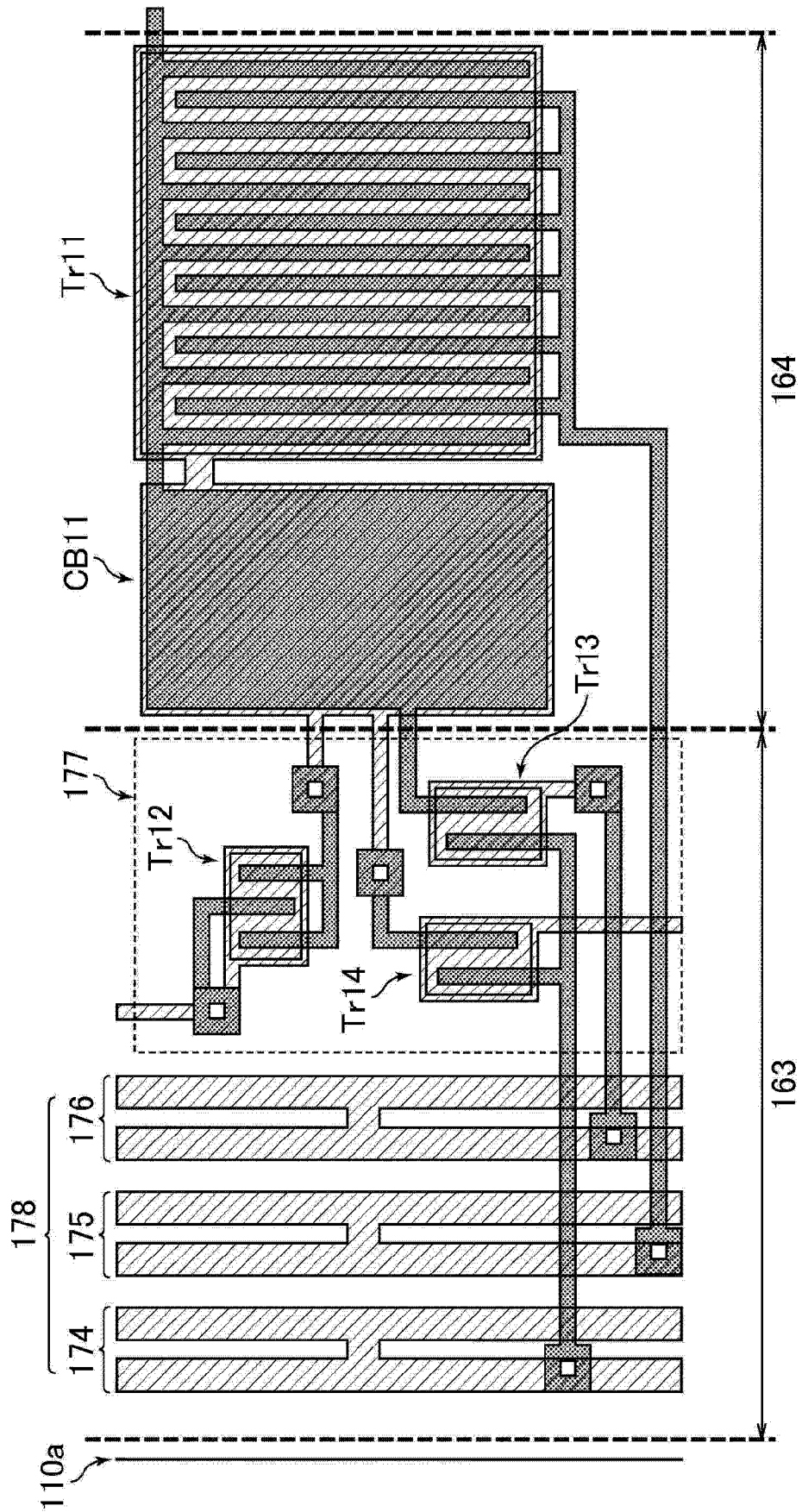


图 19

专利名称(译)	液晶显示器		
公开(公告)号	CN104285177A	公开(公告)日	2015-01-14
申请号	CN201380025355.X	申请日	2013-05-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	森隆弘		
发明人	森隆弘		
IPC分类号	G02F1/1345 G02F1/1339 G09G3/20 G09G3/36 G11C19/00 G11C19/28		
CPC分类号	G09G3/3677 G09G2300/0408 G11C19/287 G09G2310/0286 G11C19/28 G02F1/1339 G02F1/1345 G02F1/133345 G02F1/133512 G02F1/136213 G02F1/1368		
优先权	2012112771 2012-05-16 JP		
其他公开文献	CN104285177B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供能够减少品质上的不良情况的发生、并且能够提高基板间的粘接强度的液晶显示器。本发明的液晶显示器具备：第一基板和第二基板；和密封件，第一基板包括：单片形成在绝缘基板上的移位寄存器；多根总线；第一端部；和显示区域，移位寄存器包括多级连接的多个单元电路和与多个单元电路连接的配线，并且配置在第一端部与显示区域之间的区域内，单元电路中的至少一个单元电路包括时钟端子、输出端子、输出晶体管、第二晶体管和自举电容器，输出晶体管和自举电容器配置在第一端部与配线或第二晶体管之间的区域内。

